

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4298131号
(P4298131)

(45) 発行日 平成21年7月15日(2009.7.15)

(24) 登録日 平成21年4月24日(2009.4.24)

(51) Int.Cl.	F I
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 C
HO 1 L 27/04 (2006.01)	GO 2 F 1/136
GO 2 F 1/136 (2006.01)	GO 2 F 1/1339 500
GO 2 F 1/1339 (2006.01)	GO 2 F 1/1339 505
HO 1 L 21/265 (2006.01)	HO 1 L 21/265 H
請求項の数 10 (全 38 頁) 最終頁に続く	

(21) 出願番号 特願2000-124838 (P2000-124838)
 (22) 出願日 平成12年4月25日(2000.4.25)
 (65) 公開番号 特開2001-36019 (P2001-36019A)
 (43) 公開日 平成13年2月9日(2001.2.9)
 審査請求日 平成19年4月19日(2007.4.19)
 (31) 優先権主張番号 特願平11-134992
 (32) 優先日 平成11年5月14日(1999.5.14)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 村上 智史
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 平形 吉晴
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 藤本 悦子
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 優
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

(54) 【発明の名称】 液晶表示装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁体上にTFTを形成し、
 前記TFTを覆って平坦化膜を形成し、
 前記平坦化膜の上に遮蔽膜を形成し、
 前記遮蔽膜を覆う絶縁物を形成し、
 前記絶縁物の上に樹脂からなる絶縁膜を形成して前記絶縁物のピンホールを充填し、
 前記樹脂からなる絶縁膜をパターンングしてスペーサおよび前記絶縁物のピンホールを充填する領域を同時に形成し、

前記TFTに接続し、且つ、前記絶縁物に接して前記遮蔽膜と重なる画素電極を形成することを特徴とする液晶表示装置の作製方法。

10

【請求項2】

請求項1において、前記樹脂からなる絶縁膜を酸素雰囲気中におけるプラズマ処理により除去することを特徴とする液晶表示装置の作製方法。

【請求項3】

請求項1において、前記樹脂からなる絶縁膜をフォトリソグラフィによる現像処理により除去することを特徴とする液晶表示装置の作製方法。

【請求項4】

請求項1乃至3のいずれか一項において、前記絶縁物は、前記遮蔽膜の陽極酸化物であることを特徴とする液晶表示装置の作製方法。

20

【請求項 5】

請求項 1 乃至 3 のいずれか一項において、前記絶縁物はプラズマ C V D 法、熱 C V D 法またはスパッタ法により形成されたことを特徴とする液晶表示装置の作製方法。

【請求項 6】

請求項 1 乃至 5 のいずれか一項において、前記スペーサは前記遮蔽膜上に形成されていることを特徴とする液晶表示装置の作製方法。

【請求項 7】

請求項 1 乃至 6 のいずれか一項において、前記遮蔽膜と前記絶縁物と前記画素電極で容量を形成することを特徴とする液晶表示装置の作製方法。

【請求項 8】

請求項 1 乃至 7 のいずれか一項において、前記遮蔽膜はアルミニウムであることを特徴とする液晶表示装置の作製方法。

10

【請求項 9】

請求項 1 乃至 8 のいずれか一項において、前記画素電極は、アルミニウムまたは銀であることを特徴とする液晶表示装置の作製方法。

【請求項 10】

請求項 1 乃至 9 のいずれか一項において、前記スペーサは、テーパー形状を有することを特徴とする液晶表示装置の作製方法。

【発明の詳細な説明】

【0001】

20

【発明の属する技術分野】

本発明は絶縁表面を有する絶縁体（基板）上に薄膜トランジスタ（以下、T F T という）で形成された回路を有する半導体装置およびその作製方法に関する。特に本発明は、画素部とその周辺に設けられる駆動回路を同一絶縁体上に設けた液晶表示装置に代表される電気光学装置およびその電気光学装置を搭載した電気器具（電子装置）に関する。尚、本願明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電気器具も半導体装置に含む。

【0002】

【従来の技術】

絶縁表面を有する基板上に T F T で形成した大面積集積回路を有する半導体装置の開発が進んでいる。液晶表示装置、E L（エレクトロルミネッセンス）表示装置、および密着型イメージセンサはその代表例として知られている。特に、ポリシリコン膜（多結晶シリコン膜）を能動層にした T F T（以下、ポリシリコン T F T と記す）は電界効果移動度が高いことから、いろいろな機能を有する回路に使用できる。

30

【0003】

例えば、アクティブマトリクス型液晶表示装置には、画像表示を行う画素部や、C M O S 回路を基本としたシフトレジスタ、レベルシフト、バッファ、サンプリング回路などを含む駆動回路が同一基板上に形成される。また、密着型イメージセンサでは、サンプルホールド回路、シフトレジスタ、マルチプレクサなどの画素部を制御するための駆動回路が T F T を用いて形成されている。

40

【0004】

また、アクティブマトリクス型液晶表示装置の画素部には、数十から数百万個の各画素に T F T（以下、画素 T F T という）が配置され、その画素 T F T のそれぞれには画素電極が設けられている。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧を画素 T F T のスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御して画像を表示する仕組みになっている。

【0005】

ところが、このコンデンサは画素 T F T のオフ電流（T F T がスイッチとしてオフ状態にあるにも拘わらず流れてしまうドレイン電流）等に起因するリーク電流により次第にその

50

蓄積容量が減少するため、透過光量が変化して画像表示のコントラストを低下させる原因となっていた。そのため、従来、液晶を誘電体とするコンデンサとは別のコンデンサ（保持容量）を並列に設け、液晶を誘電体とするコンデンサが損失する容量を補っていた。

【0006】

【発明が解決しようとする課題】

電気光学装置の画素部に設ける保持容量の例として、本出願人は特願平11-045558号、特願平11-053424号、特願平11-059455号を既に出願している。これらの出願では、遮蔽膜（又は遮光膜）、該遮蔽膜の表面に形成された酸化物及び画素電極で保持容量を形成する発明が開示されている。

【0007】

しかしながら、それらの出願で開示されている保持容量では、以下のような問題を生じる可能性が危惧される。その点について説明する。

【0008】

図3において、301は樹脂材料からなる絶縁膜であり、その上に遮光性を有する金属膜からなる遮蔽膜302、遮蔽膜302の表面に陽極酸化法により形成された陽極酸化物303、画素電極304が形成されて保持容量が形成されている。しかし陽極酸化物303を形成するとき、遮蔽膜302にゴミ等が付着していると、その部分だけ陽極酸化されず微小な孔（以下、ピンホールという）305が生じる場合がある。

【0009】

そして、ピンホール305が形成されてしまった状態で画素電極304を形成してしまうと、ピンホール305を介して遮蔽膜302と画素電極304とが短絡（ショート）するという不具合が発生する。即ち、一对の電極間に電氣的リークまたはショートの原因となる領域が形成されてしまう。

【0010】

また、図4において、401は樹脂材料からなる絶縁膜であり、その上には遮蔽膜402、陽極酸化物403及び画素電極404からなる保持容量が形成されている。なお、405は配向膜である。そして、406は対向基板、407は対向電極、408は配向膜であり、配向膜405と配向膜408との間には、スペーサ409を介して液晶410が保持される。スペーサ409は液晶セルのセルギャップを確保するために設けられる。

【0011】

このとき、樹脂材料からなる絶縁膜401の平坦度が十分でないと、TFT411の上は他の領域よりも高くなる。さらに、その上には保持容量が形成されるためさらに高くなり、セルギャップには高さ（H）の差が生じてしまう。そのため、偶発的に保持容量の上にスペーサ409が乗ってしまうと、液晶セルの貼り合わせ工程でスペーサが圧迫され、保持容量をつぶして破壊してしまう恐れがある。特にシリカ球などのビーズ状スペーサはかなり硬度がある上、点で力が加わるため、容易に画素電極にクラックを発生させる。

【0012】

以上、図3、図4で説明したような不具合は必ずしも起こるといものではないが、歩留まりを低下させる要因となりうる。本発明は以上のような問題点を解決するための手段を提供することを課題とする。

【0013】

即ち、本発明は上記出願明細書に記載された保持容量に関する発明をさらに改良することを課題とし、以て半導体装置の動作性能と信頼性を向上させることを課題とするものである。また、そのような半導体装置を実現するための作製方法を提供することを課題とする。

【0014】

【課題を解決するための手段】

上記課題を解決するための手段として、本発明では上記出願明細書に記載された保持容量を形成するにあたって、保持容量の下部電極となる導電膜の表面に形成された陽極酸化物を一旦絶縁物で覆い、陽極酸化物に形成されたピンホールを、その絶縁物で充填して塞ぐ

10

20

30

40

50

ことを特徴とする。

【0015】

その様子を図1に示す。図1において、下地となる絶縁膜101上には、第1導電膜（具体的には遮蔽膜）102、その表面に形成された誘電体（具体的には遮蔽膜の酸化物）103及び第2導電膜（具体的には画素電極）104からなる保持容量105が形成されている。このとき、陽極酸化物103に形成されたピンホール106は絶縁材料からなる充填物107で塞がれている。

【0016】

充填物107としては、樹脂材料からなる絶縁物（絶縁膜）が望ましい。樹脂材料からなる絶縁膜は溶液を塗布して形成することができるが、溶液塗布系の絶縁膜は微小な孔を充填する上で非常に好適である。もちろん、溶液を塗布して形成する酸化シリコン膜などを用いても構わない。

10

【0017】

また、樹脂材料からなる絶縁膜を用いる場合、光重合型絶縁膜でも良いし、熱重合型絶縁膜でも良い。また、ネガ型感光性をもっていてもポジ型感光性をもっていても構わないが、光劣化を避けるためにネガ型感光性をもつ樹脂材料を用いることが望ましい。

【0018】

また、図4で説明したスペーサ圧による保持容量の短絡に関しては、樹脂材料からなるスペーサを用いることで回避することができる。樹脂材料からなるスペーサは弾力性に富むため、圧力を適当に吸収し、さらに、ビーズ状スペーサと違って面で素子と接するため圧力が分散し、一点に過剰な圧力がかかるようなことがないためである。

20

【0019】

図2(A)において、基板201上には、画素TF T 202、画素TF Tが形成する段差を平坦化するための平坦化膜（層間絶縁膜）203、遮蔽膜204、遮蔽膜を酸化して得られた酸化物205および画素電極206が形成されている。なお、酸化物205を挟んで遮蔽膜204と画素電極206とが重なる領域が保持容量を形成する。

【0020】

さらに、酸化物205の上には樹脂材料からなるスペーサ207がパターニング（フォトリソグラフィ）により形成される。その上は配向膜208で覆われている。なお、209は対向基板、210は対向電極、211は対向側の配向膜であり、配向膜208と211との間には液晶212が保持される。

30

【0021】

図2(A)の特徴は、単に樹脂材料からなるスペーサを用いただけでなく、スペーサを形成する際に塗布する樹脂材料を、酸化物205のピンホールの孔埋めに積極的に用いる点にある。一旦ピンホールに充填された樹脂材料は、スペーサを形成する際のパターニングにおいてもピンホールの中にエッチャントが入り込めないため、除去されずに残ると考えられる。

【0022】

ここで図2(A)において213で示される点線で囲んだ領域の拡大図を図2(B)に示す。図2(A)では図示されていないが、実際は酸化物205に偶発的に形成されてしまったピンホール214が樹脂材料からなる充填物215で埋め込まれている、もしくはスペーサ207によって塞がれている。換言すれば、酸化物205は樹脂材料からなる絶縁物が充填された領域を有するとも言える。

40

【0023】

以上のように、本発明では、まず保持容量の誘電体に意図せず形成されてしまうピンホールによるショートを防ぐために、このピンホールを絶縁物で埋め込むことによって保持容量の形成に起因する不良を防ぐ。さらに、スペーサを樹脂材料からなる絶縁膜で形成することにより、保持容量上のスペーサからかかる圧力によって素子が破壊されることを防ぐ。

【0024】

50

さらに、本発明では保持容量の誘電体に形成されたピンホールの孔埋めを、樹脂材料からなるスペーサの形成と同時に達成することも可能である。即ち、特別な工程を増やすことなく、保持容量に関する不良をなくし、製造プロセスにおける歩留まりの向上を図ることができる。

【0025】

【発明の実施の形態】

本発明の実施の形態について、以下に示す実施例でもって詳細な説明を行うこととする。

【0026】

[実施例1]

本発明の実施例について図5～図8を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては、シフトレジスタ、バッファ等の基本回路であるCMOS回路と、サンプリング回路(トランスファゲート)を形成するnチャネル型TFTとを図示することとする。

10

【0027】

図5(A)において、基板501には、ガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。耐熱性が許せばプラスチック基板を用いることも可能である。

【0028】

そして、基板501のTFTが形成される表面には、珪素(シリコン)を含む絶縁膜(本明細書中では酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜の総称を指す)からなる下地膜502をプラズマCVD法やスパッタ法で100～400nmの厚さに形成する。

20

【0029】

なお、本明細書中において窒化酸化シリコン膜とはSiO_xN_yで表される絶縁膜であり、珪素、酸素、窒素を所定の割合で含む絶縁膜を指す。本実施例では、下地膜502として、窒素を20～50atomic%(典型的には20～30atomic%)で含む100nm厚の窒化酸化シリコン膜と、窒素を1～20atomic%(典型的には5～10atomic%)で含む200nm厚の窒化酸化シリコン膜との積層膜を用いる。なお、厚さはこの値に限定する必要はない。また、窒化酸化シリコン膜に含まれる窒素と酸素の含有比(atomic%比)は3:1～1:3(典型的には1:1)とすればよい。また、窒化酸化シリコン膜は、SiH₄とN₂OとNH₃を原料ガスとして作製すればよい。

30

【0030】

なお、この下地膜502は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

【0031】

次に下地膜502の上に30～120nm(好ましくは50～70nm)の厚さの、非晶質構造を含む半導体膜(本実施例では非晶質シリコン膜(図示せず))を公知の成膜法で形成する。なお、非晶質構造を含む半導体膜としては、非晶質半導体膜、微結晶半導体膜があり、さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜も含まれる。また、上記膜厚で形成しておけば、最終的にTFTが完成した時点の活性層の膜厚は10～100nm(好ましくは30～50nm)となる。

40

【0032】

そして、特開平7-130652号公報(USP5,643,826号に対応)に記載された技術に従って、結晶構造を含む半導体膜(本実施例では結晶質シリコン膜)503を形成する。同公報記載の技術は、非晶質シリコン膜の結晶化に際して、結晶化を助長する触媒元素(ニッケル、コバルト、ゲルマニウム、錫、鉛、パラジウム、鉄、銅から選ばれた一種または複数種の元素、代表的にはニッケル)を用いる結晶化手段である。

【0033】

具体的には、非晶質シリコン膜表面に触媒元素を保持させた状態で加熱処理を行い、非晶

50

質シリコン膜を結晶質シリコン膜に変化させるものである。本実施例では同公報の実施例 1 に記載された技術を用いるが、実施例 2 に記載された技術を用いても良い。なお、結晶質シリコン膜には、いわゆる単結晶シリコン膜も多結晶シリコン膜も含まれるが、本実施例で形成される結晶質シリコン膜は結晶粒界を有するシリコン膜である。(図 5 (A))

【0034】

非晶質シリコン膜は含有水素量にもよるが、好ましくは 400 ~ 550 で数時間加熱して脱水素処理を行い、含有水素量を 5 atom% 以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

10

【0035】

ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気さらされないようにすることで表面の汚染を防ぐことが可能となり、作製される TFT の特性バラツキを低減させることができる。

【0036】

次に、結晶質シリコン膜 503 に対してレーザー光源から発する光(レーザー光)を照射(以下、レーザーアニールという)して結晶性の改善された結晶質シリコン膜 504 を形成する。レーザー光としては、パルス発振型または連続発振型のエキシマレーザー光が望ましいが、連続発振型のアルゴンレーザー光や Nd : YAG レーザー光でも良い。また、レーザー光のビーム形状は線状であっても矩形状であっても構わない。(図 5 (B))

20

【0037】

また、レーザー光の代わりにランプから発する光(以下、ランプ光という)を照射(以下、ランプアニールという)しても良い。ランプ光としては、ハロゲンランプ、赤外ランプ等から発するランプ光を用いることができる。

【0038】

なお、このようにレーザー光またはランプ光により熱処理(アニール)を施す工程を光アニール工程という。光アニール工程は短時間で高温熱処理が行えるため、ガラス基板等の耐熱性の低い基板を用いる場合にも効果的な熱処理工程を高いスループットで行うことができる。勿論、目的はアニールであるので電熱炉を用いたファーンレスアニール(熱アニールともいう)で代用することもできる。

30

【0039】

本実施例では、パルス発振型エキシマレーザー光を線状に加工してレーザーアニール工程を行う。レーザーアニール条件は、励起ガスとして XeCl ガスを用い、処理温度を室温、パルス発振周波数を 30 Hz とし、レーザーエネルギー密度を 250 ~ 500 mJ/cm² (代表的には 350 ~ 400 mJ/cm²) とする。

【0040】

上記条件で行われたレーザーアニール工程は、熱結晶化後に残存した非晶質領域を完全に結晶化すると共に、既に結晶化された結晶質領域の欠陥等を低減する効果を有する。そのため、本工程は光アニールにより半導体膜の結晶性を改善する工程、または半導体膜の結晶化を助長する工程と呼ぶこともできる。このような効果はランプアニールの条件を最適化することによっても得ることが可能である。本明細書中ではこのような条件を第 1 の光アニールと呼ぶことにする。

40

【0041】

次に、結晶質シリコン膜 504 をパターンニングして島状の半導体膜(以下、活性層という) 505 ~ 508 を形成する。なお、このとき同時に、今後のパターンニング時の位置合わせに用いるアライメントマーカを、結晶質シリコン膜を用いて形成する。本実施例の場合、活性層の形成と同時にアライメントマーカを形成することができるため、アライメントマーカを別途形成する手間(マスク数の増加)を防ぐことができる。

【0042】

50

次に、活性層 505 ~ 508 上に後の不純物添加時のために保護膜 509 を形成する。保護膜 509 は 100 ~ 200 nm (好ましくは 130 ~ 170 nm) の厚さの窒化酸化シリコン膜または酸化シリコン膜を用いる。この保護膜 509 は不純物添加時に結晶質シリコン膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするための意味がある。(図 5 (C))

【0043】

そして、その上にレジストマスク 510 を形成し、保護膜 509 を介して p 型を付与する不純物元素 (以下、p 型不純物元素という) を添加する。p 型不純物元素としては、代表的には 13 族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程 (チャンネルドープ工程という) は T F T のしきい値電圧を制御するための工程である。なお、ここではジボラン (B_2H_6) を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

10

【0044】

こうして $1 \times 10^{15} \sim 1 \times 10^{18} \text{atoms/cm}^3$ (代表的には $5 \times 10^{16} \sim 5 \times 10^{17} \text{atoms/cm}^3$) の濃度で p 型不純物元素 (本実施例ではボロン) が添加された活性層 511 ~ 513 が形成される。この活性層 511 ~ 513 は後の n チャンネル型 T F T の活性層となる。但し、本明細書中で記載する濃度は全て S I M S (質量二次イオン分析) による測定値である。

【0045】

なお、本明細書中では少なくとも上記濃度範囲で p 型不純物元素を含む不純物領域 (但し、 $1 \times 10^{16} \text{atoms/cm}^3$ の濃度で n 型を付与する不純物元素、典型的にはリン又は砒素が添加された領域を除く) を p 型不純物領域 (b) と定義する。(図 5 (D))

20

【0046】

次に、レジストマスク 510 を除去し、新たにレジストマスク 514a ~ 514d を形成する。そして、n 型を付与する不純物元素 (以下、n 型不純物元素という) を添加して n 型を呈する不純物領域 515 ~ 517 を形成する。なお、n 型不純物元素としては、代表的には 15 族に属する元素、典型的にはリンまたは砒素を用いることができる。(図 5 (E))

【0047】

この低濃度不純物領域 515 ~ 517 は、後に C M O S 回路およびサンプリング回路の n チャンネル型 T F T において、L D D 領域として機能させるための不純物領域である。なお、ここで形成された不純物領域には n 型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ (代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$) の濃度で含まれている。本明細書中では上記濃度範囲で n 型不純物元素を含む不純物領域を n 型不純物領域 (b) と定義する。

30

【0048】

なお、ここではフォスフィン (PH_3) を質量分離しないでプラズマ励起したイオンドープ法でリンを $1 \times 10^{18} \text{atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、保護膜 509 を介して結晶質シリコン膜にリンを添加する。

40

【0049】

次に、レジストマスク 514a ~ 514d 及び保護膜 509 を除去し、再びレーザー光の照射工程を行う。ここでもレーザー光としては、パルス発振型または連続発振型のエキシマレーザー光が望ましいが、連続発振型のアルゴンレーザー光でも良い。また、レーザー光のビーム形状は線状であっても矩形状であっても構わない。但し、添加された不純物元素の活性化が目的であるので、結晶質シリコン膜が溶融しない程度のエネルギーで照射することが好ましい。また、保護膜 509 をつけたままレーザーアニール工程を行うことも可能である。(図 5 (F))

【0050】

本実施例では、パルス発振型エキシマレーザー光を線状に加工してレーザーアニール工程

50

を行う。レーザーアニール条件は、励起ガスとしてKrFガスを用い、処理温度を室温、パルス発振周波数を30Hzとし、レーザーエネルギー密度を100~300mJ/cm²(代表的には150~250mJ/cm²)とする。

【0051】

上記条件で行われた光アニール工程は、添加されたn型またはp型を付与する不純物元素を活性化すると共に、不純物元素の添加時に非晶質化した半導体膜を再結晶化する効果を有する。なお、上記条件は半導体膜を熔融させることなく原子配列の整合性をとり、且つ、不純物元素を活性化することが好ましい。また、本工程は光アニールによりn型またはp型を付与する不純物元素を活性化する工程、半導体膜を再結晶化する工程、またはそれらを同時に行う工程と呼ぶこともできる。このような効果はランプアニールの条件を最適化することによっても得ることが可能である。本明細書中ではこのような条件を第2の光アニールと呼ぶことにする。なお、第2の光アニールは省略することも可能である。

10

【0052】

この工程によりn型不純物領域(b)515~517の境界部、即ち、n型不純物領域(b)の周囲に存在する真性領域(p型不純物領域(b)も実質的に真性とみなす)との接合部が明確になる。このことは、後にTFEが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0053】

なお、このレーザー光による不純物元素の活性化に際して、電熱炉を用いた熱処理(ファーンズアニール)による活性化を併用しても構わないし、ファーンズアニールのみで活性化を行っても良い。熱処理による活性化を行う場合は、基板の耐熱性を考慮して450~650(好ましくは500~550)の熱処理を行えば良い。

20

【0054】

次に、活性層505、511~513を覆ってゲート絶縁膜518を形成する。ゲート絶縁膜518は、10~200nm、好ましくは50~150nmの厚さに形成すれば良い。本実施例では、プラズマCVD法でN₂OとSiH₄を原料とした窒化酸化シリコン膜を115nmの厚さに形成する。(図6(A))

【0055】

次に、ゲート配線となる導電膜を形成する。なお、ゲート配線は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。本実施例では、第1導電膜519と第2導電膜520とからなる積層膜を形成する。(図6(B))

30

【0056】

ここで第1導電膜519、第2導電膜520としては、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、ニオブ(Nb)、シリコン(Si)から選ばれた元素を含む金属膜、または前記元素を主成分とする金属化合物膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜、タングステンシリサイド膜)、若しくはそれらの薄膜を積層した積層膜を用いることができる。

【0057】

なお、第1導電膜519は10~50nm(好ましくは20~30nm)とし、第2導電膜520は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、第1導電膜519として、50nm厚の窒化タンタル(TaN)膜を、第2導電膜520として、350nm厚のタンタル(Ta)膜を用いる。

40

【0058】

このほか、窒化タングステン膜とタングステン膜との積層膜、窒化タンタル膜のみの単層膜、タングステンシリサイド膜も好適である。また、第1導電膜519の下にシリコン膜を2~20nm程度の厚さで形成する構造(ポリサイド構造)とすると、シリコン膜上に形成された導電膜の密着性を向上させると同時に、導電膜の酸化を抑制することができる。

【0059】

50

また、本実施例のように第2導電膜520として金属膜を用いた場合、その表面をアンモニアガスまたは窒素ガスを用いたプラズマ雰囲気曝すことで窒化することも有効である。こうすることで、金属膜表面の酸化を抑制することが可能である。

【0060】

次に、第1導電膜519と第2導電膜520とを一括でエッチングして400nm厚のゲート配線(ゲート電極とも言える)521~524a、524bを形成する。この時、駆動回路に形成されるゲート配線522、523はn型不純物領域(b)515~517の一部とゲート絶縁膜を介して重なるように形成する。なお、ゲート配線524a、524bは断面では二つに見えるが、実際は連続的に繋がった一つのパターンから形成されている。

(図6(C))

10

【0061】

次に、ゲート配線521~524をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成された不純物領域525~530には前記n型不純物領域(b)の $1/2 \sim 1/10$ (代表的には $1/3 \sim 1/4$)の濃度(但し、前述のチャネルドープ工程で添加されたボロン濃度よりも5~10倍高い濃度、代表的には $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ 、典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{atoms/cm}^3$ 、)でリンが添加されるように調節する。なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(c)と定義する。(図6(D))

【0062】

なお、n型不純物領域(c)527~530には既にチャネルドープ工程で $1 \times 10^{15} \sim 1 \times 10^{18} \text{atoms/cm}^3$ の濃度のボロンが添加されているが、この工程ではp型不純物領域(b)に含まれるボロンの5~10倍の濃度でリンが添加されるので、ボロンの影響は無視して良い。

20

【0063】

但し、厳密にはn型不純物領域(b)515~517のうちゲート配線に重なった部分のリン濃度が $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ のままであるのに対し、ゲート配線に重ならない部分はそれに $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の濃度のリンが加わっており、若干高い濃度でリンを含むことになる。

【0064】

次に、ゲート配線521~524をマスクとして自己整合的にゲート絶縁膜518をエッチングする。エッチングはドライエッチング法を用い、エッチングガスとしては CHF_3 ガスを用いれば良い。但し、エッチングガスはこれに限定する必要はない。こうしてゲート配線下にゲート絶縁膜531~534a、534bが形成される。(図6(E))

30

【0065】

このように活性層を露呈させることによって、次に不純物元素の添加工程を行う際に加速電圧を低くすることができる。そのため、また必要なドーズ量が少なくて済むのでスループットが向上する。勿論、ゲート絶縁膜をエッチングしないで残し、スルードーピングによって不純物領域を形成しても良い。

【0066】

次に、ゲート配線を覆う形でレジストマスク535a~535dを形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域536~544を形成する。ここでも、フォスフィン(PH_3)を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{20} \text{atoms/cm}^3$)とする。(図6(F))

40

【0067】

なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(a)と定義する。また、不純物領域536~544が形成された領域には既に前工程で添加されたリンまたはボロンが含まれるが、十分に高い濃度でリンが添加されることになるので、前工程で添加されたリンまたはボロンの影響は考えなくて良い。従って、本明細書中では不純物領域536~544はn型不純物領域(a)と言い換えても構わない。

50

【0068】

次に、レジストマスク535a~535dを除去し、新たにレジストマスク545を形成する。そして、p型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域546、547を形成する。ここではジボラン（ B_2H_6 ）を用いたイオンドープ法（勿論、イオンインプランテーション法でも良い）により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ ）濃度でボロンを添加する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域をp型不純物領域（a）と定義する。（図7（A））

【0069】

なお、不純物領域546、547の一部（前述のn型不純物領域（a）536、537）には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。従って、本明細書中では不純物領域546、547をp型不純物領域（a）と言い換えても構わない。

10

【0070】

次に、レジストマスク545を除去した後、第1層間絶縁膜548を形成する。第1層間絶縁膜548としては、珪素を含む絶縁膜、具体的には窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は50~400nm（好ましくは100~200nm）とすれば良い。

20

【0071】

本実施例では、プラズマCVD法で SiH_4 、 N_2O 、 NH_3 を原料ガスとし、200nm厚の窒化酸化シリコン膜（但し窒素濃度が25~50atomic%）を用いる。この第1層間絶縁膜548は次に行われる熱処理工程（活性化工程）において、ゲート配線521~524a、524bが酸化されて抵抗値が増加するのを防ぐ効果を有する。

【0072】

その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化するために熱処理工程を行う。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）で行うことができる。ここではファーネスアニール法で活性化工程を行う。この熱処理工程は、窒素雰囲気中において300~650、好ましくは400~550、ここでは550、4時間の熱処理を行う。（図7（B））

30

【0073】

この時、本実施例において非晶質シリコン膜の結晶化に用いた触媒元素（本実施例ではニッケル）が、矢印で示す方向に移動して、前述の図6（F）の工程で形成された高濃度にリンを含む領域に捕獲（ゲッターリング）される。これはリンによる金属元素のゲッターリング効果に起因する現象であり、この結果、後のチャネル形成領域549~553は前記触媒元素の濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ 以下となる。但し、ニッケルの場合、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以下はSIMSの測定下限となるため、現状の技術では測定不能である。

【0074】

また、逆に触媒元素のゲッターリングサイトとなった領域（図6（F）の工程で不純物領域536~544が形成された領域）は高濃度に触媒元素が偏析して $5 \times 10^{18} \text{ atoms/cm}^3$ 以上（代表的には $1 \times 10^{19} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ ）濃度で存在するようになる。しかし、このゲッターリングサイトとなった領域はソース領域またはドレイン領域として機能すれば良いので、ニッケルの有無は問題とはならないと考えられる。

40

【0075】

次に、3~100%の水素を含む雰囲気中で、300~450で1~12時間の熱処理を行い、活性層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0076】

50

活性化工程を終えたら、第1層間絶縁膜548の上に500nm~1.5μm厚の第2層間絶縁膜554を形成する。本実施例では第2層間絶縁膜554として800nm厚の酸化シリコン膜をプラズマCVD法により形成する。こうして第1層間絶縁膜(窒化酸化シリコン膜)548と第2層間絶縁膜(酸化シリコン膜)554との積層膜からなる1μm厚の層間絶縁膜を形成する。

【0077】

なお、第2層間絶縁膜554として、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等の有機樹脂絶縁膜を用いることも可能である。

【0078】

その後、それぞれのTFEのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース配線555~558と、ドレイン配線559~562を形成する。なお、図示されていないがCMOS回路を形成するためにドレイン配線559、560は同一配線で形成されている。また、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とする。

【0079】

次に、パッシベーション膜563として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50~500nm(代表的には200~300nm)の厚さで形成する。(図7(C))

【0080】

この時、膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行い、成膜後に熱処理を行うことは有効である。この前処理により励起された水素が第1、第2層間絶縁膜中に供給される。この状態で熱処理を行うことで、パッシベーション膜563の膜質を改善するとともに、第1、第2層間絶縁膜中に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0081】

また、パッシベーション膜563を形成した後に、さらに水素化工程を行っても良い。例えば、3~100%の水素を含む雰囲気中で、300~450で1~12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。

【0082】

なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜563に開口部を形成しておいても良い。

【0083】

その後、図7(D)に示すように、樹脂材料(又は有機材料ともいう)からなる絶縁膜(以下、樹脂絶縁膜という)からなる第3層間絶縁膜(本明細書中では平坦化膜と呼ぶ場合もある)564を約1~3μm(典型的には1.5~2μm)の厚さに形成する。

【0084】

樹脂材料としては、ポリイミド、アクリル樹脂、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)もしくはシクロブテンを使用することができる。樹脂絶縁膜を用いることの利点は、極めて平坦性に優れる点、比誘電率が低い点などが上げられる。なお上述した以外の樹脂絶縁膜や有機系SiO化合物などを用いることもできる。また、平坦性さえ高ければ無機材料からなる絶縁膜を用いることも可能である。

【0085】

なお、ここでは、基板に塗布後、熱で重合するタイプのアクリル膜を用いるが、光照射により重合するタイプを用いても良い。勿論、ポジ型またはネガ型の感光性材料であっても良い。

【0086】

また、第3層間絶縁膜564の一部の層として、顔料等で着色した樹脂絶縁膜を設け、カラーフィルターとして用いることも可能である。

【0087】

次に、画素部において、樹脂材料からなる第3層間絶縁膜（平坦化膜）564上に遮蔽膜565を形成する。なお、本明細書中において遮蔽膜とは、光若しくは電磁波を遮断する性質を有する導電膜を指す。

【0088】

遮蔽膜565はあらゆる金属膜を用いることができるが、公知のバリアメタルと呼ばれる金属膜、代表的にはアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた元素からなる金属膜または前記いずれかの元素を主成分（本明細書中では50重量%以上で含む場合に主成分とみなす）とする金属膜が好ましく、膜厚は100～300nmとすれば良い。本実施例では1wt%のチタンを含有させたアルミニウム膜を125nmの厚さに形成する。なお、本明細書中ではこの遮蔽膜を第「1導電膜」と呼ぶ場合がある。

10

【0089】

なお、本実施例では遮蔽膜565を形成する前に酸化シリコン膜を5～50nm（典型的には20～30nm）の厚さに形成している。そして、その上に遮蔽膜565を形成し、遮蔽膜565をマスクとして上記絶縁膜のエッチング処理を行い、566で示される酸化シリコン膜が形成される。

【0090】

この酸化シリコン膜566は第3層間絶縁膜564と遮蔽膜565の密着性を高めるために設けるが、遮蔽膜が存在する以外の領域では、後に第3層間絶縁膜にコンタクトホールを形成する際の障害になるため除去することが望ましい。なお、第3層間絶縁膜564の表面にCF₄ガスを用いたプラズマ処理を施すことによっても、表面改質により膜上に形成する遮蔽膜の密着性を向上させることができる。

20

【0091】

また、このチタンを含有させたアルミニウム膜を用いて、遮蔽膜だけでなく他の接続配線を形成することも可能である。例えば、駆動回路内で回路間をつなぐ接続配線を形成できる。但し、その場合は遮蔽膜または接続配線を形成する材料を成膜する前に、予め第3層間絶縁膜にコンタクトホールを形成しておく必要がある。

【0092】

次に、遮蔽膜565の表面に公知の陽極酸化法又はプラズマ酸化法（本実施例では陽極酸化法）により20～100nm（好ましくは30～50nm）の厚さの酸化物を形成する。本実施例では遮蔽膜565としてアルミニウムを主成分とする膜を用い、陽極酸化法を用いるため、陽極酸化物567として酸化アルミニウム膜（アルミナ膜）が形成される。この陽極酸化物567が本実施例の保持容量の誘電体となる。

30

【0093】

また、ここでは陽極酸化法を用いて遮蔽膜表面のみに絶縁物を設ける構成としたが、他の絶縁物（絶縁膜）をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は20～100nm（好ましくは30～50nm）とすることが好ましい。

【0094】

次に、図8（A）に示すように、4μm厚の樹脂絶縁膜（本実施例ではネガ型アクリル系樹脂膜）を形成し、パターニングを行うことによりスペーサ568を形成する。このとき、たとえ陽極酸化物567にピンホールが存在したとしても、図2を用いて説明したように、スペーサ568を形成する際にスペーサ568と同一材料の樹脂絶縁膜で塞がれる。

40

【0095】

また、スペーサ568の形状はどのようなものであっても良いが、本実施例の場合はなるべくテーパ形状にしておくことが望ましい。本実施例の構造の場合、必然的にスペーサ568の上に配向膜が形成され、ラビング処理が行われるが、スペーサ568が急峻な段差であるとスペーサの影になってラビングが適切に行われない領域が発生する恐れがある。それを避けるためにもスペーサ568をテーパ形状にしておくことは有効である。例えば、テーパの角度を40～90°（好ましくは50～70°）とすれば良い。

【0096】

50

次に、第3層間絶縁膜564、パッシベーション膜563にドレイン配線562に達するコンタクトホールを形成し、画素電極569を形成する。なお、画素電極570、571はそれぞれ隣接する別の画素の画素電極である。本実施例では画素電極569~571として透明導電膜を用い、具体的には酸化インジウムと酸化スズとの化合物(ITO)膜を110nmの厚さにスパッタ法で形成する。なお、本明細書中では画素電極を「第2導電膜」と呼ぶ場合がある。

【0097】

なお、反射型の液晶表示装置とする場合には画素電極の材料としてアルミニウム膜や銀薄膜といった金属膜を用いれば良い。

【0098】

また、この時、画素電極569と遮蔽膜565とが陽極酸化物質567を介して重なり、保持容量(キャパシタンス・ストレージ又はコンデンサ)572を形成する。なお、保持容量572しか符号を付していないが、遮蔽膜と画素電極とが重なる領域は全て保持容量として機能する。

【0099】

また、この場合、遮蔽膜565をフローティング状態(電氣的に孤立した状態)か固定電位、好ましくはコモン電位(データとして送られる画像信号の中間電位)に設定しておくことが望ましい。

【0100】

こうして同一基板上に、駆動回路と画素部とを有した基板(以下、アクティブマトリクス基板という)が完成する。なお、図8(B)においては、駆動回路にはpチャネル型TFT701、nチャネル型TFT702、703が形成され、画素部にはnチャネル型TFTからなる画素TFT704が形成される。

【0101】

なお、本実施例の工程順序は適宜変更しても構わない。どのような順序としても、最終的に形成されるTFTの構造が図8(B)のような構造であればアクティブマトリクス基板の基本的な機能は変化せず、本発明の効果を損なうものではない。

【0102】

駆動回路のpチャネル型TFT701には、チャネル形成領域601およびp型不純物領域(a)で形成されたソース領域602、ドレイン領域603がそれぞれ形成される。但し、実際にはソース領域またはドレイン領域の一部に $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ の濃度でリンを含む領域が存在する。また、その領域には図7(B)の工程でゲッタリングされた触媒元素が $5 \times 10^{18} \text{atoms/cm}^3$ 以上(代表的には $1 \times 10^{19} \sim 5 \times 10^{20} \text{atoms/cm}^3$)濃度で存在する。

【0103】

また、nチャネル型TFT702には、チャネル形成領域604、ソース領域605、ドレイン領域606が形成され、チャネル形成領域の片側(ドレイン領域側)に、ゲート絶縁膜を挟んでゲート配線と重なったLDD領域(本明細書中ではこのような領域をLov領域という。なお、ovはoverlapの意味で付した。)607が形成される。この時、Lov領域607は $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ の濃度でリンを含み、且つ、ゲート配線と全部重なるように形成される。

【0104】

また、nチャネル型TFT703には、チャネル形成領域608、ソース領域609、ドレイン領域610、そしてチャネル形成領域の両側にLDD領域611、612が形成される。なお、この構造ではLDD領域611、612の一部がゲート配線と重なるように配置されたために、ゲート絶縁膜を挟んでゲート配線と重なったLDD領域(Lov領域)とゲート絶縁膜を挟んでゲート配線と重ならないLDD領域(本明細書中ではこのような領域をLoff領域という。なお、offはoffsetの意味で付した。)が形成されている。

【0105】

ここで図9に示す断面図は図8(B)に示したnチャネル型TFT703を図7(B)の

10

20

30

40

50

工程まで作製した状態を示す拡大図である。ここに示すように、LDD領域611はさらにLov領域611a、Loff領域611bに、LDD領域612はさらにLov領域612a、Loff領域612bに区別できる。また、前述のLov領域611a、612aには $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度でリンが含まれるが、Loff領域611b、612bはその1~2倍(代表的には1.2~1.5倍)の濃度でリンが含まれる。

【0106】

また、画素TF704には、チャンネル形成領域613、614、ソース領域615、ドレイン領域616、Loff領域617~620、Loff領域618、619に接したn型不純物領域(a)621が形成される。この時、ソース領域615、ドレイン領域616はそれぞれn型不純物領域(a)で形成され、Loff領域617~620はn型不純物領域(c)で形成される。

10

【0107】

本実施例によれば、画素部および駆動回路が求める性能に応じて回路または素子を形成するTF704の構造を最適化し、半導体装置の動作性能および信頼性を向上させることができる。具体的には、nチャンネル型TF704は回路仕様に応じてLDD領域の配置を異ならせ、Lov領域またはLoff領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視したTF704構造と低オフ電流動作を重視したTF704構造とを実現しうる。

【0108】

例えば、アクティブマトリクス型液晶表示装置の場合、nチャンネル型TF702は高速動作を重視するシフトレジスタ、信号分割回路、レベルシフト、バッファなどの駆動回路に適している。即ち、チャンネル形成領域の片側(ドレイン領域側)のみにLov領域を配置することで、できるだけ抵抗成分を低減させつつホットキャリア注入による劣化に強い動作を達成しうる。これは上記回路の場合、ソース領域とドレイン領域の機能が変わらず、キャリア(電子)の移動する方向が一定だからである。但し、必要に応じてチャンネル形成領域の両側にLov領域を配置することもできる。

20

【0109】

また、nチャンネル型TF703はホットキャリア対策と低オフ電流動作の双方を重視するサンプリング回路(トランスファゲート)に適している。即ち、Lov領域を配置することでホットキャリア対策とし、さらにLoff領域を配置することで低オフ電流動作を達成しうる。また、サンプリング回路はソース領域とドレイン領域の機能が反転してキャリアの移動方向が180°変わるため、ゲート配線を中心に線対称となるような構造としなければならない。なお、場合によってはLov領域のみとすることもありうる。

30

【0110】

また、nチャンネル型TF704は低オフ電流動作を重視した画素部もしくはサンプリング回路に適している。即ち、オフ電流値を増加させる要因となりうるLov領域を配置せず、Loff領域のみを配置することで低オフ電流動作を達成しうる。また、駆動回路のLDD領域よりも低い濃度のLDD領域をLoff領域として用いることで、多少オン電流値が低下するが徹底的にオフ電流値を低減することができる。さらに、n型不純物領域(a)621はオフ電流値を低減する上で非常に有効である。

40

【0111】

また、nチャンネル型TF702のLov領域607の長さ(幅)は0.1~3.0 μm 、代表的には0.2~1.5 μm とすれば良い。また、nチャンネル型TF703のLov領域611a、612aの長さ(幅)は0.1~3.0 μm 、代表的には0.2~1.5 μm 、Loff領域611b、612bの長さ(幅)は1.0~3.5 μm 、代表的には1.5~2.0 μm とすれば良い。また、画素TF704に設けられるLoff領域617~620の長さ(幅)は0.5~3.5 μm 、代表的には2.0~2.5 μm とすれば良い。

【0112】

また、本実施例では保持容量の誘電体として比誘電率が7~9と高いアルミナ膜を用いたことで、必要な容量を形成するための面積を少なくすることを可能としている。さらに、

50

本実施例のように画素TFT上に形成される遮蔽膜を保持容量の一方の電極とすることで、アクティブマトリクス型液晶表示装置の画像表示部の開口率を向上させることができる。

【0113】

次に、アクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。まず図8(B)に示した構造のアクティブマトリクス基板に対し、配向膜573を形成する。本実施例では配向膜としてポリイミド膜を用いる。また、対向基板574には、透明導電膜からなる対向電極575と、配向膜576とを形成する。なお、対向基板には必要に応じてカラーフィルターや遮蔽膜を形成しても良い。

【0114】

次に、配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するように調節する。そして、画素部と、駆動回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材を用いて貼り合わせる。

【0115】

その後、両基板の間に液晶578を注入し、封止剤(図示せず)によって完全に封止する。液晶には公知の液晶材料を用いれば良い。このようにして図8(B)に示すアクティブマトリクス型液晶表示装置が完成する。

【0116】

本願発明を実施することにより、保持容量の誘電体に偶発的に形成されてしまったピンホールを絶縁物で塞ぐことが可能となり、遮蔽膜と画素電極との間でショートが起こるといった不具合を解決することができる。即ち、製造プロセスの歩留まりを大幅に向上することができる。

【0117】

なお、ピンホールの孔埋めにおいて、本実施例のように樹脂材料を用いる場合、ピンホール自体の検出は困難であるが、ピンホールが存在した位置に他の領域よりも多くの樹脂材料が存在することになる。このことは、保持容量の誘電体において部分的に炭素濃度の高い領域が存在することを意味する。誘電体中の炭素濃度の分布を調べるには、SIMS分析(質量二次イオン分析)やEDX(エネルギー分散型X線検出器)等、公知の分析手段を用いれば良い。

【0118】

また、本実施例では弾力性に富んだ樹脂材料からなるスペーサを用いているため、図4を用いて説明したプレス工程で保持容量にかかる圧力を吸収(緩和)することができる。また、本実施例のスペーサは素子に対する接触面積がビーズ状スペーサのそれより大きいため、特定部分に過剰な圧力がかかるようなことがない。

【0119】

また、形成位置を自由に設計することができるので、画像表示領域を有効に活用することができる。本願発明の場合、遮蔽膜やソース配線上など画像表示領域として用いない領域に形成すれば良い。勿論、樹脂材料に限らず無機材料でスペーサを形成しても良いし、スペーサをテーパー状に形成して配向膜(または画素電極)との接触面積を広くして圧力を分散させることも有効である。

【0120】

[実施例2]

本実施例では、実施例1に示したアクティブマトリクス型液晶表示装置の構成を、図10の斜視図を用いて説明する。アクティブマトリクス基板は、ガラス基板801上に形成された、画素部802と、ゲート側駆動回路803と、ソース側駆動回路804で構成される。画素部の画素TFT805(図8(B)の画素TFT704に相当する)はnチャネル型TFTであり、画素電極806及び保持容量807(図8(A)の保持容量572に相当する)に接続される。

【0121】

10

20

30

40

50

また、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。ゲート側駆動回路803と、ソース側駆動回路804はそれぞれゲート配線808とソース配線809で画素部802に接続されている。また、FPC810が接続された外部入出力端子811には駆動回路まで信号を伝達するための入出力配線(接続配線)812、813が設けられている。また、814は対向基板である。

【0122】

なお、本明細書中では図10に示した半導体装置をアクティブマトリクス型液晶表示装置と呼んでいるが、図10に示すようにFPCまで取り付けられた液晶パネルのことを一般的には液晶モジュールという。従って、本実施例でいうアクティブマトリクス型液晶表示装置を液晶モジュールと呼んでも差し支えない。

10

【0123】

[実施例3]

本実施例では、実施例2で示した液晶表示装置の回路構成の一例を図11に示す。本実施例の液晶表示装置は、ソース側駆動回路901、ゲート側駆動回路(A)907、ゲート側駆動回路(B)911、プリチャージ回路912、画素部906を有している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

【0124】

ソース側駆動回路901は、シフトレジスタ902、レベルシフタ903、バッファ904、サンプリング回路905を備えている。また、ゲート側駆動回路(A)907は、シフトレジスタ908、レベルシフタ909、バッファ910を備えている。ゲート側駆動回路(B)911も同様な構成である。

20

【0125】

ここでシフトレジスタ902、908は駆動電圧が5~16V(代表的には10V)であり、回路を形成するCMOS回路に使われるnチャネル型TFTは図8(B)の702で示される構造が適している。

【0126】

また、レベルシフタ903、909、バッファ904、910は、駆動電圧は14~16Vと高くなるが、シフトレジスタと同様に、図8(B)のnチャネル型TFT702を含むCMOS回路が適している。なお、ゲート配線をダブルゲート構造、トリプルゲート構造といったマルチゲート構造とすることは、各回路の信頼性を向上させる上で有効である。

30

【0127】

また、サンプリング回路905は駆動電圧が14~16Vであるが、ソース領域とドレイン領域が反転する上、オフ電流値を低減する必要があるので、図8(B)のnチャネル型TFT703を含むCMOS回路が適している。なお、図8(B)ではnチャネル型TFTしか図示されていないが、実際にサンプリング回路を形成する時はnチャネル型TFTとpチャネル型TFTとを組み合わせることで形成することになる。

【0128】

また、画素部906は駆動電圧が14~16Vであり、サンプリング回路905よりもさらにオフ電流値が低いことを要求するので、オフ電流の増加を招くLov領域を配置しない構造とすることが望ましく、図8(B)のnチャネル型TFT704を画素TFTとして用いることが望ましい。

40

【0129】

なお、本実施例の構成は、実施例1に示した作製工程に従ってTFTを作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路の構成のみ示しているが、実施例1の作製工程に従えば、その他にも信号分割回路、D/Aコンバータ、オペアンプ、補正回路など駆動回路以外の論理回路(信号処理回路)を同一基板上に形成することが可能であり、さらにはメモリ部やマイクロプロセッサ等を形成しうる。

【0130】

50

〔実施例 4〕

本実施例では、画素部を形成する複数の画素の構造に関する一実施例を示す。説明には図 12 を用いる。

【0131】

まず、図 12 (A) において、11 は活性層、12 はゲート配線 (ゲート電極を含む)、13 はソース配線、14 はドレイン配線、15、16 はそれぞれソース配線 13 とドレイン配線 14 が活性層 11 と接続するコンタクト部である。この状態は実施例 1 において図 7 (C) の工程まで終了した時点での上面図に相当する。

【0132】

さらに、図 12 (B) に示すように、遮蔽膜 17、遮蔽膜 17 の表面に形成された酸化物 (図示せず)、前記酸化物の上に形成された樹脂材料からなるスペーサ 18、画素電極 19 が形成される。20 はドレイン配線 14 と画素電極 19 とのコンタクト部である。この状態は実施例 1 において図 8 (B) の工程まで終了した時点での上面図に相当する。

【0133】

このとき、上述の遮蔽膜 17、図示しない酸化物及び画素電極 19 とが重なる領域が保持容量となる。図 12 (B) では、21a~21c で示された領域が保持容量である。なお、画素電極 19 は画素の外周部において遮蔽膜 17 と重なっており、当然その部分にも保持容量が形成される。

【0134】

以上のように、本発明を用いることで小さい面積で大きな容量を確保しうる保持容量を形成することができる。また、スペーサ 18 を遮蔽膜 17 の上に設けることで画像表示領域 22 を狭くするようなことがない。

【0135】

なお、画素構造は本実施例の構造に限定されるものではない。また、本実施例の構造は実施例 1 の作製工程によって作製することが可能であり、実施例 2、3 に示した液晶表示装置の画素として用いることができる。

【0136】

〔実施例 5〕

本実施例では、実施例 1 とは異なる構造の画素部を有するアクティブマトリクス型液晶表示について図 13 を用いて説明する。なお、基本的な構造は図 8 (B) と同じであるので変更点のみを説明する。従って、その他の部分については図 8 (B) で説明した通りである。

【0137】

図 13 の構造では画素部を形成する画素 TFT (n チャネル型 TFT) 705 の構造が実施例 2 と異なる。具体的には、本実施例の場合、チャンネル形成領域 26、27 と n 型不純物領域 (c) からなる LDD 領域 (Loff 領域) 28~31 との間に、オフセット領域 32~35 が形成されている点で異なる。

【0138】

なお、オフセット領域とは、32~35 で示されるようにチャンネル形成領域と同一組成の半導体層 (含まれる不純物元素がチャンネル形成領域と同一であるという意味) で、ゲート電極と重ならない領域を指す。このオフセット領域 32~35 は単なる抵抗として機能し、オフ電流値を低減する上で非常に効果がある。

【0139】

このような構造を実現するには、例えば実施例 1 の図 6 (D) の工程において n 型不純物元素を添加する前に、厚さ 20~200 nm (好ましくは 25~150 nm) の珪素を含む絶縁膜を、ゲート配線等を覆って形成しておけば良い。

【0140】

こうすることでゲート電極 524a、524b の側壁に絶縁膜が形成された状態で不純物元素が添加されるので、その部分がマスクとなってオフセット領域 32~35 が形成される。従って、こうして形成されるオフセット領域 32~35 の長さは前記絶縁膜の膜厚にほ

10

20

30

40

50

ば一致し、20～200nm（好ましくは25～150nm）となる。

【0141】

この絶縁膜としてはゲート絶縁膜の材料と同一のものをを用いることが好ましい。そうすると、図6（E）の工程でゲート絶縁膜と同時に除去することができる。

【0142】

なお、本実施例の構造は実施例1の工程の一部を変更することで実現可能であり、実施例2～4のいずれの構成とも自由に組み合わせることができる。

【0143】

[実施例6]

画素部の各画素に設けられる保持容量は画素電極に接続されていない方の電極（本発明の場合は遮蔽膜）を固定電位としておくことで保持容量を形成することができる。その場合、遮蔽膜をフローティング状態（電氣的に孤立した状態）かコモン電位（データとして送られる画像信号の中間電位）に設定しておくことが望ましい。

10

【0144】

そこで本実施例では遮蔽膜をコモン電位に固定する場合の接続方法について図14を用いて説明する。なお、基本構造は図8（B）で説明した画素部と同様であるので、同一部位には同じ符号を用いて説明する。

【0145】

図14（A）において、704は実施例1と同様にして作製された画素TF T（nチャネル型TF T）であり、565は保持容量の一方の電極として機能する遮蔽膜である。画素部の外側に延在した遮蔽膜36は第3層間絶縁膜564、パッシベーション膜563に設けられたコンタクトホール37を介してコモン電位を与える電源供給線38と接続している。この電源供給線38はソース配線またはドレイン配線と同時に形成しておけば良い。

20

【0146】

このように画素部の外側において、遮蔽膜36とコモン電位を与える電源供給線38とを電氣的に接続することで、遮蔽膜565をコモン電位に保持することができる。

【0147】

次に、図14（B）において、704は実施例1と同様にして作製された画素TF Tであり、565は保持容量の一方の電極として機能する遮蔽膜である。画素部の外側まで延在した遮蔽膜39は、40で示される領域において導電膜41と酸化物42を挟んで重なる。この導電膜41は画素電極569と同時に形成される。

30

【0148】

そして、この導電膜41はコンタクトホール43を介してコモン電位を与える電源供給線44と接続している。この時、領域40では遮蔽膜39、酸化物42、及び導電膜41からなるコンデンサが形成される。このコンデンサの容量が十分に大きい（1走査ライン分の全画素に接続された全保持容量の合計容量の10倍程度）場合、領域40で形成された静電結合によって遮蔽膜39及び565の電位変動を低減することができる。

【0149】

また、図14（B）の構造を採用する場合は、アクティブマトリクス型液晶表示装置の駆動方法としてはソースライン反転駆動を採用することが好ましい。ソースライン反転駆動ならば画素電極に印加される電圧極性が1フレーム毎に反転するので、時間的に平均化すれば遮蔽膜565に蓄積される電荷量は殆どゼロとなる。即ち、非常に電位変動の小さい状態を維持できるので、安定した保持容量を形成することができる。

40

【0150】

このように図14（B）の構造を採用することで、工程数を増やすことなく遮蔽膜をコモン電位に保持することが可能となる。

【0151】

なお、本実施例の構成は、実施例1の作製工程を一部変更するだけで実現可能であり、その他の工程は実施例1と同様の工程で良い。また、実施例2～5に示したいずれの構成とも自由に組み合わせることが可能である。

50

【 0 1 5 2 】

[実施例 7]

本実施例では、実施例 1 において陽極酸化物 5 6 7 を形成する際の陽極酸化方法の一例を示す。

【 0 1 5 3 】

本実施例では、まず十分にアルカリイオン濃度の小さい酒石酸エチレングリコール溶液を作製する。これは 1 5 % の酒石酸アンモニウム水溶液とエチレングリコールとを 2 : 8 で混合した溶液であり、これにアンモニア水を加え、pH が 7 ± 0.5 となるように調節する。そして、この溶液中に陰極となる白金電極を設け、遮蔽膜 5 6 5 が形成されている基板を 1 0 の溶液に浸し、遮蔽膜 5 6 5 を陽極として、一定の直流電流を流す。なお、直流電流の量は陽極酸化対象となる遮蔽膜 5 6 5 の表面積によって変わるが、 $30 \sim 100 \mu A / cm^2$ (好ましくは $50 \sim 70 \mu A / cm^2$ とすればよい。本実施例では $60 \mu A / cm^2$ とする。

10

【 0 1 5 4 】

溶液中の陰極と陽極との間の電圧は陽極酸化物の成長に従い時間と共に変化するが、定電流のまま $100 V / min$ の昇圧レートで電圧を上昇させて、到達電圧 $45 V$ に達したところで陽極酸化処理を終了させる。このようにして遮蔽膜 5 6 5 の表面には厚さ約 $50 nm$ の陽極酸化物 5 6 7 を形成することができる。また、その結果、遮蔽膜 5 6 5 の膜厚は $90 nm$ となる。なお、ここで示した陽極酸化法に係わる数値は一例にすぎず、作製する素子の大きさ等によって当然最適値は変化するものである。

20

【 0 1 5 5 】

以上のような工程で陽極酸化処理を行うことにより、樹脂材料からなる第 3 層間絶縁膜 5 6 4 上に直接遮蔽膜 5 6 5 を形成しても、遮蔽膜 5 6 5 の密着性の悪さが問題とならない。即ち、図 7 (D) の工程において、酸化シリコン膜 5 6 6 を形成する工程を省略することができる。

【 0 1 5 6 】

なお、本実施例は実施例 1 の陽極酸化処理の条件を変更しただけであり、実施例 2 ~ 6 のいずれの構成とも自由に組み合わせることが可能である。

【 0 1 5 7 】

[実施例 8]

実施例 1 では、図 5 (B) に示す工程が終わった後に結晶質シリコン膜 5 0 4 をパターニングし、活性層 5 0 5 ~ 5 0 8 を形成してから p 型不純物領域 (b) の形成工程、n 型不純物領域 (b) の形成工程を行っているが、本願発明は結晶質シリコン膜 5 0 4 をパターニングする前に p 型不純物領域 (b) の形成工程、n 型不純物領域 (b) の形成工程を行っても良い。

30

【 0 1 5 8 】

この場合、p 型不純物領域 (b) 及び n 型不純物領域 (b) を活性化する工程 (実施例 1 では図 5 (F) のレーザーアニール工程に相当する) を、結晶質シリコン膜をパターニングする前に済ませることができる。そのため、レーザーアニール工程の最適条件がパターン設計 (活性層の位置や形状等) によって変化するという不具合を防止することができる。即ち、TF T 形成時の設計の自由度が向上するという利点がある

40

【 0 1 5 9 】

なお、本実施例は実施例 1 の工程順序を変更しただけであり、実施例 2 ~ 7 のいずれの構成とも自由に組み合わせることが可能である。

【 0 1 6 0 】

[実施例 9]

実施例 1 に示した作製工程においては、n チャネル型 TF T となる領域のみにチャネルドープ工程を行ってしきい値電圧を制御する例を示しているが、n チャネル型 TF T や p チャネル型 TF T の区別なしに全面にチャネルドープ工程を行うことも可能である。その場合、作製工程のフォトマスク数が減るので工程のスループットおよび歩留まりの向上が図

50

れる。

【0161】

また、場合によっては全面にチャネルドープ工程を施して、nチャネル型TFTまたはpチャネル型TFTのどちらか一方に、全面に添加した不純物元素と逆の導電型を付与する不純物元素を添加する場合もありうる。

【0162】

なお、本実施例の構成は、実施例1～8に示したいずれの構成とも自由に組み合わせることが可能である。

【0163】

[実施例10]

実施例1の作製工程では、結晶構造を含む半導体膜の形成方法として、結晶化を助長する触媒元素を用いる例を示したが、本実施例では、そのような触媒元素を用いずに熱結晶化またはレーザー結晶化によって結晶構造を含む半導体膜を形成する場合を示す。

【0164】

熱結晶化による場合、非晶質構造を含む半導体膜を形成した後、600～650の温度で15～24時間の熱処理工程を行えば良い。即ち、600を超える温度で熱処理を行うことにより自然核が発生し、結晶化が進行する。

【0165】

また、レーザー結晶化による場合、非晶質構造を含む半導体膜を形成した後、実施例1に示した第1アニール条件でレーザーアニール工程を行えば良い。これにより短時間で結晶構造を含む半導体膜を形成することができる。勿論、レーザーアニールの代わりにランプアニールを行っても良い。

【0166】

以上のように、TFTに用いる結晶構造を含む半導体膜は、公知のあらゆる手段を用いて形成することができる。なお、本実施例は実施例1～9のいずれの構成とも自由に組み合わせることができる。

【0167】

[実施例11]

本実施例ではTFTの活性層となる結晶質シリコン膜の作製方法として、特願平11-76967号出願明細書の実施例1に記載された技術を用いる。同出願明細書の実施例1の作製工程によれば、特異な結晶構造の結晶質シリコン膜を得ることができる。

【0168】

なお、この結晶質シリコン膜に関する詳細は、本出願人による特願平10-044659号、特願平10-152316号、特願平10-152308号または特願平10-152305号の出願を参照すれば良い。以下、本出願人が実験的に調べた結晶構造の特徴について概略を説明する。なお、この特徴は、本実施例を実施して完成されたTFTの活性層を形成する半導体層の特徴と一致すると考えて良い。

【0169】

上記結晶質シリコン膜は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認できる。

【0170】

また、電子線回折を利用すると結晶質シリコン膜の表面（チャネルを形成する部分）に、結晶軸に多少のずれが含まれているものの配向面として{110}面を確認することができる。このことはスポット径約1.35 μm の電子線回折写真を観察した際、{110}面に特有の規則性をもった回折斑点が現れていることから確認される。また、各斑点は同心円上に分布を持っていることも確認されている。

【0171】

また、X線回折法（厳密には-2法を用いたX線回折法）を用いて配向比率を算出してみると{220}面の配向比率が0.7以上（典型的には0.85以上）であることが

10

20

30

40

50

確認されている。なお、配向比率の算出方法は特開平7-321339号公報に記載された手法を用いる。

【0172】

また、個々の棒状結晶が接して形成する結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）により観察すると、結晶粒界において結晶格子に連続性があることを確認できる。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認することができる。

【0173】

なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi , Japanese Journal of Applied Physics vol.27 , No.5 , pp.751-758 , 1988」に記載された「Planar boundary」である。

10

【0174】

上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0175】

特に結晶軸（結晶面に垂直な軸）が110軸である場合、{211}双晶粒界は3の対応粒界とも呼ばれる。値は対応粒界の整合性の程度を示す指針となるパラメータであり、値が小さいほど整合性の良い粒界であることが知られている。実際に本実施例の結晶質シリコン膜を詳細にTEMを用いて観察すれば、結晶粒界の殆ど（90%以上、典型的には95%以上）が3の対応粒界、典型的には{211}双晶粒界であることが判る。

20

【0176】

二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が{110}である場合、{111}面に対応する格子縞がなす角を θ とすると、 $\theta = 70.5^\circ$ の時に3の対応粒界となることが知られている。本実施例の結晶質シリコン膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約70.5°の角度で連続しており、その事からこの結晶粒界は3の対応粒界であると言える。

30

【0177】

なお、 $\theta = 38.9^\circ$ の時には9の対応粒界となるが、このような他の対応粒界も存在する。いずれにしても不活性であることに変わりはない。

【0178】

このような結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、このような結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しない見なすことができる。

40

【0179】

またさらに、800~1150という高い温度での熱処理工程（熱酸化工程や不純物元素の活性化工程）によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認される。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから明らかである。

【0180】

この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance : ESR）によってスピン密度の差となって現れる。現状では本実施例の結晶質シリコン膜のスピン密度は少なくとも 5×10^{17} spins/cm³以下（好ましくは 3×10^{17} spins/cm³以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密

50

度はさらに低いと予想される。

【0181】

以上の事から、本実施例の結晶質シリコン膜は結晶粒内の欠陥が極端に少なく、結晶粒界が実質的に存在しないと見なせるため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。

【0182】

本実施例を実施することで、上記のような特異な結晶構造の結晶質シリコン膜をTFTの活性層として用いることが可能である。これにより非常に優れた電気特性を示すTFTを形成することができ、さらに半導体装置の動作性能を向上させることが可能となる。

【0183】

なお、本実施例の構成は、実施例1の一部の工程を変更するだけで実施することが可能である。また、実施例2～10のいずれの構成とも自由に組み合わせることが可能である。

【0184】

[実施例12]

本実施例では、実施例1と異なる工程により保持容量の誘電体に形成されたピンホールを埋め込む例について説明する。まず、図15(A)は本実施例の画素構造であり、図2と同様に、TFT202上に平坦化膜203を介して遮蔽膜204、酸化物205が設けられている。

【0185】

そして、酸化物205を介して遮蔽膜204と重なるように設けられた画素電極46、画素電極を覆う配向膜47、配向膜の上に形成された樹脂材料からなるスペーサ48が設けられる。なお、図15(B)は図15(A)の点線49で示される領域の拡大図である。図15(B)に示すように、酸化物205に形成されてしまったピンホール214は充填物50によって塞がれている。

【0186】

実施例1では樹脂材料からなるスペーサを形成すると同時に、スペーサの材料を用いて保持容量の誘電体のピンホールを埋め込む例を示しているが、本実施例の場合は、画素電極46を形成する前に前もってピンホールの埋め込みを行っておき、その上で画素電極46、配向膜47、スペーサ48の形成を行う点に特徴がある。

【0187】

ここで、本実施例で用いるピンホールの埋め込む工程について図16、図17を用いて説明する。

【0188】

まず、実施例1の作製工程に従って図7(D)の工程までを終了させる。このとき、陽極酸化物567には陽極酸化時のゴミの付着等によりピンホール51a、51bが形成されてしまったとする。

【0189】

その上に樹脂絶縁膜(本実施例ではポリイミド膜)52を0.1~1 μ m(代表的には0.2~0.3 μ m)の厚さで形成する。この時点でピンホール51a、51bは樹脂絶縁膜52によって塞がれる。(図16(A))

【0190】

次に、酸素ガスを用いてプラズマを形成し、そのプラズマ中に処理基板を曝すことにより樹脂絶縁膜52をエッチングする。このエッチング技術は樹脂材料のアッシング(灰化)工程として知られている。(図16(B))

【0191】

この工程では、陽極酸化物567上に形成された樹脂絶縁膜52はすべて除去されるが、ピンホール51a、51bの内部に埋め込まれた一部の樹脂絶縁膜は除去されずに残ると考えられる。即ち、図16(B)に示したように、ピンホール51a、51bが樹脂絶縁膜52の一部(充填物53a、53b)によって塞がれた状態を得ることができる。

【0192】

10

20

30

40

50

また、図17のような工程を用いることもできる。まず、実施例1の作製工程に従って図7(D)の工程までを終了させる。このとき、陽極酸化物567には陽極酸化時のゴミの付着等によりピンホール54a、54bが形成されてしまったとする。

【0193】

その上に樹脂絶縁膜(本実施例ではポジ型の感光性をもつアクリル膜)55を0.1~1 μm (代表的には0.2~0.3 μm)の厚さで形成する。この時点でピンホール54a、54bは樹脂絶縁膜55によって塞がれる。(図17(A))

【0194】

次に、通常の露光条件で樹脂絶縁膜55を露光して感光させる。そして、通常の現像工程により感光された樹脂絶縁膜55を除去する。この工程では、陽極酸化物567上に形成された樹脂絶縁膜55はすべて除去されるが、ピンホール54a、54bの内部に埋め込まれた一部の樹脂絶縁膜は光が届かずに感光されないまま残り、結果的に除去されずに残ると考えられる。即ち、図17(B)に示したように、ピンホール54a、54bが樹脂絶縁膜55の一部(充填物56a、56b)によって塞がれた状態を得ることができる。

10

【0195】

こうして図16(B)または図17(B)の状態が得られたら、画素電極46、配向膜47、スペーサ48を形成していけば良い。そのあとはセル組み工程を行うことにより図15(A)の画素構造を得ることができる。

【0196】

なお、本実施例の構成は、実施例2~11のいずれの構成とも自由に組み合わせることが可能である。

20

【0197】

[実施例13]

本実施例では、図15で説明した画素構造とは別の位置に樹脂材料からなるスペーサを形成する例を示す。なお、図18(A)に示す構造は、スペーサの形成位置が異なるだけで画素構造自体は図15(A)と同一である。また、図18(B)は点線61で囲んだ部分の拡大図である。

【0198】

本実施例では画素TF T 202と画素電極62とが電氣的に接続するコンタクト部の上にスペーサ63を設ける。本実施例の構成とすることで、コンタクト部に形成される段差(層間絶縁膜203の膜厚分)を埋め込むことが可能となり、段差に起因する液晶分子の配向不良を防止することができる。

30

【0199】

また、本実施例の画素構造を上面から見た図を図19に示す。図19において、204は遮蔽膜であり、その上には図示されていない酸化物205を介して画素電極62が設けられている。このとき、遮蔽膜204、酸化物205及び画素電極62で保持容量64a~64cが形成される。

【0200】

また、画素電極のコンタクト部65の上に樹脂材料からなるスペーサ63が形成される。このように樹脂材料からなるスペーサは場所を指定して自由に配置位置を設計することができるという利点がある。

40

【0201】

なお、本実施例に示したスペーサ63と実施例12に示したスペーサ48(図15(A)参照)とを併用することもできるし、画素の位置によって使い分けることも可能である。また、実施例2~12のいずれの構成とも自由に組み合わせることが可能である。

【0202】

[実施例14]

本実施例では、実施例12で説明した画素構造と異なる構造とした場合の例について図20を用いて説明する。なお、図15と同一の部分については同一の符号を用いることとする。

50

【0203】

図20に示すように、TFT202上には層間絶縁膜203を介して遮蔽膜204が設けられ、その表面には酸化物205が形成されている。本実施例では、酸化物205を形成した後、樹脂絶縁膜66を形成して遮蔽膜204と酸化物205とで形成される段差を平坦化する。

【0204】

樹脂絶縁膜66は、一旦十分に厚く（少なくとも遮蔽膜204と酸化物205とで形成される段差が平坦化されるまで）形成しておき、プラズマ処理によるエッチング工程、機械研磨または電解研磨により膜厚を減じて、残存する樹脂絶縁膜の膜厚と前記段差の高さが概略一致するところで処理をやめれば良い。

10

【0205】

その後、画素電極67、配向膜68を形成し、画素電極のコンタクト部69の上にパターンニングによりスペーサ70を形成する。

【0206】

本実施例を実施すると、遮蔽膜204と酸化物205とで形成される段差が平坦化される上、さらに画素電極のコンタクト部までも平坦化することができるため、非常に平坦度の高い画素電極が形成できる。従って、液晶71に形成される電界も非常に均一にすることができ、液晶の配向不良を大幅に低減することができる。即ち、明るく、高精細な画像表示が可能となる。

【0207】

なお、本実施例の構成は、実施例2～13のいずれの構成とも自由に組み合わせることが可能である。

20

【0208】

[実施例15]

本実施例では、画素部以外におけるスペーサの配置について図21を用いて説明する。

【0209】

図21において、1001は実施例1の工程に従って作製したアクティブマトリクス基板であり、画素部1002、ゲート側駆動回路1003、ソース側駆動回路1004、信号分割回路1005、外部接続端子（I/Oポート）1006が形成されている。

【0210】

ここで図示しない対向基板は、シール材（封止材ともいう。代表的にはエポキシ系樹脂材料が用いられる。）1007でアクティブマトリクス基板1001と貼り合わせられ、シール材1007で囲まれた領域内に液晶が封入される。シール材1007にはフィラーと呼ばれる球状または棒状の固いスペーサ（無機材料からなるスペーサ）が予め添加されており、シール材をアクティブマトリクス基板にスクリーン印刷する際に同時に配置される。

30

【0211】

本実施例では、このシール材1007が形成される位置に対してフォトリソグラフィによりスペーサ（第1スペーサ）1008が形成される。また、画素部1002、ゲート側駆動回路1003、ソース側駆動回路1004または信号分割回路1005など各領域間の隙間に、フォトリソグラフィによりスペーサ1009（第2スペーサ）が形成される。さらに、画素部内には図12（B）や図19に示した位置にフォトリソグラフィによりスペーサ（第3スペーサ）1010が形成される。

40

【0212】

また、1011で示される領域を拡大して模式的に表したのが図21（B）である。基板1012上には、シフトレジスタ回路等を形成するCMOS回路1013、サンプリング回路1014及び画素部に形成される画素TFT1015が形成され、層間絶縁膜1016を介して保持容量1017と画素電極1018が形成されている。

【0213】

また、1019は対向基板、1020は対向電極であり、対向基板とアクティブマトリク

50

基板との間にはスペーサを介して液晶1021が封入される。このとき、シール材1007の中には、樹脂材料からなるスペーサ(第1スペーサ)1008と無機材料からなるスペーサ(フィラー)1022が含まれている。

【0214】

そして、CMOS回路1013やサンプリング回路1014等で形成される駆動回路と画素部との隙間に樹脂材料からなるスペーサ(第2スペーサ)1009が形成されている。また、駆動回路の内部においても、例えばシフトレジスタ回路とサンプリング回路の間のように、回路間又は素子間の隙間に樹脂材料からなるスペーサ(第4スペーサ)1023を設けることができる。

【0215】

また、図21(B)では画素TFT1015と画素電極1018とのコンタクト部の上に樹脂材料からなるスペーサ(第3スペーサ)1010が形成されている。なお、併用して保持容量1017の上にも樹脂材料からなるスペーサを設けることは可能である。また、コンタクト部には設けずに、保持容量1017の上だけに樹脂材料からなるスペーサを設けることも可能である。

【0216】

以上のように、樹脂材料からなるスペーサはフォトリソグラフィにて形成するため自由に配置を設計することが可能である。本実施例はその利点を用い、TFTが形成されない領域に選択的にスペーサを設けることを特徴とする。

【0217】

なお、図21(B)に図示されたスペーサ1008~1010、1023はすべて同時に用いる必要はなく、単独または組み合わせて用いることができ、その組み合わせは自由である。

【0218】

例えば、対角1インチ以下のアクティブマトリクス型液晶表示装置においては、パネルサイズが十分に小さいので、シール材が形成される位置に第1スペーサ1008を設けるだけでも良い場合がある。勿論、第1スペーサ1008と第2スペーサ1009の組み合わせ、第1スペーサ1008と第4スペーサ1023との組み合わせ、若しくは第1スペーサ1008と第2スペーサ1009と第4スペーサ1023との組み合わせでも良い。

【0219】

また、シール材が形成される位置は無機材料からなるスペーサ1022だけにしておき、第2スペーサ1009と第3スペーサ1010の組み合わせ、若しくは第4スペーサ1023と第3スペーサ1010の組み合わせとしても良い。

【0220】

また、駆動回路付近にはスペーサを置かず、第1スペーサ1008と第3スペーサ1010の組み合わせとすることもできる。

【0221】

また、第1スペーサ1008と第3スペーサ1010と第4スペーサ1023の組み合わせ、若しくは第1スペーサ1008と第2スペーサ1009と第3スペーサ1010の組み合わせでも良い。

【0222】

また、本実施例では画素部の構造として図18で説明した構造を例にしているが、図2の構造としても良い。

【0223】

なお、本実施例の構成は、実施例1~14のいずれの構成とも自由に組み合わせることが可能である。

【0224】

[実施例16]

本発明は半導体基板を用いた従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、三次元構造の半導体装置を実現するこ

10

20

30

40

50

とも可能である。

【0225】

また、反射型液晶表示装置を作製する場合に限り、基板としてSIMOX、Smart-Cut (SOITEC社の登録商標)、ELTRAN (キャノン株式会社の登録商標) などのSOI基板を用いることも可能である。勿論、これらのSOI技術を用いて透明基板上に単結晶半導体薄膜を形成する技術が確立されれば、透過型表示装置に用いることも可能となる。

【0226】

なお、本実施例の構成は、実施例1～15のいずれの構成とも自由に組み合わせることが可能である。

10

【0227】

[実施例17]

本願発明はアクティブマトリクス型EL (エレクトロルミネッセンス) 表示装置やアクティブマトリクス型EC (エレクトロクロミクス) 表示装置に対して実施することも可能である。本実施例ではアクティブマトリクス型EL表示装置に実施した例を図22に示す。

【0228】

図22はアクティブマトリクス型EL表示装置の回路図である。81は画素部を表しており、その周辺にはX方向(ソース側)駆動回路82、Y方向(ゲート側)駆動回路83が設けられている。また、画素部81の各画素は、スイッチ用TFT84、コンデンサ85、電流制御用TFT86、有機EL素子87を有し、スイッチ用TFT84にX方向(ソース側)信号線88a(または88b)、Y方向(ゲート側)信号線89a(または89b、89c)が接続される。また、電流制御用TFT86には、電源線90a、90bが接続される。

20

【0229】

本実施例のアクティブマトリクス型EL表示装置では、X方向駆動回路82、Y方向駆動回路83を図8(C)のpチャネル型TFT701、nチャネル型TFT702または703を組み合わせて形成する。また、スイッチ用TFT84を図8(B)のnチャネル型TFT704で形成し、電流制御用TFT86を図8(C)のpチャネル型TFT701で形成する。また、コンデンサ85として本発明により図8(A)の保持容量572を用いて形成する。

30

【0230】

ところで、TFTの上方に向かって(TFTを形成した基板を通さずに)光出射を行う動作モードのEL表示装置の場合、画素電極を反射性の電極で形成することになる。EL表示装置において画素内のどこにEL素子を配置するかは画素構造によっても異なるが、このような動作モードの場合、画素電極の上は全て有効表示領域として用いることができるため、保持容量の上にもEL素子を形成することができる。

【0231】

その場合、遮蔽膜(但しこの場合電界遮蔽の効果しかない)に起因する段差があるとEL素子も段差を有するようになり、その部分で発光方向が乱れるので画像表示の明るさや色合いを低下させる原因にもなる。本発明はこのような状況を解決する手段としても有効である。

40

【0232】

なお、本実施例のアクティブマトリクス型EL表示装置のコンデンサ85に対して樹脂材料からなる充填物によるピンホールの埋め込みを行うことは有効である。本実施例は、実施例5～11、実施例12(特に図16または図17の作製工程)、実施例14、実施例16のいずれの構成とも自由に組み合わせることが可能である。

【0233】

[実施例18]

本願発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能である。

50

そのような材料として、TN液晶、P D L C (ポリマー分散型液晶)、スメクチック液晶が挙げられる。スメクチック液晶としては代表的にF L C (強誘電性液晶)、A F L C (反強誘電性液晶)、またはF L CとA F L Cの混合物(反強誘電性混合液晶)が挙げられる。

【0234】

例えば、「H.Furue et al.;Characteristics and Drivng Scheme of Polymer-Stabilized Monostable FLC D Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability,SID,1998」、「T.Yoshida et al.;A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time,841,SID97DIGEST,1997」、「S.Inui et al.;Thresholdless antiferroelectricity in liquid crystals and its application to displays,671-673,J.Mater.Chem.6(4),1996」、または米国特許第5,594,569号に開示された材料を用いることができる。

10

【0235】

特に、電場に対して透過率が連続的に変化する電気光学応答特性を示す無しきい値反強誘電性混合液晶(Thresholdless Antiferroelectric LCD: T L - A F L Cと略記する)にはV字型(またはU字型)の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度(セル厚約1μm~2μm)のものも見出されている。ここで、V字型の電気光学応答を示す無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す例を図23に示す。

【0236】

図23に示すグラフの縦軸は透過率(任意単位)、横軸は印加電圧である。なお、液晶表示装置の入射側の偏光板の透過軸は、液晶表示装置のラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角(クロスニコル)に設定されている。

20

【0237】

図23に示されるように、このような無しきい値反強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。

【0238】

そのため、画素部用の電源電圧が5~8V程度で済む場合があり、駆動回路と画素部を同じ電源電圧で動作させる可能性が示唆されている。即ち、液晶表示装置全体の低消費電力化を図ることができる。

30

【0239】

また、強誘電性液晶や反強誘電性液晶はTN液晶に比べて応答速度が速いという利点をもつ。本発明で用いるようなT F Tは非常に動作速度の速いT F Tを実現しうるため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することが可能である。

【0240】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。そういった意味で本願発明の保持容量は小さい面積で大きな容量を蓄積することができるので好ましい。

40

【0241】

なお、本実施例の液晶表示装置をパーソナルコンピュータ等の表示ディスプレイとして用いることが有効であることは言うまでもない。

【0242】

また、本実施例の構成は、実施例1~16のいずれの構成とも自由に組み合わせることが可能である。

【0243】

50

[実施例 19]

本発明の電気光学装置は電気器具（電子装置もしくは電子デバイスともいう）の表示部として用いることができる。そのような電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図24～26に示す。

【0244】

図24(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示部2004、操作スイッチ2005、アンテナ2006で構成される。本発明の電気光学装置は表示部2004に用いることができる。

10

【0245】

図24(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明の電気光学装置は表示部2102に用いることができる。

【0246】

図24(C)はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205で構成される。本発明の電気光学装置は表示部2205に用いることができる。

20

【0247】

図24(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303で構成される。本発明の電気光学装置は表示部2302に用いることができる。

【0248】

図24(E)はリアプロジェクター（プロジェクションTV）であり、本体2401、光源2402、液晶表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は液晶表示装置2403に用いることができる。

【0249】

図24(F)はフロントプロジェクターであり、本体2501、光源2502、液晶表示装置2503、光学系2504、スクリーン2505で構成される。本発明は液晶表示装置2503に用いることができる。

30

【0250】

図25(A)はパーソナルコンピュータであり、本体2601、映像入力部2602、表示部2603、キーボード2604等を含む。本発明の電気光学装置は表示部2603に用いることができる。

【0251】

図25(B)は電子遊戯機器（ゲーム機器）であり、本体2701、記録媒体2702、表示部2703及びコントローラー2704を含む。この電子遊戯機器から出力された音声や映像は筐体2705及び表示部2706を含む表示ディスプレイにて再生される。コントローラー2704と本体2701との間の通信手段または電子遊戯機器と表示ディスプレイとの間の通信手段は、有線通信、無線通信もしくは光通信が使える。本実施例では赤外線センサ部2707、2708で検知する構成となっている。本発明の電気光学装置は表示部2703、2706に用いることができる。

40

【0252】

図25(C)はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤー（画像再生装置）であり、本体2801、表示部2802、スピーカ部2803、記録媒体2804及び操作スイッチ2805を含む。なお、この画像再生装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞

50

や映画鑑賞やゲームやインターネットを行うことができる。本発明の電気光学装置は表示部 2802 に用いることができる。

【0253】

図 25 (D) はデジタルカメラであり、本体 2901、表示部 2902、接眼部 2903、操作スイッチ 2904、受像部 (図示せず) を含む。本発明の電気光学装置は表示部 2902 に用いることができる。

【0254】

なお、図 24 (E) のリアプロジェクターや図 24 (F) のフロントプロジェクターに用いることのできる光学エンジンについての詳細な説明を図 26 に示す。なお、図 26 (A) は光学エンジンであり、図 26 (B) は光学エンジンに内蔵される光源光学系である。

10

【0255】

図 26 (A) に示す光学エンジンは、光源光学系 3001、ミラー 3002、3005 ~ 3007、ダイクロイックミラー 3003、3004、光学レンズ 3008a ~ 3008c、プリズム 3011、液晶表示装置 3010、投射光学系 3012 を含む。投射光学系 3012 は、投射レンズを備えた光学系である。本実施例は液晶表示装置 3010 を三つ使用する三板式の例を示したが、単板式であってもよい。また、図 26 (A) 中において矢印で示した光路には、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフィルムもしくは IR フィルム等を設けてもよい。

【0256】

また、図 26 (B) に示すように、光源光学系 3001 は、光源 3013、3014、合成プリズム 3015、コリメータレンズ 3016、3020、レンズアレイ 3017、3018、偏光変換素子 3019 を含む。なお、図 26 (B) に示した光源光学系は光源を 2 つ用いたが、一つでも良いし、三つ以上としてもよい。また、光源光学系の光路のどこかに、光学レンズ、偏光機能を有するフィルム、位相差を調節するフィルムもしくは IR フィルム等を設けてもよい。

20

【0257】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施例 1 ~ 18 の構成を必要に応じて組み合わせることで実現できる。

【発明の効果】

30

本願発明を用いることで、1) 保持容量の誘電体のピンホールを塞ぐことができる、2) 配向膜の平坦度 (画素電極の平坦度) が向上する、といった利点を得られる。即ち、1) により保持容量における電極間のショートを防ぐことができ、2) により液晶の配向不良を防ぐことができる。

【0258】

また、弾力性に富む樹脂材料からなるスペーサを用いることで、素子にかかる負荷を低減し、素子破壊等による歩留まりの低下、信頼性の低下を防ぐことが可能となる。このように液晶表示装置に代表される電気光学装置の動作性能の向上と信頼性の向上とを達成することができる。

【0259】

40

また、延いてはそのような電気光学装置を表示ディスプレイとして有する電気器具の動作性能と信頼性をも向上させることができる。

【図面の簡単な説明】

【図 1】 コンデンサの構造を示す図。

【図 2】 液晶表示装置の画素構造を示す図。

【図 3】 改善前のコンデンサの構造を示す図。

【図 4】 改善前の液晶表示装置の画素構造を示す図。

【図 5】 画素部と駆動回路の作製工程を示す図。

【図 6】 画素部と駆動回路の作製工程を示す図。

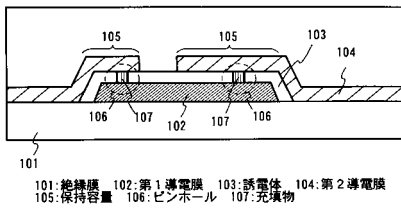
【図 7】 画素部と駆動回路の作製工程を示す図。

50

【図 8】	画素部と駆動回路の作製工程を示す図。	
【図 9】	nチャンネル型 T F T の L D D 構造を示す図。	
【図 10】	アクティブマトリクス型液晶表示装置の斜視図。	
【図 11】	アクティブマトリクス型液晶表示装置の回路ブロック図。	
【図 12】	画素の構造を示す上面図。	
【図 13】	アクティブマトリクス型液晶表示装置の断面図。	
【図 14】	画素部及び電源線と遮蔽膜の接続構造を示す断面図。	
【図 15】	液晶表示装置の画素構造を示す図。	
【図 16】	液晶表示装置の画素構造の作製工程を示す図。	
【図 17】	液晶表示装置の画素構造の作製工程を示す図。	10
【図 18】	液晶表示装置の画素構造を示す図。	
【図 19】	画素の構造を示す上面図。	
【図 20】	液晶表示装置の画素構造を示す図。	
【図 21】	スペーサの形成位置を示す図。	
【図 22】	アクティブマトリクス型 E L 表示装置の構成を示す図。	
【図 23】	無しきい値反強誘電性混合液晶の光透過率特性を示す図。	
【図 24】	電気器具の一例を示す図。	
【図 25】	電気器具の一例を示す図。	
【図 26】	光学エンジンの構成を示す図。	
【符号の説明】		20
5 0 1	基板	
5 0 2	下地膜	
5 0 3	結晶質シリコン膜	
5 0 4	結晶質シリコン膜	
5 0 5 ~ 5 0 8	活性層	
5 0 9	保護膜	
5 1 1 ~ 5 1 3	p 型不純物領域 (b) が形成された活性層	
5 1 5 ~ 5 1 7	n 型不純物領域 (b)	
5 1 8	ゲート絶縁膜	
5 1 9	第 1 導電膜	30
5 2 0	第 2 導電膜	
5 2 1 ~ 5 2 4	ゲート配線	
5 2 5 ~ 5 3 0	n 型不純物領域 (c)	
5 3 1 ~ 5 3 4	ゲート絶縁膜	
5 3 6 ~ 5 4 4	n 型不純物領域 (a)	
5 4 6、5 4 7	p 型不純物領域 (a)	
5 4 8	第 1 層間絶縁膜	
5 4 9 ~ 5 5 3	チャンネル形成領域	
5 5 4	第 2 層間絶縁膜	
5 5 5 ~ 5 5 8	ソース配線	40
5 5 9 ~ 5 6 2	ドレイン配線	
5 6 3	パッシベーション膜	
5 6 4	第 3 層間絶縁膜	
5 6 5	遮蔽膜	
5 6 6	酸化シリコン膜	
5 6 7	酸化物	
5 6 8	樹脂材料からなるスペーサ	
5 6 9 ~ 5 7 1	画素電極	
5 7 2	保持容量	
5 7 3、5 7 6	配向膜	50

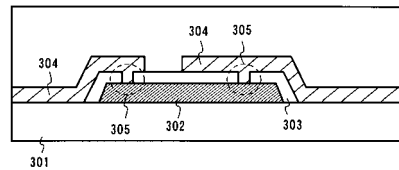
- 574 対向基板
- 575 対向電極
- 578 液晶
- 601、604、608、613、614 チャンネル形成領域
- 602、605、609、615 ソース領域
- 603、606、610、616 ドレイン領域
- 607、611a、612a Lov領域
- 611b、612b、617~620 Loff領域
- 621 n型不純物領域(a)

【図1】

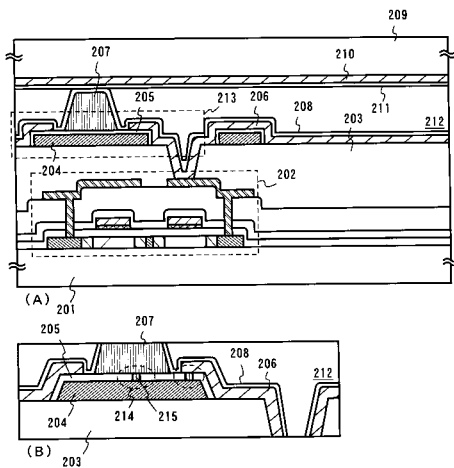


101:絶縁膜 102:第1導電膜 103:誘電体 104:第2導電膜
 105:保持容量 106:ピンホール 107:充填物

【図3】

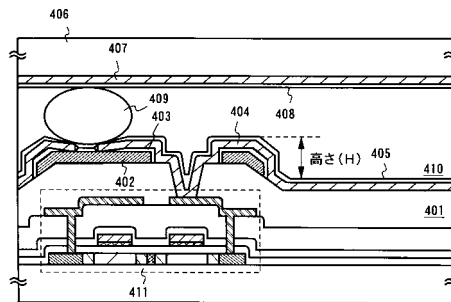


【図2】



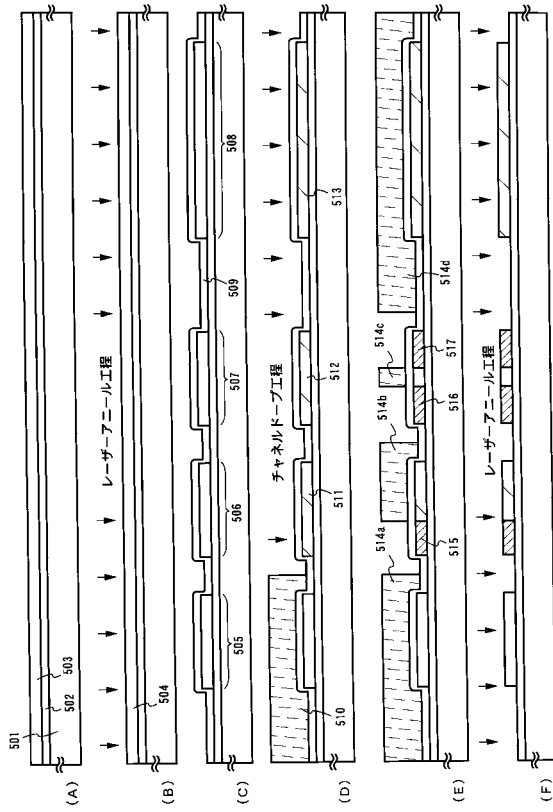
201:基板 202:画素TFT 203:平坦化膜 204:遮蔽膜 205:酸化物
 206:画素電極 207:Si₃N₄ 208:配向膜
 209:対向基板 210:対向電極 211:配向膜 212:液晶
 214:ピンホール 215:充填物

【図4】

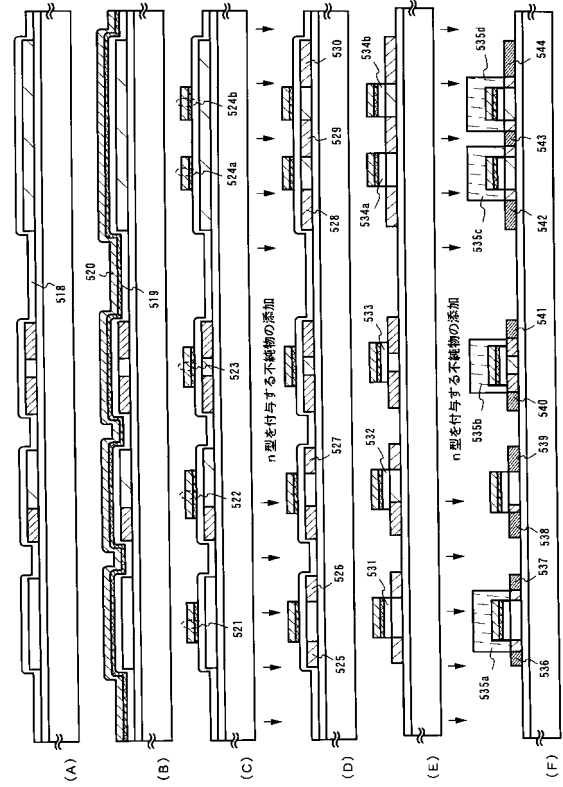


高さ(H) 405

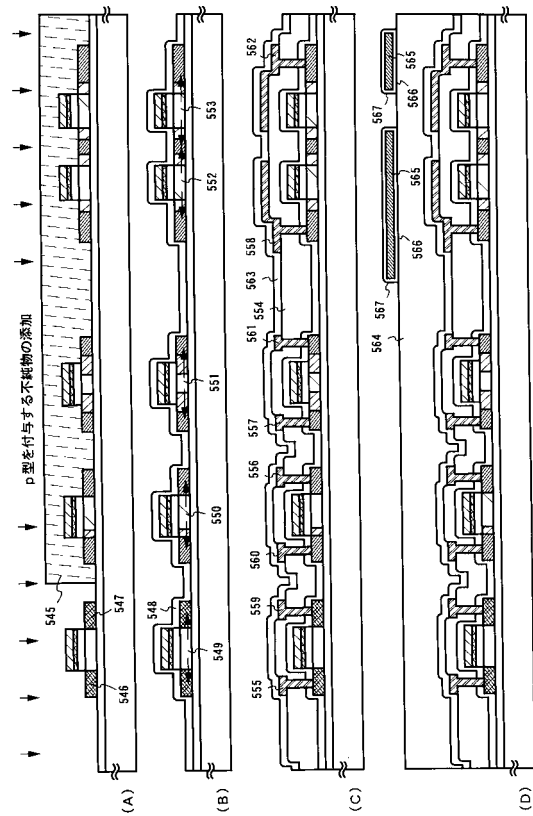
【図5】



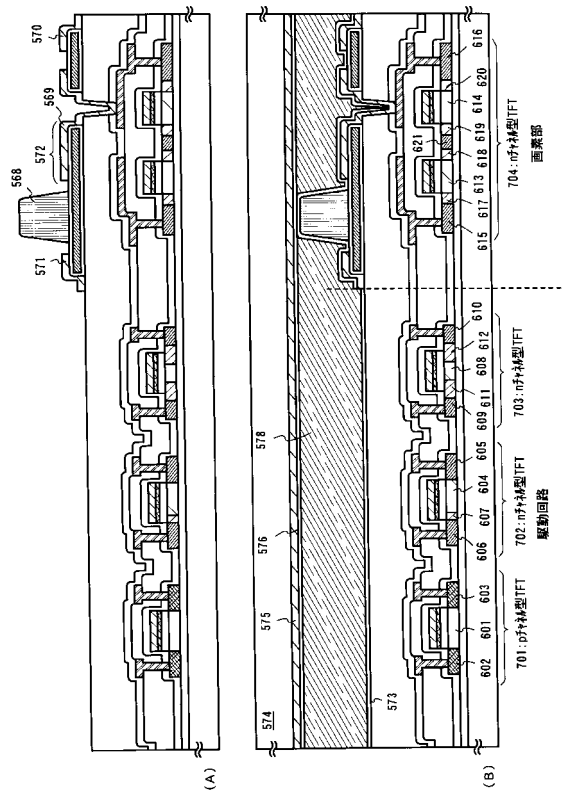
【図6】



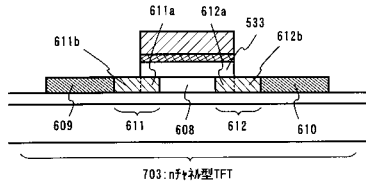
【図7】



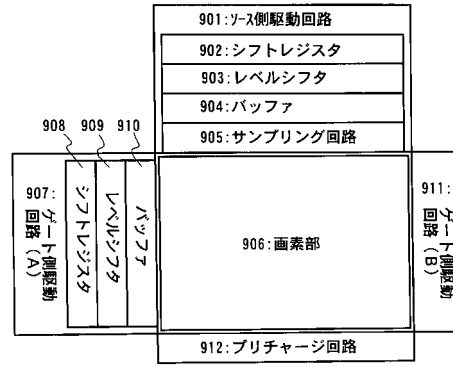
【図8】



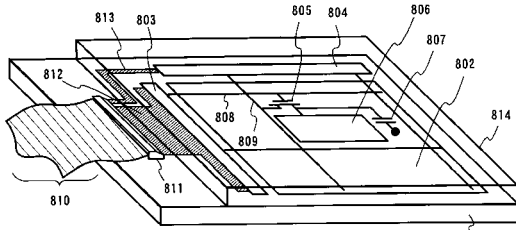
【図9】



【図11】

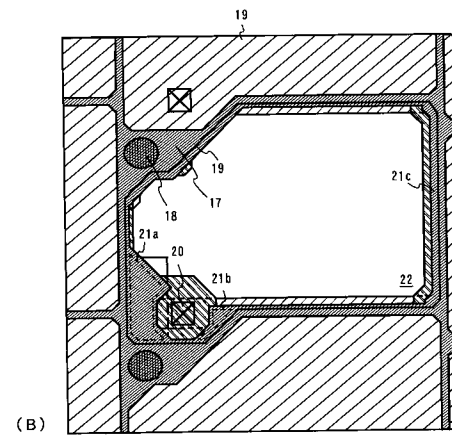
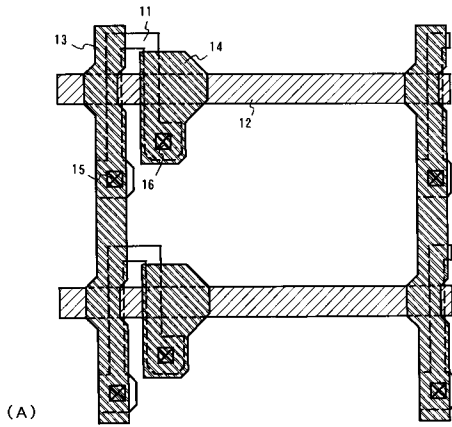


【図10】

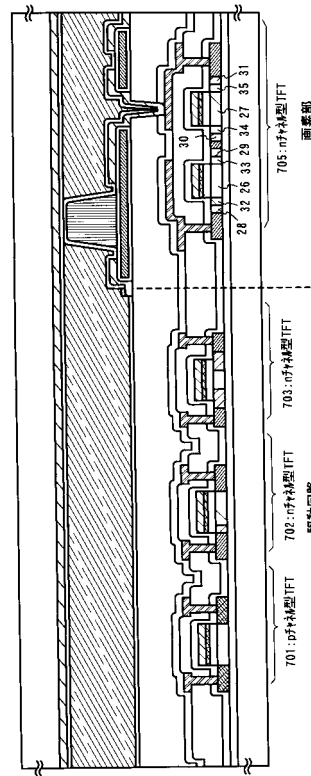


- 801: 基板
- 802: 画素部
- 803: ゲート駆動回路
- 804: スキャン駆動回路
- 805: 画素TFT
- 806: 画素電極
- 807: 保持容量
- 808: ゲート配線
- 809: スキャン配線
- 810: FPC
- 811: 外部入出力端子
- 812, 813: 入出力配線
- 814: 対向基板

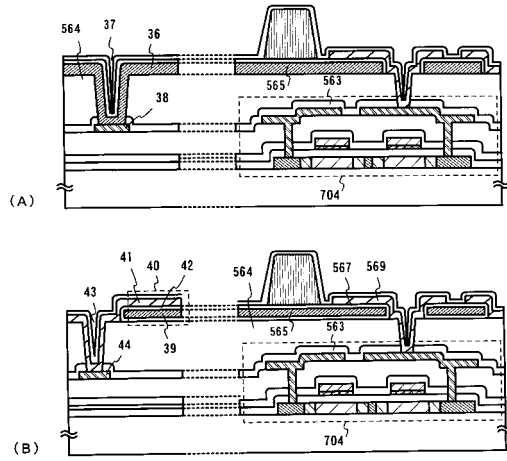
【図12】



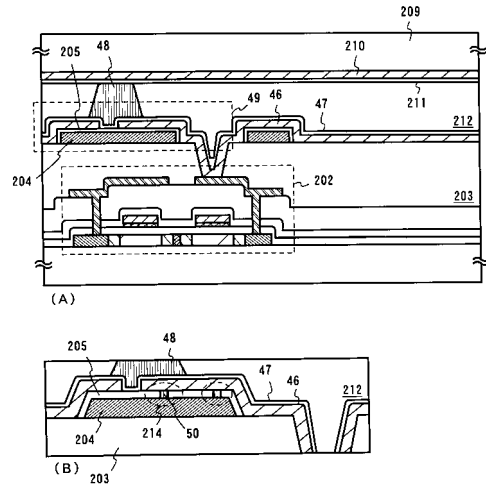
【図13】



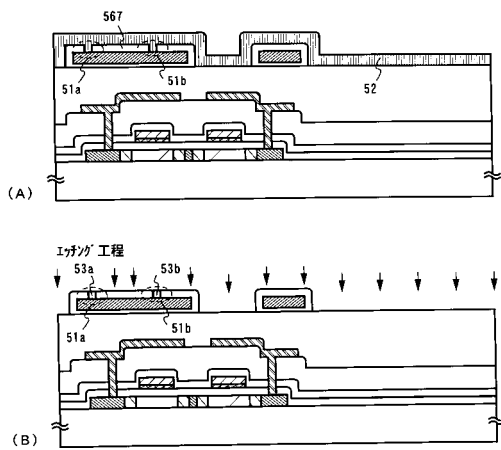
【図14】



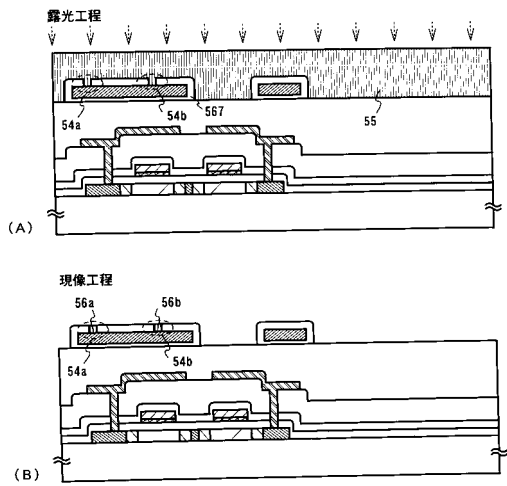
【図15】



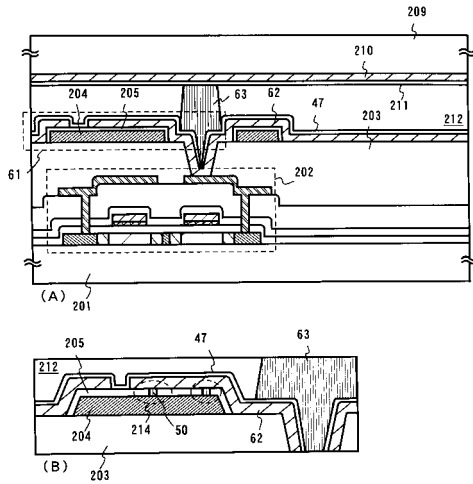
【図16】



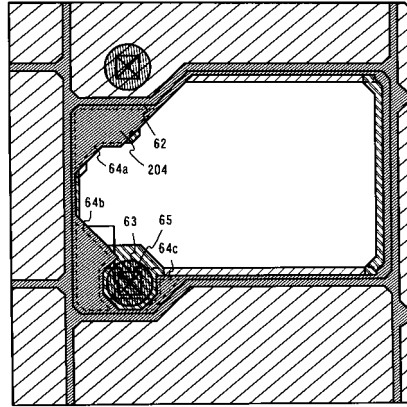
【図17】



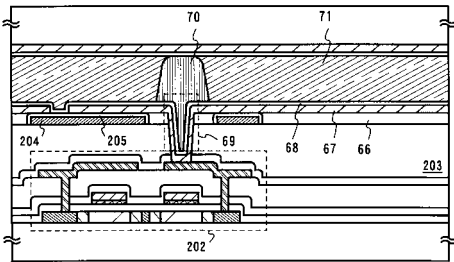
【図18】



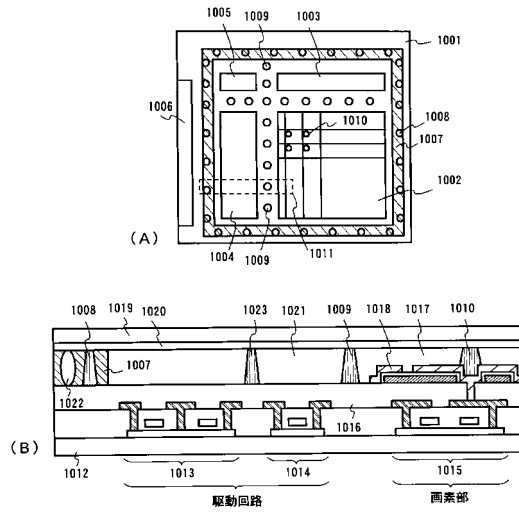
【図19】



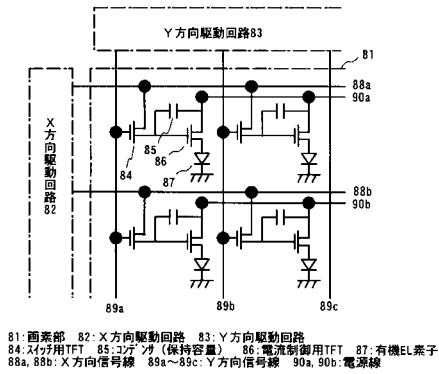
【図20】



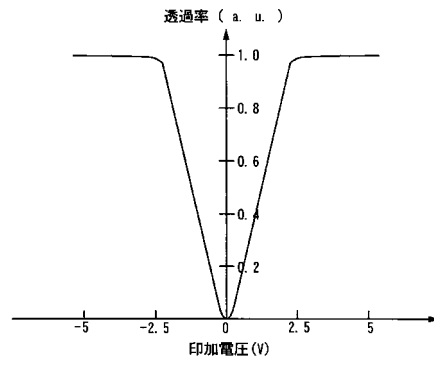
【図21】



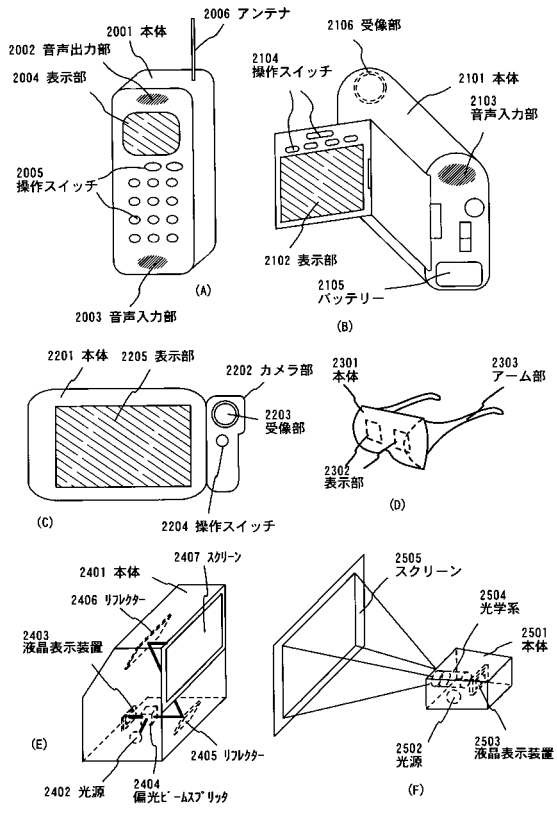
【図22】



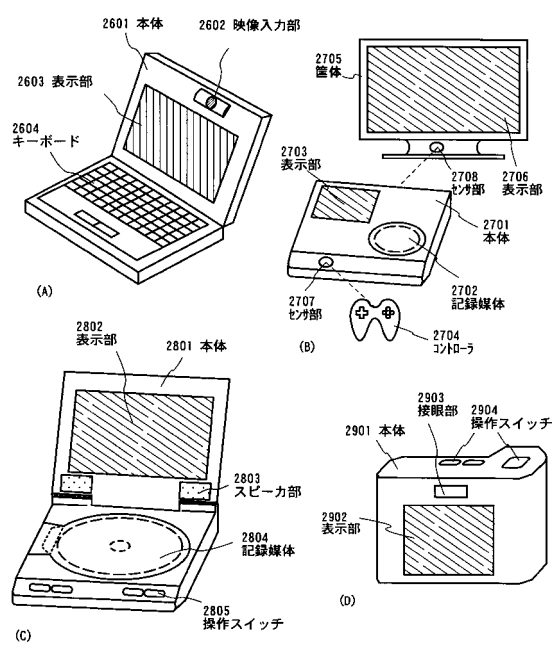
【図23】



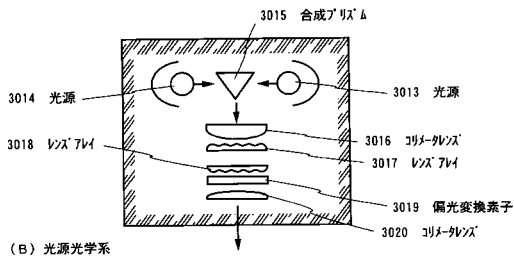
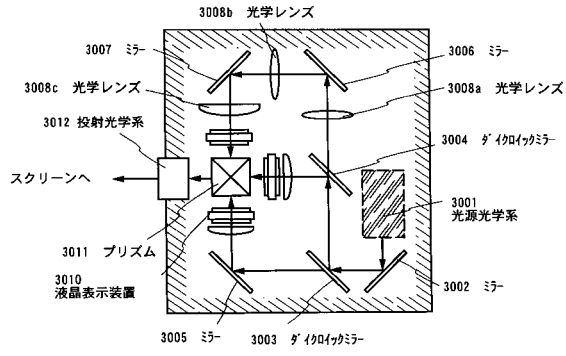
【図24】



【図25】



【図26】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/20 (2006.01) H 0 1 L 21/20
H 0 1 L 21/336 (2006.01) H 0 1 L 29/78 6 1 2 Z
H 0 1 L 29/786 (2006.01) H 0 1 L 29/78 6 1 9 A

(72)発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 大嶋 洋一

(56)参考文献 特開平11-261014(JP,A)
特開平11-109390(JP,A)
特開平11-095687(JP,A)
特開平11-095261(JP,A)
特開平10-010544(JP,A)
特開平09-236825(JP,A)
特開平09-222616(JP,A)
特開平09-197390(JP,A)
特開平09-172068(JP,A)
特開平08-006072(JP,A)
特開平07-226334(JP,A)
特開平07-153963(JP,A)
特開平07-120784(JP,A)
特開平07-114044(JP,A)
特開平06-160903(JP,A)
特開平03-078729(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
G02F 1/1339
G02F 1/136
H01L 21/20
H01L 21/265
H01L 21/336
H01L 27/04
H01L 29/786