

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月14日(14.07.2022)



(10) 国際公開番号

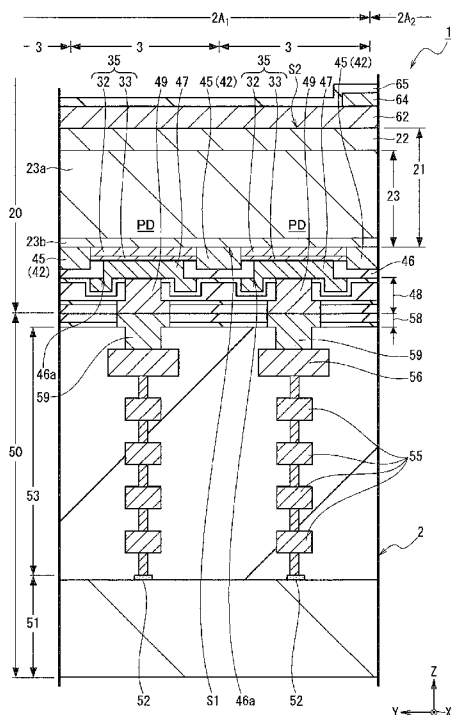
WO 2022/149362 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H04N 5/369 (2011.01)
- (21) 国際出願番号: PCT/JP2021/042773
- (22) 国際出願日: 2021年11月22日(22.11.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-002220 2021年1月8日(08.01.2021) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番4号 Kanagawa (JP).
- (72) 発明者: 藤本 賢治 (FUJIMOTO Kenji); 〒8691102 熊本県菊池郡菊陽町大字原水400番地1 ソニーセミコンダクタマニュファチャリング株式会社内 Kumamoto (JP).

- (74) 代理人: 田中 秀 ▲ て つ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー3階 特許業務法人日栄国際特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,

(54) Title: SOLID-STATE IMAGING DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 固体撮像装置及び電子機器



(57) Abstract: The present invention suppresses variation in photoelectric conversion characteristics. This solid-state imaging device comprises: a photoelectric conversion layer for the photoelectric conversion of light incident on a light incident surface side; and a first conduction-type contact part and a second conduction-type cap layer which are provided adjacent to each other on the reverse side of the photoelectric conversion layer from the light incident surface side and are formed through mutually different epitaxial growth.

(57) 要約: 光電変換特性のバラツキを抑制する。固体撮像装置は、光入射面側から入射した光を光電変換する光電変換層と、上記光電変換層の上記光入射面側とは反対側に互いに隣り合って設けられ、かつ互いに異なるエピタキシャル成長により形成された第1導電型のコンタクト部及び第2導電型のキャップ層と、を備えている。

TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称： 固体撮像装置及び電子機器

技術分野

[0001] 本技術（本開示に係る技術）は、固体撮像装置及び電子機器に関し、特に、化合物半導体層に光電変換素子が設けられた固体撮像装置及びそれを備えた電子機器に適用して有効な技術に関するものである。

背景技術

[0002] 固体撮像装置として、光電変換層を化合物半導体で構成した固体撮像装置が知られている。特許文献1には、 InGaAs を含む光電変換層と、この光電変換層の光入射面側とは反対側に積層され、かつ n 型の InP からなるキャップ層と、このキャップ層の光電変換層側とは反対側から光電変換層に向かって延伸する p 型の不純物拡散領域からなるコンタクト部と、を備えた固体撮像装置（半導体素子）が開示されている。そして、特許文献1には、光電変換層、キャップ層及びコンタクト部を備えた第1半導体基体（素子基板）と、光電変換層で光電変換された信号電荷を読み出す読出し回路を備えた第2半導体基体（読出し回路基板）と、を積層して、積層方向に素子密度を増大させた三次元構造についても開示されている。

先行技術文献

特許文献

[0003] 特許文献1：WO2018/194030号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、従来の固体撮像装置では、キャップ層に不純物を拡散してコンタクト部を形成していた。しかしながら、不純物拡散は、コンタクト部の不純物濃度を均一に制御することが難しく、光電変換特性にバラツキが生じ易くなるため、信頼性の観点から改良の余地があった。特に、 p 型のコンタクト部を形成する場合は、不純物として Zn （亜鉛）を用いるが、この Zn は

拡散係数が高いため、コンタクト部の不純物濃度を均一に制御することが難しい。

[0005] 本技術の目的は、光電変換特性のバラツキを抑制することにある。

課題を解決するための手段

[0006] 本技術の一態様に係る固体撮像装置は、
光入射面側から入射した光を光電変換する光電変換層と、
上記光電変換層の光入射面側とは反対側に互いに隣り合って設けられ、かつ互いに異なるエピタキシャル成長により形成された第1導電型のコンタクト部及び第2導電型のキャップ層と、を備えている。

[0007] 本技術の他の態様に係る固体撮像装置は、
各々の厚さ方向に積層された第1及び第2半導体基体を備え、
上記第1半導体基体は、
光入射面側から入射した光を光電変換する光電変換層と、
上記光電変換層の光入射面側とは反対側に互いに隣り合って設けられ、かつ互いに異なるエピタキシャル層で構成された第1導電型のコンタクト部及び第2導電型のキャップ層と、を備え、
上記第2半導体基体は、
上記コンタクト部と電氣的に接続された読出し回路を含む。

[0008] 本技術の他の態様に係る電子機器は、上記固体撮像装置を備えている。

図面の簡単な説明

[0009] [図1A]本技術の第1実施形態に係る固体撮像装置の一構成例を模式的に示す平面レイアウト図である。

[図1B]図1AのII-II線に沿った断面構造の一構成例を模式的に示す断面図である。

[図2]本技術の第1実施形態に係る固体撮像装置の一構成例を示すブロック図である。

[図3]本技術の第1実施形態に係る固体撮像装置に搭載された光電変換素子及び読出し回路の一構成例を示す等価回路図である。

[図4]本技術の第1実施形態に係る固体撮像装置の一構成例を模式的に示す要部断面図である。

[図5A]図4の一部を拡大した拡大断面図である。

[図5B]図5Aの一部を拡大した拡大断面図である。

[図6A]半導体ウエハの平面構成を示す図である。

[図6B]図6AのB領域を拡大してチップ形成領域の構成を示す図である。

[図7A]本技術の第1実施形態に係る固体撮像装置の製造方法を模式的に示す工程断面図である。

[図7B]図7Aに続く工程断面図である。

[図7C]図7Bに続く工程断面図である。

[図7D]図7Cに続く工程断面図である。

[図7E]図7Dに続く工程断面図である。

[図7F]図7Eに続く工程断面図である。

[図7G]図7Fに続く工程断面図である。

[図7H]図7Gに続く工程断面図である。

[図7I]図7Hに続く工程断面図である。

[図7J]図7Iに続く工程断面図である。

[図7K]図7Jに続く工程断面図である。

[図7L]図7Kに続く工程断面図である。

[図7M]図7Lに続く工程断面図である。

[図8A]本技術の第2実施形態に係る固体撮像装置の製造方法を模式的に示す工程断面図である。

[図8B]図8Aに続く工程断面図である。

[図8C]図8Bに続く工程断面図である。

[図8D]図8Cに続く工程断面図である。

[図8E]図8Dに続く工程断面図である。

[図9]本技術の第3実施形態に係る電子機器の概略構成を示す図である。

発明を実施するための形態

[0010] 以下、図面を参照して本技術の実施形態を詳細に説明する。

以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。

[0011] また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。また、本明細書中に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0012] また、以下の実施形態は、本技術の技術的思想を具体化するための装置や方法を例示するものであり、構成を下記のものに特定するものではない。即ち、本技術の技術的思想は、特許請求の範囲に記載された技術的範囲内において、種々の変更を加えることができる。

[0013] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本技術の技術的思想を限定するものではない。例えば、対象を 90° 回転して観察すれば上下は左右に変換して読まれ、 180° 回転して観察すれば上下は反転して読まれることは勿論である。

[0014] また、以下の実施形態では、空間内で互に直交する三方向において、同一平面内で互に直交する第1の方向及び第2の方向をそれぞれX方向、Y方向とし、第1の方向及び第2の方向のそれぞれと直交する第3の方向をZ方向とする。そして、以下の実施形態では、後述する受光基板部20及び回路基板部50の積層方向をZ方向として説明する。

[0015] [第1実施形態]

この第1実施形態では、裏面照射型のCMOS (Complementary Metal Oxide Semiconductor) イメージセンサである固体撮像装置に本技術を適用した一例について説明する。

[0016] 《固体撮像装置の全体構成》

まず、固体撮像装置1の全体構成について説明する。

図1 Aに示すように、本技術の第1実施形態に係る固体撮像装置1は、平面視したときの二次元平面形状が方形状の半導体チップ2を主体に構成されている。即ち、固体撮像装置1は、半導体チップ2に搭載されている。この固体撮像装置1は、図9に示すように、光学レンズ102を介して被写体からの像光（入射光106）を取り込み、撮像面上に結像された入射光106の光量を画素単位で電気信号に変換して画素信号として出力する。

[0017] 図1 A及び図1 Bに示すように、固体撮像装置1が搭載された半導体チップ2は、二次元平面において、中央部に設けられた方形状の画素領域2 Aと、この画素領域2 Aの外側に画素領域2 Aを囲むようにして配置された周辺領域2 Bとを備えている。

[0018] 画素領域2 Aは、例えば図9に示す光学レンズ（光学系）102により集光される光を受光する受光面である。そして、画素領域2 Aには、X方向及びY方向を含む二次元平面において複数の画素3が行列状に配置されている。換言すれば、画素3は、二次元平面内で互いに直交するX方向及びY方向のそれぞれの方向に繰り返し配置されている。

[0019] 図1 Aに示すように、周辺領域2 Bには、複数のボンディングパッド14が配置されている。複数のボンディングパッド14の各々は、例えば、半導体チップ2の二次元平面における4つの辺に沿って配列されている。複数のボンディングパッド14の各々は、半導体チップ2を外部装置と電氣的に接続する際に用いられる入出力端子である。

[0020] 図1 B及び図4に示すように、画素領域2 Aは、有効画素領域2 A₁と、この有効画素領域2 A₁を囲むようにして配置され、かつ光学的な基準黒レベルを出力するオプティカルブラック（Optical Black）領域2 A₂とを含む。このオプティカルブラック領域2 A₂は、図4に示すように、遮光性を有する導電膜64で覆われている。

[0021] <ロジック回路>

図2に示すように、半導体チップ2は、垂直駆動回路4、カラム信号処理回路5、水平駆動回路6、出力回路7及び制御回路8などを含むロジック回

路 1 3 を備えている。ロジック回路 1 3 は、例えば、電界効果トランジスタとして、n チャネル導電型の MOS FET (Metal Oxide Semiconductor Field Effect Transistor) 及び p チャネル導電型の MOS FET を有する CMOS (Complementary MOS) 回路で構成されている。

[0022] 垂直駆動回路 4 は、例えばシフトレジスタによって構成されている。垂直駆動回路 4 は、所望の画素駆動線 1 0 を順次選択し、選択した画素駆動線 1 0 に画素 3 を駆動するためのパルスを供給し、各画素 3 を行単位で駆動する。即ち、垂直駆動回路 4 は、画素領域 2 A の各画素 3 を行単位で順次垂直方向に選択走査し、各画素 3 の光電変換素子が受光量に応じて生成した信号電荷に基づく画素 3 からの画素信号を、垂直信号線 1 1 を通してカラム信号処理回路 5 に供給する。

[0023] カラム信号処理回路 5 は、例えば画素 3 の列毎に配置されており、1 行分の画素 3 から出力される信号に対して画素列毎にノイズ除去等の信号処理を行う。例えばカラム信号処理回路 5 は、画素固有の固定パターンノイズを除去するための CDS (Correlated Double Sampling : 相関 2 重サンプリング) 及び AD (Analog Digital) 変換等の信号処理を行う。

[0024] 水平駆動回路 6 は、例えばシフトレジスタによって構成されている。水平駆動回路 6 は、水平走査パルスのカラム信号処理回路 5 に順次出力することによって、カラム信号処理回路 5 の各々を順番に選択し、カラム信号処理回路 5 の各々から信号処理が行われた画素信号を水平信号線 1 2 に出力させる。

[0025] 出力回路 7 は、カラム信号処理回路 5 の各々から水平信号線 1 2 を通して順次に供給される画素信号に対し、信号処理を行って出力する。信号処理としては、例えば、バッファリング、黒レベル調整、列ばらつき補正、各種デジタル信号処理等を用いることができる。

[0026] 制御回路 8 は、垂直同期信号、水平同期信号、及びマスタクロック信号に基づいて、垂直駆動回路 4、カラム信号処理回路 5、及び水平駆動回路 6 等の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路

8は、生成したクロック信号や制御信号を、垂直駆動回路4、カラム信号処理回路5、及び水平駆動回路6等に出力する。

[0027] <光電変換素子及び読出し回路>

複数の画素の各々の画素3は、図3に示す光電変換素子PDを有している。そして、各画素3の光電変換素子PDには、図3に示すように、読出し回路15が接続されている。

[0028] 光電変換素子PDは、後で詳細に説明するが、図4に示すように、第1半導体層21に構成されている。そして、光電変換素子PDは、例えば、赤外領域の波長の光（赤外光）を受光量に応じた信号電荷に光電変換して保持する。光電変換素子PDのカソード側には、所定のバイアス電圧 V_a が印加される。

[0029] 図3に示すように、読出し回路15は、光電変換素子PDのアノード側に接続されている。読出し回路15は、電荷蓄積部（電荷保持部）としての容量素子 C_p と、リセットトランジスタRSTと、増幅トランジスタAMPと、選択トランジスタSELと、を有している。これらのトランジスタ（RST, AMP, SEL）は、例えば、酸化シリコン（ SiO_2 ）膜をゲート絶縁膜とするMOSFETで構成されている。また、これらのトランジスタ（RST, AMP, SEL）は、窒化シリコン（ Si_3N_4 ）膜、或いは窒化シリコン膜及び酸化シリコン膜などの積層膜をゲート絶縁膜とするMISFET（Metal Insulator Semiconductor FET）でも構わない。

[0030] 容量素子 C_p は、光電変換素子PDで生成された信号電荷を蓄積する。容量素子 C_p は、例えば、pn接合容量、MOS容量、及び配線容量の何れかによって構成されている。

[0031] リセットトランジスタRSTは、リセットトランジスタRSTのゲート電極にリセット信号が印加されてオン状態となると、容量素子 C_p に蓄積されている信号電荷を排出し、容量素子 C_p の電位をリセットする。

[0032] 増幅トランジスタAMPは、容量素子 C_p の蓄積電位に応じた画素信号を出力する。具体的には、増幅トランジスタAMPは、垂直信号線11を介し

て接続されている定電流源としての負荷MOSとソースフォロフ回路とを構成している。ソースフォロフ回路は、容量素子C_pに蓄積されている信号電荷に応じたレベルを示す画素信号を増幅トランジスタAMPから選択トランジスタSEL及び垂直信号線11を介してカラム信号処理回路5に出力する。

[0033] 選択トランジスタSELは、選択トランジスタSELのゲート電極に選択信号が印加されてオン状態となると、垂直信号線11を介してカラム信号処理回路5に画素3の画素信号を出力する。選択信号が転送される信号線及びリセット信号が転送される信号線は、図2の画素駆動線10に対応する。

[0034] ≪固体撮像装置の具体的な構成≫

次に、固体撮像装置1の具体的な構成について、図1B、図4、図5A及び図5Bを用いて説明する。なお、図5A及び図5Bでは、図4に示す保護膜65よりも上層の図示を省略している。

[0035] 図1B及び図4に示すように、半導体チップ2は、各々の厚さ方向（Z方向）において、互いに向かい合って積層された第1半導体基体としての受光基板部20及び第2半導体基体としての回路基板部50を備えている。受光基板部20には、上述の画素領域2Aなどが構成されている。回路基板部50には、上述のロジック回路13、ボンディングパッド14、読出し回路15などが構成されている。

[0036] <受光基板部（第1半導体基体）>

図1B、及び図4に示すように、受光基板部20は、厚さ方向（Z方向）において互いに反対側に位置する第1の面S1及び第2の面S2を有する第1半導体層21と、この第1半導体層21の第1の面S1及び側面（端面）を覆う保護膜46（図4参照）と、この保護膜46を覆う絶縁層48と、を備えている。また、受光基板部20は、第1半導体層21の第2の面S2側に設けられた絶縁層61を更に備えている。

[0037] 絶縁層48及び第1半導体層21は、二次元平面形状が方形状になっている。そして、第1半導体層21は、主に画素領域2Aに設けられ、平面視で

の輪郭が絶縁層 48 の輪郭よりも内側に位置している。一方、絶縁層 48 は、平面視で画素領域 2A 及び周辺領域 2B に亘って設けられ、第 1 半導体層 21 の周囲に位置する部分の厚さが第 1 半導体層 21 と重畳する部分の厚さより厚くなっている。絶縁層 48 は、これに限定されないが、例えば、酸化シリコン (SiO_2) 膜、窒化シリコン (Si_3N_4) 膜、シリコンカーバイド (SiC) 膜などの絶縁性材料膜を含む多層構造になっている。

[0038] 絶縁層 61 は、二次元平面形状が方形状になっている。そして、絶縁層 61 は、平面視で画素領域 2A 及び周辺領域 2B に亘って設けられ、第 1 半導体層 21 の第 2 の面 S2 の周辺部で終端している。即ち、絶縁層 61 は、平面視で第 1 半導体層 21 と重畳する開口部 61a (図 4 参照) を有する。絶縁層 61 としては、例えば酸化シリコン膜が用いられている。

[0039] 図 4 に示すように、保護膜 46 は、平面視で画素領域 2A 及び周辺領域 2B に亘って設けられている。そして、保護膜 46 は、画素領域 2A において、第 1 半導体層 21 と絶縁層 48 との間に介在され、周辺領域 2B において、絶縁層 61 と絶縁層 48 との間に介在されている。保護膜 46 としては、例えば TEOS (Tetra Ethoxy Silane) 系の酸化シリコン膜が用いられている。

[0040] 図 4 に示すように、第 1 半導体層 21 は、第 1 半導体層 21 の厚さ方向 (Z 方向) において互いに反対側に位置する第 1 の面及び第 2 の面のうちの第 2 の面側から入射した光を光電変換する光電変換層 23 と、この光電変換層 23 の第 2 の面側に設けられたコンタクト層 22 と、を備えている。

ここで、第 1 半導体層 21 の第 1 の面 S1 は光電変換層 23 の第 1 の面と同一面となるので、第 1 半導体層 21 の第 1 の面 S1 及び光電変換層 23 の第 1 の面を共に主面又は素子形成面と呼ぶこともある。また、光電変換層 23 で光電変換される光は光電変換層 23 の第 2 の面側から入射する。そして、第 1 半導体層 21 の第 2 の面 S2 は、光電変換層 23 の第 2 の面側と同一側に位置する。したがって、第 1 半導体層 21 の第 2 の面 S2 及び光電変換層 23 の第 2 の面を共に裏面又は光入射面と呼ぶこともある。

[0041] (保護膜、平坦化膜、カラーフィルタ、マイクロレンズ)

図4に示すように、受光基板部20は、第1半導体層21の第2の面S2側（光入射面側）に、この第2の面S2側から順次積層された保護膜65、平坦化膜66、カラーフィルタ68及びマイクロレンズ69を更に備えている。平坦化膜66は、第1半導体層21の第2の面S2側（光入射面側）を平坦化する。マイクロレンズ69は、第1半導体層21（光電変換層23）への入射光を集光する。カラーフィルタ68は、第1半導体層21（光電変換層23）への入射光を色分離する。カラーフィルタ68及びマイクロレンズ69は、それぞれ画素3毎に設けられている。

[0042] 図4に示すように、保護膜65及び平坦化膜66は、平面視で画素領域2A及び周辺領域2Bに亘って設けられている。そして、保護膜65は、画素領域2Aにおいて、第1半導体層21と平坦化膜66との間に介在され、周辺領域2Bにおいて、絶縁層61と平坦化膜66との間に介在されている。保護膜65としては、例えば、窒化シリコン膜が用いられている。

[0043] (コンタクト層、光電変換層、コンタクト部及びキャップ層)

図4及び図5Aに示すように、第1半導体層21のコンタクト層22及び光電変換層23は、例えば、全ての画素3に共通して設けられている。コンタクト層22は、例えば、p型を呈する不純物を含む化合物半導体で構成されている。この第1実施形態において、コンタクト層22は、例えば、p型のInP（インジウム燐）で構成されている。

光電変換層23は、所定の波長の光、この第1実施形態では赤外光を吸収して信号電荷を生成する。光電変換層23は、i型のIII-V族半導体などの化合物半導体で構成されている。この第1実施形態において、光電変換層23は、コンタクト層22側から順次積層されたi型のInGaAs（インジウムガリウム砒素）層23a及びi型のInP層23bを含む（図5A参照）。

[0044] 図5A及び図5Bに示すように、受光基板部20は、光電変換層23の光入射面側とは反対側（第1半導体層21の第1の面S1側）に互いに隣り合

って設けられ、かつ互いに異なるエピタキシャル成長により形成された n 型（第 1 導電型）のコンタクト部 35 及び p 型（第 2 導電型）のキャップ層 45 と、を備えている。換言すれば、受光基板部 20 は、光電変換層 23 の第 1 の面側に互いに隣り合って設けられ、かつ異なるエピタキシャル層で構成された n 型のコンタクト部 35 及び p 型のキャップ層 45 と、を備えている。

[0045] コンタクト部 35 及びキャップ層 45 の各々は、導電性を呈する不純物を含む化合物半導体で構成されている。この第 1 実施形態において、コンタクト部 35 は、例えば、光電変換層 23 側から順次積層された、n 型の InGaAs 層 32、及び n 型の InP 層 33 を含む。即ち、コンタクト部 35 は、これに限定されないが、組成の異なる複数の化合物半導体層を含む積層体で構成されている。

キャップ層 45 は、例えば、p 型の InP 層 42 で構成されている。即ち、キャップ層 45 は、これに限定されないが、1 つの化合物半導体層からなる単層体で構成されている。

[0046] 図 5 A 及び図 5 B に示す、コンタクト層 22 の n 型の InP 層、光電変換層 23 の i 型の InGaAs 層 23 a 及び i 型の InP 層 23 b は、例えば成長基板上にエピタキシャル成長により順次形成された化合物半導体層（エピタキシャル層）である。エピタキシャル成長は、下層の結晶性を受け継いで n 型又は p 型、或いは i 型の単結晶層を形成することができる。したがって、n 型の InP 層（コンタクト層 22）、i 型の InGaAs 層 23 a 及び i 型の InP 層 23 b は、互いに向かい合う層間で共有結合されている。

[0047] また、図 5 A 及び図 5 B に示す、コンタクト部 35 の n 型の InGaAs 層 32 及び n の InP 層 33 は、光電変換層 23 上にエピタキシャル成長により順次形成された化合物半導体層（エピタキシャル層）である。したがって、コンタクト部 35 の n 型の InGaAs 層 32 及び n の InP 層 33 は、互いに向かい合う層間で共有結合されている。そして、n 型の InGaAs 層 32 は、光電変換層 23 の i 型の InP 層 23 b と共有結合されている。

。

[0048] また、図5 A及び図5 Bに示す、キャップ層4 5のp型のInP層4 2は、光電変換層2 3上にエピタキシャル成長により形成された化合物半導体層である。したがって、p型のInP層4 2は、光電変換層2 3のi型のInP層2 3 bと共有結合されている。

[0049] ここで、エピタキシャル成長は、導電性を呈する不純物を導入（ドーピング）しながらコンタクト部3 5を形成するので、従来のように不純物を拡散してコンタクト部を形成する場合と比較して、コンタクト部3 5の不純物濃度の制御が容易であり、不純物濃度の均一化を図ることができる。

[0050] 図4、図5 A及び図5 Bに示すように、コンタクト部3 5及びキャップ層4 5は、光電変換層2 3と保護膜4 6との間に設けられている。キャップ層4 5は、例えば、全ての画素3に共通して設けられている。コンタクト部3 5は、互いに離間して画素3毎に設けられている。この第1実施形態では、コンタクト部3 5は、X方向及びY方向のそれぞれの方向にキャップ層4 5を介して繰り返し配置されている。そして、キャップ層4 5は、互いに隣り合うコンタクト部3 5の間に設けられ、各画素3のコンタクト部3 5の周囲を囲んでいる。

[0051] 図5 Bに示すように、コンタクト部3 5の側面（端面）は、キャップ層4 5で覆われている。このため、コンタクト部3 5と保護膜4 6との接触を回避することができ、暗電流の湧き出しを抑制することができる。

[0052] キャップ層4 5及びコンタクト部3 5は、各々の側面でpn接合をなしている。即ち、キャップ層4 5とコンタクト部3 5との間にpn界面が形成され、このpn界面（pn接合）により、隣り合うコンタクト部3 5は電氣的に分離されている。

[0053] コンタクト部3 5及びキャップ層4 5は、上述したように、それぞれ異なるエピタキシャル成長により形成されている。したがって、コンタクト部3 5とキャップ層4 5とで段差が形成されている。キャップ層4 5は、光電変換層2 3側とは反対側にコンタクト部3 5よりも突出している。換言すれば

、キャップ層 4 5 は、コンタクト部 3 5 よりも厚さが厚く形成されている。更に換言すれば、キャップ層 4 5 は、光電変換層 2 3 側とは反対側にコンタクト部 3 5 よりも一段高く形成されている。

[0054] なお、キャップ層 4 5 に、光電変換層 2 3 を構成する化合物半導体材料のバンドギャップよりも大きなバンドギャップの化合物半導体材料を用いることにより、暗電流を抑制することも可能である。

[0055] 図 4、図 5 A 及び図 5 B に示すように、各コンタクト部 3 5 には、保護膜 4 6 に設けられた接続孔 4 6 a を通して第 1 主電極 4 7 がそれぞれ個別に接続されている。コンタクト部 3 5 は、オプティカルブラック領域 2 A₂ にも配置されている。コンタクト部 3 5 は、光電変換層 2 3 で生成（光電変換）された信号電荷を画素 3 毎に読み出すためのものである。

[0056] 第 1 主電極 4 7 は、光電変換層 2 3 で生成された信号電荷（正孔又は電子）を読み出すための電圧が供給される電極（アノード）であり、画素領域 2 A において画素 3 毎に設けられている。この第 1 実施形態では、コンタクト部 3 5 が n 型で構成されているため、光電変換層 2 3 で生成された電子が信号電荷として読み出される。

[0057] 第 1 主電極 4 7 は、画素 3 毎に設けられている。第 1 主電極 4 7 は、例えば、チタン（Ti）、タングステン（W）、窒化チタン（TiN）、白金（Pt）、金（Au）、ゲルマニウム（Ge）、パラジウム（Pd）、亜鉛（Zn）、ニッケル（Ni）及びアルミニウム（Al）のうちの何れかの単体、又はそれらのうちの少なくとも 1 種を含む合金により構成されている。第 1 主電極 4 7 は、このような構成材料の単層膜であってもよく、或いは、2 種以上を組み合わせた積層膜であってもよい。例えば、第 1 主電極 4 7 は、チタン及びタングステンの積層膜により構成され、数十 nm から数百 nm 程度の膜厚で構成されている。

[0058] 図 4、図 5 A 及び図 5 B に示すように、第 1 半導体層 2 1 の第 2 の面 S 2 と保護膜 6 5 との間には、第 2 主電極 6 2 が設けられている。第 2 主電極 6 2 は、絶縁層 6 1 に設けられた開口部 6 1 a（図 4 参照）を通して第 1 半導

体層 2 1 のコンタクト層 2 2 と電氣的及び機械的に接続されている。第 2 主電極 6 2 は、保護膜 6 5 で覆われ、第 1 半導体層 2 1 の外周の端部で終端している。コンタクト層 2 2 は、第 2 主電極 6 2 から排出される信号電荷が移動する領域である。

- [0059] 第 2 主電極 6 2 は、例えば各画素 3 の共通の電極として、コンタクト層 2 2 の光入射面側にコンタクト層 2 2 と接して設けられている。第 2 主電極 6 2 は、光電変換層 2 3 で生成された電荷のうち、信号電荷として用いられない電荷を排出するための電極（カソード）である。この第 1 実施形態では、コンタクト部 3 5 が n 型で構成されており、このコンタクト部 3 5 に接続された第 1 主電極 4 7 から電子が信号電荷として読み出されるため、この第 2 主電極 6 2 を通じて正孔が排出される。即ち、受光基板部 2 0 には、第 1 主電極 4 7、コンタクト部 3 5、第 1 半導体層 2 1（コンタクト層 2 2、光電変換層 2 3）及び第 2 主電極 6 2 を含む光電変換素子 P D が画素 3 毎に設けられている。
- [0060] 第 2 主電極 6 2 は、例えば赤外光などの入射光の透過が可能な導電膜により構成されている。第 2 主電極 6 2 としては、ITO（Indium Tin Oxide）又は $\text{In}_2\text{O}_3-\text{TiO}_2$ などを用いることができる。第 2 主電極 6 2 は、例えば、隣り合う画素 3 を仕切るように、格子状に設けてもよい。格子状に設けた場合の第 2 主電極 6 2 としては、光透過性の低い導電材料を用いることが可能である。
- [0061] 図 4 に示すように、絶縁層 6 1 及び第 2 主電極 6 2 と、保護膜 6 5 と、の間には、導電膜 6 4 が設けられている。導電膜 6 4 は、例えば二次元平面形状が方形状になっており、平面視で画素領域 2 A 及び周辺領域 2 B に亘って設けられている。そして、導電膜 6 4 は、画素領域 2 A において、第 2 主電極 6 2 と電氣的及び機械的に接続されている。導電膜 6 4 は、遮光性を有する導電材料、例えばタングステン（W）、アルミニウム（Al）、チタン（Ti）、モリブデン（Mo）、タンタル（Ta）または銅（Cu）を含む金属材料により構成することができる。

[0062] 保護膜65は、第2主電極62を第2主電極62の第1半導体層21側とは反対側（光入射面側）から覆っている。保護膜65としては、例えば光透過性を有する窒化シリコン（ Si_3N_4 ）を用いることができる。また、保護膜65としては、例えば、酸化アルミニウム（ Al_2O_3 ）、酸化シリコン（ SiO_2 ）および酸化タンタル（ Ta_2O_3 ）等を用いることもできる。

[0063] 図4、図5A及び図5Bに示すように、各第1主電極47には、絶縁層48に埋め込まれた受光側メタルパッド49がそれぞれ個別に電氣的及び機械的に接続されている。受光側メタルパッド49は、接合面が絶縁層48から露出する状態で絶縁層48に埋め込まれている。受光側メタルパッド49は、画素3毎に設けられている。即ち、各画素3の光電変換素子PDは、画素3毎に受光側メタルパッド49と電氣的に接続されている。

[0064] <回路基板部（第2半導体基体）>

図4及び図5Aに示すように、回路基板部50は、半導体基板51と、この半導体基板51の互いに反対側に位置する第1の面及び第2の面のうちの第1の面側に設けられた多層配線層53と、を備えている。また、回路基板部50は、多層配線層53の半導体基板51側とは反対側に設けられた絶縁層58を備えている。

[0065] 回路基板部50の半導体基板51には、上述のロジック回路13や、読出し回路15などの回路を構成する電界効果トランジスタとして、例えば複数のMOSFETが構成されている。図4及び図5Aでは、読出し回路15を構成する増幅トランジスタAMPのゲート電極52を図示している。半導体基板51としては、例えば単結晶シリコン基板を用いることができる。

[0066] 回路基板部50の多層配線層53は、例えば、配線層が層間絶縁膜54を介して5段に積層された5層配線構造になっている。半導体基板51側から数えて第1層目から第4層目の配線層には、それぞれ配線55が設けられている。この各配線層の配線55は、層間絶縁膜54に埋め込まれた導電プラグ（コンタクト電極、ビア電極）を介して、異なる配線層の配線55と電気

的に接続されている。そして、第1層目の配線層の配線55は、層間絶縁膜54に埋め込まれた導電プラグを介して、半導体基板51に構成されたMOSFETと電氣的に接続されている。図4及び図5Aでは、第1層目の配線層の配線55が導電プラグを介して、増幅トランジスタAMPのゲート電極52と電氣的に接続された構成を一例として示している。

[0067] 半導体基板51側から数えて第5層目の配線層には、電極パッド56及びボンディングパッド14が設けられている。この電極パッド56は、層間絶縁膜54に埋め込まれた導電プラグを介して、第4層目の配線55と電氣的に接続されている。電極パッド56は、画素3毎に設けられている。

[0068] 半導体基板51側から数えて第1層目から第4層目の配線層の配線55は、例えば、銅(Cu)膜又はCuを主成分とするCu合金膜で構成されている。半導体基板51側から数えて第5層目の配線層の配線55及びボンディングパッド14は、例えば、アルミニウム(Al)又はAlを主成分とするAl合金からなるコア膜を厚さ方向の両側からバリアメタル膜で挟んだ複合膜(多層構造)で構成されている。コア膜における金属の拡散を防止する。

[0069] 多層配線層53の各配線層は、詳細に図示していないが、平面視で画素領域2A及び周辺領域2Bに亘って設けられている。そして、ボンディングパッド14は、平面視で周辺領域2Bに配置されている。この多層配線層53の各配線及びボンディングパッド14を介して、ロジック回路13や読出し回路15を構成するトランジスタが駆動される。

[0070] 図4及び図5Aに示すように、各電極パッド56には、絶縁層58に埋め込まれ、かつ多層配線層53の最上層の層間絶縁膜54を貫通する回路側メタルパッド59がそれぞれ個別に電氣的及び機械的に接続されている。回路側メタルパッド59は、接合面が絶縁層58から露出する状態で絶縁層58に埋め込まれている。回路側メタルパッド59は、受光側メタルパッド49と対応して画素3毎に設けられている。即ち、回路側メタルパッド59は、画素3毎に、多層配線層53の電極パッド56、配線55及び導電プラグを介して読出し回路15と電氣的に接続されている。

[0071] 回路基板部50の各回路側メタルパッド59は、受光基板部20の各受光側メタルパッド49と、それぞれ個別に電氣的及び機械的に接合されている。そして、回路基板部50の絶縁層58は受光基板部20の絶縁層48と接合されている。即ち、受光基板部20の各光電変換素子PDは、画素3毎に、回路基板部50の各読出し回路15とそれぞれ個別に電氣的に接続されている。

[0072] 回路側メタルパッド59及び受光側メタルパッド49の各々は、例えばCu膜又はCuを主成分とするCu合金膜で構成されている。即ち、回路側メタルパッド59及び受光側メタルパッド49は、Cu-Cu接合で電氣的及び機械的に接続されている。

[0073] 図4に示すように、受光基板部20の導電膜64は、絶縁層61、絶縁層48、及び多層配線層53の最上層の層間絶縁膜54を貫通し、ボンディングパッド14に到達する接続孔63を通して、ボンディングパッド14と電氣的及び機械的に接続されている。

[0074] 図4に示すように、半導体チップ2は、受光基板部20の光入射面側から回路基板部50のボンディングパッド14に到達してボンディングパッド14の表面を露出するボンディング開口部67を更に備えている。ボンディング開口部67は、ボンディングパッド14毎に設けられている。ボンディングパッド14には、固体撮像装置1（半導体チップ2）を電子機器に組み込む際、ボンディング開口部67を通して、ボンディングワイヤが接続される。

[0075] <<固体撮像装置の製造方法>>

次に、この実施形態に係る固体撮像装置1の製造方法について、図6A及び図6B、並びに図7Aから図7Lを用いて説明する。

図6Aは、半導体ウエハの平面構成を示す図であり、図6Bは、図6AのB領域を拡大してチップ形成領域の構成を示す図である。

また、図7Aから図7Lは、固体撮像装置1の製造方法を説明するための模式的断面図である。

[0076] ここで、固体撮像装置 1 は、図 6 A 及び図 6 B に示す半導体ウエハ 90 のチップ形成領域 92 に製作される。チップ形成領域 92 は、スクライブライン 91 で区画され、行列状に複数配置されている。図 6 B では、9 個のチップ形成領域 92 を示している。そして、この複数のチップ形成領域 92 をスクライブライン 91 に沿って個々に個片化することにより、固体撮像装置 1 を搭載した半導体チップ 2 が形成される。チップ形成領域 92 の個片化は、以下に説明する製造工程を施して各チップ形成領域 92 に固体撮像装置 1 を形成した後に行われる。

なお、スクライブライン 91 は物理的に形成されているものではない。

[0077] この第 1 実施形態に係る固体撮像装置 1 の製造方法は、図 7 J に示す受光基板部 20 を形成する工程と、図 7 K に示す回路基板部 50 を形成する工程とを含む。受光基板部 20 及び回路基板部 50 は、何れか一方を先に形成してもよく、また、同一進行で形成してもよい。この実施形態では、先に受光基板部 20 の形成について説明するが、受光基板部 20 及び回路基板部 50 を形成する順番は、この実施形態に限定されない。

[0078] まず、図 7 A に示すように、成長基板 80 上に化合物半導体材料を含む第 1 半導体層 21 及び第 2 半導体層 31 をこの順で形成する。

第 1 半導体層 21 は、例えば、InP からなる成長基板 80 上に、化合物半導体層としての p 型の InP からなるコンタクト層 22 と、i 型の InGaAs 層 23a 及び i 型の InP 層 23b を含む光電変換層 23 とを、この順で順次エピタキシャル成長させて形成する。成長基板 80 の厚さは、例えば数百 μm であり、光電変換層 23 の厚さは、例えば、数 μm である。成長基板 80 としては、例えば、図 6 A に示す半導体ウエハ 90 と同等の大きさのものをを用いる。第 1 半導体層 21 は、成長基板 80 側の面が第 2 の面（光入射面）S2 となり、この第 2 の面 21y とは反対側の面が第 1 の面 S1 となる。

エピタキシャル成長は、下層の結晶性を受け継いで n 型又は p 型、若しくは i 型の単結晶層を形成することができる。したがって、コンタクト層 22

、 InGaAs 層23a及び InP 層23bは、互いに向かい合う層間で共有結合されて形成される。

[0079] 第2半導体層31は、例えば、第1半導体層21の第1の面21x上に、化合物半導体層としてのn型の InGaAs 層32、n型の InP 層33、及びn型の InGaAs 層34を、この順で順次エピタキシャル成長させて形成する。第2半導体層31は、詳細に図示していないが、第1半導体層21側の面が第2の面（光入射面）となり、この第2の面とは反対側が第1の面となる。

InGaAs 層32、 InP 層33、及び InGaAs 層34も互いに向かい合う層間で共有結合されて形成される。そして、 InGaAs 層32は、第1半導体層21の InP 層23bと共有結合して形成される。即ち、第2半導体層31は、第1半導体層21と共有結合して形成される。第2半導体層31の InGaAs 層34は、後述する第3半導体層41の InP 層42をエッチングする時のエッチングストップパとして機能する。

InGaAs 層32は例えば100nm程度の膜厚で形成し、 InP 層33は例えば50nm程度の膜厚で形成し、 InGaAs 層34は例えば50nm程度の膜厚で形成する。

[0080] 次に、図7Bに示すように、第2半導体層31の第1の面上に、所定のパターンのマスクRM1を周知のリソグラフィ技術で形成する。マスクRM1は、画素3毎に形成する。

[0081] 次に、図7Cに示すように、マスクRM1をエッチングマスクとして使用し、マスクRM1の外側の第2半導体層31をウエットエッチングにより選択的に除去して、島状のコンタクト部35を形成する。即ち、第2半導体層31をパターンニングして島状のコンタクト部35を形成する。島状のコンタクト部35は、画素3毎に形成される。

この工程において、島状のコンタクト部35は、 InGaAs 層32、 InP 層33、及び InGaAs 層34含む3層構造の積層体である。

[0082] 次にマスクRM1を除去した後、図7Dに示すように、第1半導体層21

上に、島状のコンタクト部35を覆う第3半導体層41を形成する。第3半導体層41は、例えば、化合物半導体層としてのp型のInP層42及びn型のInGaAs層43を、この順で順次エピタキシャル成長させて形成する。第3半導体層41は、詳細に図示していないが、第1半導体層21側の面が第2の面（光入射面）となり、この第2の面とは反対側が第1の面となる。

[0083] また、この工程において、InP層42及びInGaAs層43も互いに共有結合して形成される。そして、InP層42は、光電変換層23のInP層23b及びコンタクト部35のInGaAs層34と共有結合して形成される。即ち、第3半導体層41は、光電変換層23及びコンタクト部35と共有結合して形成される。

また、この工程において、InP層42は、島状のコンタクト部35の側面及び上面を覆うようにして形成される。そして、InP層42は、コンタクト部35の外側での膜厚、即ち隣り合う2つのコンタクト部35の間での膜厚がコンタクト部35の膜厚よりも厚く形成される。InP層42は、コンタクト部35間での膜厚が例えば500nm程度となるように形成し、InGaAs層43は例えば100nm程度の膜厚で形成する。

[0084] また、この工程において、p型のInP層42は、コンタクト部35の側面において、コンタクト部35の各々のn型の化合物半導体層（InGaAs層32、InP層33、InGaAs層34）とpn接合をなして形成される。

また、この工程において、第3半導体層41は、光電変換層23側とは反対側にコンタクト部35よりも突出して形成される。換言すれば、第3半導体層41は、コンタクト部35よりも厚さが厚く形成される。更に換言すれば、第3半導体層41は、光電変換層23側とは反対側にコンタクト部35よりも一段高く形成される。

[0085] 次に、図7Eを参照して説明すると、第3半導体層41の第1の面上に、所定のパターンのマスクRM2を周知のリソグラフィ技術で形成する。マス

クRM2は、平面視でコンタクト部35と重畳しない領域が開口されたパターンで形成する。

[0086] 次に、マスクRM2をエッチングマスクとして使用し、図7Eに示すように、マスクRM2の外側の第3半導体層41のInGaAs層43をウェットエッチングにより選択的に除去して、マスクRM2の外側の第3半導体層41のInP層42を露出させる。即ち、第3半導体層41のInGaAs層43をパターンニングして、マスクRM2の外側の第3半導体層41のInP層42を露出させる。InGaAs層43のウェットエッチングは、InP層42に対して選択比が取れる条件で行う。

[0087] 次に、マスクRM2をエッチングマスクとして使用し、図7Fに示すように、マスクRM2の外側の第3半導体層41のInP層42をウェットエッチングにより選択的に除去して、InP層42及びInGaAs層を含む2層構造のキャップ層45を形成する。即ち、第3半導体層41のInGaAs層43及びInP層42を順次パターンニングして2層構造のキャップ層45を形成する。InP層42のウェットエッチングは、下層のInGaAs層34に対して選択比が取れる条件でコンタクト部35のInGaAs層34が露出するまで行う。

[0088] この工程において、コンタクト部35のInGaAs層34は、エッチングストッパとして機能し、下層のInP層33のエッチングを防止している。

また、この工程において、キャップ層45は、互いに隣り合うコンタクト部35の間を埋め込むようにして形成され、各コンタクト部35の周囲を囲む。

[0089] 次に、マスクRM2を除去した後、図7Gに示すように、キャップ層45のInGaAs層43及びコンタクト部35のInGaAs層34をウェットエッチングにより選択的に除去する。InGaAs層43及び34のウェットエッチングは、InGaAs層43及び34に対して選択比が取れる条件でコンタクト部35のInP層33が露出するまで行う。

[0090] この工程において、InP層42を含む単層構造のキャップ層45が形成されると共に、InP層33及びInGaAs層32を含む2層構造（積層構造）のコンタクト部35が形成される。そして、コンタクト部35及びキャップ層45は、光電変換層23の第1の面側（第1半導体層21の第1の面S1側）に、互いに隣り合い、かつ互いに異なるエピタキシャル成長で形成される。即ち、コンタクト部35及びキャップ層45は、互いに異なるエピタキシャル層で構成される。

また、この工程において、コンタクト部35は、キャップ層45で周囲を囲まれ、キャップ層45と接して（共有結合で）形成される。また、コンタクト部35及びキャップ層45は、第1半導体層21の光電変換層23と接して（共有結合で）形成される。また、コンタクト部35及びキャップ層45は、各々の側面でpn接合をなして形成される。

また、この工程において、キャップ層45は、光電変換層23側とは反対側にコンタクト部35よりも突出して形成される。換言すれば、キャップ層45は、コンタクト部35よりも厚みが厚く形成される。更に換言すれば、キャップ層45は、光電変換層23側とは反対側にキャップ層45よりも一段高く形成される。

[0091] 次に、図示していないが、第1半導体層21を図6Bに示すチップ形成領域92に対応して複数のチップ部に個片化する。この個片化工程において、成長基板80は、個片化しない。また、複数のチップ部の各々は、図6Bに示すチップ形成領域92よりも小さいチップサイズで形成される。即ち、成長基板80上には、図6Bに示すチップ形成領域92に対応して個片化された島状の第1半導体層21が点在する。第1半導体層21の個片化は、周知のフォトリソグラフィ技術及びドライエッチング技術を用いて行うことができる。

[0092] 次に、第1半導体層21を個片化した後、図7Hに示すように、第1半導体層21上にコンタクト部35及びキャップ層45を覆う保護膜46を形成する。保護膜46は、例えばTEOS系の酸化シリコン膜をCVD法により

成膜することによって形成する。図 7 H には図示していないが、保護膜 4 6 は、島状に点在する第 1 半導体層 2 1 の間の成長基板 8 0 上にも形成される。

この工程において、コンタクト部 3 5 の側面（端面）はキャップ層 4 5 で覆われているため、コンタクト部 3 5 の側面と保護膜 4 6 との接触を回避することができる。

[0093] 次に、図 7 I を参照して説明すれば、コンタクト部 3 5 上の保護膜 4 6 に接続孔 4 6 a を形成する。この接続孔 4 6 a は、コンタクト部 3 5 毎に形成する。

[0094] 次に、図 7 I に示すように、保護膜 4 6 の接続孔 4 6 a を通してコンタクト部 3 5 と電気的にかつ機械的に接続された第 1 主電極 4 7 を形成する。第 1 主電極 4 7 は、コンタクト部 3 5 毎に形成する。第 1 主電極 4 7 は、保護膜 4 6 の接続孔 4 6 a 内のコンタクト部 3 5 上及び保護膜 4 6 上を含む全面に電極膜を成膜した後、この電極膜を周知のフォトリソグラフィ技術及びエッチング技術を用いて所定の形状にパターンニングすることによって形成することができる。

[0095] 次に、図 7 J に示すように、第 1 主電極 4 7 及び保護膜 4 6 を覆うようにして第 1 半導体層 2 1 上の全面に絶縁層 4 8 を形成し、その後、第 1 主電極 4 7 上の絶縁層 4 8 に接続孔を形成し、その後、この接続孔内に第 1 主電極 4 7 と電気的及び機械的に接続された受光側メタルパッド 4 9 を形成する。受光側メタルパッド 4 9 は、絶縁層 4 8 の接続孔内の第 1 主電極 4 7 上及び絶縁層 4 8 上を含む全面に導電膜を成膜した後、この導電膜が絶縁層 4 8 の接続孔内に選択的に残存するように絶縁層 4 8 上及び接続孔上の導電膜を例えば CMP 法で除去することによって形成することができる。絶縁層 4 8 は、図 7 J には図示していないが、島状の第 1 半導体層 2 1 を埋め込むようにして絶縁材を成膜した後、この絶縁材を CMP 法により平坦化して形成する。絶縁層 4 8 は、島状の第 1 半導体層 2 1 の間に位置する部分の厚さが第 1 半導体層 2 1 と重畳する部分の厚さより厚く形成される。即ち、絶縁層 4 8

は、島状の第1半導体層21を覆うと共に、島状の第1半導体層21の間を埋め込む。

この工程により、第1半導体層21、コンタクト部35、キャップ層45、第1主電極47、絶縁層48、及び受光側メタルパッド49を備えた受光基板部20が形成される。

[0096] 次に、回路基板部50の製造について、図7Kを参照して説明する。

図7Kに示す回路基板部50の製造は、半導体基板51の第1の面側にロジック回路13を構成するトランジスタ、読出し回路15を構成する能動素子（AMP，SEL，TST）及び容量素子Cpなどを形成する工程を有する。また、回路基板部50の製造は、半導体基板51の第1の面上に、多層配線層53を形成する工程を有する。多層配線層53は、層間絶縁膜54、配線55、導電プラグ（コンタクト電極、ビア電極）、電極パッド56及び回路側メタルパッド59などを含む。また、多層配線層53は、配線55、導電プラグ及び電極パッド56を介して、回路側メタルパッド59と、読出し回路15とを電氣的に接続する導電経路57を含む。図7Kでは、導電経路57は、一端側が回路側メタルパッド59と電氣的に接続され、他端側が読出し回路15に含まれる増幅トランジスタのゲート電極52と電氣的に接続されている。この導電経路57は、画素3毎に設けられている。

[0097] 次に、図7Lに示すように、回路基板部50と受光基板部20とを貼り合わせる。回路基板部50と受光基板部20との貼り合わせは、回路基板部50の回路側メタルパッド59と、受光基板部20の受光側メタルパッド49とが向かい合う状態で行う。この貼り合わせは、接着材によって行ってもよく、プラズマ接合によって行ってもよい。

この工程において、回路側メタルパッド59と、受光側メタルパッド49とがCu-Cu接合される。そして、回路基板部50の読出し回路15と、受光基板部20の第1主電極47とが、導電経路57及び受光側メタルパッド49を介して電氣的に接続される。

[0098] 次に、詳細に図示していないが、図7Mを参照して説明すると、回路基板

部50と受光基板部20とを貼り合わせた後、成長基板80を除去する。成長基板80の除去は、機械研削、CMP、ウエットエッチング又はドライエッチングなどにより行うことができる。この成長基板80を除去することにより、第1半導体層21の第2の面S2側のコンタクト層(p型のInP層)22が露出する。

この工程により、第1半導体層21と、半導体基板51とを含む半導体ウエハ90が形成される。

[0099] 次に、詳細に図示していないが、図4を参照して説明すると、第1半導体層21の第2の面S2側に、第1半導体層21及び絶縁層48に亘って絶縁層61を形成し、その後、第1半導体層21上の絶縁層61に第1半導体層21の第2の面S2が露出する開口部61aを形成する。

[0100] 次に、図7Mに示すように、第1半導体層21の第2の面S2側に第2主電極62を形成する。第2主電極62は、図4を参照して説明すると、第1半導体層21の第2の面S2上及び絶縁層61上を含む全面に、例えば、ITO (Indium Tin Oxide)、 $\text{In}_2\text{O}_3\text{-TiO}_2$ などの透明導電膜をスパッタ法で成膜した後、この透明導電膜を所定の形状にはターンニングして形成する。第2主電極62は、絶縁層61の開口部61aを通して、第1半導体層21のコンタクト層(p型のInP層)22と電氣的及び機械的に接続される。

[0101] この工程により、受光基板部20に、第1主電極47、コンタクト部35、第1半導体層21(コンタクト層22、光電変換層23)及び第2主電極62を含み、かつ読出し回路15と電氣的に接続された光電変換素子PDが画素3毎に形成される。

[0102] 次に、詳細に図示していないが、図4を参照して説明すると、第1半導体層21の外周囲の周辺領域2Bにおいて、絶縁層61、絶縁層48、及び多層配線層53の最上層の層間絶縁膜54を貫通し、ボンディングパッド14に到達する接続孔63を形成する。

[0103] 次に、図4を参照して説明すると、第1半導体層21の第2の面S2側に

、第2主電極62と電氣的及び機械的に接続され、かつ接続孔63を通してボンディングパッド14と電氣的及び機械的に接続された導電膜64を形成する。

[0104] 次に、図4を参照して説明すると、第1半導体層21の第2の面S2側に、保護膜65、平坦化膜66、ボンディング開口部67、カラーフィルタ68及びマイクロレンズ69をこの順で順次形成する。

[0105] この工程により、第1半導体層21、コンタクト部35、キャップ層45、保護膜46、第1主電極47、絶縁層48、受光側メタルパッド49、絶縁層61、第2主電極62、光電変換素子PD、導電膜64、保護膜65、平坦化膜66、カラーフィルタ68及びマイクロレンズ69などを含む受光基板部20が形成される。

また、この工程により、受光基板部20及び回路基板部50を含む固体撮像装置1がほぼ完成する。

また、この工程により、図6A及び図6Bに示す半導体ウエハ90がほぼ完成する。半導体ウエハ90の各チップ形成領域92には固体撮像装置1が形成されている。

[0106] この後、半導体ウエハ90の複数のチップ形成領域92をスクライブライン91に沿って個々に個片化することにより、固体撮像装置1を搭載した半導体チップ2が形成される。

[0107] 《第1実施形態の効果》

次に、この第1実施形態の主な効果について説明する。

この第1実施形態に係る固体撮像装置1は、上述したように、光電変換層23の第1の面側（第1半導体層21の第1の面S1側）に、キャップ層45とは異なるエピタキシャル成長によりキャップ層45と互いに隣り合って形成されたコンタクト部35を備えている。エピタキシャル成長は、導電型を呈する不純物を導入（ドーピング）しながらコンタクト部35を形成するので、従来のように不純物を拡散してコンタクト部を形成する場合と比較して、コンタクト部35の不純物濃度の制御が容易であり、また、不純物濃度

の均一化が容易である。したがって、この第1実施形態に係る固体撮像装置1によれば、光電変換特性のバラツキを抑制することができる。

[0108] また、コンタクト部35は、エピタキシャル成長により形成された第2半導体層31を、フォトリソグラフィ技術及びエッチング技術を用いてパターンニングすることで形成される。フォトリソグラフィ技術やエッチング技術は、不純物拡散で形成されたコンタクト部と比較してコンタクト部35を微細化できる。光電変換素子PDの大きさ、即ち画素3の大きさは、コンタクト部35の大きさに律則される。したがって、この第1実施形態に係る固体撮像装置1によれば、光電変換特性のバラツキを抑制することができると共に、光電変換素子PD（画素3）の微細化を図ることができる。

[0109] また、化合物半導体に不純物拡散を行う場合、不純物として拡散係数が大きいZnを用いるのが一般的であり、III-V族の化合物半導体においてのZnはp型を呈する不純物

（p型ドーパン）となるため、コンタクト部をn型化にできない。III-V族の化合物半

導体に対してn型を呈する不純物（n型ドーパン）としてはシリコン（Si）があるが、拡散係数が小さいため、所望の不純物濃度が得られず、n型のコンタクト部の形成が困難であった。

これに対し、エピタキシャル成長は、n型を呈する不純物を導入しながらコンタクト部35を成膜するので、n型を呈する不純物として例えば拡散係数が小さいSiを用いてn型のコンタクト部35を形成することができる。

[0110] また、コンタクト部35をp型で形成した場合、信号電荷の読み出しが正孔（Hole）となる。この場合、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ のホール移動度はシリコン（Si）と同程度で約 $400\text{ cm}^2/\text{Vs}$ と非常に低い。

これに対し、n型のコンタクト部35では、信号電荷の読み出しが電子（Electron）となる。この場合、シリコン（Si）での電子移動度は $1350\text{ cm}^2/\text{Vs}$ 程度、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ での電子移動度は $13000\text{ cm}^2/\text{Vs}$ 程度となる。すなわち、エピタキシャル成長ではn型のコンタクト部3

5を形成することができるので、このn型のコンタクト部35を用いることにより、信号電荷の読出し速度の高速化を図ることができる。勿論、エピタキシャル成長では、p型のコンタクト部も形成することができる。

[0111] また、従来のように、不純物拡散でコンタクト部を形成する場合は、加熱しながら不純物を気相拡散させる必要がある。このため、拡散工程での熱履歴により、光電変換層及びキャップ層を含む化合物半導体から燐（P）や砒素（As）が抜け出し、この化合物半導体の表面が荒れる。化合物半導体の表面が荒れると、化合物半導体と、この化合物半導体を覆う保護膜との界面でデガスが発生し、界面剥離の要因となり得る。この界面剥離は、固体撮像装置の歩留まりの低下を意味する。

これに対し、この第1実施形態では、コンタクト部35をエピタキシャル成長で形成している。エピタキシャル成長では、不純物拡散工程での熱履歴が基本的に不要である。したがって、この第1実施形態の固体撮像装置1によれば、光電変換層23及びキャップ層45を含む化合物半導体から燐（P）や砒素（As）が抜け出し、この化合物半導体の表面が荒れる現象に起因して生じる界面剥離（光電変換層23、コンタクト部35及びキャップ層45を含む化合物半導体と、この化合物半導体を覆う保護膜46との界面剥離）を抑制することができる。これにより、この第1実施形態の固体撮像装置1によれば、歩留まりの向上や生産性の向上を図ることができる。

[0112] また、この第1実施形態に係る固体撮像装置1は、コンタクト部35の側面（端面）が、キャップ層45で覆われている。これにより、コンタクト部35と保護膜46との接触を回避することができ、暗電流の湧き出しを抑制することができる。したがって、この第1実施形態に係る固体撮像装置1によれば、光電変換特性のバラツキを抑制することができると共に、暗電流の湧き出しを抑制することができる。

[0113] また、この第1実施形態に係る固体撮像装置1の製造方法では、光電変換層23の第2の面側にエピタキシャル成長によりコンタクト部35を形成し、光電変換層23の第2の面側にコンタクト部35のエピタキシャル成長と

は異なるエピタキシャル成長によりコンタクト部 35 と互いに隣り合ってキャップ層 45 を形成している。したがって、この第 1 実施形態に係る固体撮像装置 1 の製造方法によれば、光電変換特性のバラツキを抑制した固体撮像装置 1 を製造することができる。

[0114] なお、上述の第 1 実施形態では、カラーフィルタ 68 を備えた固体撮像装置 1 について説明した。しかしながら、本技術は、上述の固体撮像装置 1 に限定されない。例えば、本技術は、カラーフィルを省略した固体撮像装置にも適用することができる。

[0115] また、上述の第 1 実施形態では、1 つの光電変換素子 PD に 1 つの読出し回路 15 が接続された固体撮像装置 1 について説明した。しかしながら、本技術は、上述の第 1 実施形態に限定されない。例えば、本技術は、複数の光電変換素子 PD で 1 つの読出し回路 15 を共有した固体撮像装置にも適用することができる。

[0116] また、上述の第 1 実施形態では、画素 3 が X 方向及び Y 方向のそれぞれの方向に繰り返し配置されたマトリックス型の固体撮像装置 1 について説明した。しかしながら、本技術は、上述の第 1 実施形態に限定されない。例えば、本技術は、画素 3 が X 方向に延伸し、Y 方向に所定の間隔を置いて繰り返し配置されたリニア型の個体撮像装置（リニアセンサ）にも適用することができる。

また、上述の第 1 実施形態では、コンタクト部 35 を n 型で構成した場合について説明したが、本技術は、コンタクト部 35 を p 型で構成する場合にも適用することができる。この場合、コンタクト部 35 に接続された第 1 主電極 47 から正孔が信号電荷として読み出される。

[0117] [第 2 実施形態]

この第 2 実施形態に係る固体撮像装置の製造方法について、図 8 A から図 8 E を用いて説明する。この第 2 実施形態に係る固体撮像装置の製造方法の説明では、主に、光電変換層の第 1 の面側に形成されるコンタクト部及びキャップ層について説明する。

[0118] まず、図8Aに示すように、成長基板80上に化合物半導体材料を含む第1半導体層21及び第2半導体層31をこの順で形成する。第1半導体層21及び第2半導体層31は、上述の第1実施形態と同様の方法で形成する。第1半導体層21は、p型のInPからなるコンタクト層22と、i型のInGaAs層23a及びi型のInP層23bを含む光電変換層23と、を有する。第2半導体層31は、n型のInGaAs層32、n型のInP層33、及びn型のInGaAs層34を含む。

[0119] 次に、図8Aに示すように、第2半導体層31の第1の面側に、例えば窒化シリコン膜からなる成長抑制層39をCVD法で形成する。

[0120] 次に、成長抑制層39及び第2半導体層31をこの順で順次パターンニングして、図8Bに示すように、島状の成長抑制層39を形成するとともに、n型のInGaAs層32、n型のInP層33、及びn型のInGaAs層34を含む島状のコンタクト部35を形成する。島状のコンタクト部35は、画素3毎に形成される。成長抑制層39及び第2半導体層31のパターンニングは、周知のリソグラフィ技術及びエッチング技術を用いて行う。

[0121] この工程において、島状のコンタクト部35の上面は島状の成長抑制層39で覆われている。そして、隣り合う2つの島状のコンタクト部35の間の第1半導体層21の表面（i型のInP層23bの表面）、及び島状のコンタクト部35の側面が露出する。

[0122] 次に、図8Cに示すように、互いに隣り合う2つのコンタクト部35の間に、第3半導体層としてp型のInP層42からなるキャップ層45をエピタキシャル成長によって形成する。

[0123] この工程において、コンタクト部35の上面は成長抑制層39で覆われているため、キャップ層45は、コンタクト部35の上面には形成されず、コンタクト部35の側面及び光電変換層23の第1の面S1に沿って形成される。即ち、キャップ層45は、島状のコンタクト部35の側面を覆うようにして形成される。

また、この工程において、キャップ層45は、互いに隣り合うコンタクト

部 3 5 の間を埋め込むようにして形成され、各コンタクト部 3 5 の周囲を囲む。

また、この工程において、コンタクト部 3 5 及びキャップ層 4 5 は、互いに異なるエピタキシャル成長で形成される。即ち、コンタクト部 3 5 及びキャップ層 4 5 は、互いに異なるエピタキシャル層で構成される。

また、この工程において、コンタクト部 3 5 は、キャップ層 4 5 で周囲を囲まれ、キャップ層 4 5 と接して（共有結合で）形成される。また、コンタクト部 3 5 及びキャップ層 4 5 は、第 1 半導体層 2 1 の光電変換層 2 3 と接して（共有結合で）形成される。また、コンタクト部 3 5 及びキャップ層 4 5 は、各々の側面で p n 接合をなして形成される。

[0124] 次に、図 8 D に示すように、第 1 半導体層 2 1 上にコンタクト部 3 5 及びキャップ層 4 5 を覆う保護膜 4 6 を形成する。保護膜 4 6 は、例えば T E O S 系の酸化シリコン膜を C V D 法により成膜することによって形成する。

[0125] 次に、図 8 E に示すように、コンタクト部 3 5 上の保護膜 4 6 に接続孔 4 6 a を形成し、その後、図 8 E に示すように、保護膜 4 6 の接続孔 4 6 a を通してコンタクト部 3 5 と電氣的にかつ機械的に接続された第 1 主電極 4 7 を形成する。接続孔 4 6 a 及び第 1 主電極 4 7 は、上述の第 1 実施形態と同様の方法で形成する。

[0126] この後、成長基板 8 0 を除去し、第 1 半導体層 2 1 の第 2 の面側に第 2 主電極を形成することにより、第 1 主電極 4 7、コンタクト部 3 5、第 1 半導体層 2 1（コンタクト層 2 2、光電変換層 2 3）及び第 2 主電極を含む光電変換素子が画素毎に形成される。

[0127] この第 2 実施形態に係る固体撮像装置の製造方法では、光電変換層 2 3 の第 2 の面側にエピタキシャル成長によりコンタクト部 3 5 を形成し、光電変換層 2 3 の第 2 の面側にコンタクト部 3 5 のエピタキシャル成長とは異なるエピタキシャル成長によりコンタクト部 3 5 と互いに隣り合ってキャップ層 4 5 を形成している。したがって、この第 2 実施形態に係る固体撮像装置の製造方法によれば、上述の第 1 実施形態の固体撮像装置 1 の製造方法と同様

に、光電変換特性のバラツキを抑制した固体撮像装置を製造することができる。

[0128] 〔第3実施形態：電子機器〕

次に、本技術の第3実施形態に係る電子機器について、図9を用いて説明する。

図9に示すように、第3実施形態に係る電子機器100は、固体撮像装置101と、光学レンズ102と、シャッタ装置103と、駆動回路104と、信号処理回路105とを備えている。第5実施形態の電子機器100は、固体撮像装置101として、本技術の第1実施形態に係る固体撮像装置1を電子機器（例えば、カメラ）に用いた場合の実施形態を示す。

[0129] 光学レンズ102は、被写体からの像光（入射光106）を固体撮像装置101の撮像面上に結像させる。これにより、固体撮像装置101内に一定期間にわたって信号電荷が蓄積される。シャッタ装置103は、固体撮像装置101への光照射期間及び遮光期間を制御する。駆動回路104は、固体撮像装置101の転送動作及びシャッタ装置103のシャッタ動作を制御する駆動信号を供給する。駆動回路104から供給される駆動信号（タイミング信号）により、固体撮像装置101の信号転送を行なう。信号処理回路105は、固体撮像装置101から出力される信号（画素信号）に各種信号処理を行う。信号処理が行われた映像信号は、メモリ等の記憶媒体に記憶され、或いはモニタに出力される。

[0130] なお、固体撮像装置1を適用できる電子機器100としては、カメラに限られるものではなく、他の電子機器にも適用することができる。例えば、携帯電話機やタブレット端末等のモバイル機器向けカメラモジュール等の撮像装置に適用してもよい。

[0131] また、第3実施形態では、固体撮像装置101として、上述の第1実施形態に係る固体撮像装置1を電子機器100に用いる構成としたが、他の構成としてもよい。例えば、第2実施形態に係る固体撮像装置の製造方法で製造された固体撮像装置を電子機器100に用いてもよい。

[0132] なお、本技術は、以下のような構成としてもよい。

(1)

光入射面側から入射した光を光電変換する光電変換層と、
前記光電変換層の前記光入射面側とは反対側に互いに隣り合って設けられ、かつ互いに異なるエピタキシャル成長により形成された第1導電型のコンタクト部及び第2導電型のキャップ層と、
を備えている固体撮像装置。

(2)

前記コンタクト部の側面は、前記キャップ層で覆われている、上記(1)に記載の固体撮像装置。

(3)

前記コンタクト部及び前記キャップ層は、各々の側面でp-n接合をなしている、上記(1)又は(2)に記載の固体撮像装置。

(4)

前記キャップ層は、前記光電変換層側とは反対側に前記コンタクト部よりも突出している、上記(1)～(3)の何れかに記載の固体撮像装置。

(5)

前記キャップ層は、前記コンタクト部よりも厚さが厚い、上記(1)～(3)の何れかに記載の固体撮像装置。

(6)

前記キャップ層は、前記光電変換層側とは反対側に前記コンタクト部よりも一段高くなっている、上記(1)～(3)の何れかに記載の固体撮像装置。

(7)

前記コンタクト部は、組成の異なる複数の化合物半導体層を含む積層体で構成され、

前記キャップ層は、1つの化合物半導体層からなる単層体で構成されている、上記(1)～(6)の何れかに記載の固体撮像装置。

(8)

前記コンタクト部は、少なくとも一方向に前記キャップ層を介して繰り返し配置されている、上記(1)～(7)の何れかに記載の固体撮像装置。

(9)

前記光電変換層の前記光入射面側に設けられ、かつ前記コンタクト部と電氣的に接続された第1主電極と、

前記光電変換層の前記光入射面側に設けられ、かつ前記光電変換層と電氣的に接続された第2主電極と、

を更に備えている、上記(1)～(8)の何れかに記載の固体撮像装置。

(10)

前記コンタクト部は、第1導電型のInGaAs層を含み、

前記キャップ層は、第2導電型のInP層を含む、

上記(1)～(9)の何れかに記載の固体撮像装置。

(11)

各々の厚さ方向に積層された第1及び第2半導体基体を更に備え、

前記第1半導体基体は、前記光電変換層、前記コンタクト層及び前記キャップ層を含み、

前記第2半導体基体は、前記コンタクト部と電氣的に接続された読出し回路を含む、上記(1)～(10)の何れかに記載の固体撮像装置。

(12)

複数の画素が行列状に配置された画素領域を更に備え、

前記コンタクト部は、前記画素毎に設けられている、上記(1)～(11)の何れかに記載の固体撮像装置。

(13)

前記光電変換層の光入射面側に前記画素毎に設けられたマイクロレンズを更に備えている、上記(12)に記載の固体撮像装置。

(14)

各々の厚さ方向に積層された第1及び第2半導体基体を備え、

前記第1半導体基体は、
光入射面側から入射した光を光電変換する光電変換層と、
前記光電変換層の前記光入射面側に互いに隣り合って設けられ、かつ互いに異なるエピタキシャル層で構成された第1導電型のコンタクト部及び第2導電型のキャップ層と、を備え、
前記第2半導体基体は、
前記コンタクト部と電氣的に接続された読出し回路を備えている、
固体撮像装置。

(15)

固体撮像装置と、被写体からの像光を前記固体撮像装置の撮像面上に結像させる光学レンズと、前記固体撮像装置から出力される信号に信号処理を行う信号処理回路と、を備え、
前記固体撮像装置は、
光入射面側から入射した光を光電変換する光電変換層と、
前記光電変換層の前記入射面側とは反対側に互いに隣り合って設けられ、かつ互いに異なるエピタキシャル成長により形成された第1導電型のコンタクト部及び第2導電型のキャップ層と、
を備えている、電子機器。

[0133] 本技術の範囲は、図示され記載された例示的な実施形態に限定されるものではなく、本技術が目的とするものと均等な効果をもたらす全ての実施形態をも含む。さらに、本技術の範囲は、請求項により画される発明の特徴の組み合わせに限定されるものではなく、全ての開示されたそれぞれの特徴のうち特定の特徴のあらゆる所望する組み合わせによって画されうる。

符号の説明

[0134] 1 固体撮像装置
2 半導体チップ
2A 画素領域
2A₁ 有効画素領域

- 2 A₂ オプティカルブラック領域
- 2 B 周辺領域
- 3 画素
- 4 垂直駆動回路
- 5 カラム信号処理回路
- 6 水平駆動回路
- 7 出力回路
- 8 制御回路
- 1 0 画素駆動線
- 1 1 垂直信号線
- 1 2 水平信号線
- 1 3 ロジック回路
- 1 4 ボンディングパッド
- 1 5 読出し回路
- 2 0 受光基板部（第1半導体基体）
- 2 1 第1半導体層
- 2 2 コンタクト層（p型のInP層）
- 2 3 光電変換層
- 2 3 a InGaAs層（i型）
- 2 3 b InP層（i型）
- 3 1 第2半導体層
- 3 2 InGaAs層（n型）
- 3 3 InP層（n型）
- 3 4 InGaAs層（n型）
- 3 5 コンタクト部
- 4 1 第3半導体層
- 4 2 InP層（p型）
- 4 3 InGaAs層（n型）

- 4 5 キャップ層
- 4 6 保護膜
- 4 7 第 1 主電極
- 4 8 絶縁層
- 4 9 受光側メタルパッド
- 5 0 回路基板部（第 2 半導体基体）
- 5 1 半導体基板
- 5 2 ゲート電極
- 5 3 多層配線層
- 5 4 層間絶縁膜
- 5 5 配線
- 5 6 電極パッド
- 5 8 絶縁層
- 5 9 回路側メタルパッド
- 6 1 絶縁層
- 6 1 a 開口部
- 6 2 第 2 主電極
- 6 3 接続孔
- 6 4 導電膜
- 6 5 保護膜
- 6 6 平坦化膜
- 6 7 ボンディング開口部
- 6 8 カラーフィルタ
- 6 9 マイクロレンズ
- 8 0 成長基板
- 9 0 半導体ウエハ
- 9 1 スクライブライン（ダイシングライン）
- 9 2 チップ形成領域

A M P 増幅トランジスタ

C p 容量素子

P D 光電変換素子

R S T リセットトランジスタ

S E L 選択トランジスタ

S 1 第1の面

S 2 第2の面（光入射面）

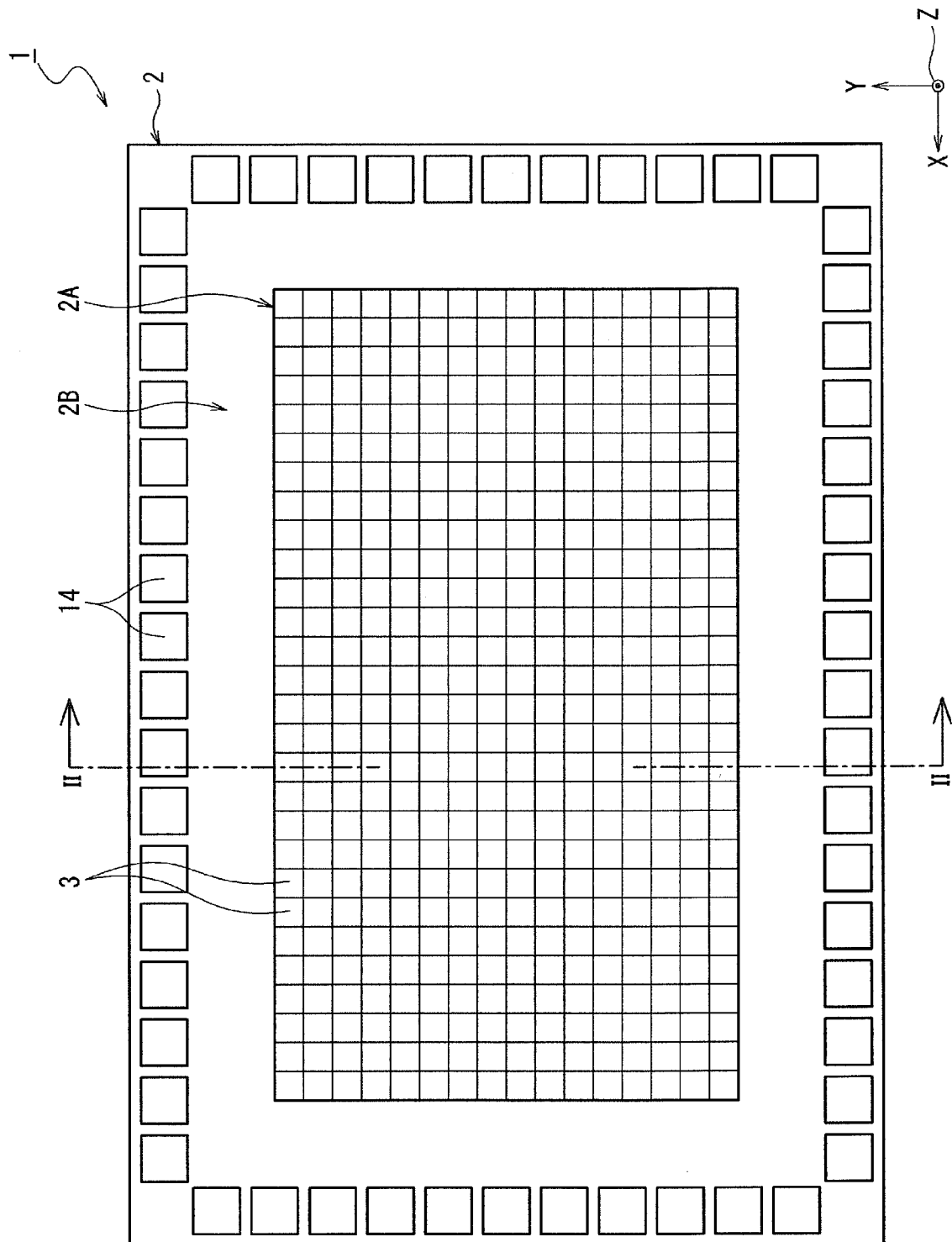
請求の範囲

- [請求項1] 光入射面側から入射した光を光電変換する光電変換層と、
前記光電変換層の前記光入射面側とは反対側に互いに隣り合って設けられ、かつ互いに異なるエピタキシャル成長により形成された第1導電型のコンタクト部及び第2導電型のキャップ層と、
を備えている固体撮像装置。
- [請求項2] 前記コンタクト部の側面は、前記キャップ層で覆われている、請求項1に記載の固体撮像装置。
- [請求項3] 前記コンタクト部及び前記キャップ層は、各々の側面でp n接合をなしている、請求項1に記載の固体撮像装置。
- [請求項4] 前記キャップ層は、前記光電変換層側とは反対側に前記コンタクト部よりも突出している、請求項1に記載の固体撮像装置。
- [請求項5] 前記キャップ層は、前記コンタクト部よりも厚さが厚い、請求項1に記載の固体撮像装置。
- [請求項6] 前記キャップ層は、前記光電変換層側とは反対側に前記コンタクト部よりも一段高くなっている、請求項1に記載の固体撮像装置。
- [請求項7] 前記コンタクト部は、組成の異なる複数の化合物半導体層を含む積層体で構成され、
前記キャップ層は、1つの化合物半導体層からなる単層体で構成されている、
請求項1に記載の固体撮像装置。
- [請求項8] 前記コンタクト部は、少なくとも一方向に前記キャップ層を介して繰り返し配置されている、請求項1に記載の固体撮像装置。
- [請求項9] 前記光電変換層の前記光入射面側に設けられ、かつ前記コンタクト部と電気的に接続された第1主電極と、
前記光電変換層の前記光入射面側に設けられ、かつ前記光電変換層と電気的に接続された第2主電極と、
を更に備えている、請求項1に記載の固体撮像装置。

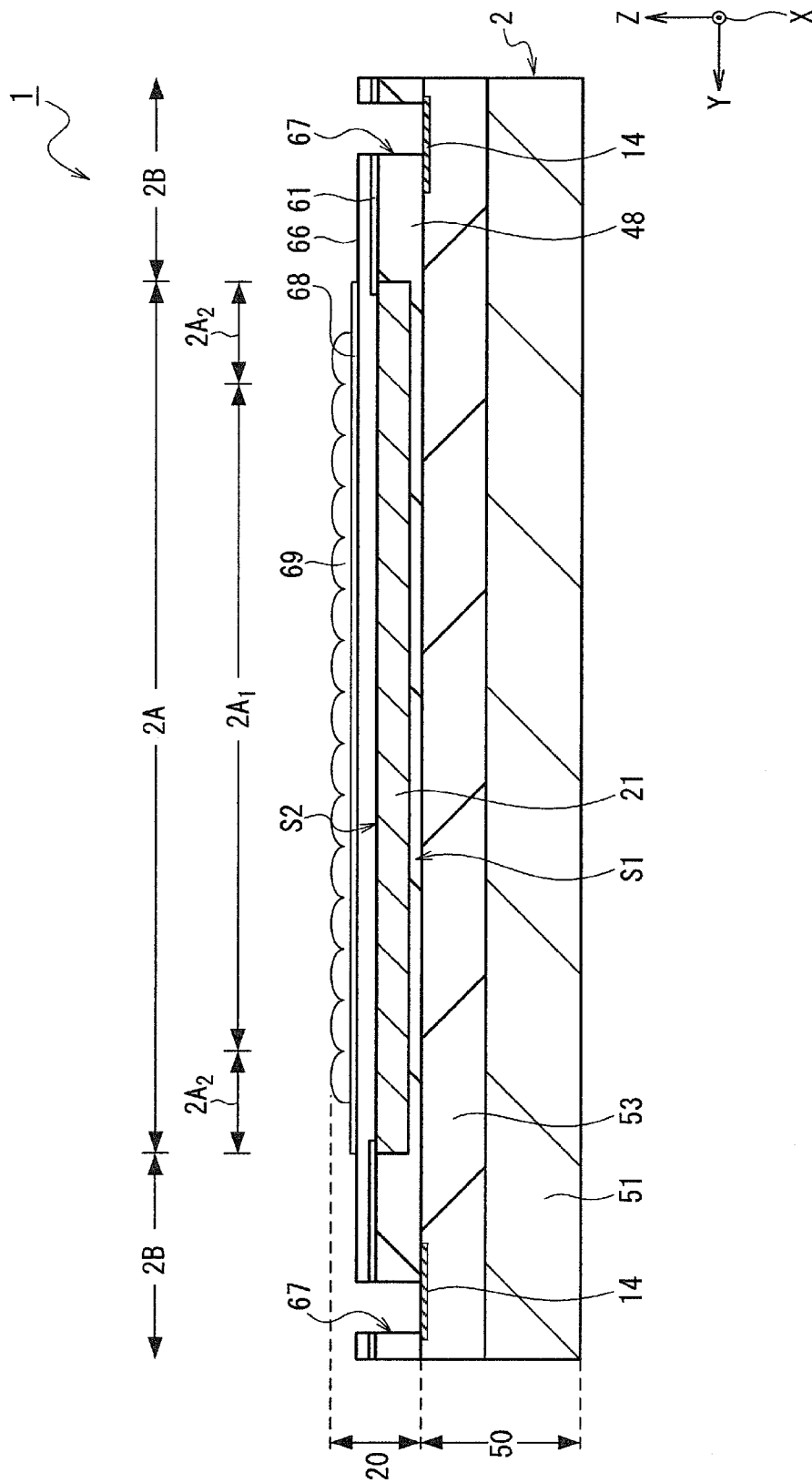
- [請求項10] 前記コンタクト部は、第1導電型のInGaAs層を含み、
前記キャップ層は、第2導電型のInP層を含む、
請求項1に記載の固体撮像装置。
- [請求項11] 各々の厚さ方向に積層された第1及び第2半導体基体を更に備え、
前記第1半導体基体は、前記光電変換層、前記コンタクト層及び前記キャップ層を含み、
前記第2半導体基体は、前記コンタクト部と電氣的に接続された読出し回路を含む、
請求項1に記載の固体撮像装置。
- [請求項12] 複数の画素が行列状に配置された画素領域を更に備え、
前記コンタクト部は、前記画素毎に設けられている、
請求項1に記載の固体撮像装置。
- [請求項13] 前記光電変換層の光入射面側に前記画素毎に設けられたマイクロレンズを更に備えている、請求項12に記載の固体撮像装置。
- [請求項14] 各々の厚さ方向に積層された第1及び第2半導体基体を備え、
前記第1半導体基体は、
光入射面側から入射した光を光電変換する光電変換層と、
前記光電変換層の前記光入射面側に互いに隣り合って設けられ、かつ互いに異なるエピタキシャル層で構成された第1導電型のコンタクト部及び第2導電型のキャップ層と、を備え、
前記第2半導体基体は、
前記コンタクト部と電氣的に接続された読出し回路を備えている、
固体撮像装置。
- [請求項15] 固体撮像装置と、被写体からの像光を前記固体撮像装置の撮像面上に結像させる光学レンズと、前記固体撮像装置から出力される信号に信号処理を行う信号処理回路と、を備え、
前記固体撮像装置は、
光入射面側から入射した光を光電変換する光電変換層と、

前記光電変換層の前記入射面側とは反対側に互いに隣り合って設けられ、かつ互いに異なるエピタキシャル成長により形成された第1導電型のコンタクト部及び第2導電型のキャップ層と、
を備えている、電子機器。

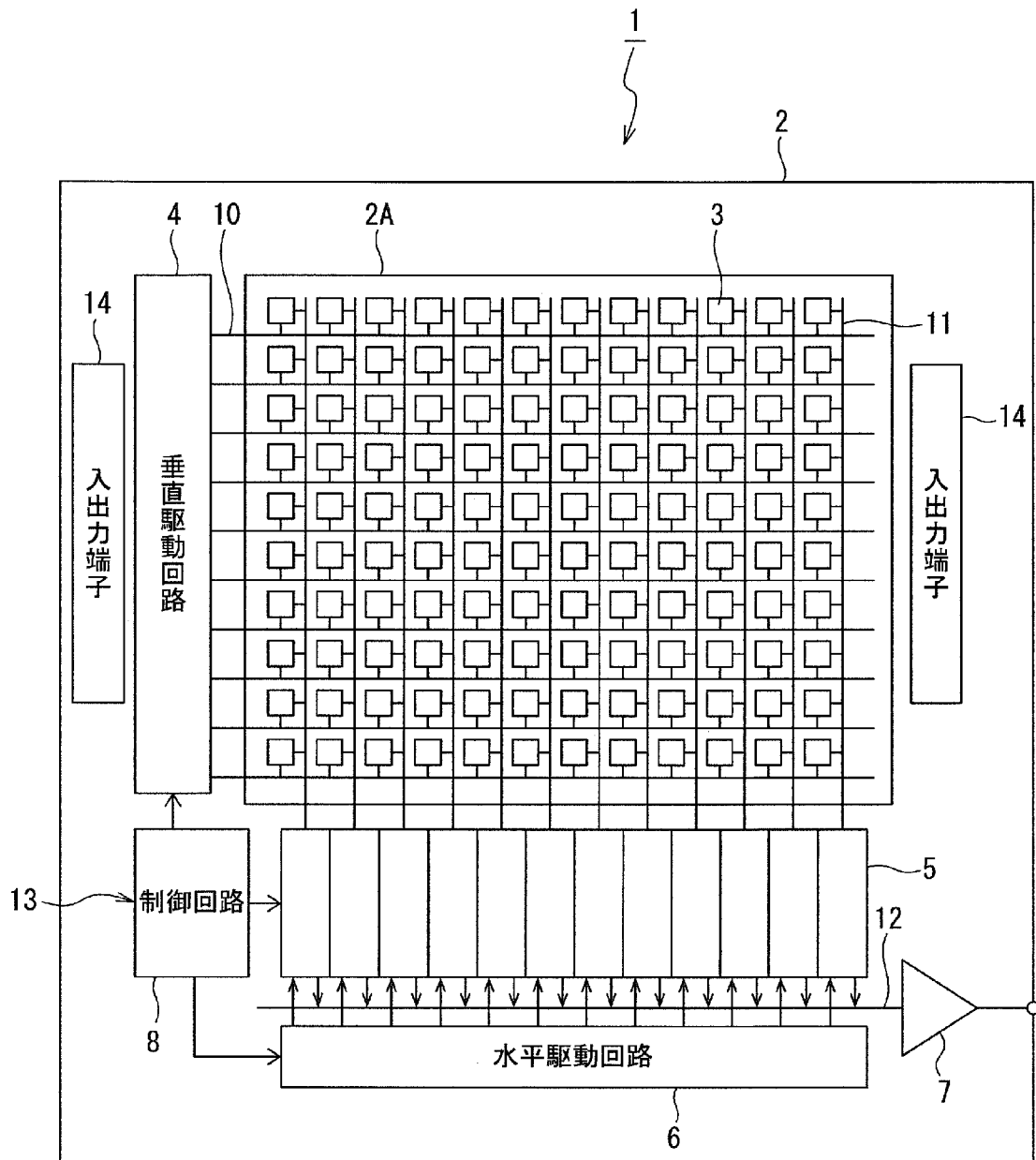
[図1A]



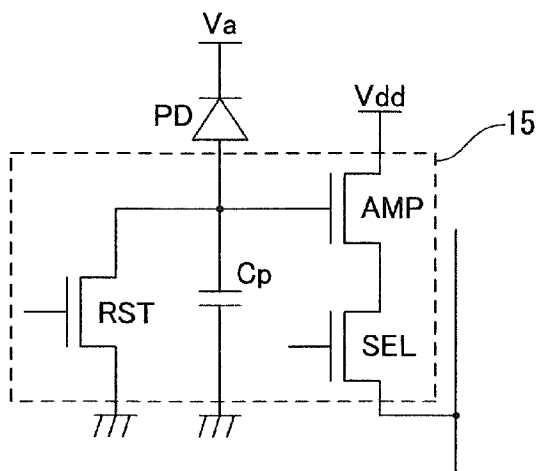
[図1B]



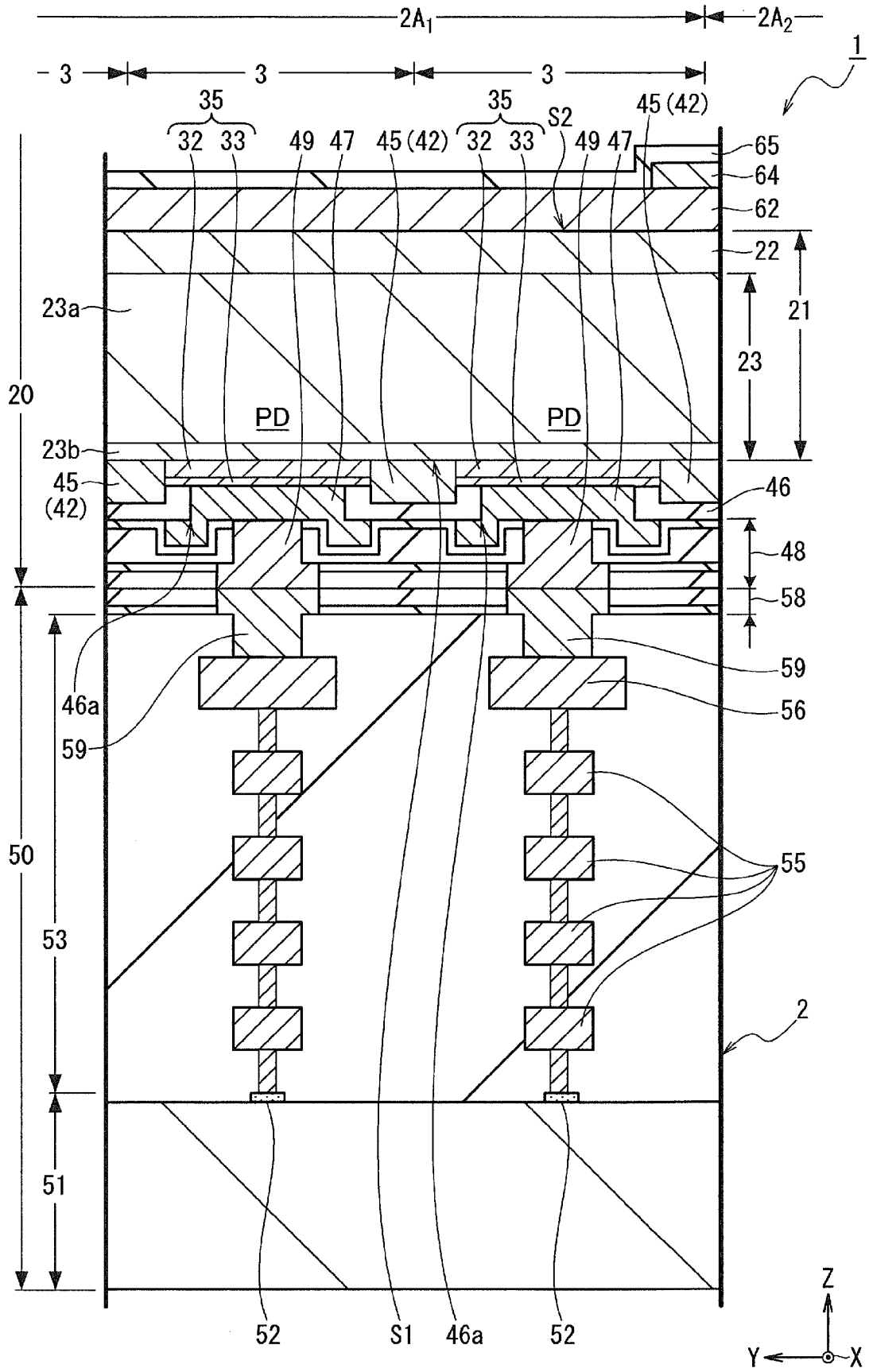
[図2]



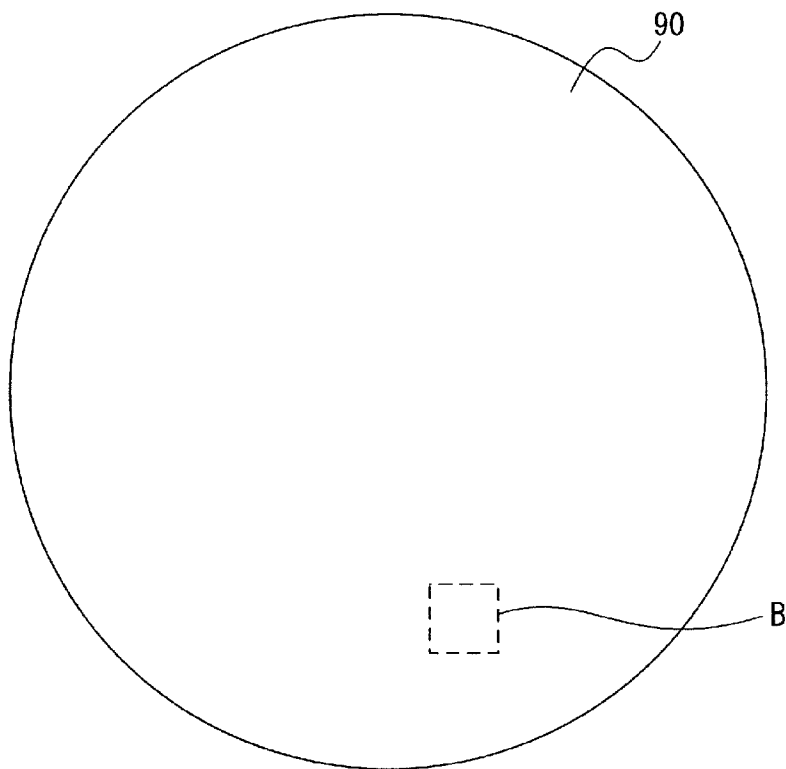
[図3]



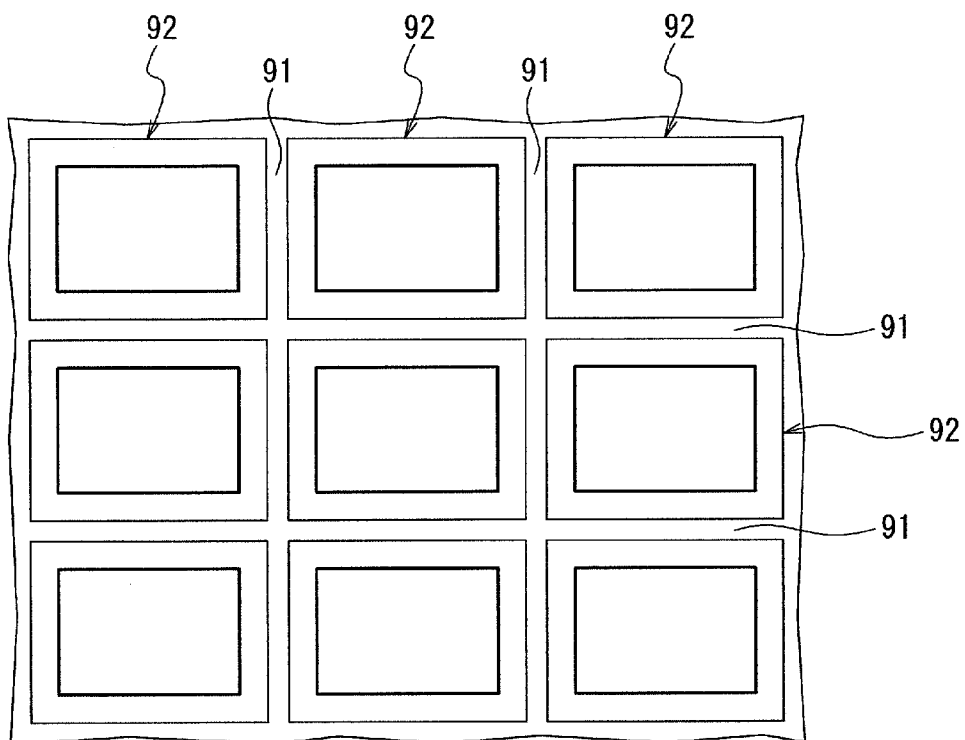
[図5A]



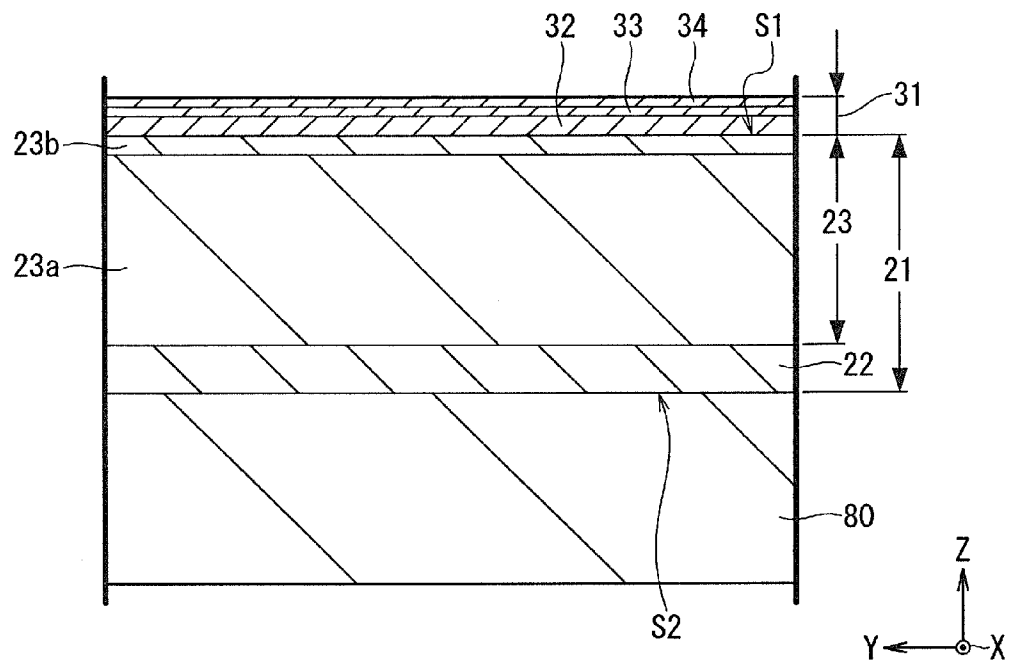
[図6A]



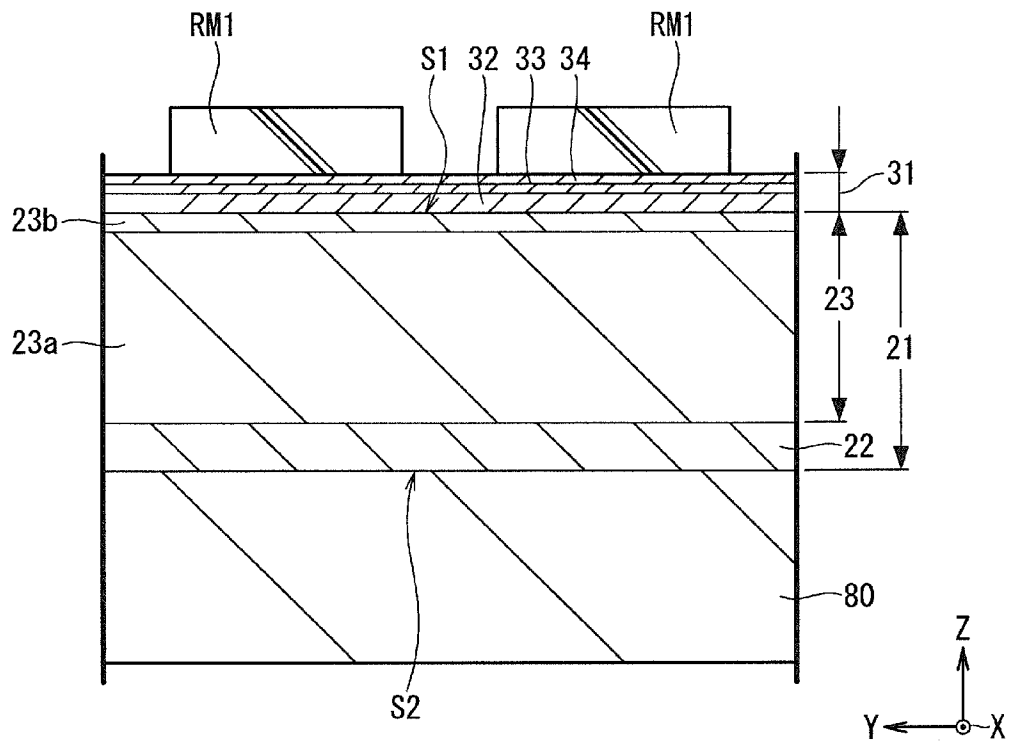
[図6B]



[図7A]

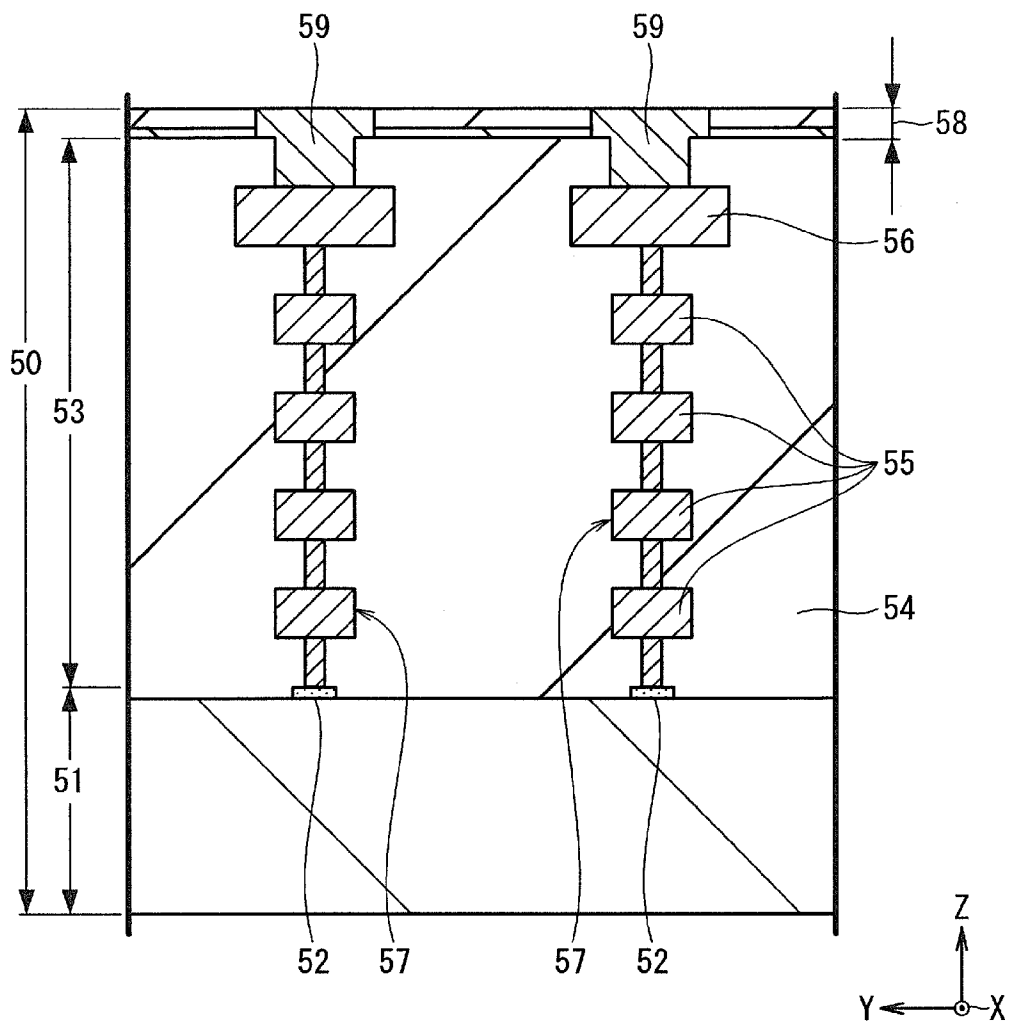


[図7B]

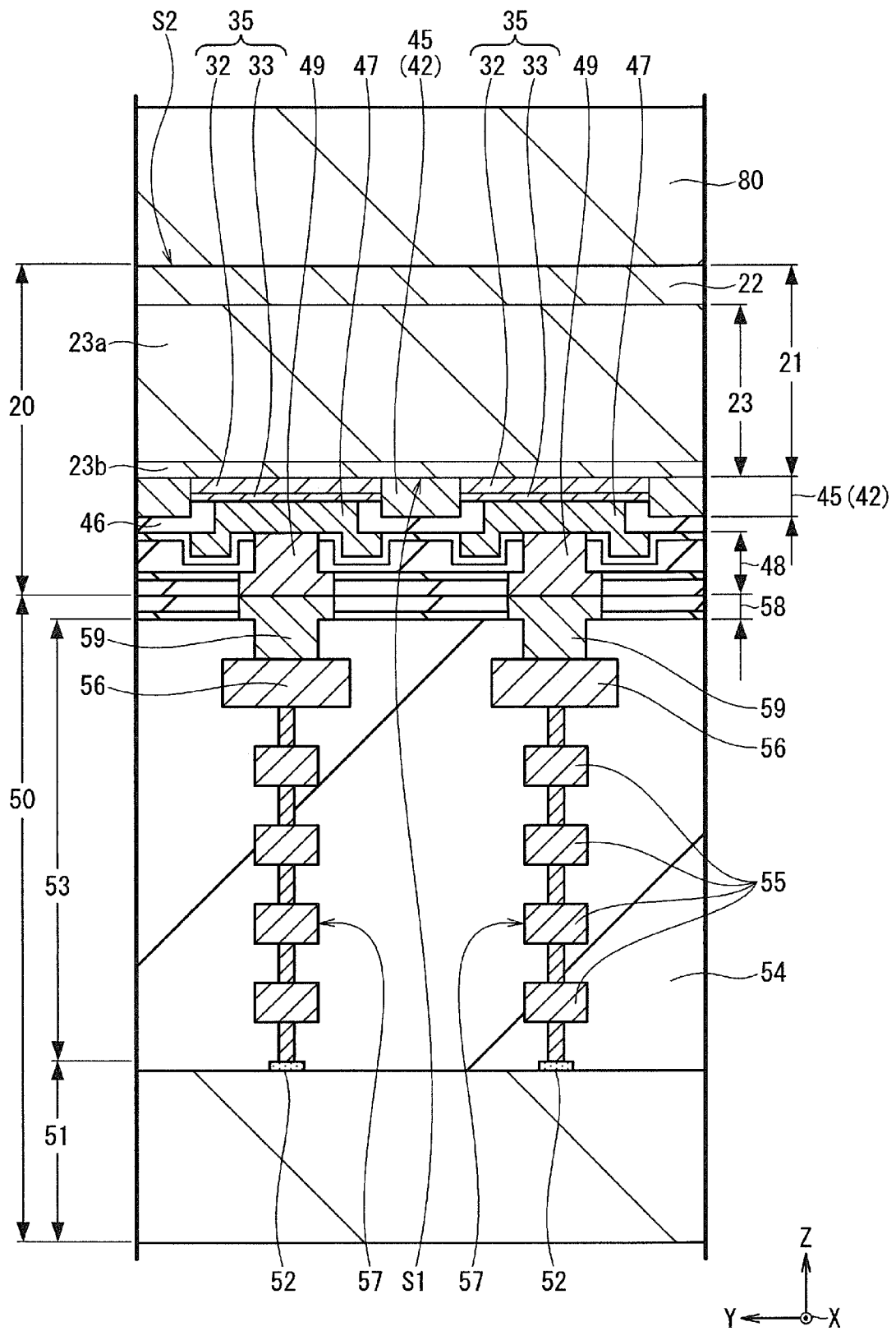


[illegible][illegible]

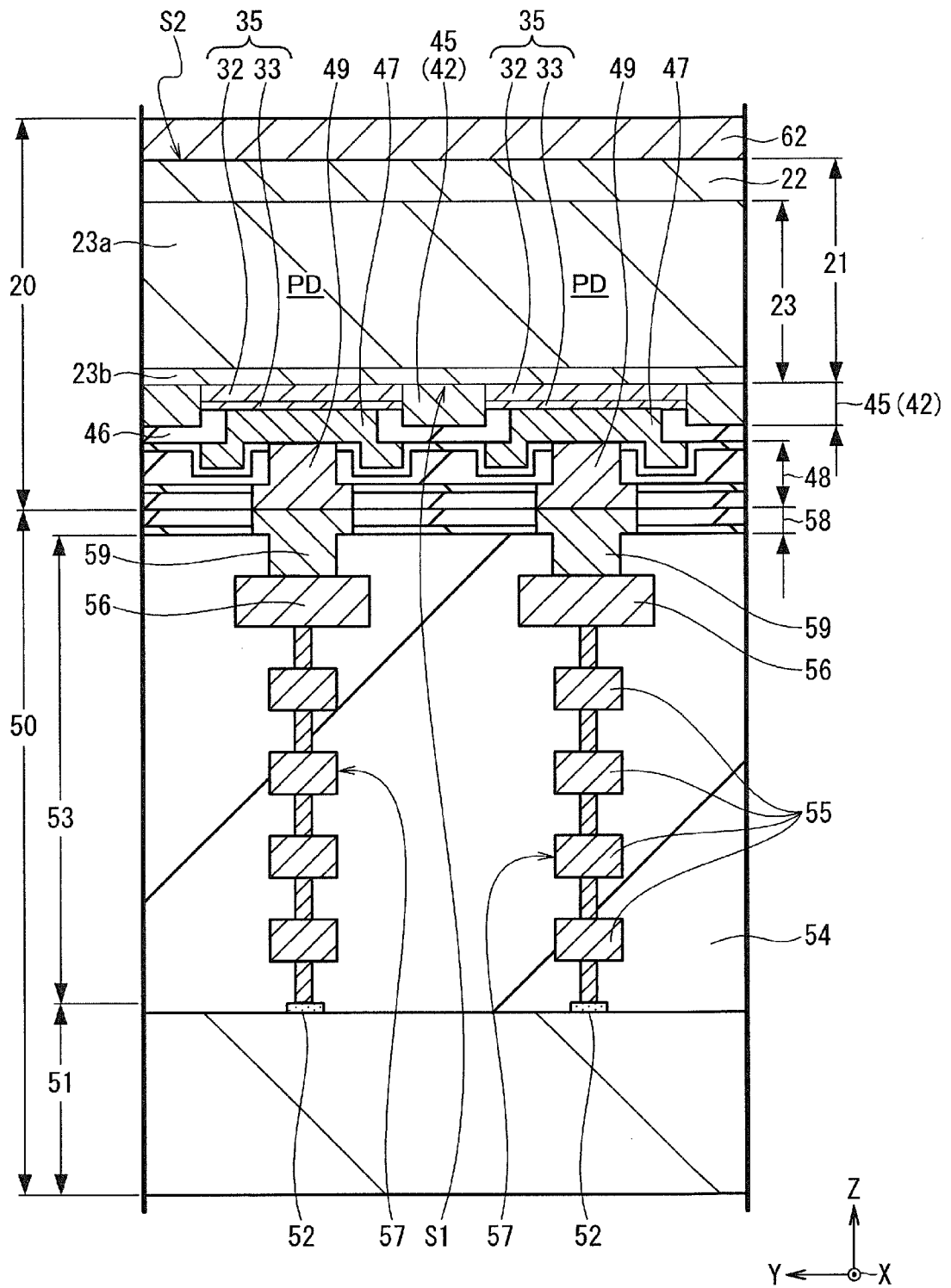
[図7K]



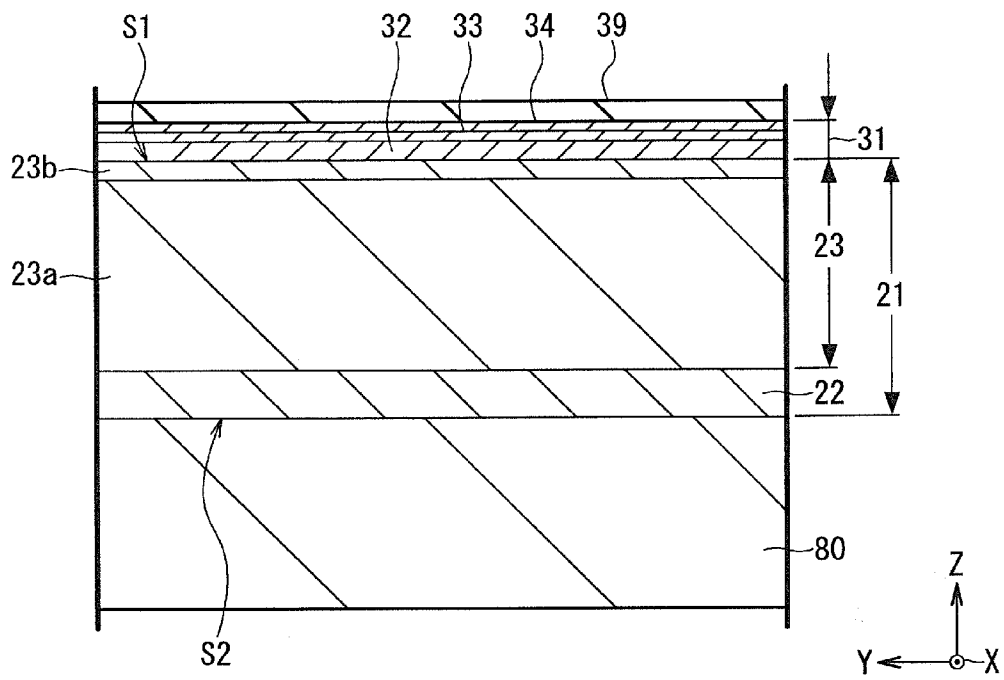
[図7L]



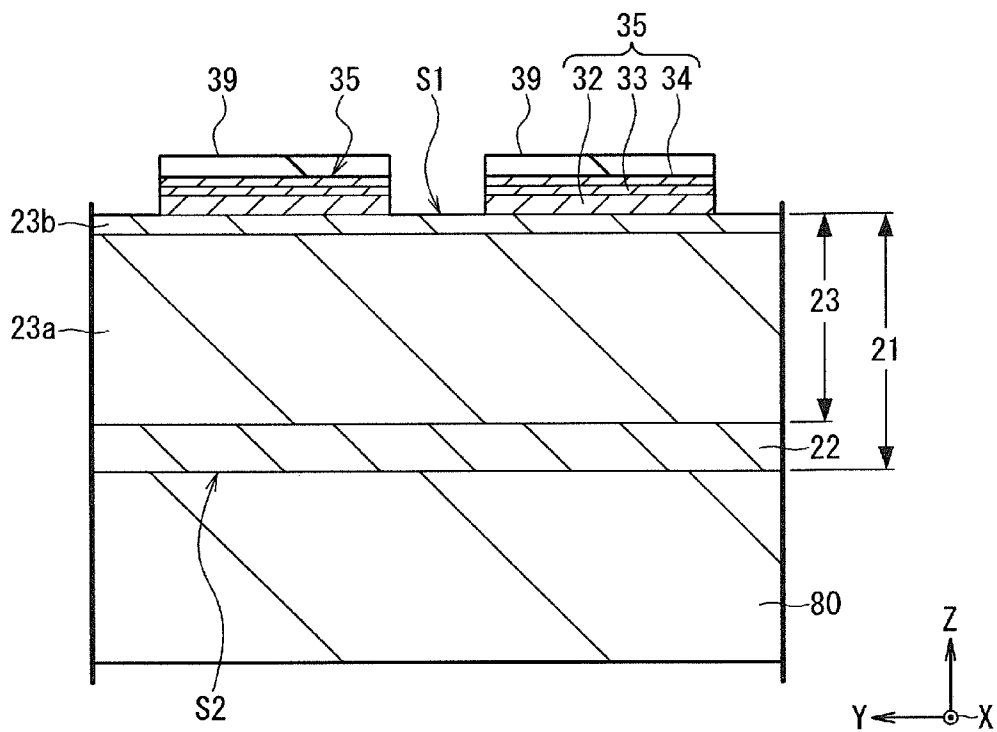
[図7M]



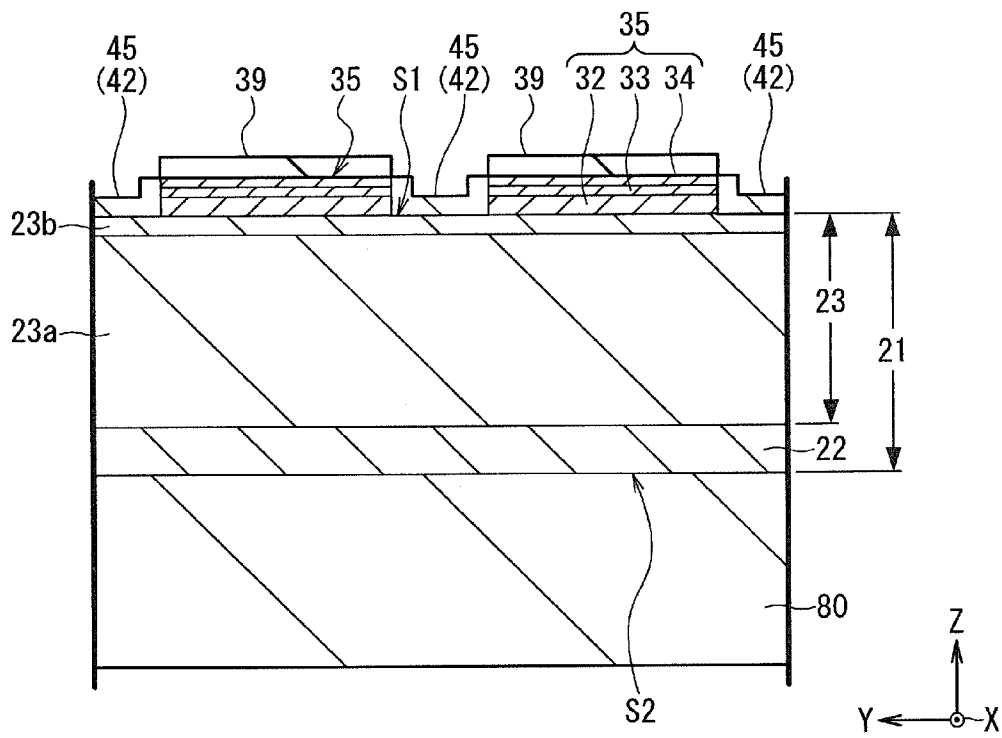
[図8A]



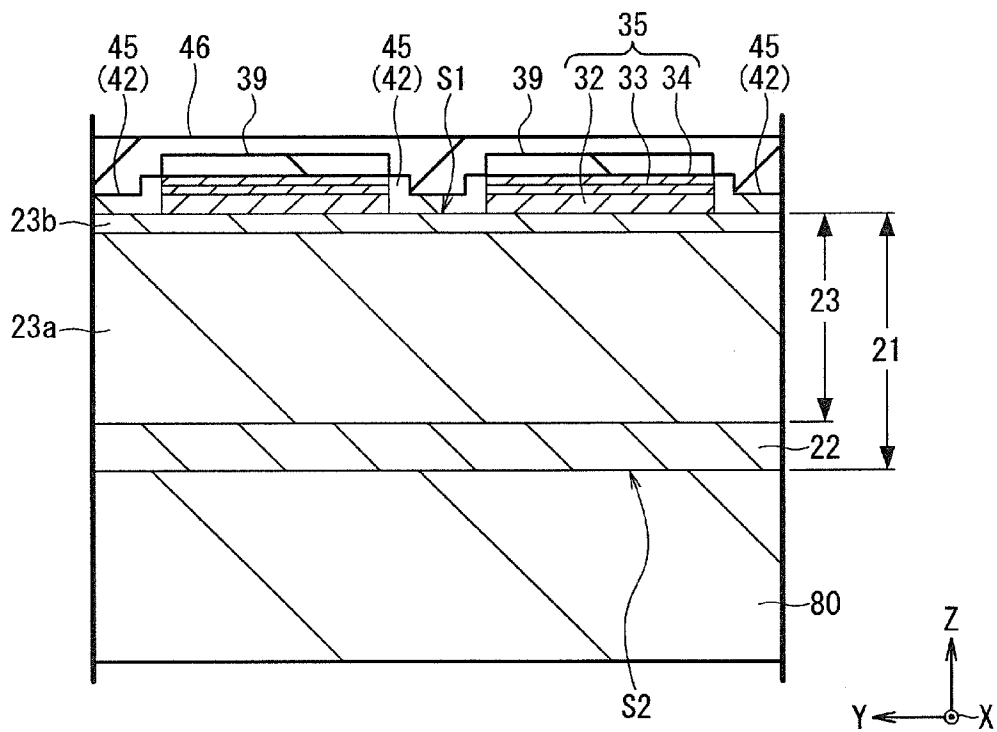
[図8B]



[図8C]



[図8D]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/042773

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i; **H04N 5/369**(2011.01)i

FI: H01L27/146 A; H01L27/146 F; H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2017/126204 A1 (SONY CORP) 27 July 2017 (2017-07-27) entire text, all drawings	1-15
A	JP 2011-96982 A (SUMITOMO ELECTRIC IND LTD) 12 May 2011 (2011-05-12) entire text, all drawings	1-15
A	WO 2018/194030 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 25 October 2018 (2018-10-25) entire text, all drawings	1-15
A	JP 2017-126738 A (SONY CORP) 20 July 2017 (2017-07-20) entire text, all drawings	1-15
A	JP 5-291605 A (MITSUBISHI ELECTRIC CORP) 05 November 1993 (1993-11-05) entire text, all drawings	1-15

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

19 January 2022

Date of mailing of the international search report

01 February 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/042773

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2017/126204	A1	27 July 2017	US 2019/0019830 A1 entire text, all drawings EP 3407392 A1 CN 108369967 A	
JP	2011-96982	A	12 May 2011	(Family: none)	
WO	2018/194030	A1	25 October 2018	US 2020/0035739 A1 entire text, all drawings EP 3614434 A1 CN 110520997 A KR 10-2019-0139844 A TW 201842659 A	
JP	2017-126738	A	20 July 2017	US 2019/0027528 A1 entire text, all drawings WO 2017/122537 A1 EP 3404715 A1 CN 108475688 A	
JP	5-291605	A	05 November 1993	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H04N 5/369(2011.01)i FI: H01L27/146 A; H01L27/146 F; H04N5/369		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H04N5/369		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2017/126204 A1（ソニー株式会社）27.07.2017（2017-07-27） 全文，全図	1-15
A	JP 2011-96982 A（住友電気工業株式会社）12.05.2011（2011-05-12） 全文，全図	1-15
A	WO 2018/194030 A1（ソニーセミコンダクタソリューションズ株式会社）25.10.2018 （2018-10-25） 全文，全図	1-15
A	JP 2017-126738 A（ソニー株式会社）20.07.2017（2017-07-20） 全文，全図	1-15
A	JP 5-291605 A（三菱電機株式会社）05.11.1993（1993-11-05） 全文，全図	1-15
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 19.01.2022		国際調査報告の発送日 01.02.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 柴山 将隆 5F 3035 電話番号 03-3581-1101 内線 3559

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/042773

引用文献			公表日	パテントファミリー文献			公表日
WO	2017/126204	A1	27.07.2017	US	2019/0019830	A1	
				全文, 全図			
				EP	3407392	A1	
				CN	108369967	A	
JP	2011-96982	A	12.05.2011	(ファミリーなし)			
WO	2018/194030	A1	25.10.2018	US	2020/0035739	A1	
				全文, 全図			
				EP	3614434	A1	
				CN	110520997	A	
				KR	10-2019-0139844	A	
				TW	201842659	A	
JP	2017-126738	A	20.07.2017	US	2019/0027528	A1	
				全文, 全図			
				WO	2017/122537	A1	
				EP	3404715	A1	
				CN	108475688	A	
JP	5-291605	A	05.11.1993	(ファミリーなし)			