



(12) 发明专利

(10) 授权公告号 CN 102738149 B

(45) 授权公告日 2015. 09. 30

(21) 申请号 201210243169. 0

CN 102184898 A, 2011. 09. 14,

(22) 申请日 2012. 07. 16

US 2007/0090467 A1, 2007. 04. 26,

(73) 专利权人 西安电子科技大学

李磊. 应变BiCMOS器件及应力分布研究.《中国优秀硕士学位论文全文数据库》. 2010, 第27页第1段, 第36页第6段, 第38页第1段-第49页第5段, 附图图4. 4、5. 1-5. 7.

地址 710065 陕西省西安市雁塔区太白南路2号

(72) 发明人 胡辉勇 张鹤鸣 宋建军 王海栋 舒斌 宣荣喜 戴显英 郝跃

审查员 孙健

(51) Int. Cl.

H01L 27/06(2006. 01)

H01L 21/8249(2006. 01)

H01L 21/28(2006. 01)

(56) 对比文件

US 2002/0142558 A1, 2002. 10. 03,

CN 101295647 A, 2008. 10. 29,

权利要求书5页 说明书17页 附图1页

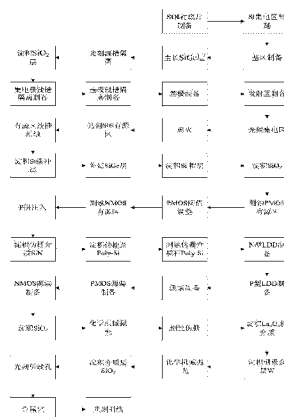
(54) 发明名称

一种基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件及制备方法

(57) 摘要

本发明公开了一种基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件及制备方法, 首先制备 SOI 衬底, 刻蚀双极器件有源区, 生长双极器件集电区, 光刻基区区域, 在基区区域生长 P-SiGe、i-Si、i-Poly-Si, 制备深槽隔离, 形成发射极、基极和集电极, 形成 SiGe HBT 器件; 光刻 MOS 有源区, 在该区域连续生长 Si 缓冲层、应变 SiGe 层、本征 Si 层, 分别形成 NMOS 和 PMOS 器件有源区, 在 NMOS 和 PMOS 器件有源区淀积 SiO2 和多晶硅, 通过刻蚀制备长度为 22 ~ 350nm 的伪栅, 采用自对准工艺形成 NMOS 和 PMOS 器件的轻掺杂源漏和源漏, 然后去除伪栅, 制备形成栅介质氧化镧和金属钨形成栅极, 最后金属化, 光刻引线, 形成 BiCMOS 集成器件及电路。本发明采用了轻掺杂源漏结构, 有效地抑制了热载流子对器件性能的影响, 提高了器件的可靠性。

CN 102738149 B



1. 一种基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件的制备方法, 其特征在于, 包括如下步骤:

第一步、选取两片 N 型掺杂的 Si 片, 其中两片掺杂浓度均为 $1 \sim 5 \times 10^{15} \text{cm}^{-3}$, 对两片 Si 片表面进行氧化, 氧化层厚度为 $0.5 \sim 1 \mu\text{m}$; 将其中的一片作为上层的基体材料, 并在该上层基体材料中注入氢, 将另一片作为下层的基体材料; 采用化学机械抛光 (CMP) 工艺对两个氧化层表面进行抛光;

第二步、将两片 Si 片氧化层相对置于超高真空环境中在 $350 \sim 480^\circ\text{C}$ 的温度下实现键合; 将键合后的 Si 片温度升高 $100 \sim 200^\circ\text{C}$, 使上层基体材料在注入的氢处断裂, 对上层基体材料多余的部分进行剥离, 保留 $100 \sim 200\text{nm}$ 的 Si 材料, 并在其断裂表面进行化学机械抛光 (CMP), 形成 SOI 衬底;

第三步、光刻双极器件有源区, 在该光刻双极器件有源区区域干法刻蚀出深度为 $2 \sim 3 \mu\text{m}$ 的深槽; 利用化学汽相淀积 (CVD) 的方法, 在 $600 \sim 750^\circ\text{C}$, 在该光刻双极器件有源区区域上生长 Si 外延层, 厚度为 $2 \sim 3 \mu\text{m}$, N 型掺杂, 掺杂浓度为 $1 \times 10^{16} \sim 1 \times 10^{17} \text{cm}^{-3}$, 作为集电区;

第四步、利用化学汽相淀积 (CVD) 的方法, 在 $600 \sim 800^\circ\text{C}$, 在衬底表面淀积一层厚度为 $200 \sim 300\text{nm}$ 的 SiO_2 层和一层厚度为 $100 \sim 200\text{nm}$ 的 SiN 层; 光刻基区, 利用干法刻蚀, 刻蚀出深度为 200nm 的基区区域, 在衬底表面生长三层材料: 第一层是 SiGe 层, Ge 组分为 $15 \sim 25\%$, 厚度为 $20 \sim 60\text{nm}$, P 型掺杂, 掺杂浓度为 $5 \times 10^{18} \sim 5 \times 10^{19} \text{cm}^{-3}$, 作为基区; 第二层是未掺杂的本征 Si 层, 厚度为 $10 \sim 20\text{nm}$; 第三层是未掺杂的本征 Poly-Si 层, 厚度为 $200 \sim 300\text{nm}$, 作为基极和发射区;

第五步、利用化学汽相淀积 (CVD) 的方法, 在 $600 \sim 800^\circ\text{C}$, 在衬底表面淀积一层厚度为 $200 \sim 300\text{nm}$ 的 SiO_2 层和一层厚度为 $100 \sim 200\text{nm}$ 的 SiN 层; 光刻器件间深槽隔离区域, 在深槽隔离区域干法刻蚀出深度为 $5 \mu\text{m}$ 的深槽, 利用化学汽相淀积 (CVD) 方法, 在 $600 \sim 800^\circ\text{C}$, 在深槽内填充 SiO_2 ;

第六步、用湿法刻蚀掉表面的 SiO_2 和 SiN 层, 再利用化学汽相淀积 (CVD) 的方法, 在 $600 \sim 800^\circ\text{C}$, 在衬底表面淀积一层厚度为 $200 \sim 300\text{nm}$ 的 SiO_2 层和一层厚度为 $100 \sim 200\text{nm}$ 的 SiN 层; 光刻集电区浅槽隔离区域, 在浅槽隔离区域干法刻蚀出深度为 $180 \sim 300\text{nm}$ 的浅槽, 利用化学汽相淀积 (CVD) 方法, 在 $600 \sim 800^\circ\text{C}$, 在浅槽内填充 SiO_2 ;

第七步、用湿法刻蚀掉表面的 SiO_2 和 SiN 层, 再利用化学汽相淀积 (CVD) 的方法, 在 $600 \sim 800^\circ\text{C}$, 在衬底表面淀积一层厚度为 $200 \sim 300\text{nm}$ 的 SiO_2 层和一层厚度为 $100 \sim 200\text{nm}$ 的 SiN 层; 光刻基区浅槽隔离区域, 在浅槽隔离区域干法刻蚀出深度为 $215 \sim 325\text{nm}$ 的浅槽, 利用化学汽相淀积 (CVD) 方法, 在 $600 \sim 800^\circ\text{C}$, 在浅槽内填充 SiO_2 ;

第八步、用湿法刻蚀掉表面的 SiO_2 和 SiN 层, 利用化学汽相淀积 (CVD) 的方法, 在 $600 \sim 800^\circ\text{C}$, 在衬底表面淀积一层厚度为 $300 \sim 500\text{nm}$ 的 SiO_2 层; 光刻基极区域, 对该光刻基极区域进行 P 型杂质注入, 使基极接触区掺杂浓度为 $1 \times 10^{19} \sim 1 \times 10^{20} \text{cm}^{-3}$, 形成基极接触区域;

第九步、光刻发射区域, 对该光刻发射区域进行 N 型杂质注入, 使掺杂浓度为 $1 \times 10^{17} \sim 5 \times 10^{17} \text{cm}^{-3}$, 形成发射区;

第十步、光刻集电极区域, 并利用化学抛光的方法, 去除集电极区域的本征 Si 层和

本征 Poly-Si 层, 对该去除集电极区域进行 N 型杂质注入, 使集电极接触区掺杂浓度为 $1 \times 10^{19} \sim 1 \times 10^{20} \text{cm}^{-3}$, 形成集电极接触区域; 并对衬底在 $950 \sim 1100^\circ\text{C}$ 温度下, 退火 $15 \sim 120\text{s}$, 进行杂质激活, 形成 SiGe HBT 器件;

第十一步、光刻 MOS 有源区, 利用干法刻蚀工艺, 在 MOS 有源区刻蚀出深度为 $300 \sim 400\text{nm}$ 的浅槽, 利用化学汽相淀积 (CVD) 方法, 在 $600 \sim 750^\circ\text{C}$, 在该浅槽中连续生长三层材料: 第一层是厚度为 $280 \sim 380\text{nm}$ 的 N 型 Si 缓冲层, 该 N 型 Si 缓冲层掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3} \sim 5 \times 10^{15} \text{cm}^{-3}$; 第二层是厚度为 $10 \sim 15\text{nm}$ 的 N 型 SiGe 外延层, 该 N 型 SiGe 外延层 Ge 组分为 $15 \sim 30\%$, 掺杂浓度为 $1 \times 10^{16} \text{cm}^{-3} \sim 5 \times 10^{16} \text{cm}^{-3}$; 第三层是厚度为 $3 \sim 5\text{nm}$ 的本征弛豫 Si 层;

第十二步、利用化学汽相淀积 (CVD) 方法, 在 $600 \sim 800^\circ\text{C}$, 在外延材料表面淀积一层厚度为 $300 \sim 500\text{nm}$ 的 SiO_2 层; 光刻 PMOS 器件有源区, 对 PMOS 器件有源区进行 N 型离子注入, 使其掺杂浓度达到 $1 \times 10^{17} \text{cm}^{-3} \sim 5 \times 10^{17} \text{cm}^{-3}$; 光刻 NMOS 器件有源区, 利用离子注入工艺对 NMOS 器件区域进行 P 型离子注入, 形成 NMOS 器件有源区 P 阱, P 阱掺杂浓度为 $1 \times 10^{17} \text{cm}^{-3} \sim 5 \times 10^{17} \text{cm}^{-3}$;

第十三步、利用湿法刻蚀, 刻蚀掉表面的 SiO_2 层, 利用化学汽相淀积 (CVD) 方法, 在 $600 \sim 800^\circ\text{C}$, 在衬底表面淀积一层厚度为 $3 \sim 5\text{nm}$ 的 SiN 层作为栅介质和一层厚度为 $300 \sim 500\text{nm}$ 的本征 Poly-Si 层, 光刻 Poly-Si 栅和栅介质, 形成 $22 \sim 350\text{nm}$ 长的伪栅;

第十四步、利用离子注入, 分别对 NMOS 器件有源区和 PMOS 器件有源区进行 N 型和 P 型离子注入, 形成 N 型轻掺杂源漏结构 (N-LDD) 和 P 型轻掺杂源漏结构 (P-LDD), 掺杂浓度均为 $1 \times 10^{18} \text{cm}^{-3} \sim 5 \times 10^{18} \text{cm}^{-3}$;

第十五步、利用化学汽相淀积 (CVD) 方法, 在 $600 \sim 800^\circ\text{C}$, 在衬底表面淀积一层厚度为 $5 \sim 15\text{nm}$ 的 SiO_2 层, 利用干法刻蚀工艺, 刻蚀掉表面的 SiO_2 层, 保留 Poly-Si 栅和栅介质侧面的 SiO_2 , 形成侧墙;

第十六步、光刻出 PMOS 器件有源区, 利用离子注入技术自对准形成 PMOS 器件的源漏区; 反刻出 NMOS 器件有源区, 利用离子注入技术自对准形成 NMOS 器件的源漏区; 将衬底在 $950 \sim 1100^\circ\text{C}$ 温度下, 退火 $15 \sim 120\text{s}$, 进行杂质激活;

第十七步、用化学汽相淀积 (CVD) 方法, 在 $600 \sim 800^\circ\text{C}$, 在衬底表面淀积一层 SiO_2 , 厚度为 $300 \sim 500\text{nm}$, 利用化学机械抛光 (CMP) 技术, 将 SiO_2 平坦化到栅极表面;

第十八步、利用湿法刻蚀将伪栅极完全去除, 留下氧化层上的栅堆叠的自对准压印, 在衬底表面生长一层厚度为 $2 \sim 5\text{nm}$ 的氧化镧 La_2O_3 ; 在衬底表面溅射一层金属钨 (W), 最后利用化学机械抛光 (CMP) 技术将栅极区域以外的金属钨 (W) 及氧化镧 La_2O_3 除去;

第十九步、利用化学汽相淀积 (CVD) 方法, 在 $600 \sim 800^\circ\text{C}$, 表面生长一层 SiO_2 层, 并光刻引线孔;

第二十步、金属化、光刻引线, 形成漏极、源极和栅极以及发射极、基极、集电极金属引线, 构成 MOS 导电沟道为 $22 \sim 350\text{nm}$ 的基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件。

2. 根据权利要求 1 所述的制备方法, 其特征在于, 该制备方法中基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件制造过程中所涉及的化学汽相淀积 (CVD) 工艺温度, 最高温度小于等于 800°C 。

3. 根据权利要求 1 所述的制备方法, 其特征在于, 基区厚度根据第四步 SiGe 的外延层

厚度来决定,取 20 ~ 60nm。

4. 一种基于平面应变 SiGe HBT 器件的 BiCMOS 集成电路的制备方法,其特征在于,包括如下步骤:

步骤 1, SOI 衬底材料制备的实现方法为:

(1a) 选取 N 型掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 的 Si 片,对其表面进行氧化,氧化层厚度为 $1 \mu\text{m}$,作为上层的基体材料,并在该上层基体材料中注入氢;

(1b) 选取 N 型掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 的 Si 片,对其表面进行氧化,氧化层厚度为 $1 \mu\text{m}$,作为下层的基体材料;

(1c) 采用化学机械抛光 (CMP) 工艺,分别对下层和注入氢后的上层基体材料表面进行抛光处理;

(1d) 将抛光处理后的下层和上层基体材料表面氧化层相对紧贴,置于超高真空环境中在 350°C 温度下实现键合;

(1e) 将键合后的基片温度升高 200°C ,使上层基体材料在注入的氢处断裂,对上层基体材料多余的部分进行剥离,保留 100nm 的 Si 材料,并在该氢处断裂表面进行化学机械抛光 (CMP),形成 SOI 结构;

步骤 2, 外延材料制备的实现方法为:

(2a) 光刻双极器件有源区,在该光刻双极器件有源区区域干法刻蚀出深度为 $2 \mu\text{m}$ 的深槽;

(2b) 利用化学汽相淀积 (CVD) 的方法,在 600°C ,在该深槽中上生长一层厚度为 $2 \mu\text{m}$ 的 N 型外延 Si 层,作为集电区,该 N 型外延 Si 层掺杂浓度为 $1 \times 10^{16} \text{cm}^{-3}$;

(2c) 利用化学汽相淀积 (CVD) 的方法,在 600°C ,在衬底表面淀积一层厚度为 200nm 的 SiO_2 层和一层厚度为 100nm 的 SiN 层;

(2d) 光刻基区,利用干法刻蚀,刻蚀出深度为 200nm 的基区区域;

(2e) 利用化学汽相淀积 (CVD) 的方法,在 600°C ,在衬底上生长一层厚度为 20nm 的 SiGe 层,作为基区,该 SiGe 层 Ge 组分为 15%,掺杂浓度为 $5 \times 10^{18} \text{cm}^{-3}$;

(2f) 利用化学汽相淀积 (CVD) 的方法,在 600°C ,在衬底上生长一层厚度 10nm 的未掺杂的本征 Si 层;

(2g) 利用化学汽相淀积 (CVD) 的方法,在 600°C ,在衬底上生长一层厚度 200nm 的未掺杂的本征 Poly-Si 层;

步骤 3, 器件深槽隔离制备的实现方法为:

(3a) 利用化学汽相淀积 (CVD) 的方法,在 600°C ,在衬底表面淀积一层厚度为 200nm 的 SiO_2 层;

(3b) 利用化学汽相淀积 (CVD) 的方法,在 600°C ,在衬底表面淀积一层厚度为 100nm 的 SiN 层;

(3c) 光刻器件间深槽隔离区域,在深槽隔离区域干法刻蚀出深度为 $5 \mu\text{m}$ 的深槽;

(3d) 利用化学汽相淀积 (CVD) 方法,在 600°C ,在深槽内填充 SiO_2 ,形成器件深槽隔离;

步骤 4, 集电极浅槽隔离制备的实现方法为:

(4a) 用湿法刻蚀掉表面的 SiO_2 和 SiN 层;

(4b) 利用化学汽相淀积 (CVD) 的方法,在 600°C ,在衬底表面淀积一层厚度为 200nm 的

SiO₂层；

(4c) 利用化学汽相淀积 (CVD) 的方法, 在 600℃, 在衬底表面淀积一层厚度为 100nm 的 SiN 层；

(4d) 光刻集电极浅槽隔离区域, 在浅槽隔离区域干法刻蚀出深度为 180nm 的浅槽；

(4e) 利用化学汽相淀积 (CVD) 方法, 在 600℃, 在浅槽内填充 SiO₂, 形成集电极浅槽隔离；

步骤 5, 基极浅槽隔离制备的实现方法为：

(5a) 用湿法刻蚀掉表面的 SiO₂和 SiN 层；

(5b) 利用化学汽相淀积 (CVD) 的方法, 在 600℃, 在衬底表面淀积一层厚度为 200nm 的 SiO₂层；

(5c) 利用化学汽相淀积 (CVD) 的方法, 在 600℃, 在衬底表面淀积一层厚度为 100nm 的 SiN 层；

(5d) 光刻基极浅槽隔离区域, 在浅槽隔离区域干法刻蚀出深度为 215nm 的浅槽；

(5e) 利用化学汽相淀积 (CVD) 方法, 在 600℃, 在浅槽内填充 SiO₂, 形成基极浅槽隔离；

步骤 6, SiGe HBT 形成的实现方法为：

(6a) 用湿法刻蚀掉表面的 SiO₂和 SiN 层；

(6b) 利用化学汽相淀积 (CVD) 的方法, 在 600℃, 在衬底表面淀积一层厚度为 300nm 的 SiO₂层；

(6c) 光刻基极区域, 对该光刻基极区域进行 P 型杂质注入, 使接触区掺杂浓度为 $1 \times 10^{19} \text{cm}^{-3}$, 形成基极；

(6d) 光刻发射区, 对该光刻发射区区域进行 N 型杂质注入, 使掺杂浓度为 $1 \times 10^{17} \text{cm}^{-3}$, 形成发射区；

(6e) 光刻集电极区域, 并利用化学机械抛光 (CMP) 的方法, 去除集电极区域的本征 Si 层和本征 Poly-Si 层, 对该去除集电极区域进行 N 型杂质注入, 使集电极接触区掺杂浓度为 $1 \times 10^{19} \text{cm}^{-3}$, 形成集电极；

(6f) 对衬底在 950℃温度下, 退火 120s, 进行杂质激活, 形成 SiGe HBT；

步骤 7, MOS 有源区制备的实现方法为：

(7a) 光刻 MOS 有源区；

(7b) 利用干法刻蚀工艺, 在 MOS 有源区刻蚀出深度为 300nm 的浅槽；

(7c) 利用化学汽相淀积 (CVD) 方法, 在 600℃, 在浅槽中生长厚度为 280nm 的 N 型 Si 缓冲层, 该 N 型 Si 缓冲层掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ ；

(7d) 利用化学汽相淀积 (CVD) 方法, 在 600℃, 在衬底表面生长厚度为 10nm 的 N 型 SiGe 外延层, 该 N 型 SiGe 外延层 Ge 组分为 15%, 掺杂浓度为 $1 \times 10^{16} \text{cm}^{-3}$ ；

(7e) 利用化学汽相淀积 (CVD) 方法, 在 600℃, 在衬底表面生长厚度为 3nm 的本征弛豫型 Si 帽层；

步骤 8, NMOS 器件和 PMOS 器件形成的实现方法为：

(8a) 利用化学汽相淀积 (CVD) 方法, 在 600℃, 在衬底上生长一层 300nm 的 SiO₂；

(8b) 光刻 PMOS 器件有源区, 对 PMOS 器件有源区进行 N 型离子注入, 使其掺杂浓度达到 $1 \times 10^{17} \text{cm}^{-3}$ ；

(8c) 光刻 NMOS 器件有源区,利用离子注入工艺对 NMOS 器件区域进行 P 型离子注入,形成 NMOS 器件有源区 P 阱,P 阱掺杂浓度为 $1 \times 10^{17} \text{cm}^{-3}$;

(8d) 利用化学汽相淀积 (CVD) 方法,在 600°C ,在表面生长一层厚度为 3nm 的 SiN 层;

(8e) 利用化学汽相淀积 (CVD) 方法,在 600°C ,在 SiN 层上生长一层 300nm 的多晶硅;

(8f) 光刻 Poly-Si 栅和栅介质,形成 22nm 长的伪栅;

(8g) 光刻 NMOS 器件有源区,对 NMOS 器件有源区进行 N 型离子注入,形成 N 型轻掺杂源漏结构 (N-LDD),掺杂浓度为 $1 \times 10^{18} \text{cm}^{-3}$;

(8h) 光刻 PMOS 器件有源区,对 PMOS 器件有源区进行 P 型离子注入,形成 P 型轻掺杂源漏结构 (P-LDD),掺杂浓度为 $1 \times 10^{18} \text{cm}^{-3}$;

(8i) 在衬底表面,利用化学汽相淀积 (CVD) 方法,在 600°C ,生长一层 SiO_2 ,厚度为 10nm,随后利用干法刻蚀工艺光刻掉多余的 SiO_2 ,保留栅极侧壁 SiO_2 ,形成侧墙;

(8j) 光刻出 PMOS 器件有源区,利用离子注入技术自对准形成 PMOS 器件的源漏区;

(8k) 光刻出 NMOS 器件有源区,利用离子注入技术自对准形成 NMOS 器件的源漏区;

(8l) 将衬底在 950°C 温度下,退火 120s,进行杂质激活;

步骤 9, MOS 器件栅制备的实现方法为:

(9a) 利用化学汽相淀积 (CVD) 方法,在 600°C ,在衬底表面淀积一层 SiO_2 层, SiO_2 厚度为 300nm 厚度;

(9b) 利用化学机械抛光 (CMP) 方法,对表面进行平坦化至栅极水平;

(9c) 利用湿法刻蚀将伪栅极完全去除,留下氧化层上的栅堆叠的自对准压印;

(9d) 在衬底表面生长一层厚度为 2nm 的氧化镧 La_2O_3 ;

(9e) 在衬底表面溅射一层金属钨 (W);

(9f) 利用化学机械抛光 (CMP) 技术将栅极区域以外的金属钨 (W) 及氧化镧 La_2O_3 除去;

步骤 10,构成 BiCMOS 集成电路的实现方法为:

(10a) 利用化学汽相淀积 (CVD) 方法,在 600°C ,在表面生长一层 SiO_2 层;

(10b) 光刻引线孔;

(10c) 金属化;

(10d) 光刻引线,形成 MOS 器件的漏极、源极和栅极,以及双极晶体管发射极、基极和集电极金属引线,构成 MOS 导电沟道为 22nm 的基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件及电路。

一种基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件及制备方法

技术领域

[0001] 本发明属于半导体集成电路技术领域,尤其涉及一种基于平面应变 SiGeHBT 器件的 BiCMOS 集成器件及制备方法。

背景技术

[0002] 半导体集成电路技术是高科技和信息产业的核心技术,已成为衡量一个国家科学技术水平、综合国力和国防力量的重要标志,而以集成电路为代表的微电子技术则是半导体技术的关键。半导体产业是国家的基础性产业,其之所以发展得如此之快,除了技术本身对经济发展的巨大贡献之外,还与它广泛的应用性有关。

[0003] 英特尔(Intel)创始人之一戈登·摩尔(Gordon Moore)于 1965 年提出了“摩尔定律”,该定理指出:集成电路芯片上的晶体管数目,约每 18 个月增加 1 倍,性能也提升 1 倍。多年来,世界半导体产业始终遵循着这条定律不断地向前发展,尤其是 Si 基集成电路技术,发展至今,全世界数以万亿美元的设备和技术投入,已使 Si 基工艺形成了非常强大的产业能力。2004 年 2 月 23 日英特尔首席执行官克莱格·贝瑞特在东京举行的全球信息峰会上表示,摩尔定律将在未来 15 到 20 年依然有效,然而推动摩尔定律继续前进的技术动力是:不断缩小芯片的特征尺寸。目前,国外 45nm 技术已经进入规模生产阶段,32nm 技术处在导入期,按照国际半导体技术发展路线图 ITRS,下一个节点是 22nm。

[0004] 不过,随着集成电路技术的继续发展,芯片的特征尺寸不断缩小,在 Si 芯片制造工业微型化进程中面临着材料物理属性,制造工艺技术,器件结构等方面极限的挑战。比如当特征尺寸小于 100nm 以下时由于隧穿漏电流和可靠性等问题,传统的栅介质材料 SiO₂ 无法满足低功耗的要求;纳米器件的短沟道效应和窄沟道效应越发明显,严重影响了器件性能;传统的光刻技术无法满足日益缩小的光刻精度。因此传统 Si 基工艺器件越来越难以满足设计的需要。

[0005] 为了满足半导体技术的进一步发展需要,大量的研究人员在新结构、新材料以及新工艺方面进行了深入的研究,并在某些领域的应用取得了很大进展。这些新结构和新材料对器件性能有较大的提高,可以满足集成电路技术继续符合“摩尔定律”迅速发展的需要。

[0006] 因此,目前工业界在制造大规模集成电路尤其是数模混合集成电路时,仍然采用 Si BiCMOS 或者 SiGe BiCMOS 技术(Si BiCMOS 为 Si 双极晶体管 BJT+Si CMOS, SiGe BiCMOS 为 SiGe 异质结双极晶体管 HBT+Si CMOS)。

发明内容

[0007] 本发明的目的在于利用在一个 SOI 衬底片上制备应变 SiGe 平面沟道 PMOS 器件、应变 SiGe 平面沟道 NMOS 器件和双多晶 SiGe HBT 器件,构成基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件及电路,以实现器件与集成电路性能的最优化。

[0008] 本发明的目的在于提供一种基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件,所述 BiCMOS 集成器件采用双多晶 SiGe HBT 器件,应变 SiGe 平面沟道 NMOS 器件和应变 SiGe 平面沟道 PMOS 器件。

[0009] 进一步、NMOS 器件导电沟道为应变 SiGe 材料,沿沟道方向为张应变。

[0010] 进一步、PMOS 器件导电沟道为应变 SiGe 材料,沿沟道方向为压应变。

[0011] 进一步、PMOS 器件采用量子阱结构。

[0012] 进一步、SiGe HBT 器件的发射极和基极采用多晶硅接触。

[0013] 进一步、SiGe HBT 器件的基区为应变 SiGe 材料。

[0014] 本发明的另一目的在于提供一种基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件的制备方法,包括如下步骤:

[0015] 第一步、选取两片 N 型掺杂的 Si 片,其中两片掺杂浓度均为 $1\sim 5\times 10^{15}\text{cm}^{-3}$,对两片 Si 片表面进行氧化,氧化层厚度为 $0.5\sim 1\ \mu\text{m}$;将其中的一片作为上层的基体材料,并在该基体材料中注入氢,将另一片作为下层的基体材料;采用化学机械抛光(CMP)工艺对两个氧化层表面进行抛光;

[0016] 第二步、将两片 Si 片氧化层相对置于超高真空环境中在 $350\sim 480^\circ\text{C}$ 的温度下实现键合;将键合后的 Si 片温度升高 $100\sim 200^\circ\text{C}$,使上层基体材料在注入的氢处断裂,对上层基体材料多余的部分进行剥离,保留 $100\sim 200\text{nm}$ 的 Si 材料,并在其断裂表面进行化学机械抛光(CMP),形成 SOI 衬底;

[0017] 第三步、光刻双极器件有源区,在该区域干法刻蚀出深度为 $2\sim 3\ \mu\text{m}$ 的深槽;利用化学汽相淀积(CVD)的方法,在 $600\sim 750^\circ\text{C}$,在该区域上生长 Si 外延层,厚度为 $2\sim 3\ \mu\text{m}$,N 型掺杂,掺杂浓度为 $1\times 10^{16}\sim 1\times 10^{17}\text{cm}^{-3}$,作为集电区;

[0018] 第四步、利用化学汽相淀积(CVD)的方法,在 $600\sim 800^\circ\text{C}$,在衬底表面淀积一层厚度为 $200\sim 300\text{nm}$ 的 SiO_2 层和一层厚度为 $100\sim 200\text{nm}$ 的 SiN 层;光刻基区,利用干法刻蚀,刻蚀出深度为 200nm 的基区区域,在衬底表面生长三层材料:第一层是 SiGe 层,Ge 组分为 $15\sim 25\%$,厚度为 $20\sim 60\text{nm}$,P 型掺杂,掺杂浓度为 $5\times 10^{18}\sim 5\times 10^{19}\text{cm}^{-3}$,作为基区;第二层是未掺杂的本征 Si 层,厚度为 $10\sim 20\text{nm}$;第三层是未掺杂的本征 Poly-Si 层,厚度为 $200\sim 300\text{nm}$,作为基极和发射区;

[0019] 第五步、利用化学汽相淀积(CVD)的方法,在 $600\sim 800^\circ\text{C}$,在衬底表面淀积一层厚度为 $200\sim 300\text{nm}$ 的 SiO_2 层和一层厚度为 $100\sim 200\text{nm}$ 的 SiN 层;光刻器件间深槽隔离区域,在深槽隔离区域干法刻蚀出深度为 $5\ \mu\text{m}$ 的深槽,利用化学汽相淀积(CVD)方法,在 $600\sim 800^\circ\text{C}$,在深槽内填充 SiO_2 ;

[0020] 第六步、用湿法刻蚀掉表面的 SiO_2 和 SiN 层,再利用化学汽相淀积(CVD)的方法,在 $600\sim 800^\circ\text{C}$,在衬底表面淀积一层厚度为 $200\sim 300\text{nm}$ 的 SiO_2 层和一层厚度为 $100\sim 200\text{nm}$ 的 SiN 层;光刻集电区浅槽隔离区域,在浅槽隔离区域干法刻蚀出深度为 $180\sim 300\text{nm}$ 的浅槽,利用化学汽相淀积(CVD)方法,在 $600\sim 800^\circ\text{C}$,在浅槽内填充 SiO_2 ;

[0021] 第七步、用湿法刻蚀掉表面的 SiO_2 和 SiN 层,再利用化学汽相淀积(CVD)的方法,在 $600\sim 800^\circ\text{C}$,在衬底表面淀积一层厚度为 $200\sim 300\text{nm}$ 的 SiO_2 层和一层厚度为 $100\sim 200\text{nm}$ 的 SiN 层;光刻基区浅槽隔离区域,在浅槽隔离区域干法刻蚀出深度为 $215\sim 325\text{nm}$ 的浅槽,利用化学汽相淀积(CVD)方法,在 $600\sim 800^\circ\text{C}$,在浅槽内填充 SiO_2 ;

[0022] 第八步、用湿法刻蚀掉表面的 SiO_2 和 SiN 层,利用化学汽相淀积(CVD)的方法,在 $600 \sim 800^\circ\text{C}$,在衬底表面淀积一层厚度为 $300\sim 500\text{nm}$ 的 SiO_2 层;光刻基极区域,对该区域进行 P 型杂质注入,使基极接触区掺杂浓度为 $1 \times 10^{19} \sim 1 \times 10^{20} \text{cm}^{-3}$,形成基极接触区域;

[0023] 第九步、光刻发射区域,对该区域进行 N 型杂质注入,使掺杂浓度为 $1 \times 10^{17} \sim 5 \times 10^{17} \text{cm}^{-3}$,形成发射区;

[0024] 第十步、光刻集电极区域,并利用化学机械抛光(CMP)的方法,去除集电极区域的本征 Si 层和本征 Poly-Si 层,对该区域进行 N 型杂质注入,使集电极接触区掺杂浓度为 $1 \times 10^{19} \sim 1 \times 10^{20} \text{cm}^{-3}$,形成集电极接触区域;并对衬底在 $950 \sim 1100^\circ\text{C}$ 温度下,退火 $15 \sim 120\text{s}$,进行杂质激活,形成 SiGe HBT 器件;

[0025] 第十一步、光刻 MOS 有源区,利用干法刻蚀工艺,在 MOS 有源区刻蚀出深度为 $300 \sim 400\text{nm}$ 的浅槽,利用化学汽相淀积(CVD)方法,在 $600 \sim 750^\circ\text{C}$,在该浅槽中连续生长三层材料:第一层是厚度为 $280 \sim 380\text{nm}$ 的 N 型 Si 缓冲层,该层掺杂浓度为 $1 \sim 5 \times 10^{15} \text{cm}^{-3}$;第二层是厚度为 $10 \sim 15\text{nm}$ 的 N 型 SiGe 外延层,该层 Ge 组分为 $15 \sim 30\%$,掺杂浓度为 $1 \sim 5 \times 10^{16} \text{cm}^{-3}$;第三层是厚度为 $3 \sim 5\text{nm}$ 的本征弛豫 Si 层;

[0026] 第十二步、利用化学汽相淀积(CVD)方法,在 $600 \sim 800^\circ\text{C}$,在外延材料表面淀积一层厚度为 $300 \sim 500\text{nm}$ 的 SiO_2 层;光刻 PMOS 器件有源区,对 PMOS 器件有源区进行 N 型离子注入,使其掺杂浓度达到 $1 \sim 5 \times 10^{17} \text{cm}^{-3}$;光刻 NMOS 器件有源区,利用离子注入工艺对 NMOS 器件区域进行 P 型离子注入,形成 NMOS 器件有源区 P 阱,P 阱掺杂浓度为 $1 \sim 5 \times 10^{17} \text{cm}^{-3}$;

[0027] 第十三步、利用湿法刻蚀,刻蚀掉表面的 SiO_2 层,利用化学汽相淀积(CVD)方法,在 $600 \sim 800^\circ\text{C}$,在衬底表面淀积一层厚度为 $3 \sim 5\text{nm}$ 的 SiN 层作为栅介质和一层厚度为 $300 \sim 500\text{nm}$ 的本征 Poly-Si 层,光刻 Poly-Si 栅和栅介质,形成 $22 \sim 350\text{nm}$ 长的伪栅;

[0028] 第十四步、利用离子注入,分别对 NMOS 器件有源区和 PMOS 器件有源区进行 N 型和 P 型离子注入,形成 N 型轻掺杂源漏结构(N-LDD)和 P 型轻掺杂源漏结构(P-LDD),掺杂浓度均为 $1 \sim 5 \times 10^{18} \text{cm}^{-3}$;

[0029] 第十五步、利用化学汽相淀积(CVD)方法,在 $600 \sim 800^\circ\text{C}$,在衬底表面淀积一层厚度为 $5 \sim 15\text{nm}$ 的 SiO_2 层,利用干法刻蚀工艺,刻蚀掉表面的 SiO_2 层,保留 Poly-Si 栅和栅介质侧面的 SiO_2 ,形成侧墙;

[0030] 第十六步、光刻出 PMOS 器件有源区,利用离子注入技术自对准形成 PMOS 器件的源漏区;反刻出 NMOS 器件有源区,利用离子注入技术自对准形成 NMOS 器件的源漏区;将衬底在 $950 \sim 1100^\circ\text{C}$ 温度下,退火 $15 \sim 120\text{s}$,进行杂质激活;

[0031] 第十七步、用化学汽相淀积(CVD)方法,在 $600 \sim 800^\circ\text{C}$,在衬底表面淀积一层 SiO_2 ,厚度为 $300\sim 500\text{nm}$,利用化学机械抛光(CMP)技术,将 SiO_2 平坦化到栅极表面;

[0032] 第十八步、利用湿法刻蚀将伪栅极完全去除,留下氧化层上的栅堆叠的自对准压印,在衬底表面生长一层厚度为 $2\sim 5\text{nm}$ 的氧化镧 La_2O_3 ;在衬底表面溅射一层金属钨(W),最后利用化学机械抛光(CMP)技术将栅极区域以外的金属钨(W)及氧化镧(La_2O_3)除去;

[0033] 第十九步、利用化学汽相淀积(CVD)方法,在 $600 \sim 800^\circ\text{C}$,表面生长一层 SiO_2 层,并光刻引线孔;

[0034] 第二十步、金属化、光刻引线,形成漏极、源极和栅极以及发射极、基极、集电极金属引线,构成 MOS 导电沟道为 $22 \sim 350\text{nm}$ 的基于平面应变 SiGe HBT 器件的 BiCMOS 集成器

件。

[0035] 进一步、该制备方法中基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件制造过程中所涉及的化学汽相淀积(CVD)工艺温度,最高温度小于等于 800℃。

[0036] 进一步、基区厚度根据第四步 SiGe 的外延层厚度来决定,取 20 ~ 60nm。

[0037] 本发明的另一目的在于提供一种基于平面应变 SiGe HBT 器件的 BiCMOS 集成电路的制备方法,包括如下步骤:

[0038] 步骤 1, SOI 衬底材料制备的实现方法为:

[0039] (1a)选取 N 型掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 的 Si 片,对其表面进行氧化,氧化层厚度为 1 μm ,作为上层的基体材料,并在该基体材料中注入氢;

[0040] (1b)选取 N 型掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 的 Si 片,对其表面进行氧化,氧化层厚度为 1 μm ,作为下层的基体材料;

[0041] (1c)采用化学机械抛光(CMP)工艺,分别对下层和注入氢后的上层基体材料表面进行抛光处理;

[0042] (1d)将抛光处理后的下层和上层基体材料表面氧化层相对紧贴,置于超高真空环境中在 350℃温度下实现键合;

[0043] (1e)将键合后的基片温度升高 200℃,使上层基体材料在注入的氢处断裂,对上层基体材料多余的部分进行剥离,保留 100nm 的 Si 材料,并在该断裂表面进行化学机械抛光(CMP),形成 SOI 结构;

[0044] 步骤 2,外延材料制备的实现方法为:

[0045] (2a)光刻双极器件有源区,在该区域干法刻蚀出深度为 2 μm 的深槽;

[0046] (2b)利用化学汽相淀积(CVD)的方法,在 600℃,在该深槽中上生长一层厚度为 2 μm 的 N 型外延 Si 层,作为集电区,该层掺杂浓度为 $1 \times 10^{16} \text{cm}^{-3}$;

[0047] (2c)利用化学汽相淀积(CVD)的方法,在 600℃,在衬底表面淀积一层厚度为 200nm 的 SiO_2 层和一层厚度为 100nm 的 SiN 层;(2a)利用化学汽相淀积(CVD)的方法,在 600℃,在上层 Si 材料上生长一层厚度为 250nm 的 N 型外延 Si 层,作为集电区,该层掺杂浓度为 $1 \times 10^{16} \text{cm}^{-3}$;

[0048] (2d)光刻基区,利用干法刻蚀,刻蚀出深度为 200nm 的基区区域;

[0049] (2e)利用化学汽相淀积(CVD)的方法,在 600℃,在衬底上生长一层厚度为 20nm 的 SiGe 层,作为基区,该层 Ge 组分为 15%,掺杂浓度为 $5 \times 10^{18} \text{cm}^{-3}$;

[0050] (2f)利用化学汽相淀积(CVD)的方法,在 600℃,在衬底上生长一层厚度 10nm 的未掺杂的本征 Si 层;

[0051] (2g)利用化学汽相淀积(CVD)的方法,在 600℃,在衬底上生长一层厚度 200nm 的未掺杂的本征 Poly-Si 层;

[0052] 步骤 3,器件深槽隔离制备的实现方法为:

[0053] (3a)利用化学汽相淀积(CVD)的方法,在 600℃,在衬底表面淀积一层厚度为 200nm 的 SiO_2 层;

[0054] (3b)利用化学汽相淀积(CVD)的方法,在 600℃,在衬底表面淀积一层厚度为 100nm 的 SiN 层;

[0055] (3c)光刻器件间深槽隔离区域,在深槽隔离区域干法刻蚀出深度为 5 μm 的深槽;

- [0056] (3d) 利用化学汽相淀积(CVD)方法,在 600℃,在深槽内填充 SiO₂,形成器件深槽隔离;
- [0057] 步骤 4,集电极浅槽隔离制备的实现方法为:
- [0058] (4a) 用湿法刻蚀掉表面的 SiO₂和 SiN 层;
- [0059] (4b) 利用化学汽相淀积(CVD)的方法,在 600℃,在衬底表面淀积一层厚度为 200nm 的 SiO₂层;
- [0060] (4c) 利用化学汽相淀积(CVD)的方法,在 600℃,在衬底表面淀积一层厚度为 100nm 的 SiN 层;
- [0061] (4d) 光刻集电极浅槽隔离区域,在浅槽隔离区域干法刻蚀出深度为 180nm 的浅槽;
- [0062] (4e) 利用化学汽相淀积(CVD)方法,在 600℃,在浅槽内填充 SiO₂,形成集电极浅槽隔离;
- [0063] 步骤 5,基极浅槽隔离制备的实现方法为:
- [0064] (5a) 用湿法刻蚀掉表面的 SiO₂和 SiN 层;
- [0065] (5b) 利用化学汽相淀积(CVD)的方法,在 600℃,在衬底表面淀积一层厚度为 200nm 的 SiO₂层;
- [0066] (5c) 利用化学汽相淀积(CVD)的方法,在 600℃,在衬底表面淀积一层厚度为 100nm 的 SiN 层;
- [0067] (5d) 光刻基极浅槽隔离区域,在浅槽隔离区域干法刻蚀出深度为 215nm 的浅槽;
- [0068] (5e) 利用化学汽相淀积(CVD)方法,在 600℃,在浅槽内填充 SiO₂,形成基极浅槽隔离;
- [0069] 步骤 6, SiGe HBT 形成的实现方法为:
- [0070] (6a) 用湿法刻蚀掉表面的 SiO₂和 SiN 层;
- [0071] (6b) 利用化学汽相淀积(CVD)的方法,在 600℃,在衬底表面淀积一层厚度为 300nm 的 SiO₂层;
- [0072] (6c) 光刻基极区域,对该区域进行 P 型杂质注入,使接触区掺杂浓度为 $1 \times 10^{19} \text{cm}^{-3}$,形成基极;
- [0073] (6d) 光刻发射区,对该区域进行 N 型杂质注入,使掺杂浓度为 $1 \times 10^{17} \text{cm}^{-3}$,形成发射区;
- [0074] (6e) 光刻集电极区域,并利用化学机械抛光(CMP)的方法,去除集电极区域的本征 Si 层和本征 Poly-Si 层,对该区域进行 N 型杂质注入,使集电极接触区掺杂浓度为 $1 \times 10^{19} \text{cm}^{-3}$,形成集电极;
- [0075] (6f) 对衬底在 950℃温度下,退火 120s,进行杂质激活,形成 SiGe HBT;
- [0076] 步骤 7, MOS 有源区制备的实现方法为:
- [0077] (7a) 光刻 MOS 有源区;
- [0078] (7b) 利用干法刻蚀工艺,在 MOS 有源区刻蚀出深度为 300nm 的浅槽;
- [0079] (7c) 利用化学汽相淀积(CVD)方法,在 600℃,在浅槽中生长厚度为 280nm 的 N 型 Si 缓冲层,该层掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$;
- [0080] (7d) 利用化学汽相淀积(CVD)方法,在 600℃,在衬底表面生长厚度为 10nm 的 N 型

SiGe 外延层, 该层 Ge 组分为 15%, 掺杂浓度为 $1 \times 10^{16} \text{cm}^{-3}$;

[0081] (7e) 利用化学汽相淀积(CVD)方法, 在 600°C , 在衬底表面生长厚度为 3nm 的本征弛豫型 Si 帽层;

[0082] 步骤 8, NMOS 器件和 PMOS 器件形成的实现方法为:

[0083] (8a) 利用化学汽相淀积(CVD)方法, 在 600°C , 在衬底上生长一层 300nm 的 SiO_2 ;

[0084] (8b) 光刻 PMOS 器件有源区, 对 PMOS 器件有源区进行 N 型离子注入, 使其掺杂浓度达到 $1 \times 10^{17} \text{cm}^{-3}$;

[0085] (8c) 光刻 NMOS 器件有源区, 利用离子注入工艺对 NMOS 器件区域进行 P 型离子注入, 形成 NMOS 器件有源区 P 阱, P 阱掺杂浓度为 $1 \times 10^{17} \text{cm}^{-3}$;

[0086] (8d) 利用化学汽相淀积(CVD)方法, 在 600°C , 在表面生长一层厚度为 3nm 的 SiN 层;

[0087] (8e) 利用化学汽相淀积(CVD)方法, 在 600°C , 在 SiN 层上生长一层 300nm 的多晶硅;

[0088] (8f) 光刻 Poly-Si 栅和栅介质, 形成 22nm 长的伪栅;

[0089] (8g) 光刻 NMOS 器件有源区, 对 NMOS 器件有源区进行 N 型离子注入, 形成 N 型轻掺杂源漏结构(N-LDD), 掺杂浓度为 $1 \times 10^{18} \text{cm}^{-3}$;

[0090] (8h) 光刻 PMOS 器件有源区, 对 PMOS 器件有源区进行 P 型离子注入, 形成 P 型轻掺杂源漏结构(P-LDD), 掺杂浓度为 $1 \times 10^{18} \text{cm}^{-3}$;

[0091] (8i) 在衬底表面, 利用化学汽相淀积(CVD)方法, 在 600°C , 生长一层 SiO_2 , 厚度为 10nm, 随后利用干法刻蚀工艺光刻掉多余的 SiO_2 , 保留栅极侧壁 SiO_2 , 形成侧墙;

[0092] (8j) 光刻出 PMOS 器件有源区, 利用离子注入技术自对准形成 PMOS 器件的源漏区;

[0093] (8k) 光刻出 NMOS 器件有源区, 利用离子注入技术自对准形成 NMOS 器件的源漏区;

[0094] (8l) 将衬底在 950°C 温度下, 退火 120s, 进行杂质激活;

[0095] 步骤 9, MOS 器件栅制备的实现方法为:

[0096] (9a) 利用化学汽相淀积(CVD)方法, 在 600°C , 在衬底表面淀积一层 SiO_2 层, SiO_2 厚度为 300nm 厚度;

[0097] (9b) 利用化学机械抛光(CMP)方法, 对表面进行平坦化至栅极水平;

[0098] (9c) 利用湿法刻蚀将伪栅极完全去除, 留下氧化层上的栅堆叠的自对准压印;

[0099] (9d) 在衬底表面生长一层厚度为 2nm 的氧化镧(La_2O_3);

[0100] (9e) 在衬底表面溅射一层金属钨(W);

[0101] (9f) 利用化学机械抛光(CMP)技术将栅极区域以外的金属钨(W)及氧化镧(La_2O_3)除去;

[0102] 步骤 10, 构成 BiCMOS 集成电路的实现方法为:

[0103] (10a) 利用化学汽相淀积(CVD)方法, 在 600°C , 在表面生长一层 SiO_2 层;

[0104] (10b) 光刻引线孔;

[0105] (10c) 金属化;

[0106] (10d) 光刻引线, 形成 MOS 器件的漏极、源极和栅极, 以及双极晶体管发射极、基极

和集电极金属引线,构成 MOS 导电沟道为 22nm 的基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件及电路。

[0107] 本发明具有如下优点:

[0108] 1. 本发明制备的基于平面应变 SiGe HBT 器件的 BiCMOS 器件结构中采用了轻掺杂源漏(LDD)结构,有效地抑制了热载流子对器件性能的影响;

[0109] 2. 本发明制备的平面应变 SiGe HBT 器件的 BiCMOS 在 PMOS 器件结构中都采用了量子阱结构,能有效地把空穴限制在 SiGe 层内,减少了界面散射,提高了器件的频率、电流驱动能力等电学性能;

[0110] 3. 本发明制备的基于平面应变 SiGe HBT 器件的 BiCMOS 器件采用了高 K 栅介质,提高了 MOS 器件的栅控能力,增强了器件的电学性能;

[0111] 4. 本发明制备基于平面应变 SiGe HBT 器件的 BiCMOS 器件过程中涉及的最高温度为 800°C,低于引起应变 SiGe 沟道应力弛豫的工艺温度,因此该制备方法能有效地保持应变 SiGe 沟道应力,提高集成电路的性能;

[0112] 5. 本发明制备的基于平面应变 SiGe HBT 器件的 BiCMOS 中,在制备 NMOS 器件和 PMOS 器件栅电极时采用了金属栅镶嵌工艺(damascene process),该工艺中使用了金属钨(W)作为金属电极,降低了栅电极的电阻,提高了器件设计的灵活性和可靠性;

[0113] 6. 本发明制备的应变 SiGe 回型沟道 Si 基 BiCMOS 集成器件中采用了 SOI 衬底,降低了 MOS 器件与电路的功耗和开启电压,提高了器件与电路的可靠性。

附图说明

[0114] 图 1 是本发明提供的基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件及电路制备方法的实现流程图。

具体实施方式

[0115] 为了使本发明的目的、技术方案及优点更加清楚明白,以下结合附图及实施例,对本发明进行进一步详细说明。应当理解,此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。

[0116] 本发明实施例提供了一种基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件,所述 BiCMOS 集成器件采用双多晶 SiGe HBT 器件,应变 SiGe 平面沟道 NMOS 器件和应变 SiGe 平面沟道 PMOS 器件。

[0117] 作为本发明实施例的一优化方案,NMOS 器件导电沟道为应变 SiGe 材料,沿沟道方向为张应变。

[0118] 作为本发明实施例的一优化方案,PMOS 器件导电沟道为应变 SiGe 材料,沿沟道方向为压应变。

[0119] 作为本发明实施例的一优化方案,PMOS 器件采用量子阱结构。

[0120] 作为本发明实施例的一优化方案,SiGe HBT 器件的发射极和基极采用多晶硅接触。

[0121] 作为本发明实施例的一优化方案,SiGe HBT 器件的基区为应变 SiGe 材料。

[0122] 以下参照附图 1,对本发明制备 22 ~ 350nm 沟道长度的基于平面应变 SiGe HBT 器

件的 BiCMOS 集成器件及电路的工艺流程作进一步详细描述。

[0123] 实施例 1:制备沟道长度为 22nm 的基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件及电路,具体步骤如下:

[0124] 步骤 1, SOI 衬底材料制备。

[0125] (1a)选取 N 型掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 的 Si 片,对其表面进行氧化,氧化层厚度为 $1 \mu\text{m}$,作为上层的基体材料,并在该基体材料中注入氢;

[0126] (1b)选取 N 型掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 的 Si 片,对其表面进行氧化,氧化层厚度为 $1 \mu\text{m}$,作为下层的基体材料;

[0127] (1c)采用化学机械抛光(CMP)工艺,分别对下层和注入氢后的上层基体材料表面进行抛光处理;

[0128] (1d)将抛光处理后的下层和上层基体材料表面氧化层相对紧贴,置于超高真空环境中在 350°C 温度下实现键合;

[0129] (1e)将键合后的基片温度升高 200°C ,使上层基体材料在注入的氢处断裂,对上层基体材料多余的部分进行剥离,保留 100nm 的 Si 材料,并在该断裂表面进行化学机械抛光(CMP),形成 SOI 结构。

[0130] 步骤 2,外延材料制备。

[0131] (2a)光刻双极器件有源区,在该区域干法刻蚀出深度为 $2 \mu\text{m}$ 的深槽;

[0132] (2b)利用化学汽相淀积(CVD)的方法,在 600°C ,在该深槽中上生长一层厚度为 $2 \mu\text{m}$ 的 N 型外延 Si 层,作为集电区,该层掺杂浓度为 $1 \times 10^{16} \text{cm}^{-3}$;

[0133] (2c)利用化学汽相淀积(CVD)的方法,在 600°C ,在衬底表面淀积一层厚度为 200nm 的 SiO_2 层和一层厚度为 100nm 的 SiN 层;

[0134] (2d)光刻基区,利用干法刻蚀,刻蚀出深度为 200nm 的基区区域;

[0135] (2e)利用化学汽相淀积(CVD)的方法,在 600°C ,在衬底上生长一层厚度为 20nm 的 SiGe 层,作为基区,该层 Ge 组分为 15%,掺杂浓度为 $5 \times 10^{18} \text{cm}^{-3}$;

[0136] (2f)利用化学汽相淀积(CVD)的方法,在 600°C ,在衬底上生长一层厚度 10nm 的未掺杂的本征 Si 层;

[0137] (2g)利用化学汽相淀积(CVD)的方法,在 600°C ,在衬底上生长一层厚度 200nm 的未掺杂的本征 Poly-Si 层。

[0138] 步骤 3,器件深槽隔离制备。

[0139] (3a)利用化学汽相淀积(CVD)的方法,在 600°C ,在衬底表面淀积一层厚度为 200nm 的 SiO_2 层;

[0140] (3b)利用化学汽相淀积(CVD)的方法,在 600°C ,在衬底表面淀积一层厚度为 100nm 的 SiN 层;

[0141] (3c)光刻器件间深槽隔离区域,在深槽隔离区域干法刻蚀出深度为 $5 \mu\text{m}$ 的深槽;

[0142] (3d)利用化学汽相淀积(CVD)方法,在 600°C ,在深槽内填充 SiO_2 ,形成器件深槽隔离。

[0143] 步骤 4,集电极浅槽隔离制备。

[0144] (4a)用湿法刻蚀掉表面的 SiO_2 和 SiN 层;

[0145] (4b)利用化学汽相淀积(CVD)的方法,在 600°C ,在衬底表面淀积一层厚度为

200nm 的 SiO_2 层；

[0146] (4c) 利用化学汽相淀积(CVD)的方法,在 600°C ,在衬底表面淀积一层厚度为 100nm 的 SiN 层；

[0147] (4d) 光刻集电极浅槽隔离区域,在浅槽隔离区域干法刻蚀出深度为 180nm 的浅槽；

[0148] (4e) 利用化学汽相淀积(CVD)方法,在 600°C ,在浅槽内填充 SiO_2 ,形成集电极浅槽隔离。

[0149] 步骤 5,基极浅槽隔离制备。

[0150] (5a) 用湿法刻蚀掉表面的 SiO_2 和 SiN 层；

[0151] (5b) 利用化学汽相淀积(CVD)的方法,在 600°C ,在衬底表面淀积一层厚度为 200nm 的 SiO_2 层；

[0152] (5c) 利用化学汽相淀积(CVD)的方法,在 600°C ,在衬底表面淀积一层厚度为 100nm 的 SiN 层；

[0153] (5d) 光刻基极浅槽隔离区域,在浅槽隔离区域干法刻蚀出深度为 215nm 的浅槽；

[0154] (5e) 利用化学汽相淀积(CVD)方法,在 600°C ,在浅槽内填充 SiO_2 ,形成基极浅槽隔离。

[0155] 步骤 6, SiGe HBT 形成。

[0156] (6a) 用湿法刻蚀掉表面的 SiO_2 和 SiN 层；

[0157] (6b) 利用化学汽相淀积(CVD)的方法,在 600°C ,在衬底表面淀积一层厚度为 300nm 的 SiO_2 层；

[0158] (6c) 光刻基极区域,对该区域进行 P 型杂质注入,使接触区掺杂浓度为 $1 \times 10^{19} \text{cm}^{-3}$,形成基极；

[0159] (6d) 光刻发射区,对该区域进行 N 型杂质注入,使掺杂浓度为 $1 \times 10^{17} \text{cm}^{-3}$,形成发射区；

[0160] (6e) 光刻集电极区域,并利用化学机械抛光(CMP)的方法,去除集电极区域的本征 Si 层和本征 Poly-Si 层,对该区域进行 N 型杂质注入,使集电极接触区掺杂浓度为 $1 \times 10^{19} \text{cm}^{-3}$,形成集电极；

[0161] (6f) 对衬底在 950°C 温度下,退火 120s,进行杂质激活,形成 SiGe HBT。

[0162] 步骤 7, MOS 有源区制备。

[0163] (7a) 光刻 MOS 有源区；

[0164] (7b) 利用干法刻蚀工艺,在 MOS 有源区刻蚀出深度为 300nm 的浅槽；

[0165] (7c) 利用化学汽相淀积(CVD)方法,在 600°C ,在浅槽中生长厚度为 280nm 的 N 型 Si 缓冲层,该层掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ ；

[0166] (7d) 利用化学汽相淀积(CVD)方法,在 600°C ,在衬底表面生长厚度为 10nm 的 N 型 SiGe 外延层,该层 Ge 组分为 15%,掺杂浓度为 $1 \times 10^{16} \text{cm}^{-3}$ ；

[0167] (7e) 利用化学汽相淀积(CVD)方法,在 600°C ,在衬底表面生长厚度为 3nm 的本征弛豫型 Si 帽层。

[0168] 步骤 8, NMOS 器件和 PMOS 器件形成。

[0169] (8a) 利用化学汽相淀积(CVD)方法,在 600°C ,在衬底上生长一层 300nm 的 SiO_2 ；

- [0170] (8b)光刻 PMOS 器件有源区,对 PMOS 器件有源区进行 N 型离子注入,使其掺杂浓度达到 $1 \times 10^{17} \text{cm}^{-3}$;
- [0171] (8c)光刻 NMOS 器件有源区,利用离子注入工艺对 NMOS 器件区域进行 P 型离子注入,形成 NMOS 器件有源区 P 阱,P 阱掺杂浓度为 $1 \times 10^{17} \text{cm}^{-3}$;
- [0172] (8d)利用化学汽相淀积(CVD)方法,在 600°C ,在表面生长一层厚度为 3nm 的 SiN 层;
- [0173] (8e)利用化学汽相淀积(CVD)方法,在 600°C ,在 SiN 层上生长一层 300nm 的多晶硅;
- [0174] (8f)光刻 Poly-Si 栅和栅介质,形成 22nm 长的伪栅;
- [0175] (8g)光刻 NMOS 器件有源区,对 NMOS 器件有源区进行 N 型离子注入,形成 N 型轻掺杂源漏结构(N-LDD),掺杂浓度为 $1 \times 10^{18} \text{cm}^{-3}$;
- [0176] (8h)光刻 PMOS 器件有源区,对 PMOS 器件有源区进行 P 型离子注入,形成 P 型轻掺杂源漏结构(P-LDD),掺杂浓度为 $1 \times 10^{18} \text{cm}^{-3}$;
- [0177] (8i)在衬底表面,利用化学汽相淀积(CVD)方法,在 600°C ,生长一层 SiO_2 ,厚度为 10nm,随后利用干法刻蚀工艺光刻掉多余的 SiO_2 ,保留栅极侧壁 SiO_2 ,形成侧墙;
- [0178] (8j)光刻出 PMOS 器件有源区,利用离子注入技术自对准形成 PMOS 器件的源漏区;
- [0179] (8k)光刻出 NMOS 器件有源区,利用离子注入技术自对准形成 NMOS 器件的源漏区;
- [0180] (8l)将衬底在 950°C 温度下,退火 120s,进行杂质激活。
- [0181] 步骤 9, MOS 器件栅制备。
- [0182] (9a)利用化学汽相淀积(CVD)方法,在 600°C ,在衬底表面淀积一层 SiO_2 层, SiO_2 厚度为 300nm 厚度;
- [0183] (9b)利用化学机械抛光(CMP)方法,对表面进行平坦化至栅极水平;
- [0184] (9c)利用湿法刻蚀将伪栅极完全去除,留下氧化层上的栅堆叠的自对准压印;
- [0185] (9d)在衬底表面生长一层厚度为 2nm 的氧化镧(La_2O_3);
- [0186] (9e)在衬底表面溅射一层金属钨(W);
- [0187] (9f)利用化学机械抛光(CMP)技术将栅极区域以外的金属钨(W)及氧化镧(La_2O_3)除去。
- [0188] 步骤 10,构成 BiCMOS 集成电路。
- [0189] (10a)利用化学汽相淀积(CVD)方法,在 600°C ,在表面生长一层 SiO_2 层;
- [0190] (10b)光刻引线孔;
- [0191] (10c)金属化;
- [0192] (10d)光刻引线,形成 MOS 器件的漏极、源极和栅极,以及双极晶体管发射极、基极和集电极金属引线,构成 MOS 导电沟道为 22nm 的基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件及电路。
- [0193] 实施例 2:制备沟道长度为 130nm 的基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件及电路,具体步骤如下:
- [0194] 步骤 1, SOI 衬底材料制备。

[0195] (1a)选取 N 型掺杂浓度为 $3 \times 10^{15} \text{cm}^{-3}$ 的 Si 片,对其表面进行氧化,氧化层厚度为 $0.7 \mu\text{m}$,作为上层的基体材料,并在该基体材料中注入氢;

[0196] (1b)选取 N 型掺杂浓度为 $3 \times 10^{15} \text{cm}^{-3}$ 的 Si 片,对其表面进行氧化,氧化层厚度为 $0.7 \mu\text{m}$,作为下层的基体材料;

[0197] (1c)采用化学机械抛光(CMP)工艺,分别对下层和注入氢后的上层基体材料表面进行抛光处理;

[0198] (1d)将抛光处理后的下层和上层基体材料表面氧化层相对紧贴,置于超高真空环境中在 420°C 温度下实现键合;

[0199] (1e)将键合后的基片温度升高 150°C ,使上层基体材料在注入的氢处断裂,对上层基体材料多余的部分进行剥离,保留 150nm 的 Si 材料,并在该断裂表面进行化学机械抛光(CMP),形成 SOI 结构。

[0200] 步骤 2,外延材料制备。

[0201] (2a)光刻双极器件有源区,在该区域干法刻蚀出深度为 $2.5 \mu\text{m}$ 的深槽;

[0202] (2b)利用化学汽相淀积(CVD)的方法,在 700°C ,在该深槽中上生长一层厚度为 $2.5 \mu\text{m}$ 的 N 型外延 Si 层,作为集电区,该层掺杂浓度为 $5 \times 10^{16} \text{cm}^{-3}$;

[0203] (2c)利用化学汽相淀积(CVD)的方法,在 600°C ,在衬底表面淀积一层厚度为 240nm 的 SiO_2 层和一层厚度为 150nm 的 SiN 层;

[0204] (2d)光刻基区,利用干法刻蚀,刻蚀出深度为 200nm 的基区区域;

[0205] (2e)利用化学汽相淀积(CVD)的方法,在 700°C ,在衬底上生长一层厚度为 40nm 的 SiGe 层,作为基区,该层 Ge 组分为 20% ,掺杂浓度为 $1 \times 10^{19} \text{cm}^{-3}$;

[0206] (2f)利用化学汽相淀积(CVD)的方法,在 700°C ,在衬底上生长一层厚度 15nm 的未掺杂的本征 Si 层;

[0207] (2g)利用化学汽相淀积(CVD)的方法,在 700°C ,在衬底上生长一层厚度 240nm 的未掺杂的本征 Poly-Si 层。

[0208] 步骤 3,器件深槽隔离制备。

[0209] (3a)利用化学汽相淀积(CVD)的方法,在 700°C ,在衬底表面淀积一层厚度为 240nm 的 SiO_2 层;

[0210] (3b)利用化学汽相淀积(CVD)的方法,在 700°C ,在衬底表面淀积一层厚度为 150nm 的 SiN 层;

[0211] (3c)光刻器件间深槽隔离区域,在深槽隔离区域干法刻蚀出深度为 $5 \mu\text{m}$ 的深槽;

[0212] (3d)利用化学汽相淀积(CVD)方法,在 700°C ,在浅槽内填充 SiO_2 ,形成器件深槽隔离。

[0213] 步骤 4,集电极浅槽隔离制备。

[0214] (4a)用湿法刻蚀掉表面的 SiO_2 和 SiN 层;

[0215] (4b)利用化学汽相淀积(CVD)的方法,在 700°C ,在衬底表面淀积一层厚度为 240nm 的 SiO_2 层;

[0216] (4c)利用化学汽相淀积(CVD)的方法,在 700°C ,在衬底表面淀积一层厚度为 150nm 的 SiN 层;

[0217] (4d)光刻集电极浅槽隔离区域,在浅槽隔离区域干法刻蚀出深度为 240nm 的浅

槽；

[0218] (4e) 利用化学汽相淀积(CVD)方法,在 700℃,在浅槽内填充 SiO₂,形成集电极浅槽隔离。

[0219] 步骤 5,基极浅槽隔离制备。

[0220] (5a) 用湿法刻蚀掉表面的 SiO₂和 SiN 层；

[0221] (5b) 利用化学汽相淀积(CVD)的方法,在 700℃,在衬底表面淀积一层厚度为 240nm 的 SiO₂层；

[0222] (5c) 利用化学汽相淀积(CVD)的方法,在 700℃,在衬底表面淀积一层厚度为 150nm 的 SiN 层；

[0223] (5d) 光刻基极浅槽隔离区域,在浅槽隔离区域干法刻蚀出深度为 260nm 的浅槽；

[0224] (5e) 利用化学汽相淀积(CVD)方法,在 700℃,在浅槽内填充 SiO₂,形成基极浅槽隔离。

[0225] 步骤 6, SiGe HBT 形成。

[0226] (6a) 用湿法刻蚀掉表面的 SiO₂和 SiN 层；

[0227] (6b) 利用化学汽相淀积(CVD)的方法,在 700℃,在衬底表面淀积一层厚度为 400nm 的 SiO₂层；

[0228] (6c) 光刻基极区域,对该区域进行 P 型杂质注入,使接触区掺杂浓度为 $5 \times 10^{19} \text{cm}^{-3}$,形成基极；

[0229] (6d) 光刻发射区,对该区域进行 N 型杂质注入,使掺杂浓度为 $3 \times 10^{17} \text{cm}^{-3}$,形成发射区；

[0230] (6e) 光刻集电极区域,并利用化学机械抛光(CMP)的方法,去除集电极区域的本征 Si 层和本征 Poly-Si 层,对该区域进行 N 型杂质注入,使集电极接触区掺杂浓度为 $5 \times 10^{19} \text{cm}^{-3}$,形成集电极；

[0231] (6f) 对衬底在 1000℃温度下,退火 60s,进行杂质激活,形成 SiGe HBT。

[0232] 步骤 7, MOS 有源区制备。

[0233] (7a) 光刻 MOS 有源区；

[0234] (7b) 利用干法刻蚀工艺,在 MOS 有源区刻蚀出深度为 350nm 的浅槽；

[0235] (7c) 利用化学汽相淀积(CVD)方法,在 700℃,在浅槽中生长厚度为 330nm 的 N 型 Si 缓冲层,该层掺杂浓度为 $3 \times 10^{15} \text{cm}^{-3}$ ；

[0236] (7d) 利用化学汽相淀积(CVD)方法,在 600℃,在衬底表面生长厚度为 12nm 的 N 型 SiGe 外延层,该层 Ge 组分为 20%,掺杂浓度为 $3 \times 10^{16} \text{cm}^{-3}$ ；

[0237] (7e) 利用化学汽相淀积(CVD)方法,在 700℃,在衬底表面生长厚度为 4nm 的本征弛豫型 Si 帽层。

[0238] 步骤 8, NMOS 器件和 PMOS 器件形成。

[0239] (8a) 利用化学汽相淀积(CVD)方法,在 700℃,在衬底上生长一层 400nm 的 SiO₂；

[0240] (8b) 光刻 PMOS 器件有源区,对 PMOS 器件有源区进行 N 型离子注入,使其掺杂浓度达到 $3 \times 10^{17} \text{cm}^{-3}$ ；

[0241] (8c) 光刻 NMOS 器件有源区,利用离子注入工艺对 NMOS 器件区域进行 P 型离子注入,形成 NMOS 器件有源区 P 阱, P 阱掺杂浓度为 $3 \times 10^{17} \text{cm}^{-3}$ ；

- [0242] (8d)利用化学汽相淀积(CVD)方法,在 700℃,在表面生长一层厚度为 4nm 的 SiN 层;
- [0243] (8e)利用化学汽相淀积(CVD)方法,在 700℃,在 SiN 层上生长一层 400nm 的多晶硅;
- [0244] (8f)光刻 Poly-Si 栅和栅介质,形成 130nm 长的伪栅;
- [0245] (8g)光刻 NMOS 器件有源区,对 NMOS 器件有源区进行 N 型离子注入,形成 N 型轻掺杂源漏结构(N-LDD),掺杂浓度为 $3 \times 10^{18} \text{cm}^{-3}$;
- [0246] (8h)光刻 PMOS 器件有源区,对 PMOS 器件有源区进行 P 型离子注入,形成 P 型轻掺杂源漏结构(P-LDD),掺杂浓度为 $3 \times 10^{18} \text{cm}^{-3}$;
- [0247] (8i)在衬底表面,利用化学汽相淀积(CVD)方法,在 700℃,生长一层 SiO₂,厚度为 15nm,随后利用干法刻蚀工艺光刻掉多余的 SiO₂,保留栅极侧壁 SiO₂,形成侧墙;
- [0248] (8j)光刻出 PMOS 器件有源区,利用离子注入技术自对准形成 PMOS 器件的源漏区;
- [0249] (8k)光刻出 NMOS 器件有源区,利用离子注入技术自对准形成 NMOS 器件的源漏区;
- [0250] (8l)将衬底在 1000℃温度下,退火 60s,进行杂质激活。
- [0251] 步骤 9, MOS 器件栅制备。
- [0252] (9a)利用化学汽相淀积(CVD)方法,在 700℃,在衬底表面淀积一层 SiO₂层, SiO₂厚度为 400nm 厚度;
- [0253] (9b)利用化学机械抛光(CMP)方法,对表面进行平坦化至栅极水平;
- [0254] (9c)利用湿法刻蚀将伪栅极完全去除,留下氧化层上的栅堆叠的自对准压印;
- [0255] (9d)在衬底表面生长一层厚度为 4nm 的氧化镧(La₂O₃);
- [0256] (9e)在衬底表面溅射一层金属钨(W);
- [0257] (9f)利用化学机械抛光(CMP)技术将栅极区域以外的金属钨(W)及氧化镧(La₂O₃)除去。
- [0258] 步骤 10,构成 BiCMOS 集成电路。
- [0259] (10a)利用化学汽相淀积(CVD)方法,在 700℃,在表面生长一层 SiO₂层;
- [0260] (10b)光刻引线孔;
- [0261] (10c)金属化;
- [0262] (10d)光刻引线,形成 MOS 器件的漏极、源极和栅极,以及双极晶体管发射极、基极和集电极金属引线,构成 MOS 导电沟道为 130nm 的基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件及电路。
- [0263] 实施例 3:制备沟道长度为 350nm 的基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件及电路,具体步骤如下:
- [0264] 步骤 1, SOI 衬底材料制备。
- [0265] (1a)选取 N 型掺杂浓度为 $5 \times 10^{15} \text{cm}^{-3}$ 的 Si 片,对其表面进行氧化,氧化层厚度为 0.5 μm,作为上层的基体材料,并在该基体材料中注入氢;
- [0266] (1b)选取 N 型掺杂浓度为 $5 \times 10^{15} \text{cm}^{-3}$ 的 Si 片,对其表面进行氧化,氧化层厚度为 0.5 μm,作为下层的基体材料;

[0267] (1c) 采用化学机械抛光(CMP)工艺,分别对下层和注入氢后的上层有源层基体材料表面进行抛光处理;

[0268] (1d) 将抛光处理后的下层和上层基体材料表面氧化层相对紧贴,置于超高真空环境中在 480℃温度下实现键合;

[0269] (1e) 将键合后的基片温度升高 100℃,使上层基体材料在注入的氢处断裂,对上层基体材料多余的部分进行剥离,保留 200nm 的 Si 材料,并在该断裂表面进行化学机械抛光(CMP),形成 SOI 结构。

[0270] 步骤 2,外延材料制备。

[0271] (2a) 光刻双极器件有源区,在该区域干法刻蚀出深度为 3 μm 的深槽;

[0272] (2b) 利用化学汽相淀积(CVD)的方法,在 750℃,在该深槽中上生长一层厚度为 3 μm 的 N 型外延 Si 层,作为集电区,该层掺杂浓度为 $1 \times 10^{17} \text{cm}^{-3}$;

[0273] (2c) 利用化学汽相淀积(CVD)的方法,在 750℃,在衬底表面淀积一层厚度为 300nm 的 SiO_2 层和一层厚度为 200nm 的 SiN 层;

[0274] (2d) 光刻基区,利用干法刻蚀,刻蚀出深度为 200nm 的基区区域;

[0275] (2e) 利用化学汽相淀积(CVD)的方法,在 750℃,在衬底上生长一层厚度为 60nm 的 SiGe 层,作为基区,该层 Ge 组分为 25%,掺杂浓度为 $5 \times 10^{19} \text{cm}^{-3}$;

[0276] (2f) 利用化学汽相淀积(CVD)的方法,在 750℃,在衬底上生长一层厚度 20nm 的未掺杂的本征 Si 层;

[0277] (2g) 利用化学汽相淀积(CVD)的方法,在 750℃,在衬底上生长一层厚度 300nm 的未掺杂的本征 Poly-Si 层。

[0278] 步骤 3,器件深槽隔离制备。

[0279] (3a) 利用化学汽相淀积(CVD)的方法,在 800℃,在衬底表面淀积一层厚度为 300nm 的 SiO_2 层;

[0280] (3b) 利用化学汽相淀积(CVD)的方法,在 800℃,在衬底表面淀积一层厚度为 200nm 的 SiN 层;

[0281] (3c) 光刻器件间深槽隔离区域,在深槽隔离区域干法刻蚀出深度为 5 μm 的深槽;

[0282] (3d) 利用化学汽相淀积(CVD)方法,在 800℃,在浅槽内填充 SiO_2 ,形成器件深槽隔离。

[0283] 步骤 4,集电极浅槽隔离制备。

[0284] (4a) 用湿法刻蚀掉表面的 SiO_2 和 SiN 层;

[0285] (4b) 利用化学汽相淀积(CVD)的方法,在 800℃,在衬底表面淀积一层厚度为 300nm 的 SiO_2 层;

[0286] (4c) 利用化学汽相淀积(CVD)的方法,在 800℃,在衬底表面淀积一层厚度为 200nm 的 SiN 层;

[0287] (4d) 光刻集电极浅槽隔离区域,在浅槽隔离区域干法刻蚀出深度为 300nm 的浅槽;

[0288] (4e) 利用化学汽相淀积(CVD)方法,在 800℃,在浅槽内填充 SiO_2 ,形成集电极浅槽隔离。

[0289] 步骤 5,基极浅槽隔离制备。

- [0290] (5a) 用湿法刻蚀掉表面的 SiO_2 和 SiN 层；
- [0291] (5b) 利用化学汽相淀积(CVD)的方法,在 800°C ,在衬底表面淀积一层厚度为 300nm 的 SiO_2 层；
- [0292] (5c) 利用化学汽相淀积(CVD)的方法,在 800°C ,在衬底表面淀积一层厚度为 200nm 的 SiN 层；
- [0293] (5d) 光刻基极浅槽隔离区域,在浅槽隔离区域干法刻蚀出深度为 325nm 的浅槽；
- [0294] (5e) 利用化学汽相淀积(CVD)方法,在 800°C ,在浅槽内填充 SiO_2 ,形成基极浅槽隔离。
- [0295] 步骤 6, SiGe HBT 形成。
- [0296] (6a) 用湿法刻蚀掉表面的 SiO_2 和 SiN 层；
- [0297] (6b) 利用化学汽相淀积(CVD)的方法,在 800°C ,在衬底表面淀积一层厚度为 500nm 的 SiO_2 层；
- [0298] (6c) 光刻基极区域,对该区域进行 P 型杂质注入,使接触区掺杂浓度为 $1 \times 10^{20}\text{cm}^{-3}$,形成基极；
- [0299] (6d);光刻发射区,对该区域进行 N 型杂质注入,使掺杂浓度为 $5 \times 10^{17}\text{cm}^{-3}$,形成发射区；
- [0300] (6e) 光刻集电极区域,并利用化学机械抛光(CMP)的方法,去除集电极区域的本征 Si 层和本征 Poly-Si 层,对该区域进行 N 型杂质注入,使集电极接触区掺杂浓度为 $1 \times 10^{20}\text{cm}^{-3}$,形成集电极；
- [0301] (6f) 对衬底在 1100°C 温度下,退火 15s ,进行杂质激活,形成 SiGe HBT。
- [0302] 步骤 7, MOS 有源区制备。
- [0303] (7a) 光刻 MOS 有源区；
- [0304] (7b) 利用干法刻蚀工艺,在 MOS 有源区刻蚀出深度为 400nm 的浅槽；
- [0305] (7c) 利用化学汽相淀积(CVD)方法,在 750°C ,在浅槽中生长厚度为 380nm 的 N 型 Si 缓冲层,该层掺杂浓度为 $5 \times 10^{15}\text{cm}^{-3}$ ；
- [0306] (7d) 利用化学汽相淀积(CVD)方法,在 750°C ,在衬底表面生长厚度为 15nm 的 N 型 SiGe 外延层,该层 Ge 组分为 30% ,掺杂浓度为 $5 \times 10^{16}\text{cm}^{-3}$ ；
- [0307] (7e) 利用化学汽相淀积(CVD)方法,在 750°C ,在衬底表面生长厚度为 5nm 的本征弛豫型 Si 帽层。
- [0308] 步骤 8, NMOS 器件和 PMOS 器件形成。
- [0309] (8a) 利用化学汽相淀积(CVD)方法,在 800°C ,在衬底上生长一层 500nm 的 SiO_2 ；
- [0310] (8b) 光刻 PMOS 器件有源区,对 PMOS 器件有源区进行 N 型离子注入,使其掺杂浓度达到 $5 \times 10^{17}\text{cm}^{-3}$ ；
- [0311] (8c) 光刻 NMOS 器件有源区,利用离子注入工艺对 NMOS 器件区域进行 P 型离子注入,形成 NMOS 器件有源区 P 阱,P 阱掺杂浓度为 $5 \times 10^{17}\text{cm}^{-3}$ ；
- [0312] (8d) 利用化学汽相淀积(CVD)方法,在 800°C ,在表面生长一层厚度为 5nm 的 SiN 层；
- [0313] (8e) 利用化学汽相淀积(CVD)方法,在 800°C ,在 SiN 层上生长一层 500nm 的多晶硅；

- [0314] (8f) 光刻 Poly-Si 栅和栅介质, 形成 350nm 长的伪栅;
- [0315] (8g) 光刻 NMOS 器件有源区, 对 NMOS 器件有源区进行 N 型离子注入, 形成 N 型轻掺杂源漏结构(N-LDD), 掺杂浓度为 $5 \times 10^{18} \text{cm}^{-3}$;
- [0316] (8h) 光刻 PMOS 器件有源区, 对 PMOS 器件有源区进行 P 型离子注入, 形成 P 型轻掺杂源漏结构(P-LDD), 掺杂浓度为 $5 \times 10^{18} \text{cm}^{-3}$;
- [0317] (8i) 在衬底表面, 利用化学汽相淀积(CVD)方法, 在 800°C , 生长一层 SiO_2 , 厚度为 5nm, 随后利用干法刻蚀工艺光刻掉多余的 SiO_2 , 保留栅极侧壁 SiO_2 , 形成侧墙;
- [0318] (8j) 光刻出 PMOS 器件有源区, 利用离子注入技术自对准形成 PMOS 器件的源漏区;
- [0319] (8k) 光刻出 NMOS 器件有源区, 利用离子注入技术自对准形成 NMOS 器件的源漏区;
- [0320] (8l) 将衬底在 1100°C 温度下, 退火 15s, 进行杂质激活。
- [0321] 步骤 9, MOS 器件栅制备。
- [0322] (9a) 利用化学汽相淀积(CVD)方法, 在 800°C , 在衬底表面淀积一层 SiO_2 层, SiO_2 厚度为 500nm 厚度;
- [0323] (9b) 利用化学机械抛光(CMP)方法, 对表面进行平坦化至栅极水平;
- [0324] (9c) 利用湿法刻蚀将伪栅极完全去除, 留下氧化层上的栅堆叠的自对准压印;
- [0325] (9d) 在衬底表面生长一层厚度为 5nm 的氧化镧(La_2O_3);
- [0326] (9e) 在衬底表面溅射一层金属钨(W);
- [0327] (9f) 利用化学机械抛光(CMP)技术将栅极区域以外的金属钨(W)及氧化镧(La_2O_3)除去。
- [0328] 步骤 10, 构成 BiCMOS 集成电路。
- [0329] (10a) 利用化学汽相淀积(CVD)方法, 在 800°C , 在表面生长一层 SiO_2 层;
- [0330] (10b) 光刻引线孔;
- [0331] (10c) 金属化;
- [0332] (10d) 光刻引线, 形成 MOS 器件的漏极、源极和栅极, 以及双极晶体管发射极、基极和集电极金属引线, 构成 MOS 导电沟道为 350nm 的基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件及电路。
- [0333] 本发明实施例提供的基于平面应变 SiGe HBT 器件的 BiCMOS 集成器件及制备方法具有如下优点:
- [0334] 1. 本发明制备的基于平面应变 SiGe HBT 器件的 BiCMOS 器件结构中采用了轻掺杂源漏(LDD)结构, 有效地抑制了热载流子对器件性能的影响;
- [0335] 2. 本发明制备的基于平面应变 SiGe HBT 器件的 BiCMOS 器件在 PMOS 器件结构中都采用了量子阱结构, 能有效地把空穴限制在 SiGe 层内, 减少了界面散射, 提高了器件的频率、电流驱动能力等电学性能;
- [0336] 3. 本发明制备的基于平面应变 SiGe HBT 器件的 BiCMOS 器件采用了高 K 栅介质, 提高了 MOS 器件的栅控能力, 增强了器件的电学性能;
- [0337] 4. 本发明制备基于平面应变 SiGe HBT 器件的 BiCMOS 器件过程中涉及的最高温度为 800°C , 低于引起应变 SiGe 沟道应力弛豫的工艺温度, 因此该制备方法能有效地保持

应变 SiGe 沟道应力,提高集成电路的性能;

[0338] 5. 本发明制备的基于平面应变 SiGe HBT 器件的 BiCMOS 中,在制备 NMOS 器件和 PMOS 器件栅电极时采用了金属栅镶嵌工艺(damascene process),该工艺中使用了金属钨(W)作为金属电极,降低了栅电极的电阻,提高了器件设计的灵活性和可靠性;

[0339] 6. 本发明制备的应变 SiGe 回型沟道 Si 基 BiCMOS 集成器件中采用了 SOI 衬底,降低了 MOS 器件与电路的功耗和开启电压,提高了器件与电路的可靠性。

[0340] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等,均应包含在本发明的保护范围之内。

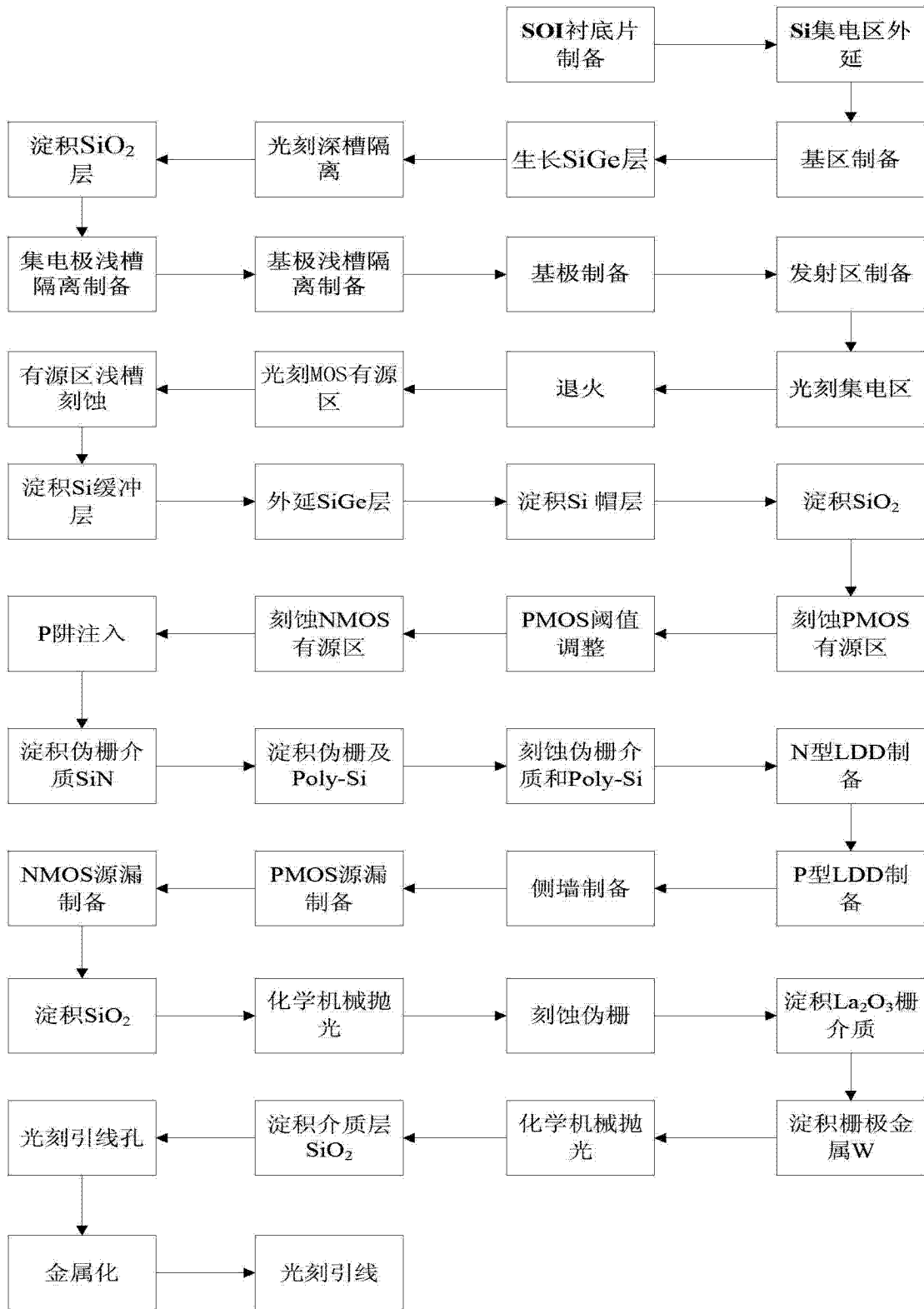


图 1