



(12) 发明专利

(10) 授权公告号 CN 101874296 B

(45) 授权公告日 2015. 08. 26

(21) 申请号 200880117714. 3

(22) 申请日 2008. 09. 26

(30) 优先权数据

60/995, 849 2007. 09. 28 US

(85) PCT国际申请进入国家阶段日

2010. 05. 25

(86) PCT国际申请的申请数据

PCT/US2008/011271 2008. 09. 26

(87) PCT国际申请的公布数据

W02009/045371 EN 2009. 04. 09

(73) 专利权人 泰塞拉公司

地址 美国加利福尼亚

(72) 发明人 J·权

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 蔡胜利

(51) Int. Cl.

H01L 21/60(2006. 01)

(56) 对比文件

US 2007/0045869 A1, 2007. 03. 01,

US 2007/0045869 A1, 2007. 03. 01,

US 6734556 B2, 2004. 05. 11,

US 6734556 B2, 2004. 05. 11,

审查员 徐小岭

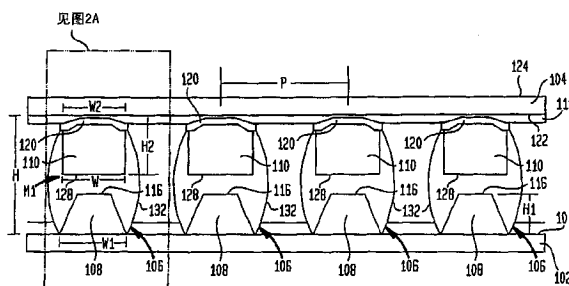
权利要求书4页 说明书14页 附图6页

(54) 发明名称

利用成对凸柱进行倒装芯片互连

(57) 摘要

一种封装微电子组件,包括具有前表面(122)和远离前表面(122)延伸的多个第一固态凸柱(110)的微电子元件(104)。每个第一凸柱(110)具有在前表面(122)方向上的宽度和从前表面(122)延伸的高度,其中高度(H2)是宽度(W1)的至少一半。还存在基板(102),基板(102)具有顶表面(101)和从顶表面(102)延伸且结合到第一固态金属凸柱(110)的多个第二固态金属凸柱(108)。



1. 一种封装微电子元件,包括:

微电子元件,所述微电子元件具有前表面和远离前表面延伸的多个第一固态金属凸柱,每个所述第一固态金属凸柱具有在前表面的方向上的宽度和从前表面延伸的高度,其中高度是所述宽度的至少一半;和

基板,所述基板具有顶表面和多个第二固态金属凸柱,所述多个第二固态金属凸柱从基板的顶表面延伸且用可熔合金属结合到第一固态金属凸柱,所述第二固态金属凸柱具有顶表面和远离第二固态金属凸柱的顶表面以陡峭角度延伸的边缘表面;

所述基板包括位于与其顶表面相反的底表面上的端子,以及延伸穿过所述基板并将所述端子与所述第二固态金属凸柱电连接的导电互连;

其中,所述多个第一固态金属凸柱是蚀刻金属凸柱,所述多个第二固态金属凸柱是蚀刻形成的截头圆锥形的固态金属凸柱;

所述多个第一固态金属凸柱或所述多个第二固态金属凸柱之间的间距在 50 至 200 微米的范围内,且所述微电子元件的前表面与所述基板的顶表面之间的距离大于 80 微米。

2. 根据权利要求 1 所述的封装微电子元件,其特征在于,所述多个第一固态金属凸柱和所述多个第二固态金属凸柱主要包括铜。

3. 根据权利要求 1 所述的封装微电子元件,其特征在于,所述第一固态金属凸柱的直径与所述第一固态金属凸柱之间的间距的比率不大于 3:4。

4. 根据权利要求 1 所述的封装微电子元件,还包括位于所述第一固态金属凸柱下面的凸块下金属化层。

5. 根据权利要求 1 所述的封装微电子元件,其特征在于,所述第一固态金属凸柱的直径小于每个所述第一固态金属凸柱之间的间距的一半。

6. 根据权利要求 1 所述的封装微电子元件,其特征在于,当所述第二固态金属凸柱结合到所述第一固态金属凸柱时,可熔合金属不接触所述基板或所述微电子元件。

7. 根据权利要求 1 所述的封装微电子元件,其特征在于,每个所述第一固态金属凸柱的直径等于所述第二固态金属凸柱的直径。

8. 一种封装微电子元件,包括:

微电子元件,所述微电子元件具有前表面和远离前表面延伸的多个第一固态金属凸柱,每个凸柱具有在前表面方向上的宽度和从前表面延伸的高度,其中高度是所述宽度的至少一半;和

基板,所述基板具有顶表面和多个第二固态金属凸柱,所述多个第二固态金属凸柱从所述顶表面延伸且结合到第一固态金属凸柱,其中所述第一固态金属凸柱和第二固态金属凸柱扩散连接在一起;

所述基板包括位于与其顶表面相反的底表面上的端子,以及延伸穿过所述基板并将所述端子与所述第二固态金属凸柱电连接的导电互连;

其中,所述多个第一固态金属凸柱是蚀刻金属凸柱,所述多个第二固态金属凸柱是蚀刻形成的截头圆锥形的固态金属凸柱;

所述多个第一固态金属凸柱或所述多个第二固态金属凸柱之间的间距在 50 至 200 微米的范围内,且所述微电子元件的前表面与所述基板的顶表面之间的距离大于 80 微米。

9. 根据权利要求 8 所述的封装微电子元件,其特征在于,所述第一固态金属凸柱的直

径与所述第一固态金属凸柱之间的间距的比率不大于 3:4。

10. 根据权利要求 8 所述的封装微电子元件,其特征在于,所述第一固态金属凸柱的每个的直径等于所述第二固态金属凸柱的每个的直径。

11. 根据权利要求 8 所述的封装微电子元件,还包括在所述微电子元件的所述前表面与所述基板的顶表面之间的底部填充材料。

12. 一种封装微电子元件,包括:

微电子元件,所述微电子元件具有前表面和远离前表面延伸的多个第一固态金属凸柱,每个凸柱具有在前表面方向上的宽度和从前表面延伸的高度,所述凸柱主要包括除了焊料、铅或锡之外的金属;和

基板,所述基板具有顶表面和多个第二固态金属凸柱,所述多个第二固态金属凸柱从所述顶表面延伸且用可熔合金属结合到第一固态金属凸柱;

所述基板包括位于与其顶表面相反的底表面上的端子,以及延伸穿过所述基板并将所述端子与所述第二固态金属凸柱电连接的导电互连;

其中所述第一固态金属凸柱的直径与所述多个第一固态金属凸柱之间的间距的比率不大于 3:4;

其中,所述多个第一固态金属凸柱和所述多个第二固态金属凸柱是蚀刻形成的截头圆锥形的固态金属凸柱;

所述多个第一固态金属凸柱之间的间距在 50 至 200 微米的范围内,且所述微电子元件的前表面与所述基板的顶表面之间的距离大于 80 微米。

13. 根据权利要求 12 所述的封装微电子元件,其特征在于,所述第一固态金属凸柱的每个的直径等于所述第二固态金属凸柱的直径。

14. 根据权利要求 12 所述的封装微电子元件,其特征在于,所述基板是多层基板。

15. 根据权利要求 12 所述的封装微电子元件,其特征在于,所述第一固态金属凸柱的直径小于所述第一固态金属凸柱中每个之间的间距的一半。

16. 一种封装微电子元件,包括:

微电子元件,所述微电子元件具有前表面和远离前表面延伸的多个第一固态金属凸柱,每个凸柱具有在前表面方向上的宽度和从前表面延伸的高度;和

基板,所述基板具有顶表面和多个第二固态金属凸柱,所述多个第二固态金属凸柱从所述顶表面延伸且结合到第一固态金属凸柱;

所述基板包括位于与其顶表面相反的底表面上的端子,以及延伸穿过所述基板并将所述端子与所述第二固态金属凸柱电连接的导电互连;

其中所述第一固态金属凸柱的间距在 50 至 200 微米的范围内,且所述微电子元件的所述前表面与所述基板的顶表面之间的距离大于 80 微米;

其中,所述多个第二固态金属凸柱是蚀刻形成的截头圆锥形的固态金属凸柱。

17. 根据权利要求 16 所述的封装微电子元件,其特征在于,可熔合金属被用来将所述第二固态金属凸柱结合到所述第一固态金属凸柱。

18. 根据权利要求 16 所述的封装微电子元件,其特征在于,所述第一固态金属凸柱中每个的直径等于所述第二固态金属凸柱的直径。

19. 根据权利要求 16 所述的封装微电子元件,其特征在于,所述第一固态金属凸柱的

直径小于所述第一固态金属凸柱中每个之间的间距的一半。

20. 一种封装微电子元件,包括:

微电子元件,其具有前表面;基板,其具有顶表面,位于与所述顶表面相反的底表面上的端子,以及延伸穿过所述基板的导电互连;以及在所述微电子元件的前表面与所述基板的顶表面之间延伸的多个支柱,所述多个支柱中的每个包括附连到所述微电子元件的第一金属凸柱部分、附连到所述基板的第二金属凸柱部分、以及金属可熔合部分,其中所述第一金属凸柱部分和第二金属凸柱部分用所述金属可熔合部分结合在一起,所述多个支柱的长度不小于 50 微米,且所述第一金属凸柱部分的高度是第一金属凸柱部分宽度的至少一半,第二金属凸柱部分的高度是第二金属凸柱部分宽度的至少一半;

其中,在多个所述第一金属凸柱部分或多个所述第二金属凸柱部分中,至少一个金属凸柱部分是蚀刻形成的截头圆锥形的金属凸柱部分;

所述导电互连将所述端子与所述第二金属凸柱部分电连接;

多个所述第一金属凸柱部分或多个所述第二金属凸柱部分之间的间距在 50 至 200 微米的范围内,且所述微电子元件的前表面与所述基板的顶表面之间的距离大于 80 微米。

21. 根据权利要求 20 所述的封装微电子元件,其特征在于,所述基板是多层基板。

22. 根据权利要求 20 所述的封装微电子元件,其特征在于,所述第一金属凸柱部分中每个的直径等于所述第二金属凸柱部分的直径。

23. 根据权利要求 20 所述的封装微电子元件,其特征在于,所述第一金属凸柱部分的直径小于所述第一金属凸柱部分中每个之间的间距的一半。

24. 一种组装封装微电子元件的方法,包括:

(a) 提供微电子元件,所述微电子元件具有远离其第一表面延伸的截头圆锥形的多个第一导电凸柱,所述第一导电凸柱具有顶表面和远离所述顶表面以陡峭角度延伸的边缘表面,且可熔合金属帽部附连到所述多个第一导电凸柱的末端,其中,所述多个第一导电凸柱中的至少一个是蚀刻形成的截头圆锥形的导电凸柱;

(b) 将微电子元件的第一导电凸柱与从基板的第一表面延伸的截头圆锥形的多个第二导电凸柱对齐;

(c) 定位基板的第二导电凸柱或微电子元件的第一导电凸柱,以使得凸柱之间的间距在 50 至 200 微米的范围内,并且微电子元件的各第一导电凸柱与在基板上暴露的端子电连接;以及

(d) 将微电子元件的第一导电凸柱与基板的第二导电凸柱结合,以使得所述微电子元件的第一表面与所述基板的第一表面之间的距离大于 80 微米。

25. 根据权利要求 24 所述的方法,其特征在于,步骤 (d) 包括将可熔合金属加热到熔化温度,其中可熔合金属流动到第一导电凸柱边缘表面的暴露部分上。

26. 根据权利要求 24 所述的组装方法,其特征在于,在第二导电凸柱与所述第一导电凸柱结合的状态下,第二导电凸柱至少部分地暴露。

27. 根据权利要求 24 所述的方法,其特征在于,步骤 (d) 包括将所述可熔合金属帽部加热到熔化温度,所述可熔合金属帽部附连到从所述基板延伸的所述多个第二导电凸柱和从所述微电子元件延伸的所述多个第一导电凸柱,其中所述可熔合金属流动到第一导电凸柱的边缘表面的暴露部分上,

使得可熔合金属不接触所述微电子元件的所述第一表面或所述基板的所述第一表面或者不接触它们两者。

28. 根据权利要求 24 所述的方法,其特征在于,所述可熔合金属帽部是第一可熔合金属帽部且第二可熔合金属帽部附连到从所述基板的所述第一表面延伸的所述多个第二导电凸柱中的每个的末端。

29. 一种组装封装微电子元件的方法,包括:

(a) 蚀刻形成多个截头圆锥形导电凸柱并将它们提供在微电子元件的第一表面上,凸柱之间的间距在 50 至 200 微米的范围内,所述多个导电凸柱远离微电子元件的第一表面延伸,所述凸柱具有顶表面和远离所述顶表面以陡峭角度延伸的边缘表面;

(b) 将微电子元件的导电凸柱与从基板的第一表面延伸的多个截头圆锥形的蚀刻凸柱对齐,其中可熔合金属帽部被附连到从所述基板延伸的多个凸柱中的每个的末端;以及

(c) 将微电子元件的导电凸柱结合到基板的凸柱,以使得所述微电子元件的第一表面与所述基板的第一表面之间的距离大于 80 微米。

30. 根据权利要求 29 所述的方法,其特征在于,所述导电凸柱完全由金属制成。

31. 根据权利要求 30 所述的方法,其特征在于,所述导电凸柱是焊料润湿型的。

利用成对凸柱进行倒装芯片互连

[0001] 相关申请的交叉引用

[0002] 本发明要求于 2007 年 9 月 28 日提交的美国临时专利申请 No. 60/995,849 的提交日的权益,该申请的全部内容以引用的方式结合到本文中。

技术领域

[0003] 本发明涉及微电子设备和封装用于微电子封装和组装的微电子部件。

背景技术

[0004] 微电子装置通常包括半导体材料(例如硅或砷化镓)的薄片,常常称为裸片或半导体芯片。半导体芯片常常作为单个的预封装单元来提供。在一些单元设计中,半导体芯片被安装在基板或芯片载具上,基板或载具继而安装在诸如印刷电路板的电路面板上。

[0005] 有源电路制造在半导体芯片的一个面部上。为了利于电连接到有源电路,芯片在相同的面部上配置有键合焊盘。键合焊盘通常放置成规则阵列,或者在裸片的边缘周围,或者对于许多记忆装置来说在裸片中心处。键合焊盘通常由大约 0.5 μm 厚的导电材料制成,例如金或铝。键合焊盘的尺寸随着装置类型而不同,但是典型地在一侧上为数十个至数百个微米。

[0006] 倒装芯片互连通常用于将半导体芯片上的键合焊盘导电地连接到基板上的触头焊盘上的方案中。在倒装芯片互连中,金属块通常放置在每个键合焊盘上。接着,裸片被倒置以便金属块同时提供键合焊盘与基板之间的电通路以及裸片到基板的机械附连。

[0007] 存在倒装芯片工艺的许多变型,但是一种常见配置是使用用于金属块的焊料并将焊料熔合作为将金属块紧固到键合焊盘和基板上的方法。当焊料熔化时,焊料流动以形成截头球体。

[0008] 虽然进行倒装芯片互连有一定的优势,但是仍存在改良的需求,以便使得封装厚度最小化同时增强接头可靠性。本发明的这些益处是通过在下文中所描述微电子封装的结构来实现的。

发明内容

[0009] 根据本发明的实施例,存在一种包括微电子元件的封装微电子元件,该微电子元件具有前表面和远离前表面延伸的多个第一固态金属凸块。每个凸柱具有在前表面方向上的宽度和从前表面延伸的高度,其中高度是宽度的至少一半。还存在基板,该基板具有顶表面和多个第二固态金属凸柱,该多个第二固态金属凸柱从顶表面延伸且用可熔合金属结合到第一固态金属凸柱。第二凸柱具有顶表面和远离基板的所述顶表面以陡峭角度延伸的边缘表面。

[0010] 该实施例的凸柱可被蚀刻且主要包括铜。此外,凸块下金属化层可位于第一凸块下面。第一凸柱的直径与第一凸柱之间的间距(pitch)的比率可以不大于 3 : 4。此外,第一凸柱的直径可小于每个第一凸柱之间的间距的一半。

[0011] 在一个实施例中,封装微电子元件包括微电子元件,该微电子元件具有前表面和多个第一固态金属凸柱,该多个第一固态金属凸柱远离前表面延伸。每个凸柱具有在前表面方向上的宽度和从前表面延伸的高度,其中高度是宽度的至少一半。还存在基板,该基板具有顶表面和多个第二固态金属凸柱,该多个第二固态金属凸柱从顶表面延伸且结合到第一固态金属凸柱。在该实施例中,第一和第二凸柱扩散连接在一起。

[0012] 第一凸柱的直径与第一凸柱间的间距的比率可不大于 3 : 4。微电子元件的前表面与基板的顶表面之间的距离可大于 80 微米。此外,每个第一凸柱的直径等于每个第二金属凸柱的直径。最后,底部填充材料可沉积在微电子元件的前表面与基板的顶表面之间。

[0013] 在又另其它实施例中,封装微电子元件包括微电子元件,该微电子元件具有前表面和远离前表面延伸的多个第一固态金属凸柱。每个凸柱具有在前表面方向上的宽度和从前表面延伸的高度。凸柱主要包括除了焊料、铅或锡之外的金属。还存在基板,该基板具有顶表面。多个第二固态金属凸柱从顶表面延伸且用可熔合金属结合到第一固态金属凸柱。第一或第二固态金属凸柱的直径与多个第一或第二固态金属凸柱之间的间距的比率不大于 3 : 4。

[0014] 在该实施例的备选方式中,基板可以是多层基板。此外,第一凸柱的直径可以小于每个第一凸柱之间的间距的一半。此外,每个所述第一凸柱的直径等于第二金属凸柱的直径。

[0015] 在另一实施例中,封装微电子元件包括微电子元件,该微电子元件具有前表面和远离前表面延伸的多个第一固态金属凸柱。每个凸柱具有在前表面方向上的宽度和从前表面延伸的高度。存在基板,该基板具有顶表面。多个第二固态金属凸柱从顶表面延伸且结合到第一固态金属凸柱。第一凸柱的间距在 50 至 200 微米的范围内变化,且微电子元件的底表面与基板的顶表面之间的距离大于 80 微米。

[0016] 在该实施例的备选方式中,可熔合金属可用来将第二凸柱结合到第一凸柱。每个第一凸柱的直径等于第二金属凸柱的直径。此外,第一凸柱的直径可小于每个第一凸柱之间的间距的一半。

[0017] 在另一实施例中,封装微电子元件包括微电子元件、基板和多个支柱,该支柱在微电子元件与基板之间延伸。多个支柱的每个包括附连到微电子元件的第一金属凸柱部分、附连到基板的第二金属凸柱部分以及金属熔合部分,其中第一和第二金属部分结合在一起。多个支柱的长度不小于 50 微米。第一和第二金属凸柱部分的高度是宽度的至少一半。

[0018] 在该实施例的备选方式中,微电子元件的前表面与基板的顶表面之间的距离大于 80 微米。基板还可是多层基板。

[0019] 每个第一凸柱的直径可等于第二金属凸柱的直径。第一凸柱的直径可小于每个第一凸柱之间的间距的一半。此外,第一和第二凸柱可被蚀刻。

[0020] 一种制造封装微电子元件组件的方法,包括提供微电子元件,该微电子元件具有多个导电凸柱,该导电凸柱远离微电子元件的第一表面延伸。凸柱具有顶表面和远离顶表面以陡峭角度延伸的边缘表面。可熔合的金属帽部附连到多个导电凸柱中每个的末端。接下来的步骤包括将微电子元件的凸柱与从基板第一表面延伸的多个凸柱至少大致对齐。最后的步骤包括将微电子元件的凸柱与基板的凸柱结合。

[0021] 在备选的方法中,步骤 (c) 包括将可熔合金属加热到熔点,其中可熔合金属流动

到凸柱边缘表面的暴露部分上。

[0022] 在另一备选的方法中,钝化层和凸块下金属化层沉积在微电子元件上。

[0023] 下述段落描述本文的各种实施例:

[0024] 1. 一种封装微电子元件,包括:

[0025] 微电子元件,该微电子元件具有前表面和远离前表面延伸的多个第一焊料金属凸块,每个凸柱具有在前表面方向上的宽度和从前表面延伸的高度,其中高度是所述宽度的至少一半;和

[0026] 基板,所述基板具有顶表面和多个第二固态金属凸柱,该多个第二固态金属凸柱从顶表面延伸且用可熔合金属结合到第一固态金属凸柱,所述凸柱具有顶表面和远离所述顶表面以陡峭角度延伸的边缘表面。

[0027] 2. 根据段落 1 的封装微电子元件,其中所述第一凸块或第二凸柱包括铜。

[0028] 3. 根据段落 1 的封装微电子元件,其中所述可熔合金属选自主要包括焊料、锡或共熔材料的组。

[0029] 4. 根据段落 1 的封装微电子元件,其中所述第一凸块之间的间距在从 50 至 200 微米的范围内变化。

[0030] 5. 根据段落 1 的封装微电子元件,其中所述第一凸块的直径与所述第一凸柱之间的间距的比率不大于 3 : 4。

[0031] 6. 根据段落 1 的封装微电子元件,其中所述微电子元件的前表面与所述基板的所述顶表面之间的距离大于 80 微米。

[0032] 7. 根据段落 1 的封装微电子元件,还包括在所述第一凸块下面的凸块下金属化层。

[0033] 8. 根据段落 1 的封装微电子元件,其中所述基板是多层基板。

[0034] 9. 根据段落 1 的封装微电子元件,其中所述第一凸块中的每个的直径等于所述第二凸柱的直径。

[0035] 10. 根据段落 1 的封装微电子元件,其中所述第一凸块的直径小于所述每个第一凸柱之间的间距的一半。

[0036] 11. 根据段落 1 的封装微电子元件,还包括在所述微电子元件的所述前表面与所述基板的所述顶表面之间的底部填充材料。

[0037] 12. 根据段落 1 的封装微电子元件,还包括位于所述微电子元件的所述前表面上的焊料掩膜层。

[0038] 13. 根据段落 1 的封装微电子元件,其中所述第一或第二凸柱被蚀刻。

[0039] 14. 根据段落 1 的封装微电子元件,其中所述第一或第二凸柱被电镀。

[0040] 15. 根据段落 1 的封装微电子元件,其中所述前表面是有源表面。

[0041] 16. 根据段落 1 的封装微电子元件,其中迹线沿着所述微电子元件的所述前表面延伸。

[0042] 17. 根据段落 1 的封装微电子元件,其中所述基板还包括第二表面,且其中过渡件延伸经过所述基板,以便在所述第二凸柱与暴露在所述基板的所述底表面处的电路之间提供连接。

[0043] 18. 一种封装微电子元件,包括:

[0044] 微电子元件,该微电子元件包括前表面和远离前表面延伸的多个第一固态金属凸柱,每个凸柱具有在前表面方向上的宽度和从前表面延伸的高度,其中高度是所述宽度的至少一半;和

[0045] 基板,所述基板具有顶表面和多个第二固态金属凸柱,所述多个第二固态金属凸柱从顶表面延伸且结合到第一固态金属凸柱,其中所述第一和第二凸柱扩散连接(diffusion-bonded)到一起。

[0046] 19. 根据段落 18 的封装微电子元件,其中所述第一或第二凸柱包括铜。

[0047] 20. 根据段落 18 的封装微电子元件,其中所述第一凸柱之间的间距在从 50 至 200 微米的范围内变化。

[0048] 21. 根据段落 18 的封装微电子元件,其中所述第一凸柱的直径与所述第一凸柱之间的间距的比率不大于 3 : 4。

[0049] 22. 根据段落 18 的封装微电子元件,其中所述微电子元件的所述前表面与所述基板的所述顶表面之间的距离大于 80 微米。

[0050] 23. 根据段落 18 的封装微电子元件,还包括位于所述第一凸柱下面的凸块下金属化层。

[0051] 24. 根据段落 18 的封装微电子元件,其中所述基板是多层基板。

[0052] 25. 根据段落 18 的封装微电子元件,其中所述第一凸柱的每个的直径等于所述第二金属凸柱的每个的直径。

[0053] 26. 根据段落 18 的封装微电子元件,其中所述第一凸柱的直径小于每个所述第一凸柱之间的间距的一半。

[0054] 27. 根据段落 18 的封装微电子元件,还包括在所述微电子元件的所述前表面与所述基板的所述顶表面之间的底部填充材料。

[0055] 28. 根据段落 18 的封装微电子元件,还包括在所述微电子元件的所述前表面上面的焊料掩膜层。

[0056] 29. 根据段落 18 的封装微电子元件,其中所述第一或第二凸柱被蚀刻。

[0057] 30. 根据段落 18 的封装微电子元件,其中所述第一或第二凸柱被电镀。

[0058] 31. 根据段落 18 的封装微电子元件,其中所述前表面是有源表面。

[0059] 32. 根据段落 18 的封装微电子元件,其中迹线沿着所述微电子元件的所述前表面延伸。

[0060] 33. 根据段落 18 的封装微电子元件,其中所述基板还包括第二表面,且其中过渡件延伸经过所述基板,以便在所述第二凸柱与所述基板的所述顶表面处暴露的电路之间提供连接。

[0061] 34. 一种封装微电子元件,包括:

[0062] 微电子元件,该微电子元件包括前表面和远离前表面延伸的多个第一固态金属凸柱,每个凸柱具有前表面方向上的宽度和从前表面延伸的高度,所述凸柱主要包括除了焊料、铅或锡之外的金属;和

[0063] 基板,该基板具有顶表面和多个第二固态金属凸柱,该多个第二固态金属凸柱从顶表面延伸且用可熔合金属结合到第一固态金属凸柱,

[0064] 其中所述第一或第二固态金属凸柱的直径与所述多个第一或第二固态金属凸柱

之间的间距的比率不大于 3 : 4。

[0065] 35. 根据段落 34 的封装微电子元件,其中所述第一或第二凸柱包括铜。

[0066] 36. 根据段落 34 的封装微电子元件,其中所述可熔合金属选自主要包括焊料、锡或共熔材料的组。

[0067] 37. 根据段落 34 的封装微电子元件,其中所述第一凸柱之间的间距在从 50 至 200 微米的范围内变化。

[0068] 38. 根据段落 34 的封装微电子元件,其中所述微电子元件的所述前表面与所述基板的所述顶表面之间的距离大于 80 微米。

[0069] 39. 根据段落 34 的封装微电子元件,还包括位于所述第一凸柱下面的凸块下金属化层。

[0070] 40. 根据段落 34 的封装微电子元件,其中所述基板是多层基板。

[0071] 41. 根据段落 34 的封装微电子元件,其中每个所述第一凸柱的直径等于所述第二金属凸柱中每个的直径。

[0072] 42. 根据段落 34 的封装微电子元件,其中所述第一凸柱的直径小于每个所述第一凸柱之间的间距的一半。

[0073] 43. 根据段落 34 的封装微电子元件,还包括在所述微电子元件的所述前表面与所述基板的所述顶表面之间的底部填充材料。

[0074] 44. 根据段落 34 的封装微电子元件,还包括在所述微电子元件的所述前表面上面的焊料掩膜层。

[0075] 45. 根据段落 34 的封装微电子元件,其中所述第一或第二凸柱被蚀刻。

[0076] 46. 根据段落 34 的封装微电子元件,其中所述第一或第二凸柱被电镀。

[0077] 47. 根据段落 34 的封装微电子元件,其中所述前表面是有源表面。

[0078] 48. 根据段落 34 的封装微电子元件,其中迹线沿着所述微电子元件的所述前表面延伸。

[0079] 49. 根据段落 34 的封装微电子元件,其中所述基板还包括第二表面,且其中过渡件延伸经过所述基板,以便在所述第二凸柱与在所述基板的所述底表面暴露的电路之间提供连接。

[0080] 50. 一种封装微电子元件,包括:

[0081] 微电子元件,该微电子元件具有前表面和远离前表面延伸的多个第一固态金属凸柱,每个凸柱具有在前表面方向上的宽度和从前表面延伸的高度;和

[0082] 基板,该基板具有顶表面和多个第二固态金属凸柱,该多个第二固态金属凸柱从顶表面延伸且结合到第一固态金属凸柱,其中,所述第一凸柱的间距在从 50 至 200 微米的范围内变化,且所述微电子元件的所述底表面与所述基板的所述顶表面之间的距离大于 80 微米。

[0083] 51. 根据段落 50 的封装微电子元件,其中所述第一或第二凸柱包括铜。

[0084] 52. 根据段落 50 的封装微电子元件,其中可熔合金属被用来将所述第二凸柱结合到所述第一凸柱。

[0085] 53. 根据段落 50 的封装微电子元件,其中所述可熔合金属选自主要包括焊料、锡或共熔材料的组。

- [0086] 54. 根据段落 50 的封装微电子元件,其中所述第一凸柱的直径与所述第一凸柱之间的间距的比率不大于 3 : 4。
- [0087] 55. 根据段落 50 的封装微电子元件,其中所述微电子元件的所述前表面与所述基板的所述顶表面之间的距离大于 80 微米。
- [0088] 56. 根据段落 50 的封装微电子元件,还包括位于所述第一凸柱下面的凸块下金属化层。
- [0089] 57. 根据段落 50 的封装微电子元件,其中所述基板是多层基板。
- [0090] 58. 根据段落 50 的封装微电子元件,其中每个所述第一凸柱的直径等于所述第二金属凸柱的直径。
- [0091] 59. 根据段落 50 的封装微电子元件,其中所述第一凸柱的直径小于每个所述第一凸柱之间的间距的一半。
- [0092] 60. 根据段落 50 的封装微电子元件,还包括在所述微电子元件的所述前表面与所述基板的所述顶表面之间的底部填充材料。
- [0093] 61. 根据段落 50 的封装微电子元件,还包括在所述微电子元件的所述前表面上面的焊料掩膜层。
- [0094] 62. 根据段落 50 的封装微电子元件,其中所述第一或第二凸柱被蚀刻。
- [0095] 63. 根据段落 50 的封装微电子元件,其中所述第一或第二凸柱被电镀。
- [0096] 64. 根据段落 50 的封装微电子元件,其中所述前表面是有源表面。
- [0097] 65. 根据段落 50 的封装微电子元件,其中迹线沿着所述微电子元件的所述前表面延伸。
- [0098] 66. 根据段落 50 的封装微电子元件,其中所述基板还包括第二表面,且其中过渡件延伸经过所述基板,以便在所述第二凸柱与所述基板的所述底表面暴露的电路之间提供连接。
- [0099] 67. 一种封装微电子元件,包括 :
- [0100] 微电子元件,该微电子元件具有前表面和远离前表面延伸的多个第一固态金属凸柱,每个凸柱具有在前表面方向上的宽度和从前表面延伸的高度 ;和
- [0101] 基板,该基板具有顶表面和多个第二固态金属凸柱,该多个第二固态金属凸柱从顶表面延伸且结合到第一固态金属凸柱,
- [0102] 其中所述多个所述第一和第二固态金属凸柱主要包括铜。
- [0103] 68. 根据段落 67 的封装微电子元件,其中可熔合金属被用来结合第一和第二凸柱。
- [0104] 69. 根据段落 68 的封装微电子元件,其中可熔合金属选自主要包括焊料、锡或共熔材料的组。
- [0105] 70. 根据段落 67 的封装微电子元件,其中所述第一凸柱之间的间距在从 50 至 200 微米的范围内变化。
- [0106] 71. 根据段落 67 的封装微电子元件,其中所述第一凸柱的直径与所述第一凸柱之间的间距的比率不大于 3 : 4。
- [0107] 72. 根据段落 67 的封装微电子元件,其中所述微电子元件的所述前表面与所述基板的所述顶表面之间的距离大于 80 微米。

- [0108] 73. 根据段落 67 的封装微电子元件,还包括在所述第一凸柱下面的凸块下金属化层。
- [0109] 74. 根据段落 67 的封装微电子元件,其中所述基板是多层基板。
- [0110] 75. 根据段落 67 的封装微电子元件,其中每个所述第一凸柱的直径等于所述第二金属凸柱的直径。
- [0111] 76. 根据段落 67 的封装微电子元件,其中所述第一凸柱的直径小于每个所述第一凸柱之间的间距的一半。
- [0112] 77. 根据段落 67 的封装微电子元件,还包括在所述微电子元件的所述前表面与所述基板的所述顶表面之间的底部填充材料。
- [0113] 78. 根据段落 67 的封装微电子元件,还包括在所述微电子元件的所述前表面上面的焊料掩膜层。
- [0114] 79. 根据段落 67 的封装微电子元件,其中所述第一或第二凸柱被蚀刻。
- [0115] 80. 根据段落 67 的封装微电子元件,其中所述第一或第二凸柱被电镀。
- [0116] 81. 根据段落 67 的封装微电子元件,其中所述前表面是有源表面。
- [0117] 82. 根据段落 67 的封装微电子元件,其中迹线沿着所述微电子元件的所述前表面延伸。
- [0118] 83. 根据段落 67 的封装微电子元件,其中所述基板还包括第二表面,且其中过渡件延伸经过所述基板,以便在所述第二凸柱与在所述基板的所述底表面处暴露的电路之间提供连接。
- [0119] 84. 一种封装微电子元件,包括:
- [0120] 微电子元件;基板;以及在所述微电子元件与所述基板之间延伸的多个支柱,每个所述多个支柱包括附连到所述微电子元件的第一金属凸柱部分、附连到所述基板的第二金属凸柱部分、以及金属熔合部分,其中所述第一和第二金属部分结合在一起,所述多个支柱的长度不小于 50 微米,且所述第一和第二金属凸柱部分的所述高度是所述宽度的至少一半。
- [0121] 85. 根据段落 84 的封装微电子元件,其中所述第一或第二凸柱包括铜。
- [0122] 86. 根据段落 84 的封装微电子元件,其中所述第一凸柱之间的间距在从 50 至 200 微米的范围内变化。
- [0123] 87. 根据段落 84 的封装微电子元件,其中所述第一凸柱的直径与所述第一凸柱之间的间距的比率不大于 3 : 4。
- [0124] 88. 根据段落 84 的封装微电子元件,其中所述微电子元件的所述前表面与所述基板的所述顶表面之间的距离大于 80 微米。
- [0125] 89. 根据段落 84 的封装微电子元件,还包括在所述第一凸柱下面的凸块下金属化层。
- [0126] 90. 根据段落 84 的封装微电子元件,其中所述基板是多层基板。
- [0127] 91. 根据段落 84 的封装微电子元件,其中每个所述第一凸柱的直径等于所述第二金属凸柱的直径。
- [0128] 92. 根据段落 84 的封装微电子元件,其中所述第一凸柱的直径小于每个所述第一凸柱之间的间距的一半。

[0129] 93. 根据段落 84 的封装微电子元件,还包括在所述微电子元件的所述前表面与所述基板的所述顶表面之间的底部填充材料。

[0130] 94. 根据段落 84 的封装微电子元件,还包括在所述微电子元件的所述前表面上面的焊料掩膜层。

[0131] 95. 根据段落 84 的封装微电子元件,其中所述第一或第二凸柱被蚀刻。

[0132] 96. 根据段落 84 的封装微电子元件,其中所述第一或第二凸柱被电镀。

[0133] 97. 根据段落 84 的封装微电子元件,其中所述前表面是有源表面。

[0134] 98. 根据段落 84 的封装微电子元件,其中迹线沿着所述微电子元件的所述前表面延伸。

[0135] 99. 根据段落 84 的封装微电子元件,其中所述基板还包括第二表面,且其中过渡件延伸经过所述基板,以便在所述第二凸柱与在所述基板的所述底表面暴露的电路之间提供连接。

附图说明

[0136] 图 1A 和 1B 是根据一个实施例的微电子组件的部件的截面图。

[0137] 图 1C 是描绘了结合到一起的图 1A 和 1B 的截面图。

[0138] 图 2 是描绘了根据图 1A-1C 的实施例的微电子组件的截面图。

[0139] 图 2A 是图 2 的一部分的分解截面图。

[0140] 图 3 是描绘了根据图 2 所示实施例的变型的完成后微电子组件的截面图。

[0141] 图 4 是描绘了根据图 2 所示实施例的变型的完成后微电子组件的截面图。

[0142] 图 5 是描绘了根据另一实施例的微电子组件的部件的截面图。

[0143] 图 6 是描绘了图 5 所示实施例的变型的微电子组件的部件的截面图。

[0144] 图 7 是描绘了根据一个实施例的完成后微电子组件的截面图。

[0145] 图 8 是描绘了根据另一实施例的完成后微电子组件的截面图。

[0146] 图 9 是描绘了根据另一实施例的完成后微电子组件的截面图。

[0147] 图 10 是描绘了根据一个实施例的完成后微电子组件的截面图。

[0148] 图 11 是描绘了根据另一实施例的完成后微电子组件的截面图。

[0149] 图 12 是描绘了根据另一实施例的完成后微电子组件的截面图。

[0150] 图 13 是描绘了根据另一实施例的完成后微电子组件的截面图。

具体实施方式

[0151] 现在参考图 1A-1C,其中描绘了图 2 所示封装微电子组件 100 的部件的截面图。如图所示,封装微电子组件 100 包括基板 102、处于向下或倒装位置的微电子元件 104、以及将基板 102 与微电子元件结合的导电杆 106。导电杆包括导电凸块或凸柱 108,导电凸块或凸柱 108 凸起高于基板 102 的表面 105,导电凸块或凸柱 108 与凸起高于微电子元件 104 的表面 107 的导电凸块或凸柱 110 对齐。导电杆 106 通过增加微电子元件 104 和基板 102 之间的直立或竖直距离来向芯片到基板上的封装提供增加的高度,且同时允许导电杆 106 之间的中心间的水平距离或间距 P 减少。如将在下文进一步详细说明的那样,在基板 102 与微电子元件 104 之间的距离增加的能力可有助于减少导电杆处的应力、可有助于容易应用底

部填充 (underfill) 材料 112 (见图 2A), 以及允许要使用的底部填充物的更大变化。

[0152] 参考图 1A, 基板 102 优选地包括介电元件 102A。介电元件 102A 具有顶表面 101 和相反朝向的底表面 103。多个导电迹线 109 可沿着顶表面或底表面或者两者延伸。介电元件 102A 可以是刚性或柔性的。介电元件 102 可包括聚酰亚胺或其它聚合物片材。虽然介电元件 102 的厚度可变化, 但是介电元件 102A 大多数情况下常常达 2 毫米。基板 102 可包括其它导电元件, 例如暴露于底表面 103 的外触头 (未示出)。键合迹线可使用在共同受让的美国公布申请 No. 11/014, 439 中所述的方法来形成, 该公开以引用的方式结合到本文中。在所述的具体实施例中, 导电元件 (未示出) 布置在基板 102 的顶表面 101 上。然而, 在其它实施例中, 导电元件还可沿着基板 102 的底表面 103 延伸、位于顶表面 101 和底表面 103 两者上或者在基板 102 的内部。因此, 如本文中所使用的, 关于第一特征布置在第二特征“上”的声明不应当理解为需要将第一特征放置在第二特征的表面上。此外, 描述性词语, 例如“顶”、“底”、“上”、“下”, 仅用于描述目的。

[0153] 固态金属凸块或凸柱 108 还从基板 102 的顶表面 101 延伸, 以形成导电杆 106 的第一部分 (图 2 和 2A)。导电凸柱 108 具有顶表面 111 和边缘表面 113, 边缘表面 113 远离基板 102 的顶表面以陡峭角度延伸, 使得在边缘表面 113 会合基板 102 的顶表面 101 处产生明显的角度。例如, 在所示的实施例中, 在基板 102 的顶表面 101 与导电凸柱 108 的边缘表面 113 之间形成大于 90 度的角度。角度将取决于导电凸柱 108 的形状而不同。例如, 圆柱形凸柱在基板 102 的顶表面 101 与导电凸柱 108 之间可具有 90 度的角度。在于 2006 年 12 月 19 日提交的名为“Chip Capacitor Embedded PWB”的临时申请 No. 60/875, 730、于 2007 年 8 月 15 日提交的名为“Multilayer Substrate with Interconnection Vias and Method of Manufacturing the Same”的临时申请 No. 60/964, 916 以及于 2007 年 8 月 15 日提交的名为“Interconnection Element with Posts Formed by Plating”的临时申请 No. 60/964, 823 中描述了示例性工艺和凸柱, 上述所有文献均以引用的方式结合到本文中。例如, 导电凸柱 108 可通过蚀刻工艺来形成, 如在本文中将更详细描述的那样。备选地, 导电凸柱 108 可通过电镀来形成, 其中凸柱 108 通过将金属经由诸如感光层的介电层中的图形化开口镀到基金属层上而形成。

[0154] 导电凸柱 108 的尺寸可在较大范围内变化, 但最常见地从介电元件 102A 的顶表面 103 延伸的每个导电凸柱 108 的高度 H1 是至少 50 微米且可延伸高达 300 毫米。这些导电凸柱 108 可具有大于其直径或宽度 W1 的高度 H1。然而, 高度 H1 还可小于宽度 W1, 例如高度 H1 是宽度 W1 大小的至少一半。

[0155] 导电凸柱 108 可由任何导电材料制成, 导电材料例如铜、铜合金、金及其组合。导电凸柱 108 可包括焊料润湿型 (wettable) 的至少暴露金属层。例如, 凸柱可包括铜, 其中金层在凸柱的表面上。此外, 导电凸柱 108 可包括至少一个金属层, 所述金属层的熔化温度大于要结合的焊料的熔化温度。例如, 这种导电凸柱 108 可包括铜层或者完全由铜形成。

[0156] 导电凸柱 108 还可采用许多不同的形状, 包括截头圆锥形。每个导电凸柱 108 的底部 114 和顶部 116 可大致成圆形或者具有不同的形状, 例如椭圆形。导电凸柱 108 的底部 114 的直径通常在约 50–300 μm , 而顶部 116 的直径通常在约 25–200 μm 。每个导电凸柱 108 可具有邻近于介电基板 102 的底部 114 和远离介电基板的顶部 116。此外, 导电凸柱距介电元件 102A 的顶表面 101 的高度 H1 (除了任何焊料掩膜之外) 通常在小至 30 μm 和高

达 200 μm 的范围内。

[0157] 如图所示,焊料掩膜 118(图 2)可布置在基板 102 上且邻近导电凸柱 108。焊料掩膜 118 有助于在回流相期间防止焊料在邻近杆 106 之间回流和桥接。

[0158] 参考图 1B,微电子元件 104 具有前表面 122 和后表面 124。微电子元件 104 优选地是在其封装和与另一元件互连之前的半导体芯片等等。例如,微电子元件是裸片。

[0159] 一种示例性导电凸柱和制造能够从微电子元件等等延伸的导电凸柱的方法在 Advanpak Solutions Pte.Ltd. (" Advanpak") 的网站、以及受让给 Advanpak 的美国专利 No. 6, 681, 982、No. 6, 592, 109 和 No. 6, 578, 754 中进行了描述,上述专利以引用的方式结合到本文中。例如,导电凸柱 110 可通过蚀刻工艺来形成。备选地,导电凸柱 110 可通过电镀来形成,其中凸柱 110 通过将金属经由诸如感光层的介电层中印制的开口镀到基金属层上而形成。类似于从基板延伸的导电凸柱 108,从微电子元件 104 延伸的凸柱 110 可具有顶表面 111 和从边缘表面 113,边缘表面 113 从微电子元件的上述顶表面 122 以陡峭角度延伸开来,使得在微电子元件与导电凸柱之间形成明显的角度。

[0160] 为了在导电凸柱 110 与微电子元件 104 之间提供金属触头,可在微电子元件 104 的前表面 122 上提供凸块下金属化层 120。凸块下金属化层 120 通常由包括钛、钛-钨、铬的材料组成。凸块下金属化层 120 操作成导电杆 106 的导电金属触头。钝化层 119 也可使用本领域已知的方法来提供在微电子元件 104 的前表面 122 上位于微电子元件 104 与凸块下金属化层 120 之间。

[0161] 参考图 1B、1C 和 2,从微电子元件 104 延伸的导电凸柱 110 的尺寸也可在较大范围内变化,但是最常见地,每个导电凸柱 110 的高度 H_2 不小于 50 微米。导电凸柱 110 的高度 H_2 可大于其宽度 W_2 。然而,高度也可小于宽度 W_2 ,例如为宽度的至少一半。

[0162] 导电凸柱 110 优选地由铜或铜合金制成,但是还可包括其它导电材料,例如金或金与铜的组合。此外,导电凸柱 110 可包括至少一个金属层,该金属层的熔化温度大于要结合的焊料的熔化温度。例如,这种凸柱可包括铜层或者完全由铜形成。

[0163] 在具体的实施例中,导电凸柱 110 可以是圆柱形,以便凸柱底部 126 和凸柱顶部 128 的直径大致相等。在一个实施例中,导电凸柱的底部 126 和顶部 128 的直径可在约 30-150 μm 。每个导电凸柱 110 可具有邻近于基板 102 的底部 126 和远离基板 102 的顶部 128。备选地,导电凸柱 110 可采用各种形状,例如截头圆锥形、矩形或杆形。

[0164] 焊料 130 的涂层或帽部可附连到导电凸柱 110 的顶部 128 或者导电凸柱未附连到微电子元件 104 的部分。焊料 130 的帽部可具有与导电凸柱 110 相同的直径或宽度 W_2 ,从而变成导电凸柱 110 的延伸部。在一个示例中,焊料 130 的帽部可具有在约 25-80 μm 的范围内变化的高度 H_3 。

[0165] 应当理解的是,导电凸柱 110 从微电子元件 104 的前表面 122 延伸的高度 H_2 可等于导电凸柱 108 从介电元件 102A 的顶表面 101 延伸的高度 H_1 (图 1A)。但是备选地,高度可不同,使得导电凸柱 110 的高度 H_2 可小于或大于导电凸柱 108 的高度 H_1 。在具体描述的示例中,从微电子元件 104 延伸的导电凸柱 110 可具有长度为 50 μm 的高度 H_2 ,而从基板延伸的导电凸柱 108 可具有 55 μm 的高度 H_1 (图 2)。

[0166] 为了将微电子元件 104 和基板 102 导电地连接在一起,微电子元件 104 上的导电凸柱 110 必须连接到基板 102 上的导电凸柱 108。参考图 1C,微电子元件 104 被倒置,使得

微电子元件 104 的导电凸柱 110 和基板 102 的导电凸柱 108 彼此相互对齐且十分接近。微电子元件 104 上的焊料 130 帽部进行回流,以允许焊料润湿微电子元件 104 上的导电凸柱 110 和基板 102 上的导电凸柱 108 的表面。如图 2-2A 所示,焊料将润湿到导电凸柱的暴露表面并形成从微电子元件延伸到基板的导电杆 106。焊料所结合的微电子元件 104 和基板 102 上的导电杆 108、110 的增加表面区域可有助于减少在焊料接口处的电流密度。电流密度的这种减少可有助于减少电迁移并提供更好的耐用性。

[0167] 如图所示,导电杆 106 包括导电地互连导电凸柱的焊料。在一个示例中,在从微电子元件延伸的导电凸柱底部与从基板延伸的底部暴露部分之间延伸的导电杆的直立或高度 H 在 $80\text{--}100\ \mu\text{m}$ 的范围内。

[0168] 如图 2 和 2A 所示,导电杆 106 的壁 132 可以是凸形或桶形,其中导电杆的中点区域 M (即,在微电子元件的导电凸柱 110 与基板的导电凸柱 108 之间) 具有宽度 W ,该宽度 W 大于分别邻近基板 102 的顶表面 101 和微电子元件 104 的前表面 102 的导电杆 106 的部分的宽度 W_1 和 W_2 。

[0169] 如图 2A 进一步所示,触头焊盘 117 可使用已知的方法形成在微电子元件 104 和基板 102 上。在一个实施例中,远离基板 102 延伸的下部凸柱 108 以及下部触头焊盘 117 可通过分离的蚀刻步骤来形成,例如于 2008 年 6 月 28 公布的国际申请 PCT 序号 No. WO 2008/076428 中所公开的,该申请以引用的方式结合到本文中。例如,具有顶部和底部金属层 123 以及中间蚀刻阻挡层或内部金属层 121 的三金属基板可用来形成导电凸柱 108 和触头焊盘 117。在一个这种工艺中,三层或更多层的金属结构的暴露金属层根据光刻图案光敏层进行蚀刻,以形成导电凸柱 108,蚀刻工艺停止于结构的内部金属层 121 上。内部金属层 121 包括不同于顶部和底部金属层 123 的一种或多种金属,内部金属层的这种组成使得其不能由用来蚀刻顶部金属层 123 的蚀刻剂附连。例如,导电凸柱 108 所蚀刻的顶部金属层 123 主要包括铜,底部金属层 123 也可主要包括铜,而内部金属层 121 主要包括镍。镍提供相对于铜的良好选择性,以避免与金属层附连的镍层被蚀刻以形成导电凸柱 108。为了形成触头焊盘 117,可根据另一光刻图案光敏层来进行另一蚀刻步骤。凸柱 108 可与其它导电特征 (例如,过渡件 115) 进一步互连,其它导电特征继而与其它导电特征 (未示出) 进一步互连。

[0170] 参考图 3,导电杆 106' 的壁 232 也可以是直的,使得宽度 W_5 基本等于分别邻近于基板 102' 的顶表面 101' 和微电子元件 104' 的前表面 122' 的导电杆 106' 的宽度 W_4 、 W_4' 。应当理解的是,宽度 W_4 、 W_4' 不需要是相等的。备选地,导电杆 106' 的壁 232' 取决于要实现的直立程度可以是凹形的 (见图 4)。

[0171] 根据本发明的导电杆 106 允许在介电元件与微电子元件之间的更大直立高度同时允许暴露于微电子元件 104 的前表面 122 的每个导电凸柱 110 之间的间距 P (见图 1B、2) 以及暴露于基板 102 的顶表面 101 的每个导电凸柱 108 之间的间距 P 都明显减少。在一个实施例中,间距 P 可以小至 $50\ \mu\text{m}$ 或大至 $200\ \mu\text{m}$ 。应当理解的是,通过将导电杆 108、110 彼此相互对齐,每个导电凸柱 108、110 之间的间距 P 将相等。

[0172] 间距 P 还可以是导电凸柱 108、110 的直径或宽度 W_1 、 W_2 的函数,使得导电凸柱的底部直径 W_1 、 W_2 高达间距 P 的 75%。换句话说,直径 W_1 、 W_2 与间距 P 的比率可高达 3 : 4。例如,如果间距 P 是 $145\ \mu\text{m}$,那么导电凸柱 108、110 的直径 W_1 、 W_2 可以变化成高达 $108\ \mu\text{m}$

或间距 P 的 75%。

[0173] 增加的直立高度减少了低-k 介电材料的应变,该应变可存在于微电子元件中。此外,增加的直立有助于使得通常与小间距相关的问题(例如,电迁移和拥挤)最小化。这是因为导电杆 106 能够润湿导电凸柱 108、110 的表面。

[0174] 参考图 5-6,示出了将微电子元件上的导电凸块结合到基板上的导电凸块的备选配置。参考图 5,不是将焊料帽部 230 放置在从微电子元件 204 延伸的导电凸柱 210 的顶部 228 上,而是焊料帽部 230 可放置在从基板 202 延伸的导电凸柱 208 的顶部 216 处。在一个实施例中,焊料帽部 230 的宽度或直径 W5 大致等于导电凸柱 208 的底部 214 的直径 W6。因此,焊料帽部 230 延伸超出从基板 202 延伸的导电凸柱 208 的顶部 216。然而,一旦焊料回流,导电杆将优选地采用图 2 中所示的导电杆形状。

[0175] 参考图 6,在又另一备选配置中,焊料帽部 330 可放置在从微电子元件 304 和基板 302 两者延伸的导电凸柱 310、308 上。导电凸柱 310、308 放置成彼此相互十分接近。施加热量从而使得焊料帽部 330 回流、润湿并融合导电凸柱 308、310。一旦回流,导电杆 306 将优选地类似于图 2 中所示的导电杆 306。

[0176] 参考图 7,示出了微电子封装的备选配置。该配置类似于图 2 中所示的配置,唯一的不同在于,在邻近从基板延伸的导电凸柱处不存在焊料掩膜。在该备选配置中,过渡件 307 可用来将导电杆 406 导电地连接到电子电路(未示出),电子电路暴露于基板 402 的底表面上,与基板 402 的顶表面 401 相反。使用过渡件 307 省去了焊料掩膜的需要。

[0177] 参考图 8,示出了备选的实施例,其中在导电凸柱之间进行金属对金属键合而不使用焊料。相反,通过将导电凸柱 508、510 变形使之彼此相互接合来在导电凸柱 508、510 之间形成键合。导电凸柱 508、510 优选地由延展性材料制成,延展性材料具有极小的弹性或弹性回复,例如大体上的纯金。此外,导电凸柱 508、510 可通过在凸柱与盖件材料之间的共熔键合或阳极键合而键合在一起。例如,导电凸柱 508、510 的顶部 516、517 可涂覆少量锡、硅、锗或与金形成相对低熔合金的其它材料,且凸柱可完全由金形成或在其表面上具有金涂层。当导电凸柱 508、510 彼此相互接合并被加热时,在导电凸柱 508、510 的材料与导电凸柱的顶部 516 上的材料之间的扩散形成熔点比在凸柱与壁的接口处单一元素的熔点更低的合金。当组件保持在升高温度时,进一步扩散使得合金元素从接口扩散开来进入到凸柱的金块体中,藉此升高在接口处材料的熔化温度并使得接口固化,从而在部件之间形成固态连接。

[0178] 参考图 9,该图与图 8 一致,除了导电凸柱 608、610 均优选地包括铜且在导电凸柱之间不存在低熔点金属(例如焊料或锡)的情况下彼此相互直接熔合之外。优选地,为了实现强键合,在导电凸柱 608、610 结合到端子之前,导电凸柱 608、610 的结合表面必须是清洁的且大致无氧化物(例如,自然氧化物)。通常,可执行特征为进行蚀刻或微蚀刻的表面的工艺,以去除贵金属(例如,铜、镍、铝和其它)的表面氧化物,表面蚀刻工艺被执行而通常不会影响位于其下方的凸块或金属层的厚度。该清洁工艺仅在实际结合工艺前不久最佳地实施。在不影响凸块与电容端子之间要实现的键合强度的前提下,在结合工艺之前,在部件在清洁后被保持在处于约 30 至 70 百分比相对湿度的正常湿度环境的状况下,清洁工艺通常可实施数个小时(例如,六个小时)。

[0179] 如图 10-11 所示,在施行结合导电凸柱 608、610 的工艺期间,间隔器结构 726 被放

置在基板 602 的顶表面 601 上。间隔器结构 626 可由一种或多种材料（例如，聚酰亚胺、陶瓷）或者一种或多种金属（例如，铜）形成。微电子元件 604 被放置在间隔器结构 626 上方，使得微电子元件 604 的导电凸柱 610 的顶部 628 位于基板 602 的导电凸柱 608 的顶部 616 上面，导电凸柱 610 从微电子元件 604 延伸。参考图 10，间隔器结构 626、微电子元件 604 和基板 602 被插入在一对板 640 之间，且同时在以箭头 636 指示的方向上施加热量和压力给导电凸柱。如图 9 所示，施加给板 640 的压力具有这样的影响：将导电凸柱的高度减少至高度 H6，高度 H6 低于初始制得导电凸柱 608、610 的初始高度 H5（图 10）。在该步骤期间所施加压力的示例性范围在约 $20\text{kg}/\text{cm}^2$ 至约 $150\text{kg}/\text{cm}^2$ 之间。例如，结合工艺在从约 140 摄氏度至约 500 摄氏度范围内的温度下进行。

[0180] 结合工艺将导电凸柱 608、610 压缩到使得导电凸柱 608、610 的前顶表面下方的金属在热量和压力下接触并结合的程度。由于该结合工艺，导电凸柱 608、610 的高度可按照 1 微米或更多来减少。当导电凸柱 608、610 主要包括铜时，导电凸柱之间的接头也主要包括铜，从而形成包括凸块和端子的连续铜结构。因此，如图 9 所示，板和间隔器结构被去除，剩下具有由导电凸柱 608、610 的导电接头形成的导电杆 606 的子组件 250。

[0181] 参考图 12，示出了根据本发明的另一备选实施例。在此唯一的区别在于，不是使用单层基板，可使用多层基板，例如在 2007 年 8 月 15 日提交的名为“Interconnection Element with Posts Formed by Plating”的美国申请 No. 60/964, 823、在 2007 年 8 月 15 日提交的名为“Multilayer Substrate With Interconnection Vias and Method of Manufacturing the Same”的美国申请 No. 60/964, 916、以及在 2007 年 6 月 29 日提交的名为“Multilayer Wiring Element Having Pin Interface”的美国申请 No. 11/824, 484 中描述的多层基板，上述申请以引用的方式结合到本文中。如图所示，多层基板 702 以倒装的方式与微电子元件 704 结合，例如具有有源装置、无源装置或者有源或无源装置于其上的半导体芯片。导电凸柱 710 的顶部 716 如本文所述结合到从微电子元件延伸的导电凸柱 710，导电凸柱 710 的顶部 716 从多层基板的顶表面 701 突出。如图所示，多层基板 702 的导电凸柱 708 可直接结合到从微电子元件的前表面延伸的导电凸柱 710，例如通过在凸柱顶部 160 处加工后的金属（例如，金）与存在于导电焊盘和凸柱中的另一金属之间形成扩散连接来实现。备选地，导电凸柱 708、710 可通过可熔合金属（例如，焊料、锡或共熔混合物）而结合到一起，可熔合金属将凸柱和焊盘润湿以形成润湿或焊接的接头。例如，可熔合金属可通过暴露在微电子元件 704 的前表面 722 处的以焊料凸块（未示出）的形式来提供，凸块被提供在导电凸柱顶部的一个或两个顶部末端。

[0182] 导电杆还可用在叠层式封装中，例如在共同拥有的于 2007 年 8 月 3 日提交的名为“Die Stack Package Fabricated at the Wafer Level with Pad Extensions Applied To Reconstituted Wafer Elements”的美国申请 No. 60/963, 209、于 2007 年 8 月 9 日提交的名为“Wafer Level Stacked Packages with Individual Chip Selection”的美国申请 No. 60/964, 069、于 2007 年 7 月 27 日提交的名为“Reconstituted Wafer Stack Packaging with After-Applied Pad Extensions”的美国申请 No. 60/962, 200、以及于 2007 年 6 月 20 日提交的名为“Reconstituted Wafer Level Stacking”的美国申请 No. 60/936, 617 中所描述的这种封装。

[0183] 例如，参考图 13，在备选的实施例中，叠层式封装组件包括第一子组件 800 和第二

子组件 802。第一和第二子组件事实上与图 2 中所示的封装微电子元件相同,除了基板 806、806' 进一步延伸出以便容纳在第一和第二子组件的基板 806、806' 之间延伸的导电杆 808。导电杆 808 还包括从基板延伸的导电凸柱 812,导电杆 808 连接到延伸经过第二子组件上基板的顶表面和底表面的过渡件 814。

[0184] 虽然本发明参考具体的实施例进行描述,但是应当理解的是,这些实施例仅为了描述本发明的原理和应用。因此,应当理解的是,在不偏离由所附权利要求书限定的本发明精神和范围的前提下可作出描述性实施例的许多变型且可构想出其它配置。

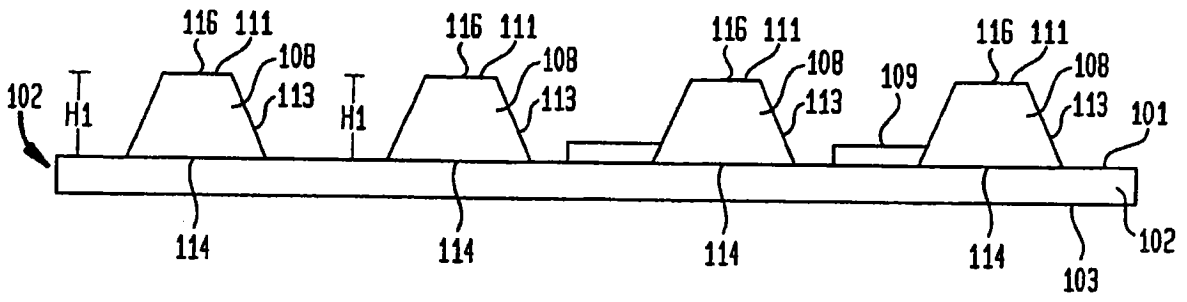


图 1A

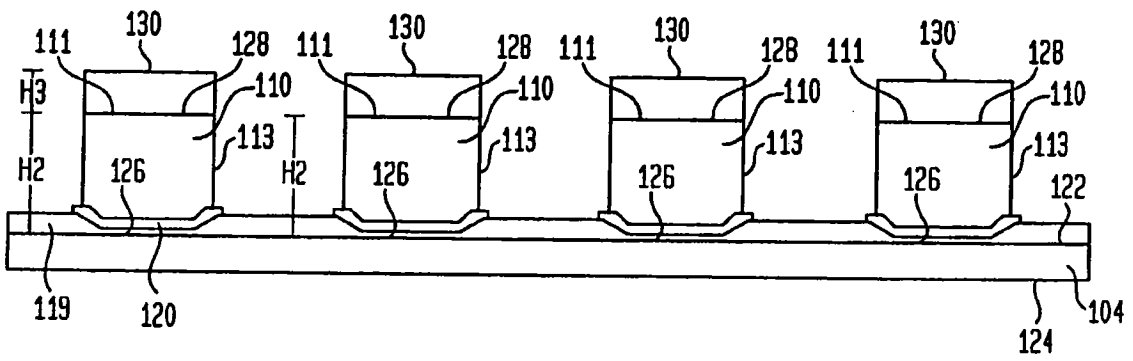


图 1B

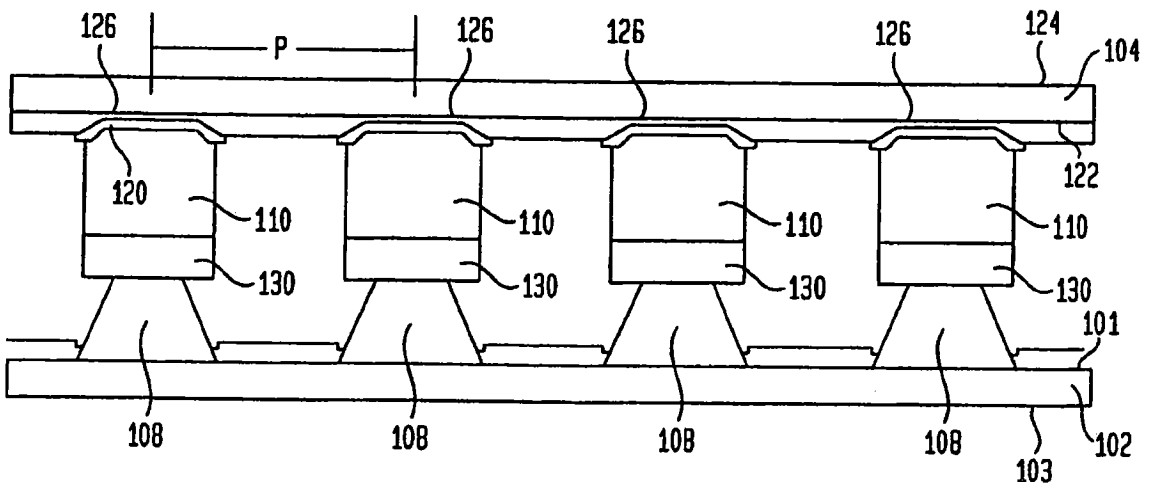


图 1C

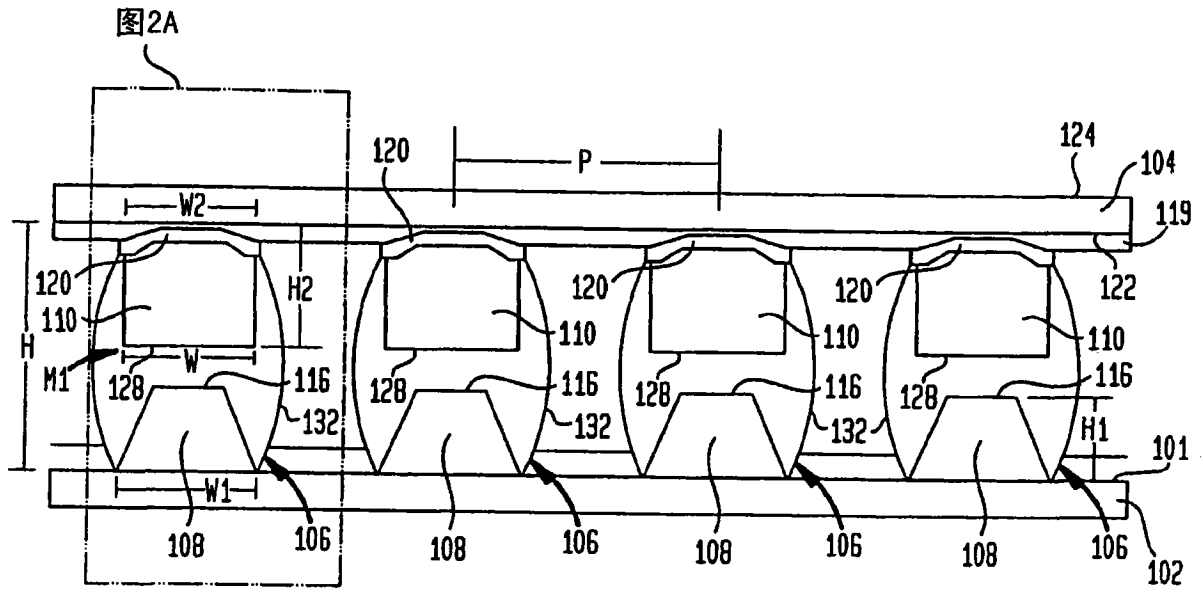


图 2

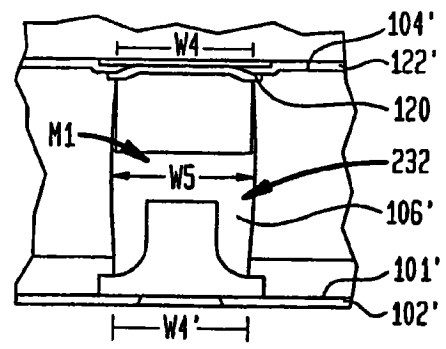
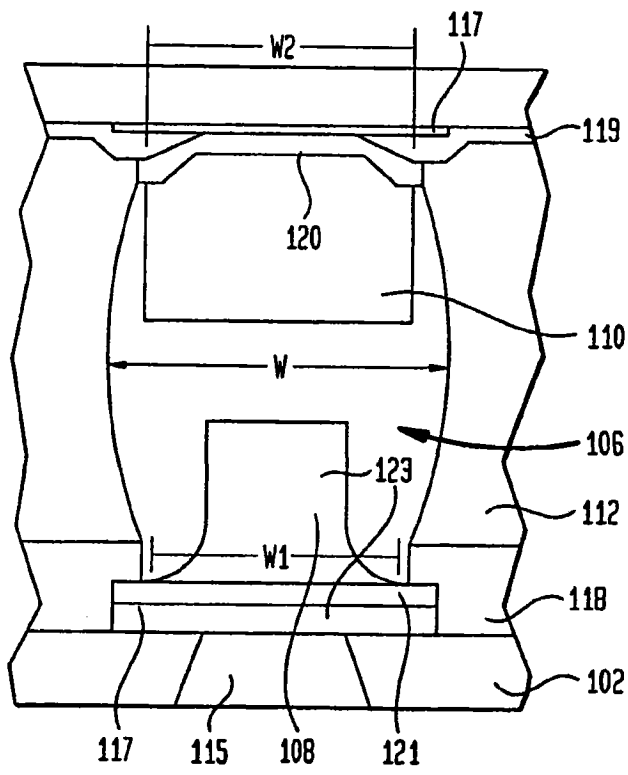


图 3

图 2A

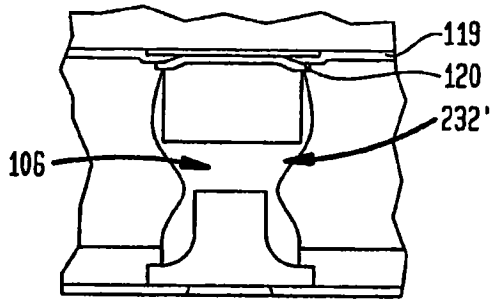


图 4

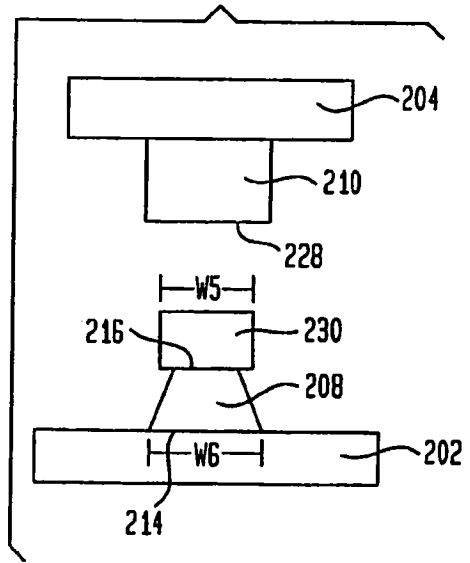


图 5

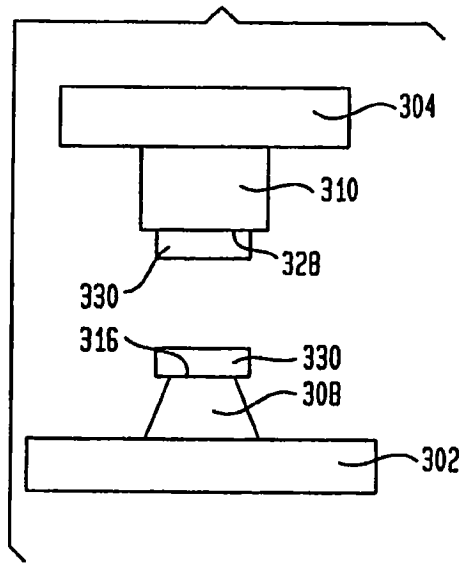


图 6

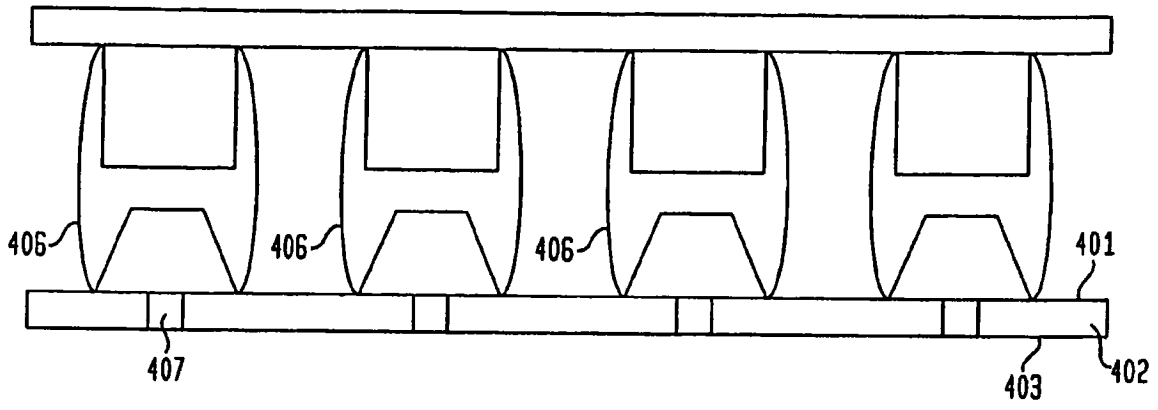


图 7

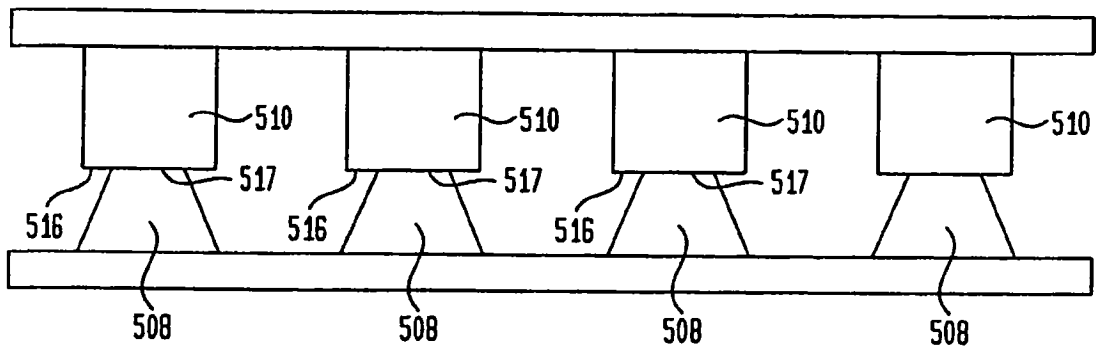


图 8

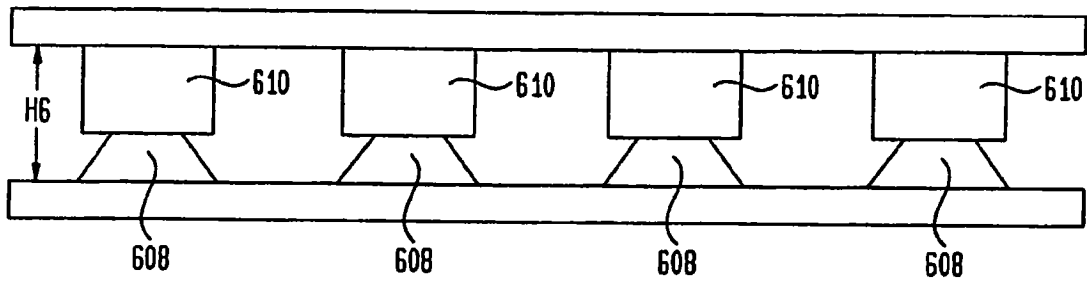


图 9

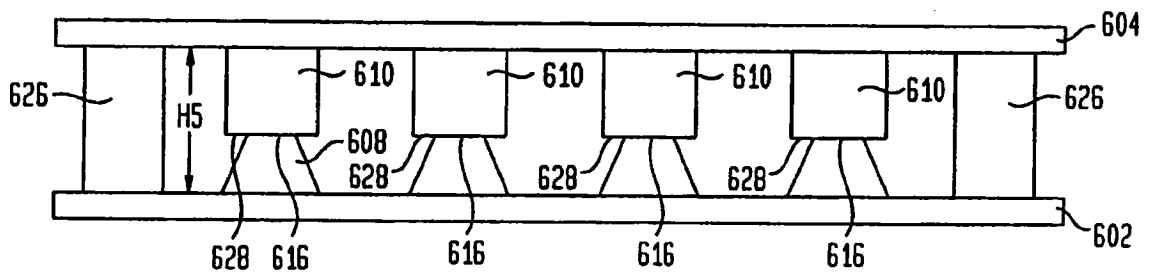


图 10

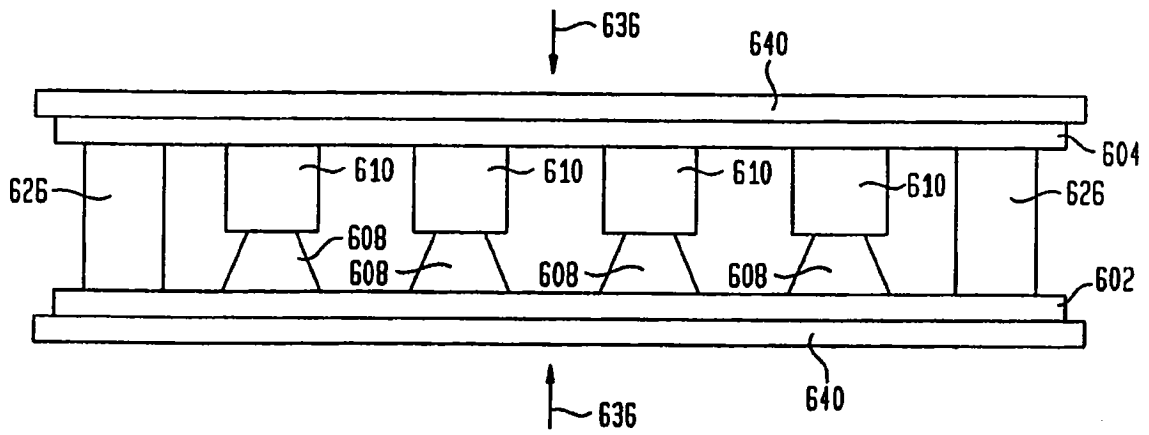


图 11

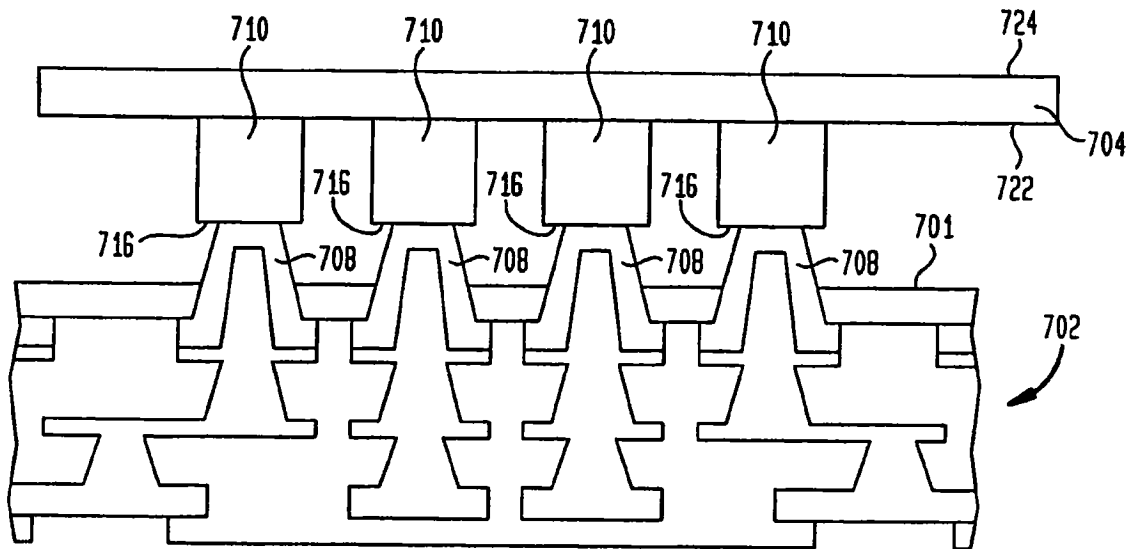


图 12

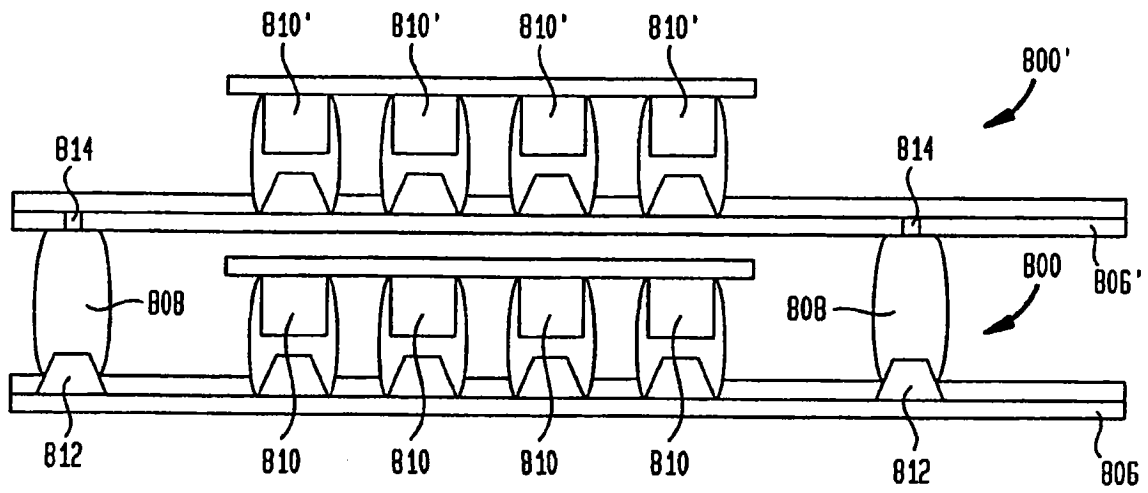


图 13