



(12) 发明专利

(10) 授权公告号 CN 101803023 B

(45) 授权公告日 2012. 05. 23

(21) 申请号 200880106479. X
 (22) 申请日 2008. 05. 27
 (30) 优先权数据
 2007-201687 2007. 08. 02 JP
 (85) PCT申请进入国家阶段日
 2010. 03. 10
 (86) PCT申请的申请数据
 PCT/JP2008/059731 2008. 05. 27
 (87) PCT申请的公布数据
 W02009/016880 JA 2009. 02. 05
 (73) 专利权人 新加坡优尼山帝斯电子私人有限公司
 地址 新加坡柏龄大厦
 (72) 发明人 舛冈富士雄 中村广记
 (74) 专利代理机构 隆天国际知识产权代理有限公司 72003
 代理人 郑小军 冯志云

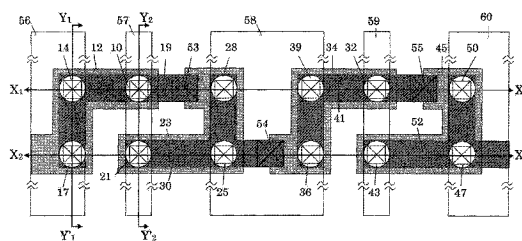
(51) Int. Cl.
 H01L 27/092 (2006. 01)
 H01L 21/8238 (2006. 01)
 H01L 21/3205 (2006. 01)
 H01L 21/822 (2006. 01)
 H01L 23/52 (2006. 01)
 H01L 27/04 (2006. 01)
 H01L 29/786 (2006. 01)
 (56) 对比文件
 US 5308782 A, 1994. 05. 03, 全文.
 US 6461900 B1, 2002. 10. 08, 全文.
 JP 1602619 C, 1991. 03. 26, 全文.
 审查员 赵星

权利要求书 3 页 说明书 25 页 附图 66 页

(54) 发明名称
半导体器件

(57) 摘要

本发明提供一种半导体器件, 由使用以 pMOS 的栅极宽为 nMOS 的栅极宽的两倍的 SGT 的高集成、高速的至少两段以上的 CMOS 反向器结合电路构成。本发明的半导体器件由结合两段以上的 CMOS 反向器的 CMOS 反向器结合电路构成, 第一 CMOS 反向器由第一行第一列与第二行第一列的 pMOS SGT 与第一行第二列的 nMOS SGT 构成, 第二 CMOS 反向器由第一行第三列与第二行第三列的 pMOS SGT 与第二行第二列的 nMOS SGT 构成, 连接如下的构件: 通过岛状半导体下部层连接第一行第一列与第二行第一列的 SGT 的漏极扩散层和第一行第二列的 SGT 的漏极扩散层而配线的输出端子; 以及连接第一行第三列与第二行第三列的 SGT 的栅极和第二行第二列的 SGT 的栅极而配线的输入端子。



CN 101803023 B

1. 一种半导体器件,具备结合至少两段以上的CMOS反向器的CMOS反向器结合电路,其特征在于,

所述CMOS反向器结合电路包含第一CMOS反向器与第二CMOS反向器,由在衬底上排列成两行三列的MOS晶体管构成的两段CMOS反向器;

第一列及第三列的MOS晶体管的每一个为p沟道MOS晶体管;

第二列的MOS晶体管的每一个为n沟道MOS晶体管;

所述p沟道MOS晶体管及n沟道MOS晶体管的每一个具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;

所述第一CMOS反向器包含:

第一列的两个p沟道MOS晶体管;

第二列的一方的n沟道MOS晶体管;

第一CMOS反向器的输入端子,以相互连接第二列的所述一方的n沟道MOS晶体管的栅极与第一列的两个p沟道MOS晶体管的栅极的方式配线;

第一CMOS反向器的输出端子,以通过岛状半导体下部层相互连接第二列的所述一方的n沟道MOS晶体管的漏极扩散层与第一列的两个p沟道MOS晶体管的漏极扩散层的方式配线;

第一CMOS反向器用的第一电源供给配线,配线于第二列的所述一方的n沟道MOS晶体管的源极扩散层上;以及

第一CMOS反向器用的第二电源供给配线,配线于第一列的两个p沟道MOS晶体管的源极扩散层上;

所述第二CMOS反向器包含:

第三列的两个p沟道MOS晶体管;

与第二列的所述一方的n沟道MOS晶体管不同的第二列的另一方的n沟道MOS晶体管;

第二CMOS反向器的输入端子,以相互连接第二列的所述另一方的n沟道MOS晶体管的栅极与第三列的两个p沟道MOS晶体管的栅极的方式配线;

第二CMOS反向器的输出端子,以通过岛状半导体下部层相互连接第二列的所述另一方的n沟道MOS晶体管的漏极扩散层与第三列的两个p沟道MOS晶体管的漏极扩散层的方式配线;

第二CMOS反向器用的第一电源供给配线,配线于第二列的所述另一方的n沟道MOS晶体管的源极扩散层上;以及

第二电源供给配线,配线于第三列的两个p沟道MOS晶体管的源极扩散层上;

所述第一CMOS反向器用的第一电源供给配线与第二CMOS反向器用的第一电源供给配线是在第二列的n沟道MOS晶体管的源极扩散层上相互连接;

第一CMOS反向器的输出端子是连接于第二CMOS反向器的输入端子。

2. 根据权利要求1所述的半导体器件,其特征在于,所述CMOS反向器结合电路具备在衬底上于行方向排列N个(N为2以上)所述两段CMOS反向器的 $2 \times N$ 段的CMOS反向器;

各个CMOS反向器的输出端子连接于邻接于该输出端子的CMOS反向器的输入端子;

配线于相邻的4个p沟道MOS晶体管的源极扩散层上的第二电源供给配线的每一条是

在源极扩散层上相互连接。

3. 根据权利要求 1 所述的半导体器件,其特征在於,所述 CMOS 反向器结合电路具备在衬底上于行方向至少将两段以上的所述 CMOS 反向器在列方向排列有 M 个 (M 为 2 以上) 的 CMOS 反向器;

在各个 p 沟道 MOS 晶体管的源极扩散层上相互连接排列于列方向的 M 个所述第一 CMOS 反向器的每一个所具有的第二电源供给配线;

在各个 p 沟道 MOS 晶体管的源极扩散层上相互连接排列于列方向的 M 个所述第二 CMOS 反向器的每一个所具有的第二电源供给配线;

在各个 n 沟道 MOS 晶体管的源极扩散层上相互连接排列于列方向的 M 个所述第一 CMOS 反向器的每一个所具有的第一电源供给配线、与排列于列方向的 M 个所述第二 CMOS 反向器的每一个所具有的第一电源供给配线。

4. 根据权利要求 1 所述的半导体器件,其特征在於,所述 CMOS 反向器结合电路具备在衬底上于行方向排列 N 个 (N 为 2 以上) 所述两段 CMOS 反向器,并且于列方向排列 M 个 (M 为 2 以上) 所述两段 CMOS 反向器的 CMOS 反向器;

遍及列方向相互地在 n 沟道 MOS 晶体管的源极扩散层上连接连续排列于列方向的 CMOS 反向器的第一电源供给配线的每一条;

遍及列方向相互地在 p 沟道 MOS 晶体管的源极扩散层上连接连续排列于列方向的 CMOS 反向器的第二电源供给配线的每一条;

邻接于行方向的 CMOS 反向器的第二电源供给配线更于行方向相互地在 p 沟道 MOS 晶体管的源极扩散层上连接;

各个 CMOS 反向器的输出端子是连接于邻接于行方向的 CMOS 反向器的输入端子。

5. 根据权利要求 1 所述的半导体器件,其特征在於,具有 n 沟道 MOS 晶体管,该 n 沟道 MOS 晶体管以下述方式构成:

具有对于衬底将漏极、栅极、源极配置于垂直方向,栅极包围岛状半导体层的构造;

在栅极的上下形成有绝缘膜层;

通过岛状半导体下部层,多晶硅配线包围漏极扩散层的一部分;

具有漏极扩散层、多晶硅配线、栅极、源极扩散层被自对准金属硅化物化的构造;

在源极扩散层上形成有金属配线。

6. 根据权利要求 1 所述的半导体器件,其特征在於,具有 p 沟道 MOS 晶体管,该 p 沟道 MOS 晶体管以下述方式构成:

具有对于衬底将漏极、栅极、源极配置于垂直方向,栅极包围岛状半导体层的构造;

在栅极的上下形成有绝缘膜层;

通过岛状半导体下部层,多晶硅配线包围漏极扩散层的一部分;

具有漏极扩散层、多晶硅配线、栅极、源极扩散层被自对准金属硅化物化的构造;

在源极扩散层上形成有金属配线。

7. 根据权利要求 2 所述的半导体器件,其特征在於,具有 n 沟道 MOS 晶体管,该 n 沟道 MOS 晶体管以下述方式构成:

具有对于衬底将漏极、栅极、源极配置于垂直方向,栅极包围岛状半导体层的构造;

在栅极的上下形成有绝缘膜层;

通过岛状半导体下部层,多晶硅配线包围漏极扩散层的一部分;
具有漏极扩散层、多晶硅配线、栅极、源极扩散层被自对准金属硅化物化的构造;
在源极扩散层上形成有金属配线。

8. 根据权利要求 2 所述的半导体器件,其特征在于,具有 p 沟道 MOS 晶体管,该 p 沟道 MOS 晶体管以下述方式构成:

具有对于衬底将漏极、栅极、源极配置于垂直方向,栅极包围岛状半导体层的构造;
在栅极的上下形成有绝缘膜层;
通过岛状半导体下部层,多晶硅配线包围漏极扩散层的一部分;
具有漏极扩散层、多晶硅配线、栅极、源极扩散层被自对准金属硅化物化的构造;
在源极扩散层上形成有金属配线。

9. 根据权利要求 3 所述的半导体器件,其特征在于,具有 n 沟道 MOS 晶体管,该 n 沟道 MOS 晶体管以下述方式构成:

具有对于衬底将漏极、栅极、源极配置于垂直方向,栅极包围岛状半导体层的构造;
在栅极的上下形成有绝缘膜层;
通过岛状半导体下部层,多晶硅配线包围漏极扩散层的一部分;
具有漏极扩散层、多晶硅配线、栅极、源极扩散层被自对准金属硅化物化的构造;
在源极扩散层上形成有金属配线。

10. 根据权利要求 3 所述的半导体器件,其特征在于,具有 p 沟道 MOS 晶体管,该 p 沟道 MOS 晶体管以下述方式构成:

具有对于衬底将漏极、栅极、源极配置于垂直方向,栅极包围岛状半导体层的构造;
在栅极的上下形成有绝缘膜层;
通过岛状半导体下部层,多晶硅配线包围漏极扩散层的一部分;
具有漏极扩散层、多晶硅配线、栅极、源极扩散层被自对准金属硅化物化的构造;
在源极扩散层上形成有金属配线。

11. 根据权利要求 4 所述的半导体器件,其特征在于,具有 n 沟道 MOS 晶体管,该 n 沟道 MOS 晶体管以下述方式构成:

具有对于衬底将漏极、栅极、源极配置于垂直方向,栅极包围岛状半导体层的构造;
在栅极的上下形成有绝缘膜层;
通过岛状半导体下部层,多晶硅配线包围漏极扩散层的一部分;
具有漏极扩散层、多晶硅配线、栅极、源极扩散层被自对准金属硅化物化的构造;
在源极扩散层上形成有金属配线。

12. 根据权利要求 4 所述的半导体器件,其特征在于,具有 p 沟道 MOS 晶体管,该 p 沟道 MOS 晶体管以下述方式构成:

具有对于衬底将漏极、栅极、源极配置于垂直方向,栅极包围岛状半导体层的构造;
在栅极的上下形成有绝缘膜层;
通过岛状半导体下部层,多晶硅配线包围漏极扩散层的一部分;
具有漏极扩散层、多晶硅配线、栅极、源极扩散层被自对准金属硅化物化的构造;
在源极扩散层上形成有金属配线。

半导体器件

技术领域

[0001] 本发明涉及一种半导体器件。

背景技术

[0002] 在半导体集成电路中,尤其是使用 MOS 晶体管的集成电路不断地高集成化。伴随着该高集成化,其中所使用的 MOS 晶体管则微细化进行到纳米 (nano) 领域。数字电路的基本电路为反向器电路 (inverter circuit),若构成该反向器电路的 MOS 晶体管的微细化时,则有漏电流 (leak current) 的抑制困难,产生因热载子效应 (hot carrier effect) 造成的可靠度的降低,且由于必要的电流量确保的要求而无法减小电路的占有面积的问题。为了解决这种问题,已提出一种对于衬底将源极 (source)、栅极 (gate)、漏极 (drain) 配置于垂直方向,栅极为包围岛状半导体层的构造的 Surrounding Gate Transistor (SGT) (环绕栅极晶体管),以及提出一种使用 SGT 的 CMOS 反向器电路 (CMOS inverter circuit) (例如专利文献 1、专利文献 2、专利文献 3)。

[0003] 显示使用公知的 SGT 的第一反向器的输出被输入到第二反向器的两段 CMOS 反向器于图 1 (非专利文献 1)。而且,显示剖面图于图 2。第一反向器是由两个 pMOS SGT 01, 02、一个 nMOS SGT 03 构成。第二反向器是由两个 pMOS SGT 04, 05、两个 nMOS SGT 06, 07 构成。在使用公知的 SGT 的两段 CMOS 反向器中是使用第一电源供给配线 V_{ss} 、第二电源供给配线 V_{cc} 通过接触端子 (contact) 经由硅衬底的扩散层而供给的 SGT。即, nMOS、pMOS 的电源线是配置于与配置有 nMOS、pMOS 的衬底上的区域不同的区域的栅极区域的下部的一方。扩散层的电阻与电源供给的金属配线的电阻相比非常的大。若第一电源供给配线 V_{ss} 、第二电源供给配线 V_{cc} 的电阻增加,则施加至 nMOS SGT 的源极电压比第一电源电压 V_{ss} 还增加,施加至 pMOS SGT 的源极电压比第二电源电压 V_{cc} 还降低。若 nMOS SGT 的源极电压比第一电源电压 V_{ss} 还增加,则 nMOS SGT 的驱动电流下降。若 pMOS SGT 的源极电压比第二电源电压 V_{cc} 还降低,则 pMOS SGT 的驱动电流降低。若晶体管的驱动电流降低,则反向器的输出端子的电容的充放电速度降低。若反向器的输出端子的电容的充放电速度降低,则反向器的延迟时间增大。因此,在扩散层通过多个接触端子进行金属配线,施加第一电源电压 V_{ss} 至 nMOS SGT 的源极,施加第二电源电压 V_{cc} 至 pMOS SGT 的源极。

[0004] 而且,公知的 SGT CMOS 反向器是在漏极的扩散层设置接触端子,进行连接于金属配线,当作第一反向器的输出。由第一反向器的输出的金属配线通过接触端子进行连接于第二反向器的输入的多晶硅 (polysilicon) 的栅极。

[0005] 即,在使用公知的衬底接地型 SGT 的两段 CMOS 反向器中,电路占有面积中接触端子所占的面积的比例大。而且,若第一电源供给配线 V_{ss} 、第二电源供给配线 V_{cc} 的电阻增加,则反向器的延迟时间增大。

[0006] 而且,因空穴 (hole) 的迁移率 (mobility) 为电子的迁移率的一半,故在反向器电路中 pMOS 晶体管的栅极宽需设为 nMOS 晶体管的栅极宽的两倍。

[0007] [专利文献 1] 日本特开平 2-71556

[0008] [专利文献 2] 日本特开平 2-188966

[0009] [专利文献 3] 日本特开平 3-145761

[0010] [非专利文献 1] S. Watanabe, K. Tsuchida, D. Takashima, Y. Oowaki, A. Nitayama, K. Hieda, H. Takato, K. Sunouchi, F. Horiguchi, K. Ohuchi, F. Masuoka, H. Hara, "A Novel Circuit Technology with Surrounding Gate Transistors (SGT's) for Ultra High Density DRAM's", IEEE JSSC, Vol. 30, No. 9, 1995.

发明内容

[0011] (发明所欲解决的问题)

[0012] 因此,本发明的目的为提供一种半导体器件,由使用使第一电源供给配线 V_{ss} 与第二电源供给配线 V_{cc} 的面积减少,降低电阻以将 pMOS SGT 的栅极宽设为 nMOS SGT 的栅极宽的两倍的 SGT 的高集成、高速的至少两段以上的 CMOS 反向器结合电路构成。

[0013] (用于解决问题的手段)

[0014] 为了解决所述课题,本发明提供一种半导体器件,具备结合至少两段以上的 CMOS 反向器的 CMOS 反向器结合电路;

[0015] 所述 CMOS 反向器结合电路包含第一 CMOS 反向器与第二 CMOS 反向器,由在衬底上排列成两行 (row) 三列 (column) 的 MOS 晶体管构成的两段 CMOS 反向器;

[0016] 第一列及第三列的 MOS 晶体管的每一个为 p 沟道 (channel) MOS 晶体管;

[0017] 第二列的 MOS 晶体管的每一个为 n 沟道 MOS 晶体管;

[0018] 所述 p 沟道 MOS 晶体管及 n 沟道 MOS 晶体管的每一个具有对衬底,将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;

[0019] 所述第一 CMOS 反向器包含:

[0020] 第一列的两个 p 沟道 MOS 晶体管;

[0021] 第二列的一方的 n 沟道 MOS 晶体管;

[0022] 第一 CMOS 反向器的输入端子,以相互连接第二列的所述一方的 n 沟道 MOS 晶体管的栅极与第一列的两个 p 沟道 MOS 晶体管的栅极的方式配线;

[0023] 第一 CMOS 反向器的输出端子,以通过岛状半导体下部层相互连接第二列的所述一方的 n 沟道 MOS 晶体管的漏极扩散层与第一列的两个 p 沟道 MOS 晶体管的漏极扩散层的方式配线;

[0024] 第一 CMOS 反向器用的第一电源供给配线,配线于第二列的所述一方的 n 沟道 MOS 晶体管的源极扩散层上;以及

[0025] 第一 CMOS 反向器用的第二电源供给配线,配线于第一列的两个 p 沟道 MOS 晶体管的源极扩散层上;

[0026] 所述第二 CMOS 反向器包含:

[0027] 第三列的两个 p 沟道 MOS 晶体管;

[0028] 与第二列的所述一方的 n 沟道 MOS 晶体管不同的第二列的另一方的 n 沟道 MOS 晶体管;

[0029] 第二 CMOS 反向器的输入端子,以相互连接第二列的所述另一方的 n 沟道 MOS 晶体管的栅极与第三列的两个 p 沟道 MOS 晶体管的栅极的方式配线;

[0030] 第二 CMOS 反向器的输出端子,以通过岛状半导体下部层相互连接第二列的所述另一方的 n 沟道 MOS 晶体管的漏极扩散层与第三列的两个 p 沟道 MOS 晶体管的漏极扩散层的方式配线;

[0031] 第二 CMOS 反向器用的第一电源供给配线,配线于第二列的所述另一方的 n 沟道 MOS 晶体管的源极扩散层上;以及

[0032] 第二电源供给配线,配线于第三列的两个 p 沟道 MOS 晶体管的源极扩散层上;

[0033] 所述第一 CMOS 反向器用的第一电源供给配线与第二 CMOS 反向器用的第一电源供给配线是在第二列的 n 沟道 MOS 晶体管的源极扩散层上相互连接;

[0034] 第一 CMOS 反向器的输出端子是连接于第二 CMOS 反向器的输入端子。

[0035] 在本发明的较佳方式中,提供一种半导体器件,所述 CMOS 反向器结合电路具备在衬底上于行方向排列 N 个 (N 为 2 以上) 所述两段 CMOS 反向器的 $2 \times N$ 段的 CMOS 反向器;

[0036] 各个 CMOS 反向器的输出端子连接于邻接于该输出端子的 CMOS 反向器的输入端子;

[0037] 配线于相邻的 4 个 p 沟道 MOS 晶体管的源极扩散层上的第二电源供给配线的每一条是在源极扩散层上相互连接。

[0038] 在其他的较佳方式中,提供一种半导体器件,所述 CMOS 反向器结合电路具备在衬底上于行方向至少将两段以上的所述 CMOS 反向器在列方向排列有 M 个 (M 为 2 以上) 的 CMOS 反向器;

[0039] 在各个 p 沟道 MOS 晶体管的源极扩散层上相互连接排行于列方向的 M 个所述第一 CMOS 反向器的每一个所具有的第二电源供给配线;

[0040] 在各个 p 沟道 MOS 晶体管的源极扩散层上相互连接排列于列方向的 M 个所述第二 CMOS 反向器的每一个所具有的第二电源供给配线;

[0041] 在各个 n 沟道 MOS 晶体管的源极扩散层上相互连接排列于列方向的 M 个所述第一 CMOS 反向器的每一个所具有的第一电源供给配线、与排列于列方向的 M 个所述第二 CMOS 反向器的每一个所具有的第一电源供给配线。

[0042] 而且,在其他的较佳方式中,提供一种半导体器件,所述 CMOS 反向器结合电路具备在衬底上于行方向排列 N 个 (N 为 2 以上) 所述两段 CMOS 反向器,并且于列方向排列 M 个 (M 为 2 以上) 所述两段 CMOS 反向器的 CMOS 反向器;

[0043] 遍及列方向相互地在 n 沟道 MOS 晶体管的源极扩散层上连接连续排列于列方向的 CMOS 反向器的第一电源供给配线的每一条;

[0044] 遍及列方向相互地在 p 沟道 MOS 晶体管的源极扩散层上连接连续排列于列方向的 CMOS 反向器的第二电源供给配线的每一条;

[0045] 邻接于行方向的 CMOS 反向器的第二电源供给配线更于行方向相互地在 p 沟道 MOS 晶体管的源极扩散层上连接;

[0046] 各个 CMOS 反向器的输出端子是连接于邻接于行方向的 CMOS 反向器的输入端子。

[0047] 换言之,本发明是一种半导体器件,具备结合至少两段以上的 CMOS 反向器的 CMOS 反向器结合电路,是由如下的构件构成的至少两段以上的 CMOS 反向器结合电路构成的半导体器件;

[0048] 第一 CMOS 反向器是具有如下构件的 CMOS 反向器:

- [0049] 第一行第二列的 n 沟道半导体器件,具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;
- [0050] 第一行第一列的 p 沟道半导体器件,具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;
- [0051] 第二行第一列的 p 沟道半导体器件,具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;
- [0052] 第一 CMOS 反向器的输入端子,以相互连接第一行第二列的 n 沟道半导体器件的栅极与第一行第一列和第二行第一列的 p 沟道半导体器件的栅极的方式配线;
- [0053] 第一 CMOS 反向器的输出端子,以通过岛状半导体下部层相互连接第一行第二列的 n 沟道半导体器件的漏极扩散层与第一行第一列和第二行第一列的 p 沟道半导体器件的漏极扩散层的方式配线;
- [0054] 第一电源供给配线 V_{ss} ,连接于第一行第二列的 n 沟道半导体器件的源极扩散层;以及
- [0055] 第二电源供给配线 V_{cc} ,连接于第一行第一列与第二行第一列的 p 沟道半导体器件的源极扩散层;
- [0056] 第二 CMOS 反向器是具有如下构件的 CMOS 反向器:
- [0057] 第二行第二列的 n 沟道半导体器件,具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;
- [0058] 第一行第三列的 p 沟道半导体器件,具有对衬底,将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;
- [0059] 第二行第三列的 p 沟道半导体器件,具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;
- [0060] 第二 CMOS 反向器的输入端子,以相互连接第二行第二列的 n 沟道半导体器件的栅极与第一行第三列和第二行第三列的 p 沟道半导体器件的栅极的方式配线;
- [0061] 第二 CMOS 反向器的输出端子,以通过岛状半导体下部层相互连接第二行第二列的 n 沟道半导体器件的漏极扩散层与第一行第三列和第二行第三列的 p 沟道半导体器件的漏极扩散层的方式配线;
- [0062] 第一电源供给配线 V_{ss} ,连接于第二行第二列的 n 沟道半导体器件的源极扩散层;以及
- [0063] 第二电源供给配线 V_{cc} ,连接于第一行第三列与第二行第三列的 p 沟道半导体器件的源极扩散层;
- [0064] 第一 CMOS 反向器的输出端子连接于第二 CMOS 反向器的输入端子;
- [0065] 且该至少两段以上的 CMOS 反向器结合电路是由下述所构成:
- [0066] 连接于第一 CMOS 反向器的 n 沟道半导体器件的源极扩散层的第一电源供给配线 V_{ss} ;
- [0067] 连接于第二 CMOS 反向器的 n 沟道半导体器件的源极扩散层的第一电源供给配线 V_{ss} ;
- [0068] 连接于第一 CMOS 反向器的两个 p 沟道半导体器件的源极扩散层的第二电源供给配线 V_{cc} ;以及

[0069] 连接于第二 CMOS 反向器的两个 p 沟道半导体器件的源极扩散层的第二电源供给配线 V_{cc} 。

[0070] 而且,是由如下的构件构成的至少 4 段以上的 CMOS 反向器结合电路构成的半导体器件:

[0071] 第一 CMOS 反向器是具有如下构件的 CMOS 反向器:

[0072] 第一行第二列的 n 沟道半导体器件,具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;

[0073] 第一行第一列的 p 沟道半导体器件,具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;

[0074] 第二行第一列的 p 沟道半导体器件,具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;

[0075] 第一 CMOS 反向器的输入端子,以相互连接第一行第二列的 n 沟道半导体器件的栅极与第一行第二列和第二行第一列的 p 沟道半导体器件的栅极的方式配线;

[0076] 第一 CMOS 反向器的输出端子,以通过岛状半导体下部层相互连接第一行第二列的 n 沟道半导体器件的漏极扩散层与第一行第二列和第二行第一列的 p 沟道半导体器件的漏极扩散层的方式配线;

[0077] 第一电源供给配线 V_{ss} ,连接于第一行第二列的 n 沟道半导体器件的源极扩散层;以及

[0078] 第二电源供给配线 V_{cc} ,连接于第一行第一列与第二行第一列的 p 沟道半导体器件的源极扩散层;

[0079] 第二 CMOS 反向器是具有如下构件的 CMOS 反向器:

[0080] 第二行第二列的 n 沟道半导体器件,具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;

[0081] 第一行第三列的 p 沟道半导体器件,具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;

[0082] 第二行第三列的 p 沟道半导体器件,具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;

[0083] 第二 CMOS 反向器的输入端子,以相互连接第二行第二列的 n 沟道半导体器件的栅极与第一行第三列和第二行第三列的 p 沟道半导体器件的栅极的方式配线;

[0084] 第二 CMOS 反向器的输出端子,以通过岛状半导体下部层相互连接第二行第二列的 n 沟道半导体器件的漏极扩散层与第一行第三列和第二行第三列的 p 沟道半导体器件的漏极扩散层的方式配线;

[0085] 第一电源供给配线 V_{ss} ,连接于第二行第二列的 n 沟道半导体器件的源极扩散层;以及

[0086] 第二电源供给配线 V_{cc} ,连接于第一行第三列与第二行第三列的 p 沟道半导体器件的源极扩散层;

[0087] 第三 CMOS 反向器是具有如下构件的 CMOS 反向器:

[0088] 第一行第五列的 n 沟道半导体器件,具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;

[0089] 第一行第四列的 p 沟道半导体器件,具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;

[0090] 第二行第四列的 p 沟道半导体器件,具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;

[0091] 第三 CMOS 反向器的输入端子,以相互连接第一行第五列的 n 沟道半导体器件的栅极与第一行第四列和第二行第四列的 p 沟道半导体器件的栅极的方式配线;

[0092] 第三 CMOS 反向器的输出端子,以通过岛状半导体下部层相互连接第一行第五列的 n 沟道半导体器件的漏极扩散层与第一行第四列和第二行第四列的 p 沟道半导体器件的漏极扩散层的方式配线;

[0093] 第一电源供给配线 V_{ss} ,连接于第一行第五列的 n 沟道半导体器件的源极扩散层;以及

[0094] 第二电源供给配线 V_{cc} ,连接于第一行第四列与第二行第四列的 p 沟道半导体器件的源极扩散层;

[0095] 第四 CMOS 反向器是具有如下构件的 CMOS 反向器:

[0096] 第二行第五列的 n 沟道半导体器件,具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;

[0097] 第一行第六列的 p 沟道半导体器件,具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;

[0098] 第二行第六列的 p 沟道半导体器件,具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;

[0099] 第四 CMOS 反向器的输入端子,以相互连接第二行第五列的 n 沟道半导体器件的栅极与第一行第六列和第二行第六列的 p 沟道半导体器件的栅极的方式配线;

[0100] 第四 CMOS 反向器的输出端子,以通过岛状半导体下部层相互连接第二行第五列的 n 沟道半导体器件的漏极扩散层与第一行第六列和第二行第六列的 p 沟道半导体器件的漏极扩散层的方式配线;

[0101] 第一电源供给配线 V_{ss} ,连接于第二行第五列的 n 沟道半导体器件的源极扩散层;以及

[0102] 第二电源供给配线 V_{cc} ,连接于第一行第六列与第二行第六列的 p 沟道半导体器件的源极扩散层;

[0103] 第一 CMOS 反向器的输出端子连接于第二 CMOS 反向器的输入端子;

[0104] 第二 CMOS 反向器的输出端子连接于第三 CMOS 反向器的输入端子;

[0105] 第三 CMOS 反向器的输出端子连接于第四 CMOS 反向器的输入端子;

[0106] 且该至少 4 段以上的 CMOS 反向器结合电路是由下述所构成:

[0107] 连接于第一 CMOS 反向器的 n 沟道半导体器件的源极扩散层的第一电源供给配线 V_{ss} ;

[0108] 连接于第二 CMOS 反向器的 n 沟道半导体器件的源极扩散层的第一电源供给配线 V_{ss} ;

[0109] 连接于第三 CMOS 反向器的 n 沟道半导体器件的源极扩散层的第一电源供给配线 V_{ss} ;

[0110] 连接于第四 CMOS 反向器的 n 沟道半导体器件的源极扩散层的第一电源供给配线 V_{ss} ;

[0111] 连接于第一 CMOS 反向器的两个 p 沟道半导体器件的源极扩散层的第二电源供给配线 V_{cc} ;

[0112] 连接于第二 CMOS 反向器的两个 p 沟道半导体器件的源极扩散层的第二电源供给配线 V_{cc} ;

[0113] 连接于第三 CMOS 反向器的两个 p 沟道半导体器件的源极扩散层的第二电源供给配线 V_{cc} ;

[0114] 连接于第四 CMOS 反向器的两个 p 沟道半导体器件的源极扩散层的第二电源供给配线 V_{cc} 。

[0115] 而且,在本发明的较佳方式中,一种 n 沟道半导体器件(即 n 沟道 MOS 晶体管)是在所述半导体器件中被使用,该 n 沟道 MOS 晶体管是以下述方式构成:

[0116] 具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;

[0117] 在栅极的上下形成有绝缘膜层;

[0118] 通过岛状半导体下部层,多晶硅配线包围漏极扩散层的一部分;

[0119] 具有漏极扩散层、多晶硅配线、栅极、源极扩散层被自对准金属硅化物(salicide)化的构造;

[0120] 在源极扩散层上形成有金属配线。

[0121] 而且,在其他的本发明的较佳方式中,一种 p 沟道半导体器件(即 p 沟道 MOS 晶体管)是在所述半导体器件中被使用,该 p 沟道 MOS 晶体管是以下述方式构成:

[0122] 具有对于衬底将漏极、栅极、源极配置于垂直方向,且栅极包围岛状半导体层的构造;

[0123] 在栅极的上下形成有绝缘膜层;

[0124] 通过岛状半导体下部层,多晶硅配线包围漏极扩散层的一部分;

[0125] 具有漏极扩散层、多晶硅配线、栅极、源极扩散层被自对准金属硅化物化的构造;

[0126] 在源极扩散层上形成有金属配线。

[0127] (发明效果)

[0128] 在使用公知的 SGT 的两段 CMOS 反向器中,使用第一电源电压 V_{ss} 与第二电源电压 V_{cc} 经由接触端子供给至硅衬底的扩散层的 SGT。即,nMOS SGT、pMOS SGT 的电源供给配线是配置于与配置有 nMOS、pMOS 的衬底上的区域不同的区域的栅极区域的下部的一方。

[0129] 相对于此,在本发明中因具有由 nMOS SGT、pMOS SGT 两方的上方供给的第一电源供给配线 V_{ss} 与第二电源供给配线 V_{cc} ,且具备如下的构件:

[0130] 第一电源供给配线 V_{ss} ,连接于第一反向器的 n 沟道半导体器件的源极扩散层;

[0131] 第一电源供给配线 V_{ss} ,连接于第二反向器的 n 沟道半导体器件的源极扩散层;

[0132] 第二电源供给配线 V_{cc} ,连接于第一反向器的两个 p 沟道半导体器件的源极扩散层;以及

[0133] 第二电源供给配线 V_{cc} ,连接于第二反向器的两个 p 沟道半导体器件的源极扩散层;

[0134] 故第一电源供给配线 V_{SS} 与第二电源供给配线 V_{CC} 的面积减少,可获得由使用 SGT 的高集成的 CMOS 反向器结合电路构成的半导体器件。

[0135] 而且,因具有由 nMOS SGT、pMOS SGT 两方的上方供给的第一电源供给配线 V_{SS} 、第二电源供给配线 V_{CC} ,且具备如下的构件:

[0136] 第一电源供给配线 V_{SS} ,连接于第一反向器的 n 沟道半导体器件的源极扩散层;

[0137] 第一电源供给配线 V_{SS} ,连接于第二反向器的 n 沟道半导体器件的源极扩散层;

[0138] 第二电源供给配线 V_{CC} ,连接于第一反向器的两个 p 沟道半导体器件的源极扩散层;以及

[0139] 第二电源供给配线 V_{CC} ,连接于第二反向器的两个 p 沟道半导体器件的源极扩散层;

[0140] 故第一电源供给配线 V_{SS} 与第二电源供给配线 V_{CC} 的电阻减少,可获得由使用 SGT 的高速的 CMOS 反向器结合电路构成的半导体器件。

[0141] 因具有通过岛状半导体下部层相互连接 n 沟道半导体器件的漏极扩散层与 p 沟道半导体器件的漏极扩散层而配线的输出端子配线,故无须如下的构件:

[0142] 用以连接 n 沟道半导体器件的漏极扩散层与金属配线而使用的接触端子;

[0143] 用以连接 p 沟道半导体器件的漏极扩散层与金属配线而使用的接触端子;以及

[0144] 用以连接各个接触端子的金属配线;

[0145] 可获得由使用 SGT 的高集成的 CMOS 反向器结合电路构成的半导体器件。

[0146] 而且,因将第一反向器的 pMOS SGT 配置于第一行第一列与第二行第一列,将 nMOS SGT 配置于第一行第二列,将第二反向器的 pMOS SGT 配置于第一行第三列与第二行第三列,将 nMOS SGT 配置于第二行第二列,故可获得由使用 SGT 的高集成的 CMOS 反向器结合电路构成的半导体器件。

附图说明

[0147] 图 1(a) 及 (b) 是使用公知的 SGT 的两段 CMOS 反向器的布局与等效电路。

[0148] 图 2(a) 至 (c) 是使用公知的 SGT 的两段 CMOS 反向器的布局与剖面图。

[0149] 图 3 是与本发明有关的半导体器件的布局。

[0150] 图 4 是对应与本发明有关的半导体器件的图 3 中的 X1-X' 1 剖面图的剖面图。

[0151] 图 5 是对应与本发明有关的半导体器件的图 3 中的 X2-X' 2 剖面图的剖面图。

[0152] 图 6 是对应与本发明有关的半导体器件的图 3 中的 Y1-Y' 1 剖面图的剖面图。

[0153] 图 7 是对应与本发明有关的半导体器件的图 3 中的 Y2-Y' 2 剖面图的剖面图。

[0154] 图 8 是与本发明有关的半导体器件的布局。

[0155] 图 9 是对应与本发明有关的半导体器件的图 8 中的 X1-X' 1 剖面图的剖面图。

[0156] 图 10 是对应与本发明有关的半导体器件的图 8 中的 X2-X' 2 剖面图的剖面图。

[0157] 图 11 是对应与本发明有关的半导体器件的图 8 中的 X3-X' 3 剖面图的剖面图。

[0158] 图 12 是对应与本发明有关的半导体器件的图 8 中的 X4-X' 4 剖面图的剖面图。

[0159] 图 13 是对应与本发明有关的半导体器件的图 8 中的 X5-X' 5 剖面图的剖面图。

[0160] 图 14 是对应与本发明有关的半导体器件的图 8 中的 X6-X' 6 剖面图的剖面图。

[0161] 图 15 是对应与本发明有关的半导体器件的图 8 中的 Y1-Y' 1 剖面图的剖面图。

- [0357] 图 211 是显示与本发明有关的半导体器件的制造例的 Y1-Y' 1 剖面工艺图。
- [0358] 图 212 是显示与本发明有关的半导体器件的制造例的 Y2-Y' 2 剖面工艺图。
- [0359] 上述附图中的附图标记说明如下：
- [0360] 1、2、4、5pMOS SGT 3、6、7nMOS SGT
- [0361] 8、108 氧化硅膜
- [0362] 9、13、16、20、24、27、31、35、38、42、46、49、109、113、116、120、124、127、131、135、138、142、146、149、209、213、216、220、224、227、231、235、238、242、246、249、309、313、316、320、324、327、331、335、338、342、346、349 漏极扩散层
- [0363] 10、14、17、21、25、28、32、36、39、43、47、50、110、114、117、121、125、128、132、136、139、143、147、150、210、214、217、221、225、228、232、236、239、243、247、250、310、314、317、321、325、328、332、336、339、343、347、350 岛状半导体层
- [0364] 11、15、18、22、26、29、33、37、40、44、48、51、111、115、118、122、126、129、133、137、140、144、148、151、211、215、218、222、226、229、233、237、240、244、248、251、311、315、318、322、326、329、333、337、340、344、348、351 源极扩散层
- [0365] 12、23、34、45、112、123、134、145、212、223、234、245、312、323、334、345 栅极
- [0366] 19、30、41、52、119、130、141、152、219、230、241、252、319、330、341、352 岛状半导体下部层的输出端子配线
- [0367] 53、54、55、153、154、155、253、254、255、353、354、355 接触端子
- [0368] 56、58、60、156、158、160 第二电源供给配线 Vcc
- [0369] 57、59、157、159 第一电源供给配线 Vss
- [0370] 500 硅
- [0371] 501、538、558、569、577 氧化膜
- [0372] 502、503、504、509、510、534、535、536、537、554、555、556、557、559、563、564、565、566、567、570、572、573、574、575、576 光刻胶
- [0373] 505、506、507、508 p 型硅
- [0374] 511、512、513、514、515、516、517、518 n 型硅
- [0375] 519、539、553 氮化膜
- [0376] 520、533、552 多晶硅
- [0377] 521、522、523、524、525、526、527、528、529、530、531、532 侧壁间隙壁
- [0378] 540、541、542、543、544、545、546、547、548、549、550、551 栅极氧化膜
- [0379] 560、561、562 接触孔 568、571 金属

具体实施方式

[0380] 以下,根据附图所示的实施例记述本发明。此外,本发明不是被该实施例限定。

[0381] 分别显示与本发明有关的半导体器件的布局(layout)与剖面构造于图 3、图 4、图 5、图 6、图 7。

[0382] 在本实施例中,在氧化硅膜 8 上形成有岛状半导体下部层的输出端子配线 19 与漏极扩散层 9,在其上形成有岛状半导体层 10,在该岛状半导体层 10 的上部形成有源极扩散层 11,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而

形成的栅极 12, 形成第一行 (row) 第二列 (column) 的 n 沟道半导体器件 (n 沟道 MOS 晶体管)。

[0383] 而且, 在氧化硅膜 8 上形成有岛状半导体下部配线 19、漏极扩散层 13, 在其上形成有岛状半导体层 14, 在该岛状半导体层 14 的上部形成有源极扩散层 15, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 12, 形成第一行第一列的 p 沟道半导体器件 (p 沟道 MOS 晶体管)。而且, 在氧化硅膜 8 上形成有岛状半导体下部配线 19 与漏极扩散层 16, 在其上形成有岛状半导体层 17, 在该岛状半导体层 17 的上部形成有源极扩散层 18, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 12, 形成第二行第一列的 p 沟道半导体器件。

[0384] 通过所述两个 p 沟道半导体器件与一个 n 沟道半导体器件形成有第一反向器。

[0385] 而且, 在氧化硅膜 8 上形成有岛状半导体下部层的输出端子配线 30 与漏极扩散层 20, 在其上形成有岛状半导体层 21, 在该岛状半导体层 21 的上部形成有源极扩散层 22, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 23, 形成第二行第二列的 n 沟道半导体器件。

[0386] 而且, 在氧化硅膜 8 上形成有岛状半导体下部配线 30 与漏极扩散层 27, 在其上形成有岛状半导体层 28, 在该岛状半导体层 28 的上部形成有源极扩散层 29, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 23, 形成第一行第三列的 p 沟道半导体器件。而且, 在氧化硅膜 8 上形成有岛状半导体下部配线 30 与漏极扩散层 24, 在其上形成有岛状半导体层 25, 在该岛状半导体层 25 的上部形成有源极扩散层 26, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 23, 形成第二行第三列的 p 沟道半导体器件。

[0387] 通过所述两个 p 沟道半导体器件与一个 n 沟道半导体器件形成有第二反向器。

[0388] 而且, 在氧化硅膜 8 上形成有岛状半导体下部层的输出端子配线 41 与漏极扩散层 31, 在其上形成有岛状半导体层 32, 在该岛状半导体层 32 的上部形成有源极扩散层 33, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 34, 形成第一行第五列的 n 沟道半导体器件。

[0389] 而且, 在氧化硅膜 8 上形成有岛状半导体下部配线 41 与漏极扩散层 38, 在其上形成有岛状半导体层 39, 在该岛状半导体层 39 的上部形成有源极扩散层 40, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 34, 形成第一行第四列的 p 沟道半导体器件。而且, 在氧化硅膜 8 上形成有岛状半导体下部配线 41 与漏极扩散层 35, 在其上形成有岛状半导体层 36, 在该岛状半导体层 36 的上部形成有源极扩散层 37, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 34, 形成第二行第四列的 p 沟道半导体器件。

[0390] 通过所述两个 p 沟道半导体器件与一个 n 沟道半导体器件形成有第三反向器。

[0391] 而且, 在氧化硅膜 8 上形成有岛状半导体下部层的输出端子配线 52 与漏极扩散层 42, 在其上形成有岛状半导体层 43, 在该岛状半导体层 43 的上部形成有源极扩散层 44, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 45, 形成第二行第五列的 n 沟道半导体器件。

[0392] 而且, 在氧化硅膜 8 上形成有岛状半导体下部配线 52 与漏极扩散层 49, 在其上形

成有岛状半导体层 50,在该岛状半导体层 50 的上部形成有源极扩散层 51,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 45,形成第一行第六列的 p 沟道半导体器件。而且,在氧化硅膜 8 上形成有岛状半导体下部配线 52 与漏极扩散层 46,在其上形成有岛状半导体层 47,在该岛状半导体层 47 的上部形成有源极扩散层 48,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 45,形成第二行第六列的 p 沟道半导体器件。

[0393] 通过所述两个 p 沟道半导体器件与一个 n 沟道半导体器件形成有第四反向器。

[0394] 在第一反向器与第二反向器的 n 沟道半导体器件的源极扩散层 11、22 上形成有第一电源供给配线 V_{ss} 57;在第三反向器与第四反向器的 n 沟道半导体器件的源极扩散层 33、44 上形成有第一电源供给配线 V_{ss} 59;在第一反向器 p 沟道半导体器件的源极扩散层 15、18 上形成有第二电源供给配线 V_{cc} 56;在第二反向器与第三反向器的 p 沟道半导体器件的源极扩散层 29、26、40、37 上形成有第二电源供给配线 V_{cc} 58;在第四反向器 p 沟道半导体器件的源极扩散层 48、51 上形成有第二电源供给配线 V_{cc} 60。

[0395] 栅极 12 成为第一反向器的输入端子线。

[0396] 栅极 23 成为第二反向器的输入端子线。

[0397] 栅极 34 成为第三反向器的输入端子线。

[0398] 栅极 45 成为第四反向器的输入端子线。

[0399] 为了连接栅极 23 与第一反向器的下部层的输出端子配线 19,而形成有接触端子 53。

[0400] 为了连接栅极 34 与第二反向器的下部层的输出端子配线 30,而形成有接触端子 54。

[0401] 为了连接栅极 45 与第三反向器的下部层的输出端子配线 41,而形成有接触端子 55。

[0402] 在所述的 CMOS 反向器结合电路中,p 沟道 MOS 晶体管及 n 沟道 MOS 晶体管是在衬底上遍及行方向各自配置于相同列。而且,电源供给配线为相同沟道的 MOS 晶体管彼此在其源极扩散层上构成为相互连接。因此,可缩短电源供给配线用的配线距离,可降低由配线造成的电阻,实现高速的电路。而且,因无须将衬底上的电源供给配线用的区域设于与 MOS 晶体管的配置区域不同的区域,故可实现比公知还高集成的 CMOS 反向器结合电路。

[0403] 而且,在实施例,通过将第一反向器的 pMOS SGT 配置于第一行第一列与第二行第一列,将 nMOS SGT 配置于第一行第二列,形成第一行第一列的第一反向器;通过将第二反向器的 pMOS SGT 配置于第一行第三列与第二行第三列,将 nMOS SGT 配置于第二行第二列,形成第一行第二列的第二反向器;通过将第三反向器的 pMOS SGT 配置于第一行第四列与第二行第四列,将 nMOS SGT 配置于第一行第五列,形成第一行第三列的第三反向器;通过将第四反向器的 pMOS SGT 配置于第一行第六列与第二行第六列,将 nMOS SGT 配置于第二行第五列,形成第一行第四列的第四反向器;虽然是显示一行四列的 CMOS 反向器结合电路,如图 8 所示,将 CMOS 反向器配置于二行二列以上也可以。

[0404] 图 8 是在三行四列配置 CMOS 反向器的 CMOS 反向器结合电路。

[0405] 图 9 是图 8 的 X1-X' 1 剖面图。

[0406] 图 10 是图 8 的 X2-X' 2 剖面图。

[0407] 图 11 是图 8 的 X3-X' 3 剖面图。

[0408] 图 12 是图 8 的 X4-X' 4 剖面图。

[0409] 图 13 是图 8 的 X5-X' 5 剖面图。

[0410] 图 14 是图 8 的 X6-X' 6 剖面图。

[0411] 图 15 是图 8 的 Y1-Y' 1 剖面图。

[0412] 图 16 是图 8 的 Y2-Y' 2 剖面图。

[0413] 在本实施例中,在氧化硅膜 108 上形成有岛状半导体下部层的输出端子配线 119 与漏极扩散层 109,在其上形成有岛状半导体层 110,在该岛状半导体层 110 的上部形成有源极扩散层 111,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 112,形成第一行第二列的 n 沟道半导体器件。

[0414] 而且,在氧化硅膜 108 上形成有岛状半导体下部配线 119 与漏极扩散层 113,在其上形成有岛状半导体层 114,在该岛状半导体层 114 的上部形成有源极扩散层 115,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 112,形成第一行第一列的 p 沟道半导体器件。而且,在氧化硅膜 108 上形成有岛状半导体下部配线 119 与漏极扩散层 116,在其上形成有岛状半导体层 117,在该岛状半导体层 117 的上部形成有源极扩散层 118,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 112,形成第二行第一列的 p 沟道半导体器件。

[0415] 通过所述两个 p 沟道半导体器件与一个 n 沟道半导体器件形成有第一行第一列的反向器。

[0416] 而且,在氧化硅膜 108 上形成有岛状半导体下部层的输出端子配线 130 与漏极扩散层 120,在其上形成有岛状半导体层 121,在该岛状半导体层 121 的上部形成有源极扩散层 122,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 123,形成第二行第二列的 n 沟道半导体器件。

[0417] 而且,在氧化硅膜 108 上形成有岛状半导体下部配线 130 与漏极扩散层 127,在其上形成有岛状半导体层 128,在该岛状半导体层 128 的上部形成有源极扩散层 129,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 123,形成第一行第三列的 p 沟道半导体器件。而且,在氧化硅膜 108 上形成有岛状半导体下部配线 130 与漏极扩散层 124,在其上形成有岛状半导体层 125,在该岛状半导体层 125 的上部形成有源极扩散层 126,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 123,形成第二行第三列的 p 沟道半导体器件。

[0418] 通过所述两个 p 沟道半导体器件与一个 n 沟道半导体器件形成有第一行第二列的反向器。

[0419] 而且,在氧化硅膜 108 上形成有岛状半导体下部层的输出端子配线 141 与漏极扩散层 131,在其上形成有岛状半导体层 132,在该岛状半导体层 132 的上部形成有源极扩散层 133,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 134,形成第一行第五列的 n 沟道半导体器件。

[0420] 而且,在氧化硅膜 108 上形成有岛状半导体下部配线 141 与漏极扩散层 138,在其上形成有岛状半导体层 139,在该岛状半导体层 139 的上部形成有源极扩散层 140,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极

134,形成第一行第四列的 p 沟道半导体器件。而且,在氧化硅膜 108 上形成有岛状半导体下部配线 141 与漏极扩散层 135,在其上形成有岛状半导体层 136,在该岛状半导体层 136 的上部形成有源极扩散层 137,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 134,形成第二行第四列的 p 沟道半导体器件。

[0421] 通过所述两个 p 沟道半导体器件与一个 n 沟道半导体器件形成有第一行第三列的反向器。

[0422] 而且,在氧化硅膜 108 上形成有岛状半导体下部层的输出端子配线 152 与漏极扩散层 142,在其上形成有岛状半导体层 143,在该岛状半导体层 143 的上部形成有源极扩散层 144,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 145,形成第二行第五列的 n 沟道半导体器件。

[0423] 而且,在氧化硅膜 108 上形成有岛状半导体下部配线 152 与漏极扩散层 149,在其上形成有岛状半导体层 150,在该岛状半导体层 150 的上部形成有源极扩散层 151,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 145,形成第一行第六列的 p 沟道半导体器件。而且,在氧化硅膜 108 上形成有岛状半导体下部配线 152 与漏极扩散层 146,在其上形成有岛状半导体层 147,在该岛状半导体层 147 的上部形成有源极扩散层 148,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 145,形成第二行第六列的 p 沟道半导体器件。

[0424] 通过所述两个 p 沟道半导体器件与一个 n 沟道半导体器件形成有第一行第四列的反向器。

[0425] 在第一行第一列的反向器与第一行第二列的反向器的 n 沟道半导体器件的源极扩散层 111、122 上形成有第一电源供给配线 $V_{ss}157$;在第一行第三列的反向器与第一行第四列的反向器的 n 沟道半导体器件的源极扩散层 133、144 上形成有第一电源供给配线 $V_{ss}159$;在第一行第一列的反向器的 p 沟道半导体器件的源极扩散层 115、118 上形成有第二电源供给配线 $V_{cc}156$;在第一行第二列的反向器与第一行第三列的反向器的 p 沟道半导体器件的源极扩散层 129、126、140、137 上形成有第二电源供给配线 $V_{cc}158$;在第一行第四列的反向器的 p 沟道半导体器件的源极扩散层 148、151 上形成有第二电源供给配线 $V_{cc}160$ 。

[0426] 栅极 112 成为第一行第一列的反向器的输入端子线。

[0427] 栅极 123 成为第一行第二列的反向器的输入端子线。

[0428] 栅极 134 成为第一行第三列的反向器的输入端子线。

[0429] 栅极 145 成为第一行第四列的反向器的输入端子线。

[0430] 为了连接栅极 123 与第一行第一列的反向器的下部层的输出端子配线 119,而形成有接触端子 153。

[0431] 为了连接栅极 134 与第一行第二列的反向器的下部层的输出端子配线 130,而形成有接触端子 154。

[0432] 为了连接栅极 145 与第一行第三列的反向器的下部层的输出端子配线 141,而形成有接触端子 155。

[0433] 而且,在氧化硅膜 108 上形成有岛状半导体下部层的输出端子配线 219 与漏极扩散层 209,在其上形成有岛状半导体层 210,在该岛状半导体层 210 的上部形成有源极扩散

层 211, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 212, 形成第三行第二列的 n 沟道半导体器件。

[0434] 而且, 在氧化硅膜 108 上形成有岛状半导体下部配线 219 与漏极扩散层 213, 在其上形成有岛状半导体层 214, 在该岛状半导体层 214 的上部形成有源极扩散层 215, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 212, 形成第三行第一列的 p 沟道半导体器件。而且, 在氧化硅膜 108 上形成有岛状半导体下部配线 219 与漏极扩散层 216, 在其上形成有岛状半导体层 217, 在该岛状半导体层 217 的上部形成有源极扩散层 218, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 212, 形成第四行第一列的 p 沟道半导体器件。

[0435] 通过所述两个 p 沟道半导体器件与一个 n 沟道半导体器件形成有第二行第一列的反向器。

[0436] 而且, 在氧化硅膜 108 上形成有岛状半导体下部层的输出端子配线 230 与漏极扩散层 220, 在其上形成有岛状半导体层 221, 在该岛状半导体层 221 的上部形成有源极扩散层 222, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 223, 形成第四行第二列的 n 沟道半导体器件。

[0437] 而且, 在氧化硅膜 108 上形成有岛状半导体下部配线 230 与漏极扩散层 227, 在其上形成有岛状半导体层 228, 在该岛状半导体层 228 的上部形成有源极扩散层 229, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 223, 形成第三行第三列的 p 沟道半导体器件。而且, 在氧化硅膜 108 上形成有岛状半导体下部配线 230 与漏极扩散层 224, 在其上形成有岛状半导体层 225, 在该岛状半导体层 225 的上部形成有源极扩散层 226, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 223, 形成第四行第三列的 p 沟道半导体器件。

[0438] 通过所述两个 p 沟道半导体器件与一个 n 沟道半导体器件形成有第二行第二列的反向器。

[0439] 而且, 在氧化硅膜 108 上形成有岛状半导体下部层的输出端子配线 241 与漏极扩散层 231, 在其上形成有岛状半导体层 232, 在该岛状半导体层 232 的上部形成有源极扩散层 233, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 234, 形成第三行第五列的 n 沟道半导体器件。

[0440] 而且, 在氧化硅膜 108 上形成有岛状半导体下部配线 241 与漏极扩散层 238, 在其上形成有岛状半导体层 239, 在该岛状半导体层 239 的上部形成有源极扩散层 240, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 234, 形成第三行第四列的 p 沟道半导体器件。而且, 在氧化硅膜 108 上形成有岛状半导体下部配线 241 与漏极扩散层 235, 在其上形成有岛状半导体层 236, 在该岛状半导体层 236 的上部形成有源极扩散层 237, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 234, 形成第四行第四列的 p 沟道半导体器件。

[0441] 通过所述两个 p 沟道半导体器件与一个 n 沟道半导体器件形成有第二行第三列的反向器。

[0442] 而且, 在氧化硅膜 108 上形成有岛状半导体下部层的输出端子配线 252 与漏极扩散层 242, 在其上形成有岛状半导体层 243, 在该岛状半导体层 243 的上部形成有源极扩散

层 244, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 245, 形成第四行第五列的 n 沟道半导体器件。

[0443] 而且, 在氧化硅膜 108 上形成有岛状半导体下部配线 252 与漏极扩散层 249, 在其上形成有岛状半导体层 250, 在该岛状半导体层 250 的上部形成有源极扩散层 251, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 245, 形成第三行第六列的 p 沟道半导体器件。而且, 在氧化硅膜 108 上形成有岛状半导体下部配线 252 与漏极扩散层 246, 在其上形成有岛状半导体层 247, 在该岛状半导体层 247 的上部形成有源极扩散层 248, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 245, 形成第四行第六列的 p 沟道半导体器件。

[0444] 通过所述两个 p 沟道半导体器件与一个 n 沟道半导体器件形成有第二行第四列的反向器。

[0445] 在第二行第一列的反向器与第二行第二列的反向器的 n 沟道半导体器件的源极扩散层 211、222 上形成有第一电源供给配线 Vss157; 在第二行第三列的反向器与第二行第四列的反向器的 n 沟道半导体器件的源极扩散层 233、244 上形成有第一电源供给配线 Vss159; 在第二行第一列的反向器的 p 沟道半导体器件的源极扩散层 215、218 上形成有第二电源供给配线 Vcc156; 在第二行第二列的反向器与第二行第三列的反向器的 p 沟道半导体器件的源极扩散层 229、226、240、237 上形成有第二电源供给配线 Vcc158; 在第二行第四列的反向器的 p 沟道半导体器件的源极扩散层 248、251 上形成有第二电源供给配线 Vcc160。

[0446] 栅极 212 成为第二行第一列的反向器的输入端子线。

[0447] 栅极 223 成为第二行第二列的反向器的输入端子线。

[0448] 栅极 234 成为第二行第三列的反向器的输入端子线。

[0449] 栅极 245 成为第二行第四列的反向器的输入端子线。

[0450] 为了连接栅极 223 与第二行第一列的反向器的下部层的输出端子配线 219, 而形成有接触端子 253。

[0451] 为了连接栅极 234 与第二行第二列的反向器的下部层的输出端子配线 230, 而形成有接触端子 254。

[0452] 为了连接栅极 245 与第二行第三列的反向器的下部层的输出端子配线 241, 而形成有接触端子 255。

[0453] 而且, 在氧化硅膜 108 上形成有岛状半导体下部层的输出端子配线 319 与漏极扩散层 309, 在其上形成有岛状半导体层 310, 在该岛状半导体层 310 的上部形成有源极扩散层 311, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 312, 形成第五行第二列的 n 沟道半导体器件。

[0454] 而且, 在氧化硅膜 108 上形成有岛状半导体下部配线 319 与漏极扩散层 313, 在其上形成有岛状半导体层 314, 在该岛状半导体层 314 的上部形成有源极扩散层 315, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 312, 形成第五行第一列的 p 沟道半导体器件。而且, 在氧化硅膜 108 上形成有岛状半导体下部配线 319 与漏极扩散层 316, 在其上形成有岛状半导体层 317, 在该岛状半导体层 317 的上部形成有源极扩散层 318, 在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形

成有隔着栅极绝缘膜而形成的栅极 312,形成第六行第一列的 p 沟道半导体器件。

[0455] 通过所述两个 p 沟道半导体器件与一个 n 沟道半导体器件形成有第三行第一列的反向器。

[0456] 而且,在氧化硅膜 108 上形成有岛状半导体下部层的输出端子配线 330 与漏极扩散层 320,在其上形成有岛状半导体层 321,在该岛状半导体层 321 的上部形成有源极扩散层 322,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 323,形成第六行第二列的 n 沟道半导体器件。

[0457] 而且,在氧化硅膜 108 上形成有岛状半导体下部配线 330 与漏极扩散层 327,在其上形成有岛状半导体层 328,在该岛状半导体层 328 的上部形成有源极扩散层 329,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 323,形成第五行第三列的 p 沟道半导体器件。而且,在氧化硅膜 108 上形成有岛状半导体下部配线 330 与漏极扩散层 324,在其上形成有岛状半导体层 325,在该岛状半导体层 325 的上部形成有源极扩散层 326,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 323,形成第六行第三列的 p 沟道半导体器件。

[0458] 通过所述两个 p 沟道半导体器件与一个 n 沟道半导体器件形成有第三行第二列的反向器。

[0459] 而且,在氧化硅膜 108 上形成有岛状半导体下部层的输出端子配线 341 与漏极扩散层 331,在其上形成有岛状半导体层 332,在该岛状半导体层 332 的上部形成有源极扩散层 333,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 334,形成第五行第五列的 n 沟道半导体器件。

[0460] 而且,在氧化硅膜 108 上形成有岛状半导体下部配线 341 与漏极扩散层 338,在其上形成有岛状半导体层 339,在该岛状半导体层 339 的上部形成有源极扩散层 340,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 334,形成第五行第四列的 p 沟道半导体器件。而且,在氧化硅膜 108 上形成有岛状半导体下部配线 341 与漏极扩散层 335,在其上形成有岛状半导体层 336,在该岛状半导体层 336 的上部形成有源极扩散层 337,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 334,形成第六行第四列的 p 沟道半导体器件。

[0461] 通过所述两个 p 沟道半导体器件与一个 n 沟道半导体器件形成有第三行第三列的反向器。

[0462] 而且,在氧化硅膜 108 上形成有岛状半导体下部层的输出端子配线 352 与漏极扩散层 342,在其上形成有岛状半导体层 343,在该岛状半导体层 343 的上部形成有源极扩散层 344,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 345,形成第六行第五列的 n 沟道半导体器件。

[0463] 而且,在氧化硅膜 108 上形成有岛状半导体下部配线 352 与漏极扩散层 349,在其上形成有岛状半导体层 350,在该岛状半导体层 350 的上部形成有源极扩散层 351,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形成有隔着栅极绝缘膜而形成的栅极 345,形成第五行第六列的 p 沟道半导体器件。而且,在氧化硅膜 108 上形成有岛状半导体下部配线 352 与漏极扩散层 346,在其上形成有岛状半导体层 347,在该岛状半导体层 347 的上部形成有源极扩散层 348,在被漏极扩散层与源极扩散层夹着的侧壁的沟道区域上形

成有隔着栅极绝缘膜而形成的栅极 345, 形成第六行第六列的 p 沟道半导体器件。

[0464] 通过所述两个 p 沟道半导体器件与一个 n 沟道半导体器件形成有第三行第四列的反向器。

[0465] 在第三行第一列的反向器与第三行第二列的反向器的 n 沟道半导体器件的源极扩散层 311、322 上形成有第一电源供给配线 V_{ss157} ; 在第三行第三列的反向器与第三行第四列的反向器的 n 沟道半导体器件的源极扩散层 333、344 上形成有第一电源供给配线 V_{ss159} ; 在第三行第一列的反向器的 p 沟道半导体器件的源极扩散层 315、318 上形成有第二电源供给配线 V_{cc156} ; 在第三行第二列的反向器与第三行第三列的反向器的 p 沟道半导体器件的源极扩散层 329、326、340、337 上形成有第二电源供给配线 V_{cc158} ; 在第三行第四列的反向器的 p 沟道半导体器件的源极扩散层 348、351 上形成有第二电源供给配线 V_{cc160} 。

[0466] 栅极 312 成为第三行第一列的反向器的输入端子线。

[0467] 栅极 323 成为第三行第二列的反向器的输入端子线。

[0468] 栅极 334 成为第三行第三列的反向器的输入端子线。

[0469] 栅极 345 成为第三行第四列的反向器的输入端子线。

[0470] 为了连接栅极 323 与第三行第一列的反向器的下部层的输出端子配线 319, 而形成有接触端子 353。

[0471] 为了连接栅极 334 与第三行第二列的反向器的下部层的输出端子配线 330, 而形成有接触端子 354。

[0472] 为了连接栅极 345 与第三行第三列的反向器的下部层的输出端子配线 341, 而形成有接触端子 355。

[0473] 以下参照图 17 至图 212 说明形成与本发明有关的半导体的构造用的工艺的一例。图 17 是在氧化硅膜上形成有硅 500, 硅 500 被氧化, 形成有氧化膜 501 的 SOI 衬底的 X1-X' 1 剖面图。而且, 图 18 是 X2-X' 2 剖面图, 图 19 是 Y1-Y' 1 剖面图, 图 20 是 Y2-Y' 2 剖面图。X1-X' 1 剖面是对应图 4, X2-X' 2 剖面是对应图 5, Y1-Y' 1 剖面是对应图 6, Y2-Y' 2 剖面是对应图 7 的剖面。

[0474] 以光刻胶 (resist) 为掩膜 (mask), 通过反应性离子蚀刻蚀刻硅 500, 形成硅柱。然后进行氧化, 形成用以形成 p 型硅的光刻胶 502、503、504 (图 21 (X1-X' 1)、图 22 (X2-X' 2)、图 23 (Y1-Y' 1)、图 24 (Y2-Y' 2))。

[0475] 通过离子注入法等注入硼, 形成 p 型硅 505、506、507、508 (图 25 (X1-X' 1)、图 26 (X2-X' 2)、图 27 (Y1-Y' 1)、图 28 (Y2-Y' 2))。

[0476] 隔离光刻胶, 形成用以形成 n 型硅的光刻胶 509、510 (图 29 (X1-X' 1)、图 30 (X2-X' 2)、图 31 (Y1-Y' 1)、图 32 (Y2-Y' 2))。

[0477] 通过离子注入法等注入磷, 形成 n 型硅 511、512、513、514、515、516、517、518 (图 33 (X1-X' 1)、图 34 (X2-X' 2)、图 35 (Y1-Y' 1)、图 36 (Y2-Y' 2))。

[0478] 剥离光刻胶, 进行热工艺, 将杂质离子化 (图 37 (X1-X' 1)、图 38 (X2-X' 2)、图 39 (Y1-Y' 1)、图 40 (Y2-Y' 2))。

[0479] 沉积氮化膜 519, 在通过 CMP (chemical mechanical polishing, 化学机械研磨) 平坦化后进行回蚀 (etchback) (图 41 (X1-X' 1)、图 42 (X2-X' 2)、图 43 (Y1-Y' 1)、图

44(Y2-Y' 2))。

[0480] 沉积多晶硅 520,在通过 CMP 平坦化后进行回蚀(图 45(X1-X' 1)、图 46(X2-X' 2)、图 47(Y1-Y' 1)、图 48(Y2-Y' 2))。

[0481] 沉积氮化膜,在岛状半导体侧壁使其残存成侧壁间隙壁(sidewall spacer)状的 521、522、523、524、525、526、527、528、529、530、531、532(图 49(X1-X' 1)、图 50(X2-X' 2)、图 51(Y1-Y' 1)、图 52(Y2-Y' 2))。

[0482] 蚀刻多晶硅(图 53(X1-X' 1)、图 54(X2-X' 2)、图 55(Y1-Y' 1)、图 56(Y2-Y' 2))。

[0483] 蚀刻氧化膜(图 57(X1-X' 1)、图 58(X2-X' 2)、图 59(Y1-Y' 1)、图 60(Y2-Y' 2))。

[0484] 沉积多晶硅 533,在通过 CMP 平坦化后进行回蚀(图 61(X1-X' 1)、图 62(X2-X' 2)、图 63(Y1-Y' 1)、图 64(Y2-Y' 2))。

[0485] 蚀刻氮化膜(图 65(X1-X' 1)、图 66(X2-X' 2)、图 67(Y1-Y' 1)、图 68(Y2-Y' 2))。

[0486] 形成用以形成岛状半导体下部层的输出端子配线的光刻胶 534、535、536、537(图 69(X1-X' 1)、图 70(X2-X' 2)、图 71(Y1-Y' 1)、图 72(Y2-Y' 2))。

[0487] 蚀刻多晶硅,形成岛状半导体下部层的输出端子配线 19、30、41、52(图 73(X1-X' 1)、图 74(X2-X' 2)、图 75(Y1-Y' 1)、图 76(Y2-Y' 2))。

[0488] 剥离光刻胶(图 77(X1-X' 1)、图 78(X2-X' 2)、图 79(Y1-Y' 1)、图 80(Y2-Y' 2))。

[0489] 沉积氧化膜 538,在通过 CMP 平坦化后进行回蚀(图 81(X1-X' 1)、图 82(X2-X' 2)、图 83(Y1-Y' 1)、图 84(Y2-Y' 2))。

[0490] 沉积氮化膜 539,在通过 CMP 平坦化后进行回蚀(图 85(X1-X' 1)、图 86(X2-X' 2)、图 87(Y1-Y' 1)、图 88(Y2-Y' 2))。

[0491] 进行氧化,形成栅极绝缘膜 540、541、542、543、544、545、546、547、548、549、550、551(图 89(X1-X' 1)、图 90(X2-X' 2)、图 91(Y1-Y' 1)、图 92(Y2-Y' 2))。

[0492] 沉积多晶硅 552,在通过 CMP 平坦化后进行回蚀(图 93(X1-X' 1)、图 94(X2-X' 2)、图 95(Y1-Y' 1)、图 96(Y2-Y' 2))。

[0493] 沉积氮化膜 553,在通过 CMP 平坦化后进行回蚀(图 97(X1-X' 1)、图 98(X2-X' 2)、图 99(Y1-Y' 1)、图 100(Y2-Y' 2))。

[0494] 形成用以形成输入端子线的光刻胶 554、555、556、557(图 101(X1-X' 1)、图 102(X2-X' 2)、图 103(Y1-Y' 1)、图 104(Y2-Y' 2))。

[0495] 蚀刻氮化膜、多晶硅、氮化膜,形成输入端子线,即栅极 12、23、34、45(图 105(X1-X' 1)、图 106(X2-X' 2)、图 107(Y1-Y' 1)、图 108(Y2-Y' 2))。

[0496] 剥离光刻胶(图 109(X1-X' 1)、图 110(X2-X' 2)、图 111(Y1-Y' 1)、图 112(Y2-Y' 2))。

[0497] 沉积氧化膜 558,在通过 CMP 平坦化后进行回蚀(图 113(X1-X' 1)、图 114(X2-X' 2)、图 115(Y1-Y' 1)、图 116(Y2-Y' 2))。

[0498] 形成用以形成栅极与岛状半导体下部层之间的接触端子的光刻胶 559(图 117(X1-X' 1)、图 118(X2-X' 2)、图 119(Y1-Y' 1)、图 120(Y2-Y' 2))。

[0499] 蚀刻氧化膜,形成栅极与岛状半导体下部层之间的接触孔 560、561、562(图 121(X1-X' 1)、图 122(X2-X' 2)、图 123(Y1-Y' 1)、图 124(Y2-Y' 2))。

[0500] 剥离光刻胶(图 125(X1-X' 1)、图 126(X2-X' 2)、图 127(Y1-Y' 1)、图

128(Y2-Y' 2))。

[0501] 沉积多晶硅,在通过 CMP 平坦化后通过回蚀,形成栅极与岛状半导体下部层之间的接触端子 53、54、55(图 129(X1-X' 1)、图 130(X2-X' 2)、图 131(Y1-Y' 1)、图 132(Y2-Y' 2))。

[0502] 剥离氧化膜(图 133(X1-X' 1)、图 134(X2-X' 2)、图 135(Y1-Y' 1)、图 136(Y2-Y' 2))。

[0503] 进行氧化(图 137(X1-X' 1)、图 138(X2-X' 2)、图 139(Y1-Y' 1)、图 140(Y2-Y' 2))。

[0504] 形成用以形成 n 沟道半导体器件的漏极扩散层、源极扩散层的光刻胶 563、564、565(图 141(X1-X' 1)、图 142(X2-X' 2)、图 143(Y1-Y' 1)、图 144(Y2-Y' 2))。

[0505] 通过离子注入法等注入砷,形成漏极扩散层 9、20、31、42、源极扩散层 11、22、33、44(图 145(X1-X' 1)、图 146(X2-X' 2)、图 147(Y1-Y' 1)、图 148(Y2-Y' 2))。

[0506] 形成用以形成 p 沟道半导体器件的漏极扩散层、源极扩散层的光刻胶 566、567(图 149(X1-X' 1)、图 150(X2-X' 2)、图 151(Y1-Y' 1)、图 152(Y2-Y' 2))。

[0507] 通过离子注入法等注入硼,形成漏极扩散层 13、16、24、27、35、38、46、49、源极扩散层 15、18、26、29、37、40、48、51(图 153(X1-X' 1)、图 154(X2-X' 2)、图 155(Y1-Y' 1)、图 156(Y2-Y' 2))。

[0508] 剥离光刻胶,进行热工艺,离子化杂质(图 157(X1-X' 1)、图 158(X2-X' 2)、图 159(Y1-Y' 1)、图 160(Y2-Y' 2))。

[0509] 剥离氧化膜(图 161(X1-X' 1)、图 162(X2-X' 2)、图 163(Y1-Y' 1)、图 164(Y2-Y' 2))。

[0510] 通过溅镀(sputter)或 CVD 沉积钴或镍等金属 568(图 165(X1-X' 1)、图 166(X2-X' 2)、图 167(Y1-Y' 1)、图 168(Y2-Y' 2))。

[0511] 进行热工艺,使金属与硅反应,而自对准金属硅化物化(图 169(X1-X' 1)、图 170(X2-X' 2)、图 171(Y1-Y' 1)、图 172(Y2-Y' 2))。

[0512] 蚀刻硅与未反应的金属(图 173(X1-X' 1)、图 174(X2-X' 2)、图 175(Y1-Y' 1)、图 176(Y2-Y' 2))。

[0513] 沉积氧化膜 569,在通过 CMP 平坦化后进行回蚀(图 177(X1-X' 1)、图 178(X2-X' 2)、图 179(Y1-Y' 1)、图 180(Y2-Y' 2))。

[0514] 形成用以形成接触端子的光刻胶 570(图 181(X1-X' 1)、图 182(X2-X' 2)、图 183(Y1-Y' 1)、图 184(Y2-Y' 2))。

[0515] 蚀刻氧化膜(图 185(X1-X' 1)、图 186(X2-X' 2)、图 187(Y1-Y' 1)、图 188(Y2-Y' 2))。

[0516] 剥离光刻胶(图 189(X1-X' 1)、图 190(X2-X' 2)、图 191(Y1-Y' 1)、图 192(Y2-Y' 2))。

[0517] 沉积金属 571,通过 CMP 平坦化(图 193(X1-X' 1)、图 194(X2-X' 2)、图 195(Y1-Y' 1)、图 196(Y2-Y' 2))。

[0518] 形成用以形成第一电源供给配线、第二电源供给配线的光刻胶 572、573、574、575、576(图 197(X1-X' 1)、图 198(X2-X' 2)、图 199(Y1-Y' 1)、图 200(Y2-Y' 2))。

[0519] 蚀刻金属,形成第一电源供给配线 V_{ss} 57、59、第二电源供给配线 V_{cc} 56、58、60(图

201(X1-X' 1)、图 202(X2-X' 2)、图 203(Y1-Y' 1)、图 204(Y2-Y' 2))。

[0520] 剥离光刻胶(图 205(X1-X' 1)、图 206(X2-X' 2)、图 207(Y1-Y' 1)、图 208(Y2-Y' 2))。

[0521] 沉积氧化膜 577, 通过 CMP 平坦化(图 205(X1-X' 1)、图 206(X2-X' 2)、图 207(Y1-Y' 1)、图 208(Y2-Y' 2))。

[0522] 如上所述, 在使用公知的 SGT 的两段 CMOS 反向器中, 使用第一电源电压 V_{ss} 与第二电源电压 V_{cc} 经由接触端子供给至硅衬底的扩散层的 SGT。即, nMOS SGT、pMOS SGT 的电源供给配线配置于与配置有 nMOS、pMOS 的衬底上的区域不同的区域的栅极区域的下部的一方。

[0523] 相对于此, 在本发明中因具有由 nMOS SGT、pMOS SGT 两方的上方供给的第一电源供给配线 V_{ss} 与第二电源供给配线 V_{cc} , 且具备如下的构件: 第一电源供给配线 V_{ss} , 连接于第一反向器的 n 沟道半导体器件的源极扩散层; 第一电源供给配线 V_{ss} , 连接于第二反向器的 n 沟道半导体器件的源极扩散层; 第二电源供给配线 V_{cc} , 连接于第一反向器的两个 p 沟道半导体器件的源极扩散层; 以及第二电源供给配线 V_{cc} , 连接于第二反向器的两个 p 沟道半导体器件的源极扩散层; 故第一电源供给配线 V_{ss} 与第二电源供给配线 V_{cc} 的面积减少, 可获得由使用 SGT 的高集成的 CMOS 反向器结合电路构成的半导体器件。

[0524] 而且, 因具有由 nMOS SGT、pMOS SGT 两方的上方供给的第一电源供给配线 V_{ss} 、第二电源供给配线 V_{cc} , 且具备如下的构件: 第一电源供给配线 V_{ss} , 连接于第一反向器的 n 沟道半导体器件的源极扩散层; 第一电源供给配线 V_{ss} , 连接于第二反向器的 n 沟道半导体器件的源极扩散层; 第二电源供给配线 V_{cc} , 连接于第一反向器的两个 p 沟道半导体器件的源极扩散层; 以及第二电源供给配线 V_{cc} , 连接于第二反向器的两个 p 沟道半导体器件的源极扩散层; 故第一电源供给配线 V_{ss} 与第二电源供给配线 V_{cc} 的电阻减少, 可获得由使用 SGT 的高速的 CMOS 反向器结合电路构成的半导体器件。

[0525] 因具有通过岛状半导体下部层相互连接 n 沟道半导体器件的漏极扩散层与 p 沟道半导体器件的漏极扩散层而配线的输出端子配线, 故无须如下的构件: 用以连接 n 沟道半导体器件的漏极扩散层与金属配线而使用的接触端子; 用以连接 p 沟道半导体器件的漏极扩散层与金属配线而使用的接触端子; 以及用以连接各个接触端子的金属配线; 可获得由使用 SGT 的高集成的 CMOS 反向器结合电路构成的半导体器件。

[0526] 而且, 因将第一反向器的 pMOS SGT 配置于第一行第一列与第二行第一列, 将 nMOS SGT 配置于第一行第二列, 将第二反向器的 pMOS SGT 配置于第一行第三列与第二行第三列, 将 nMOS SGT 配置于第二行第二列, 故可获得由使用 SGT 的高集成的 CMOS 反向器结合电路构成的半导体器件。

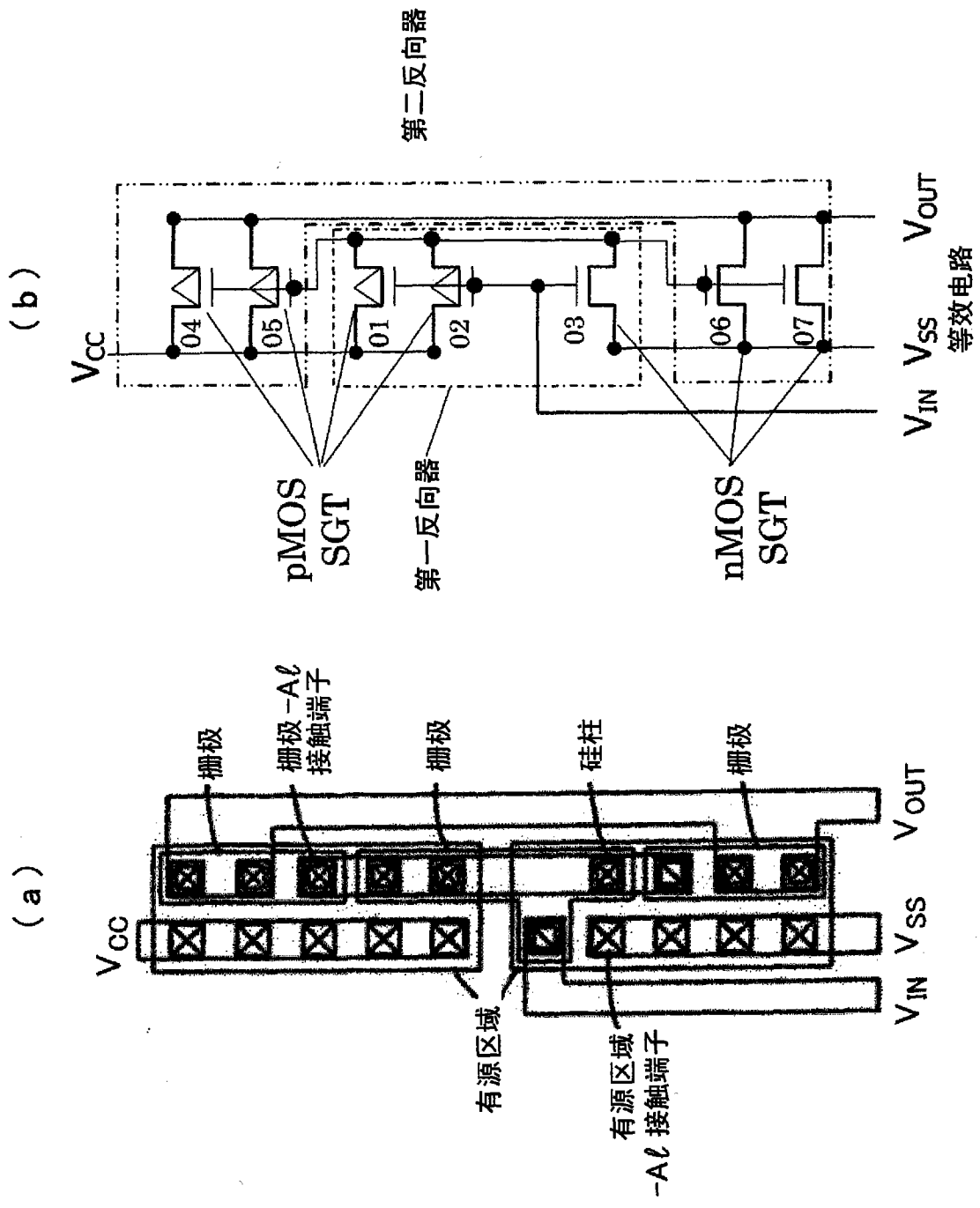


图 1

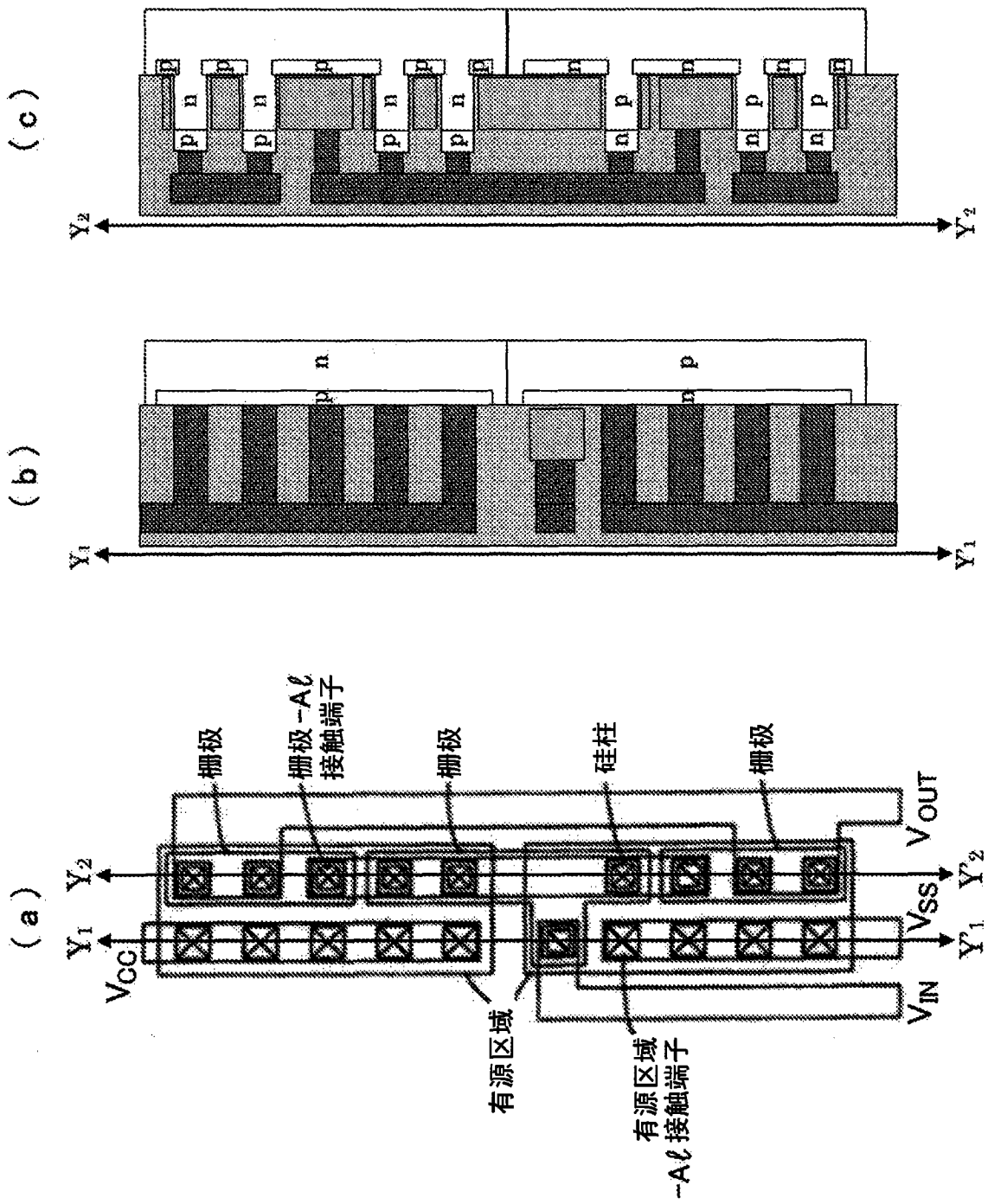


图 2

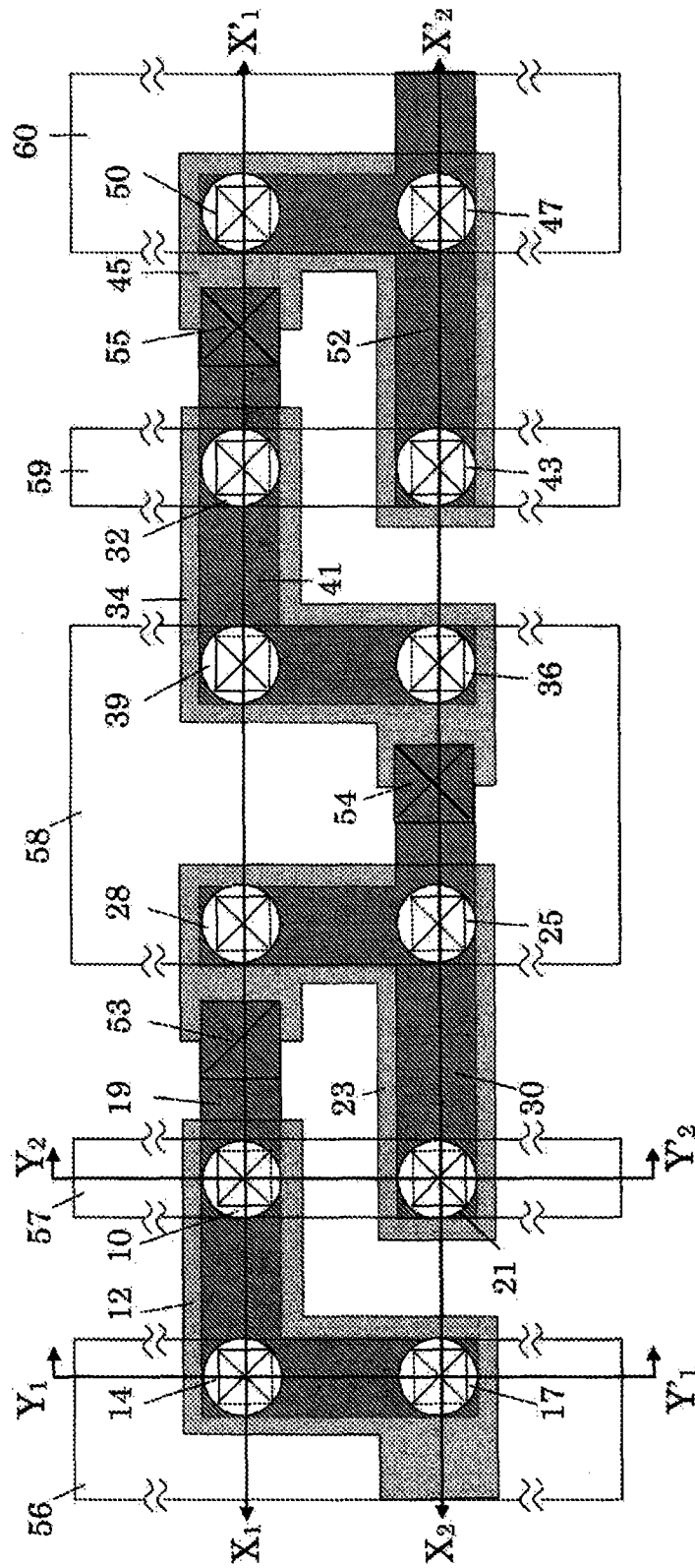


图 3

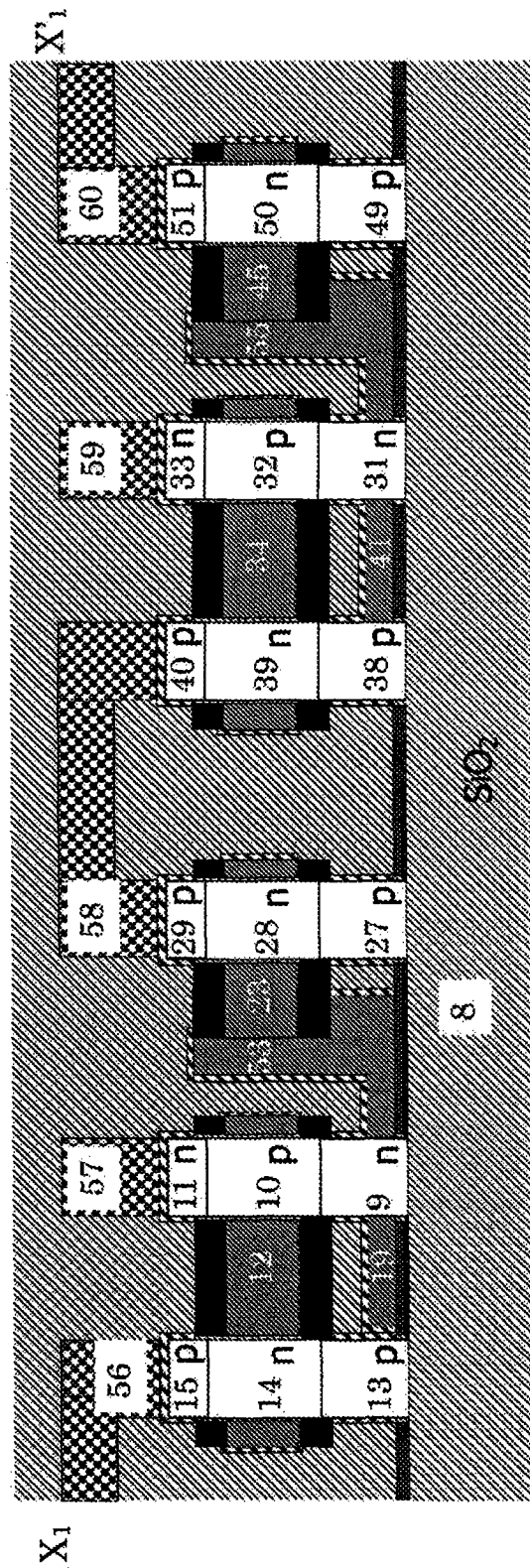


图 4

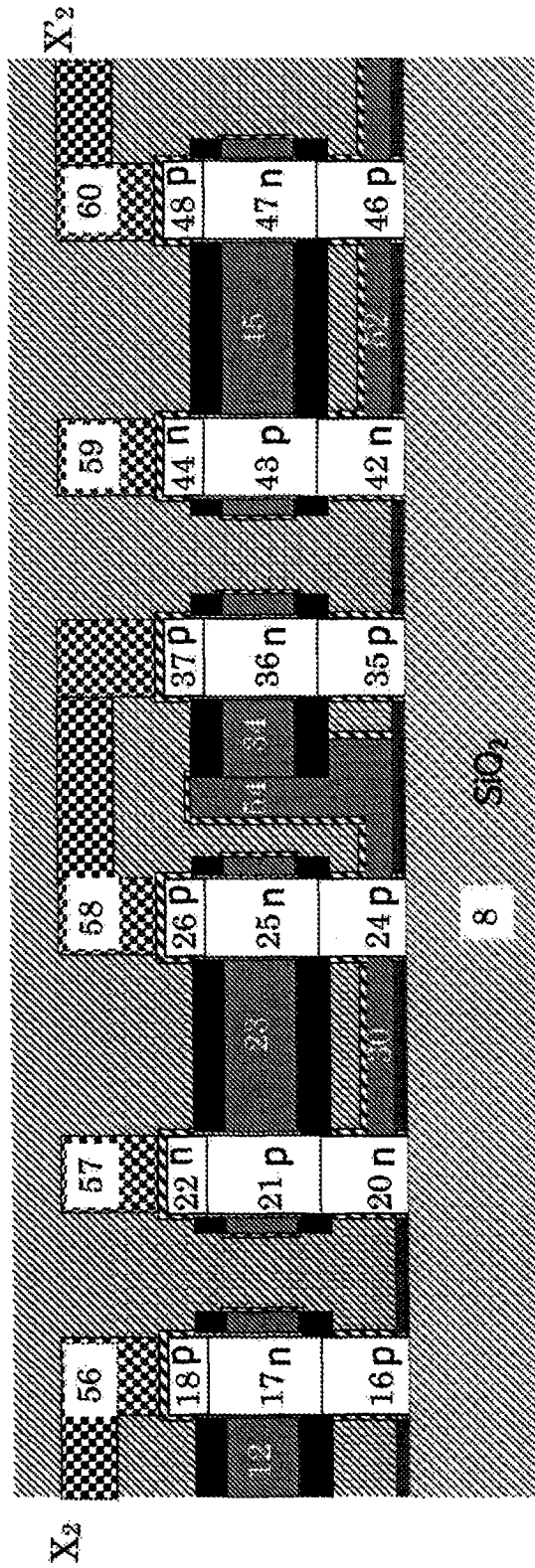


图 5

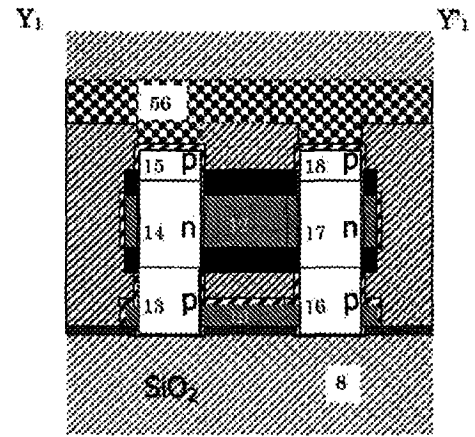


图 6

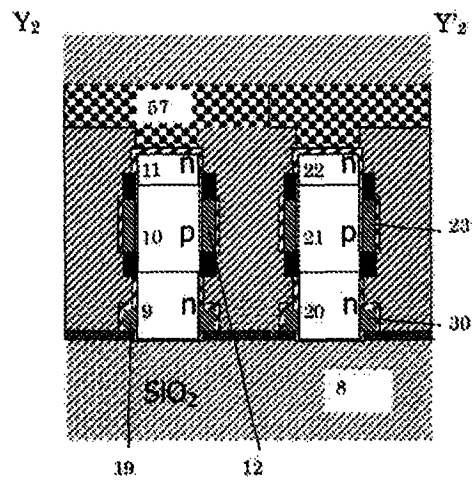


图 7

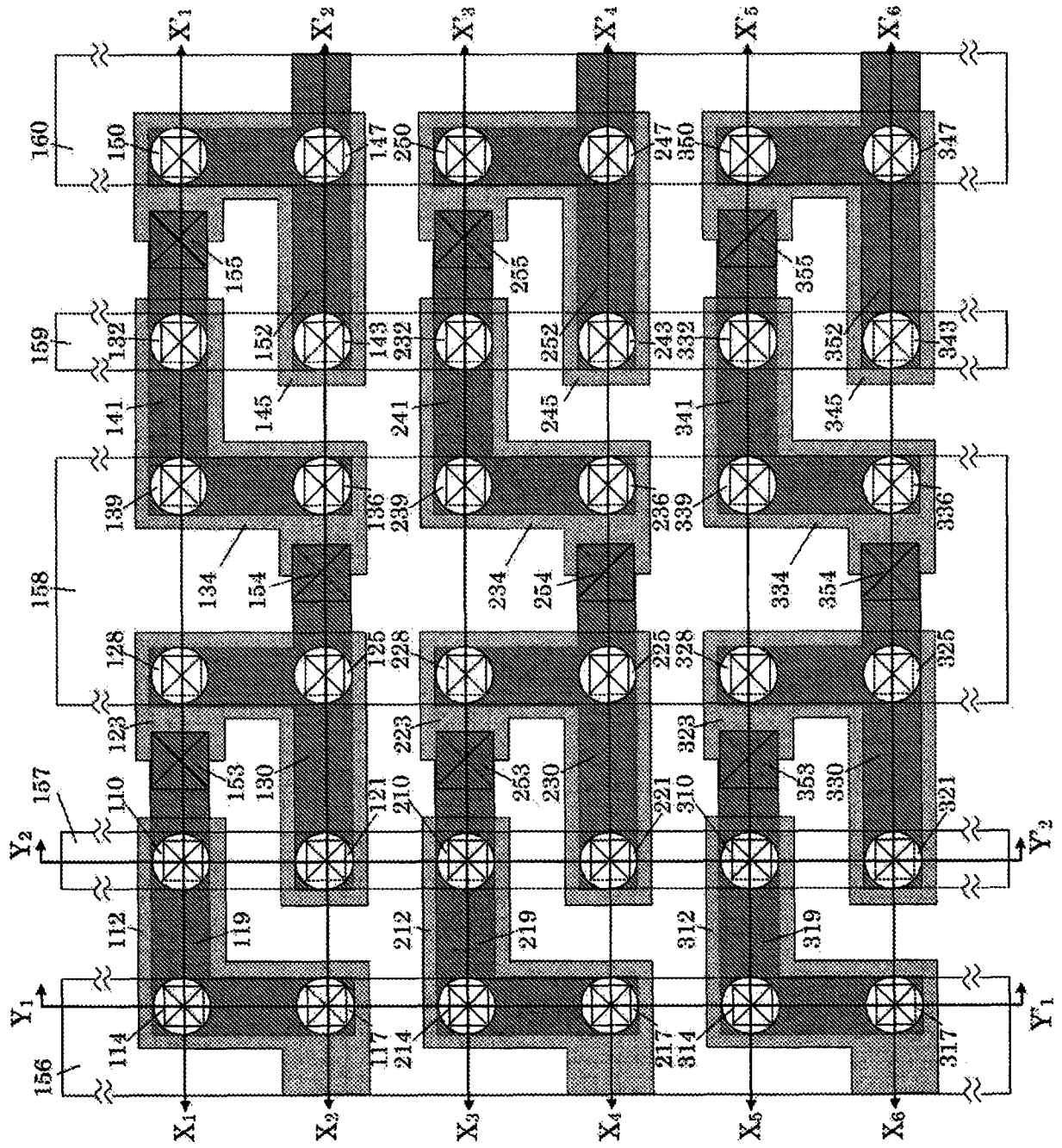


图 8

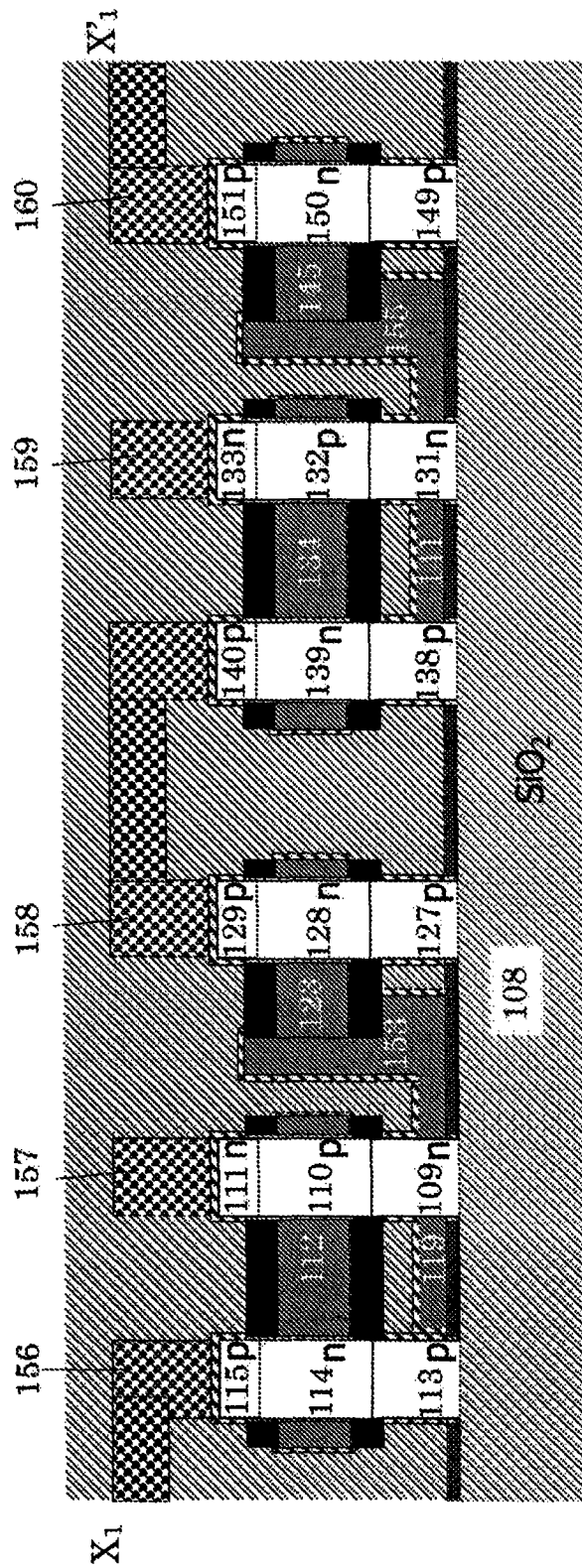


图 9

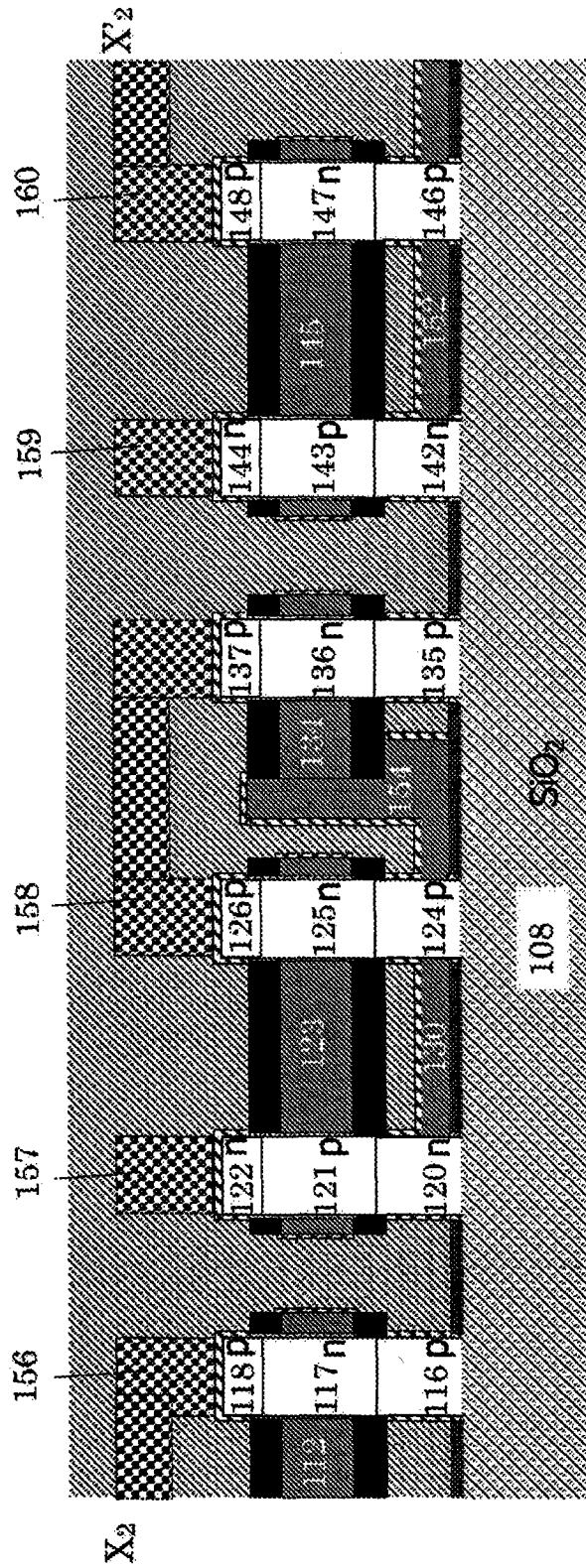


图 10

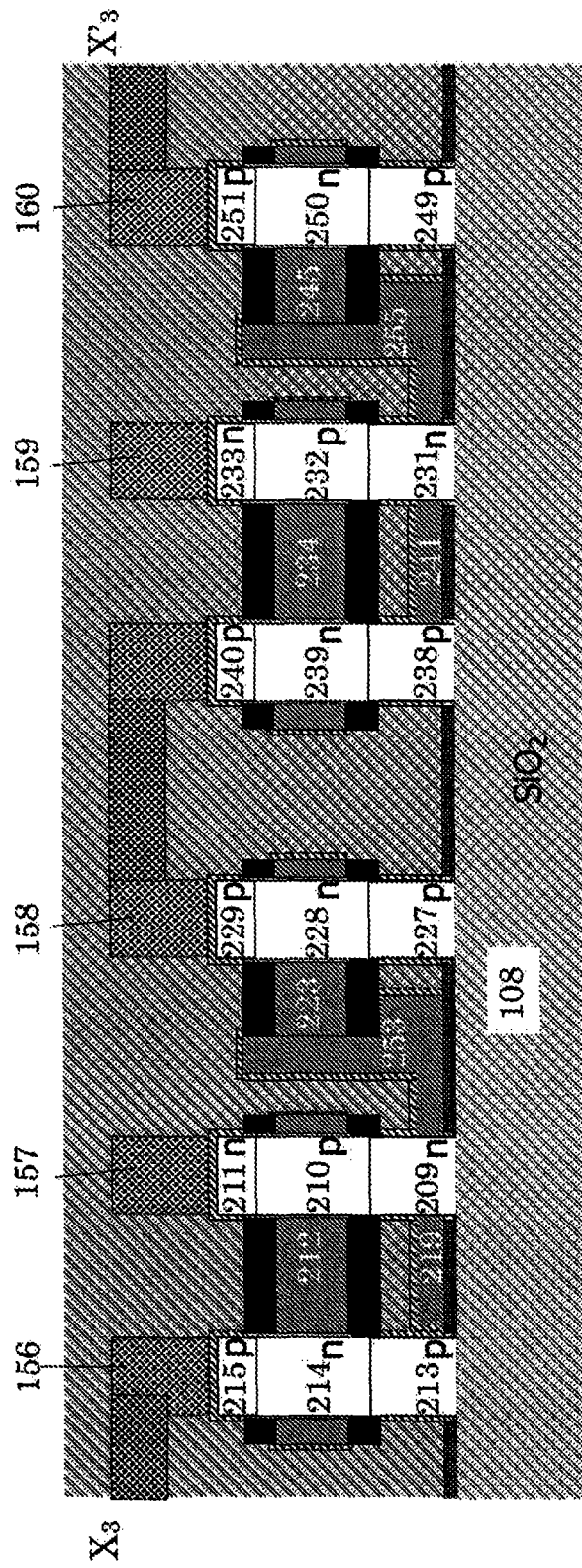


图 11

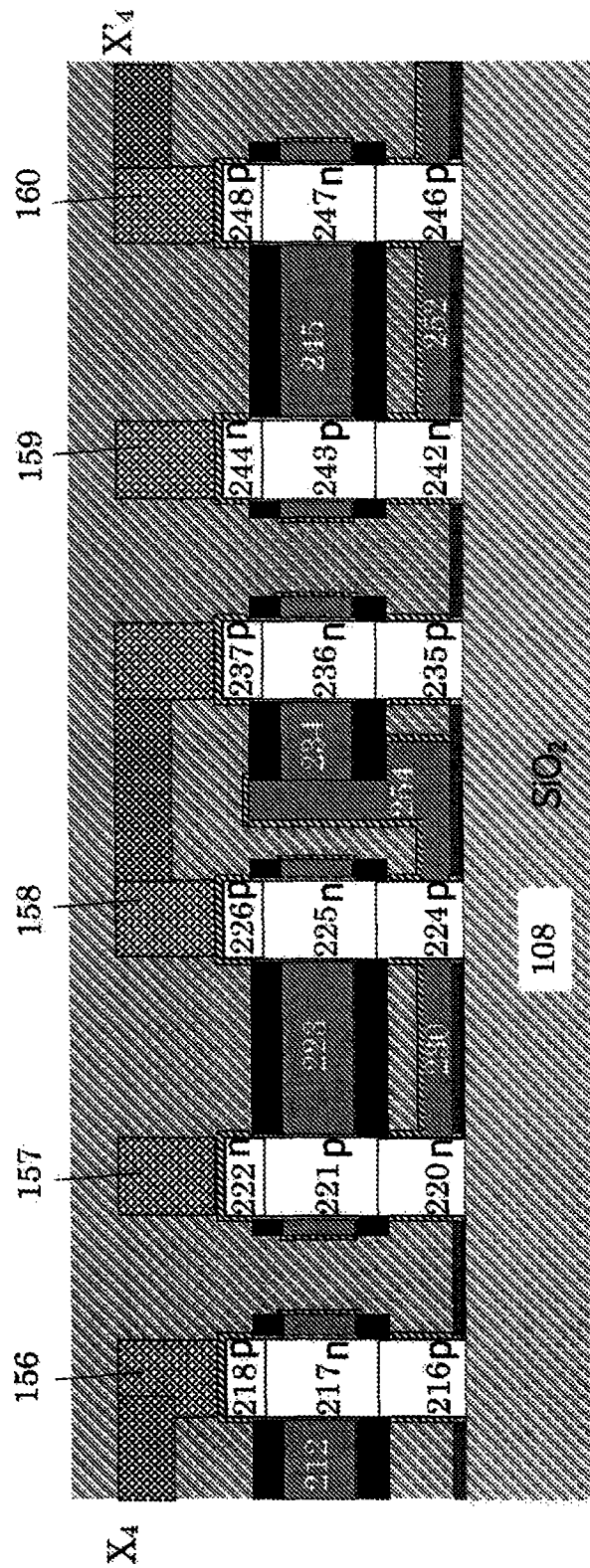


图 12

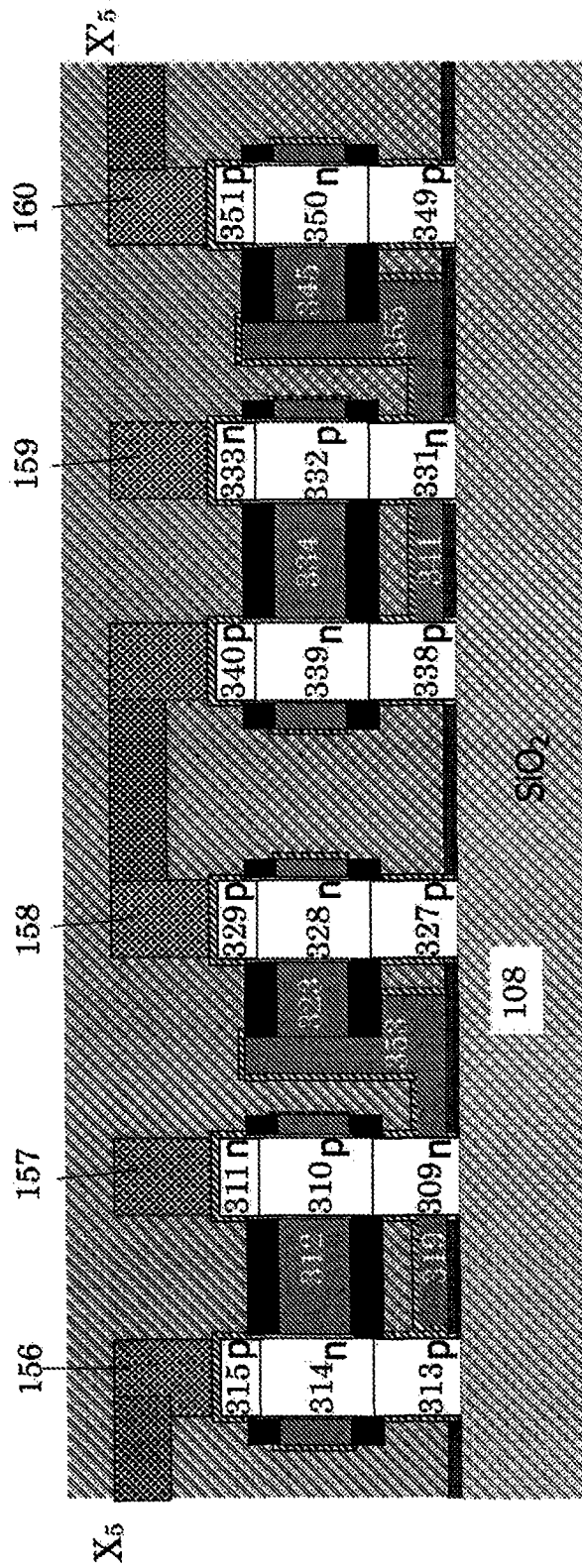


图 13

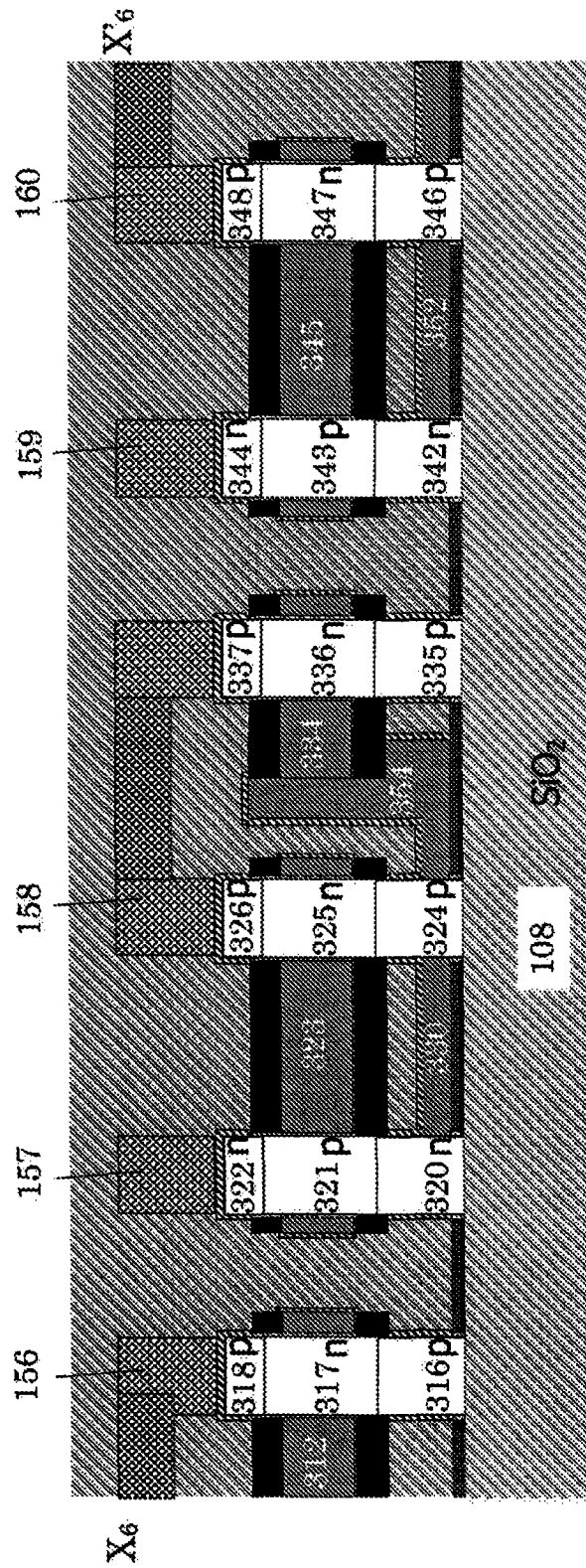


图 14

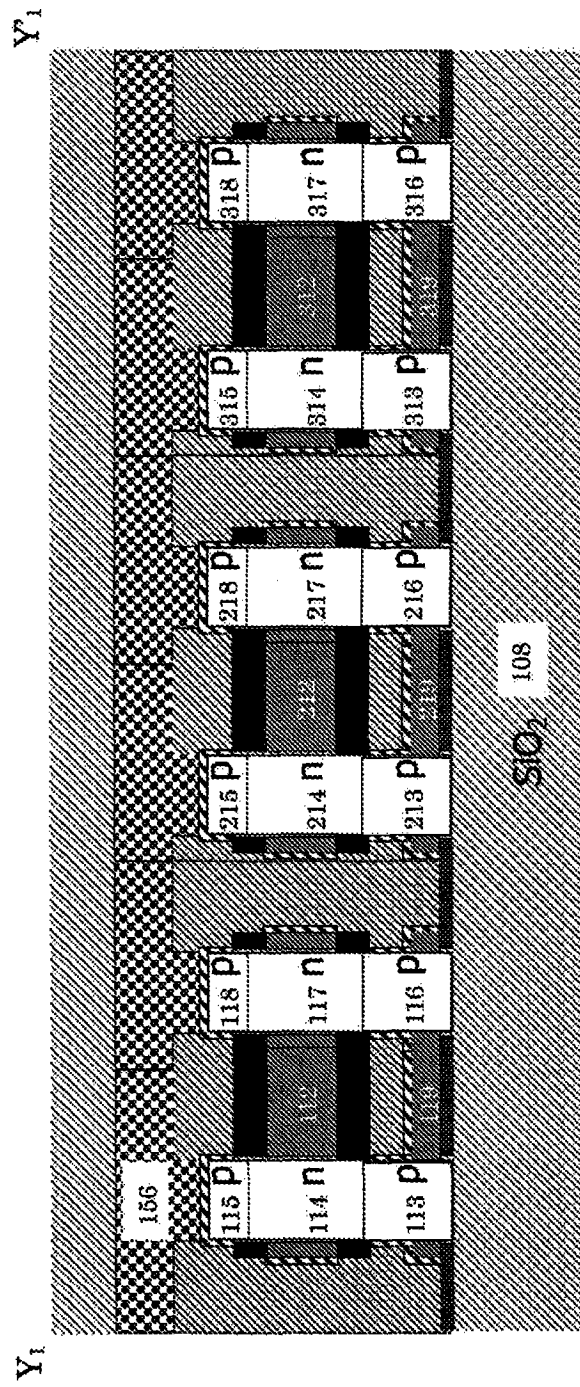


图 15

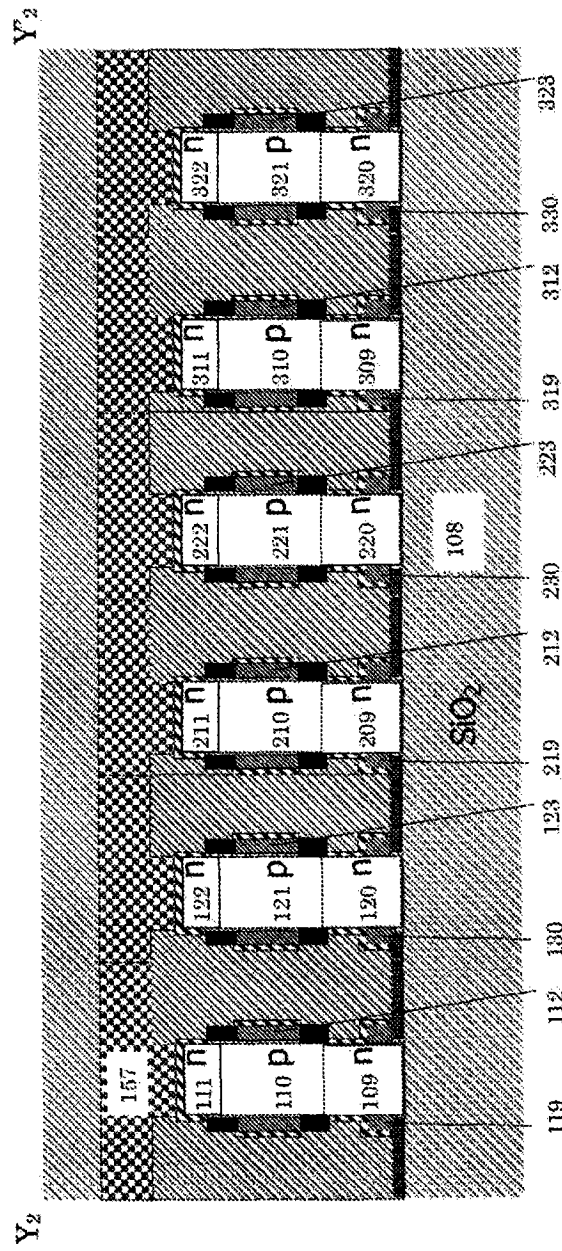


图 16

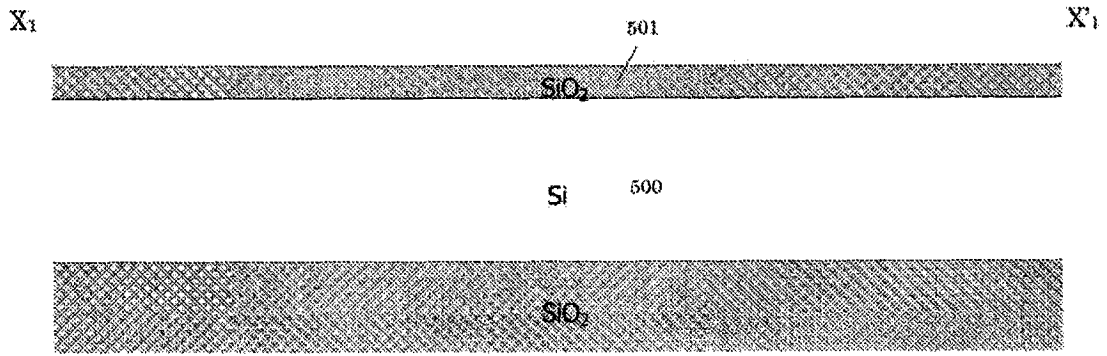


图 17

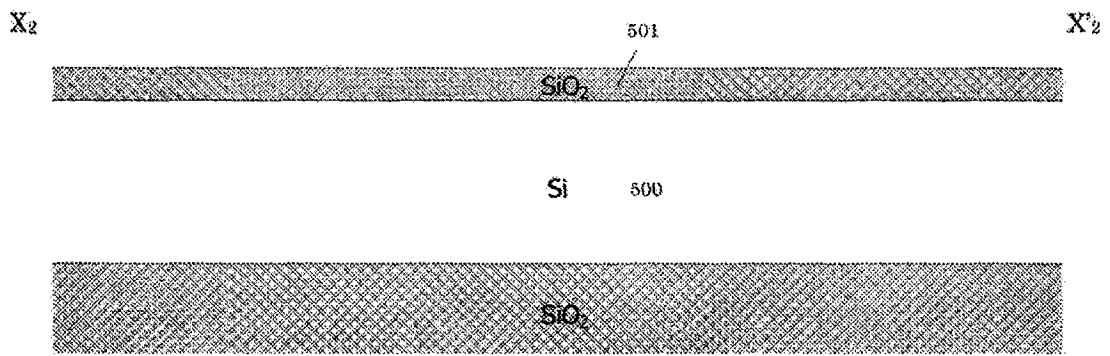


图 18

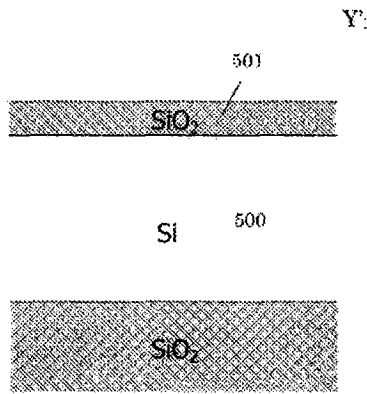


图 19

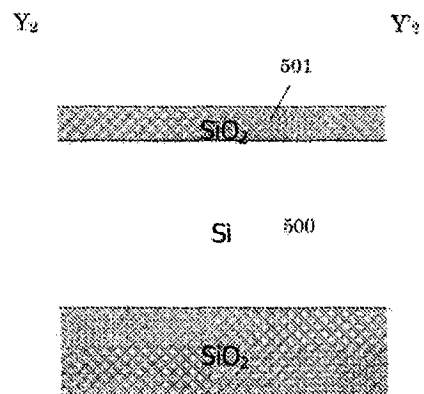


图 20

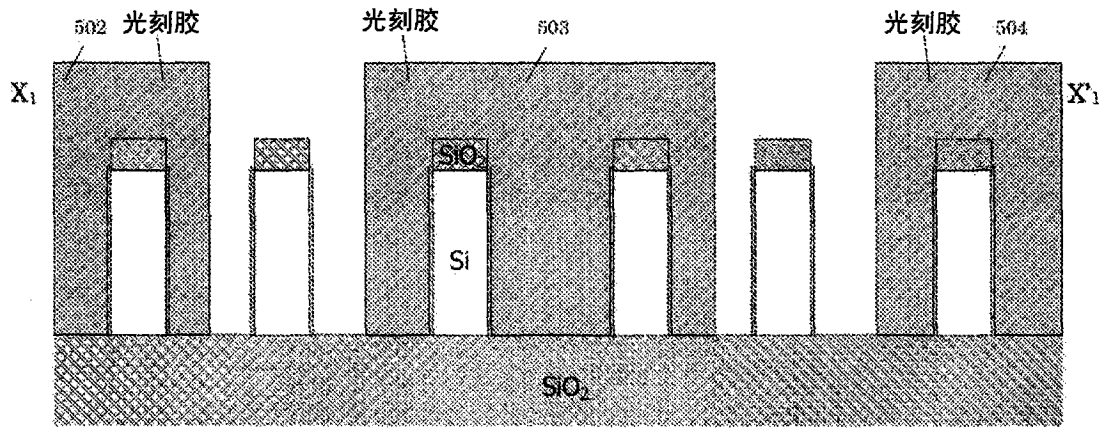


图 21

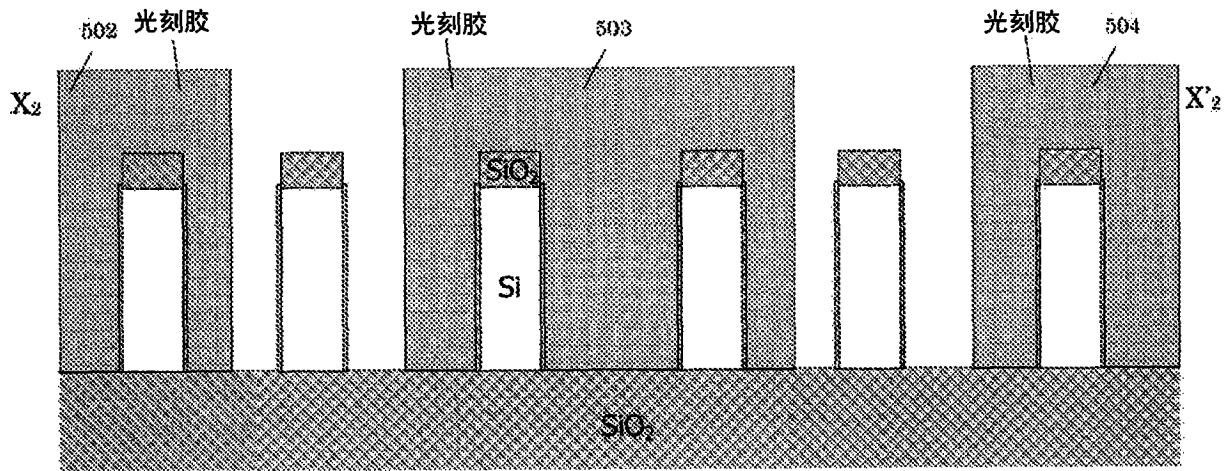


图 22

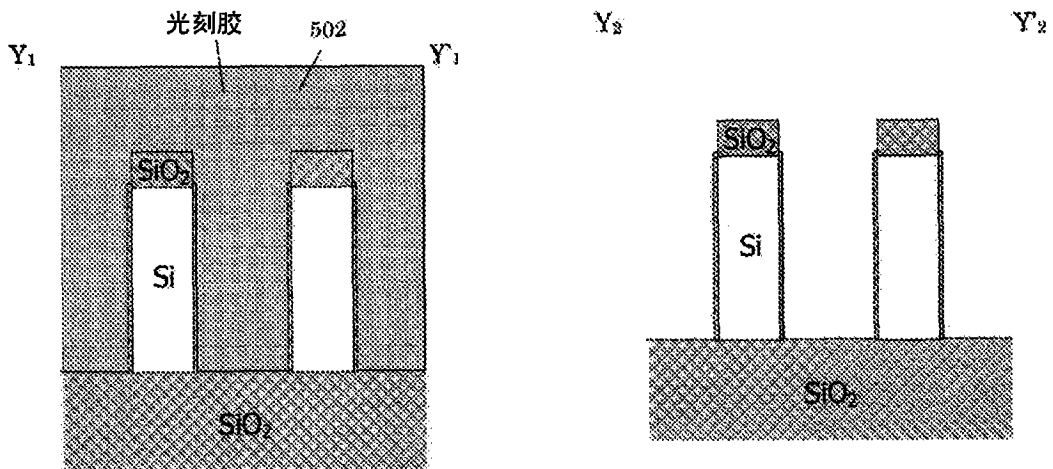


图 23

图 24

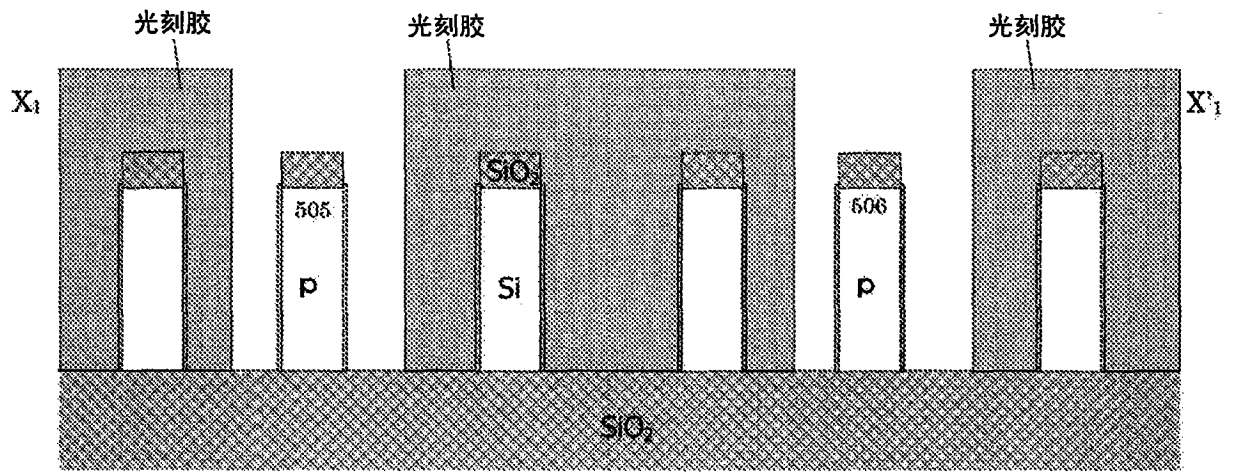


图 25

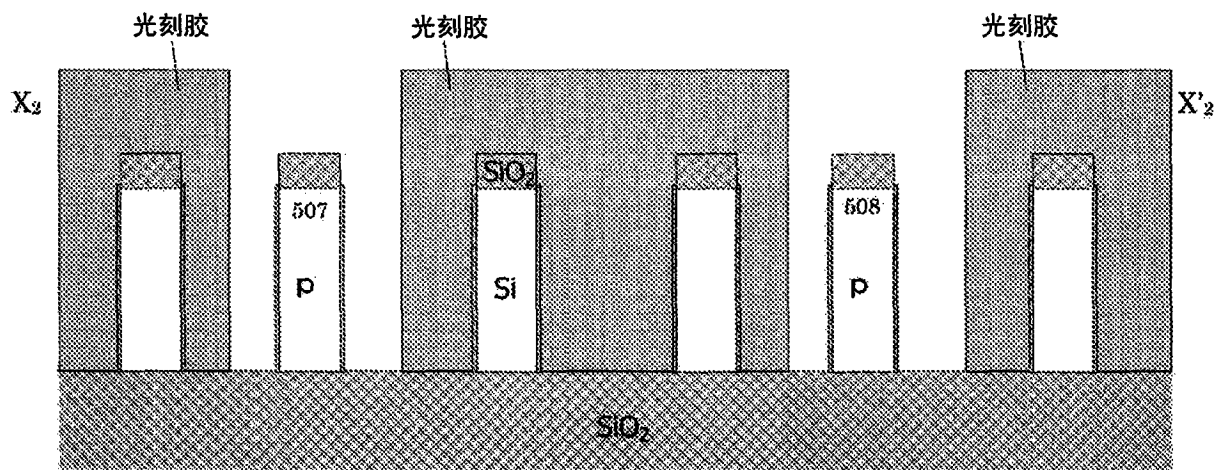


图 26

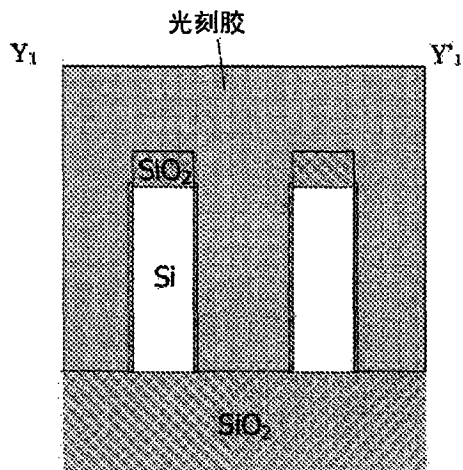


图 27

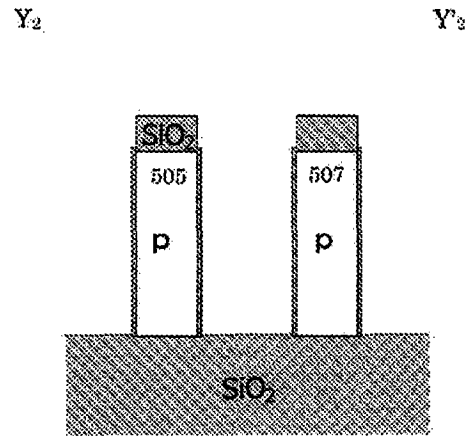


图 28

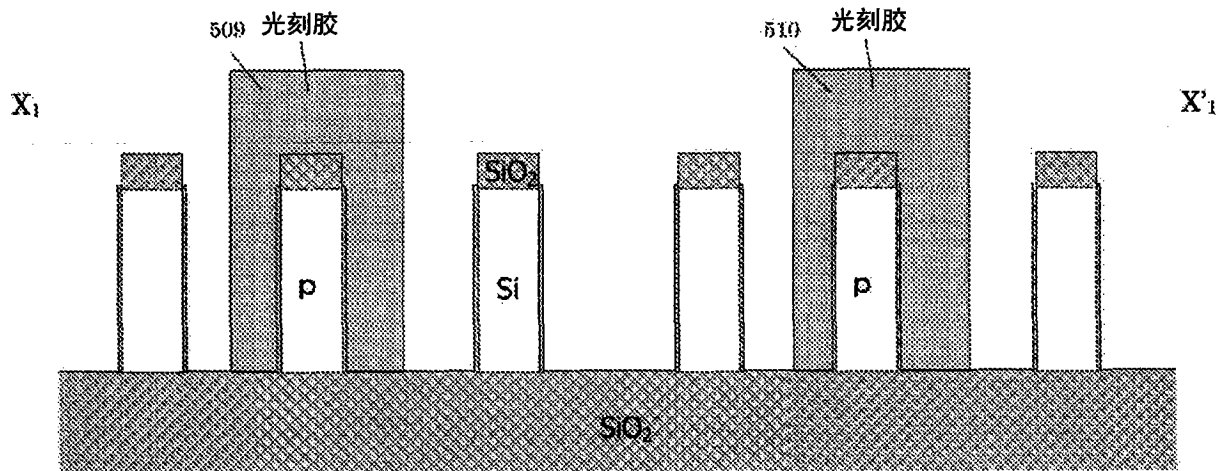


图 29

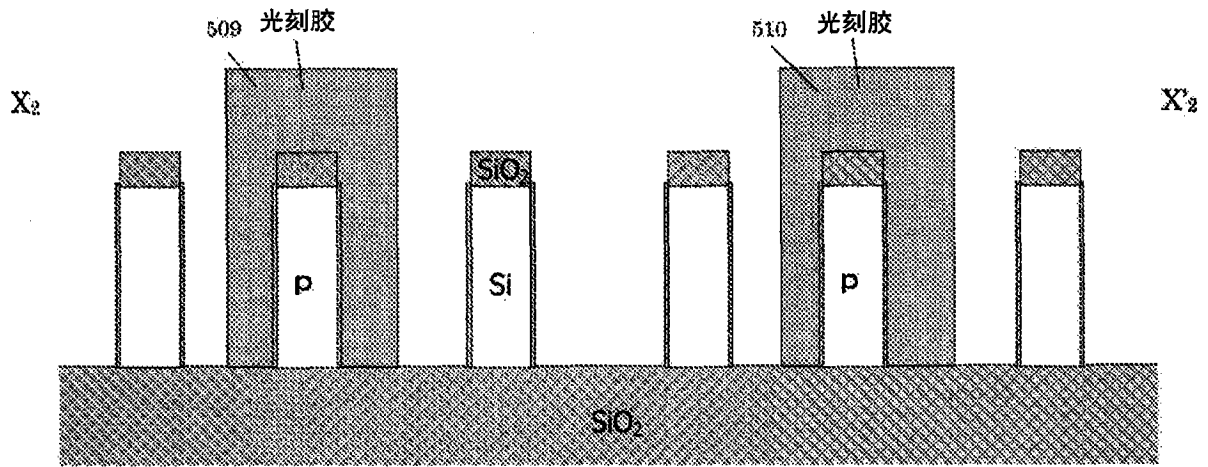


图 30

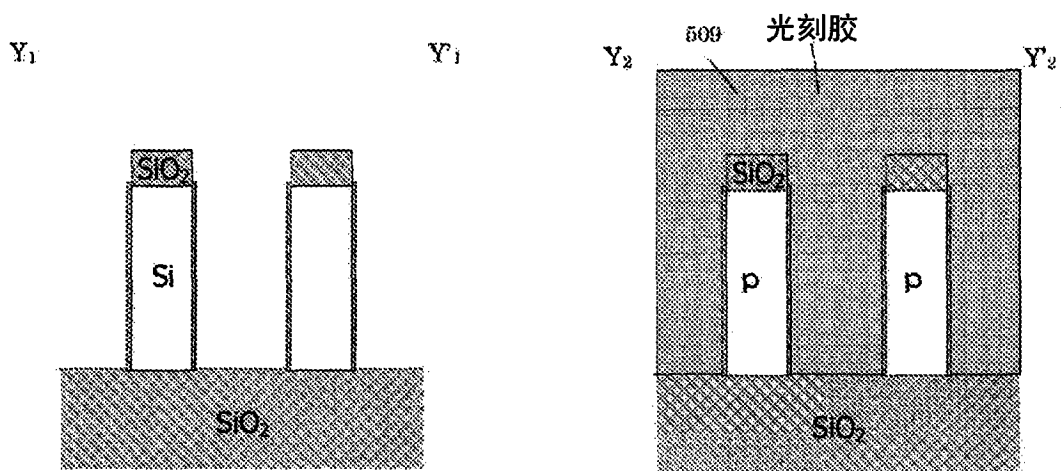


图 31

图 32

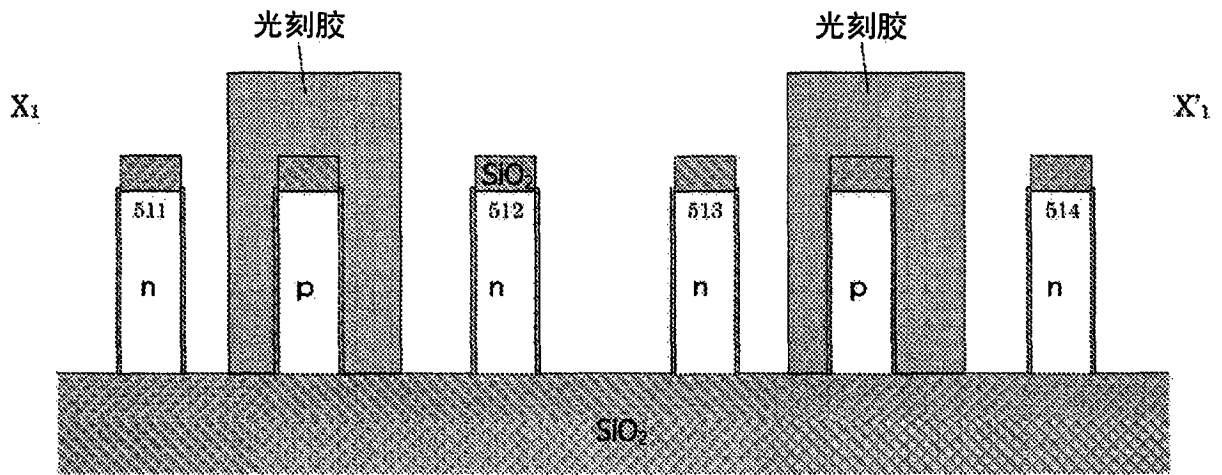


图 33

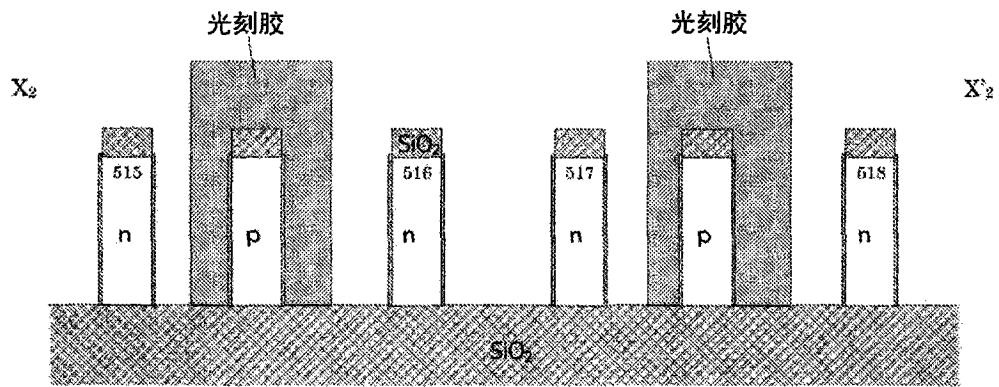


图 34

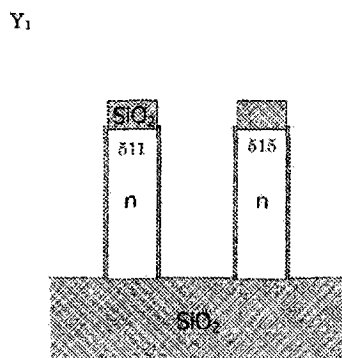


图 35

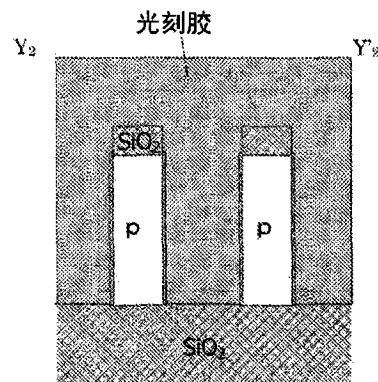


图 36

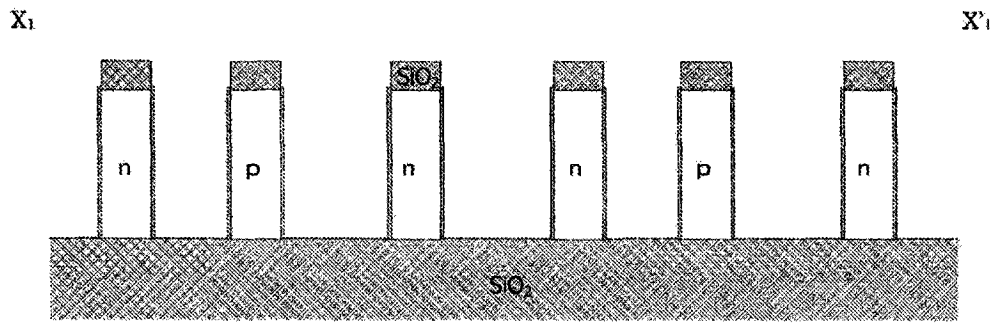


图 37

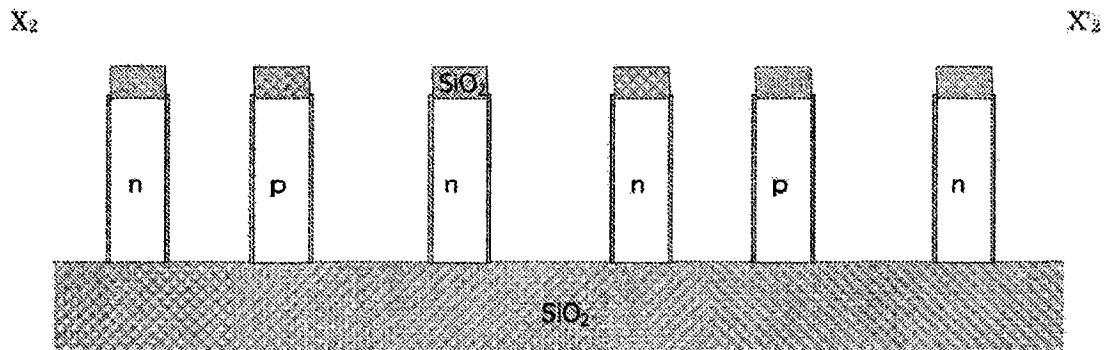


图 38

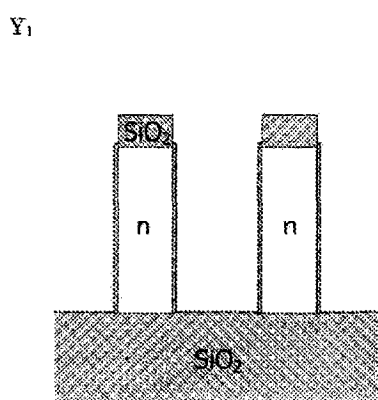


图 39

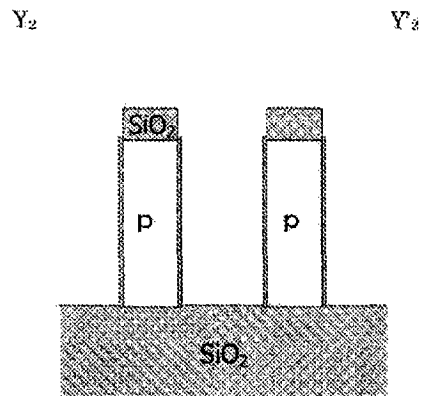


图 40

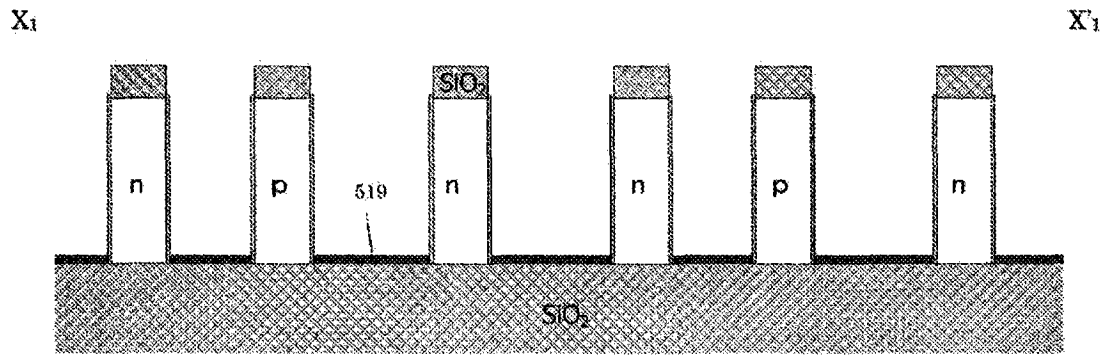


图 41

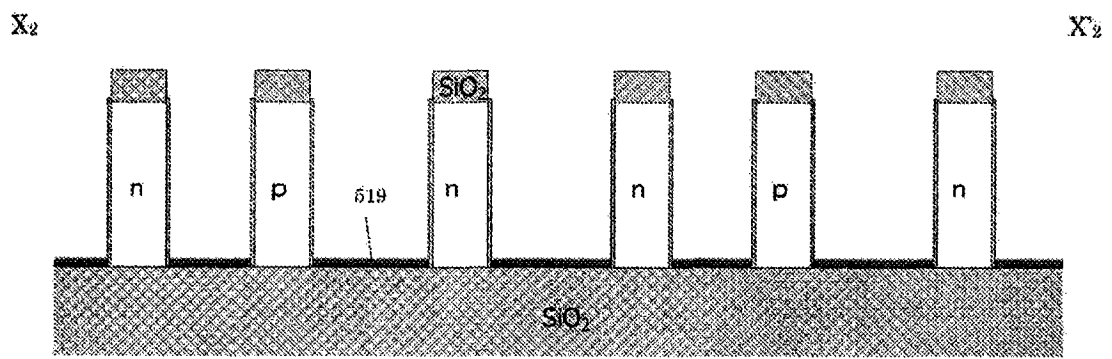


图 42

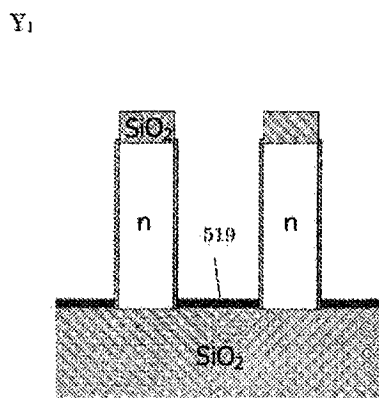


图 43

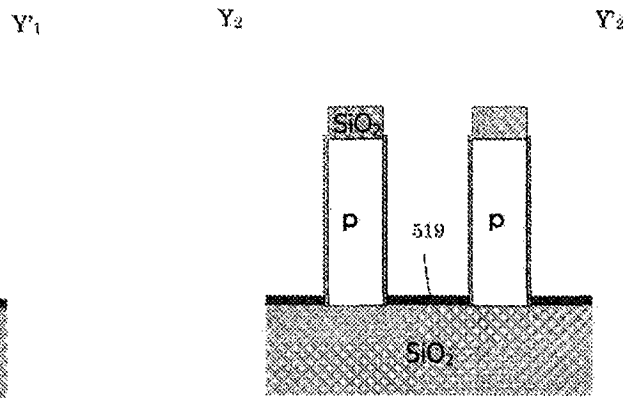


图 44

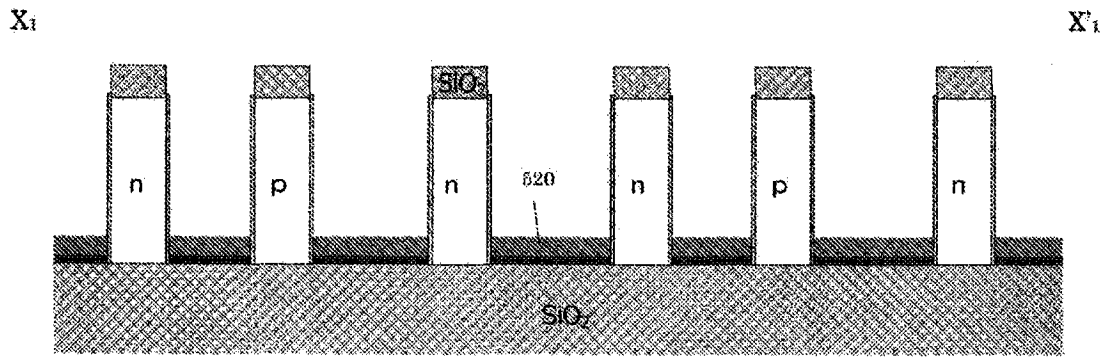


图 45

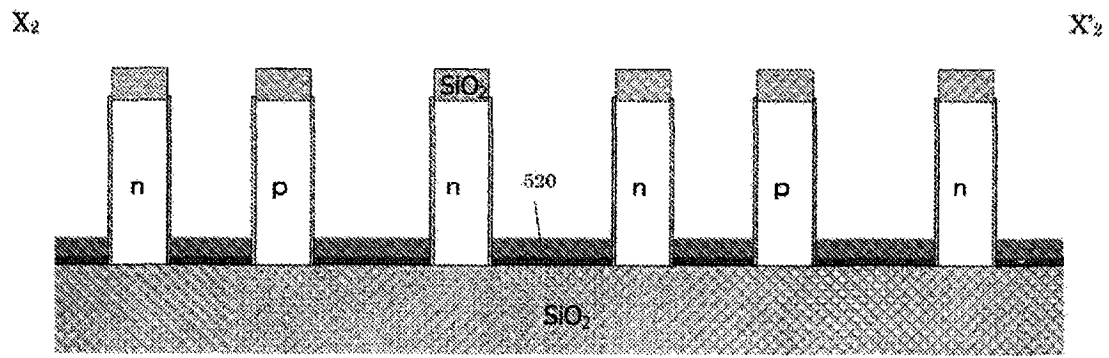


图 46

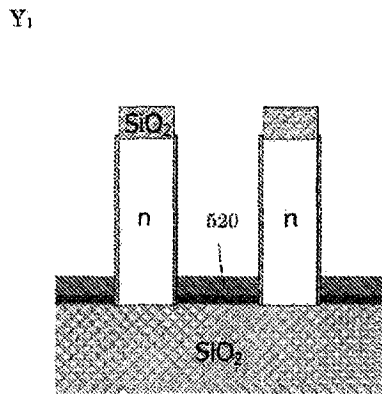


图 47

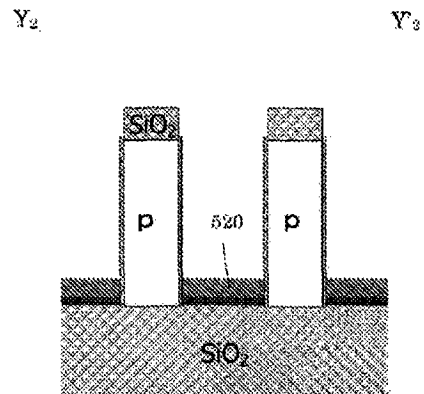


图 48

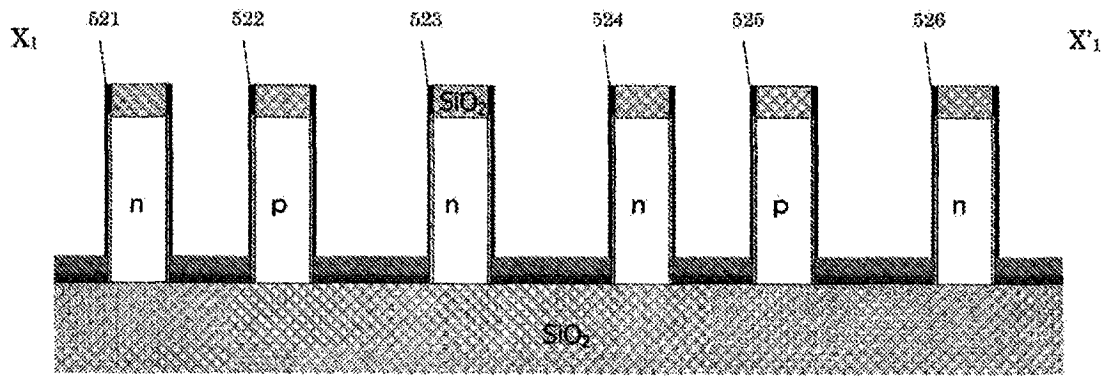


图 49

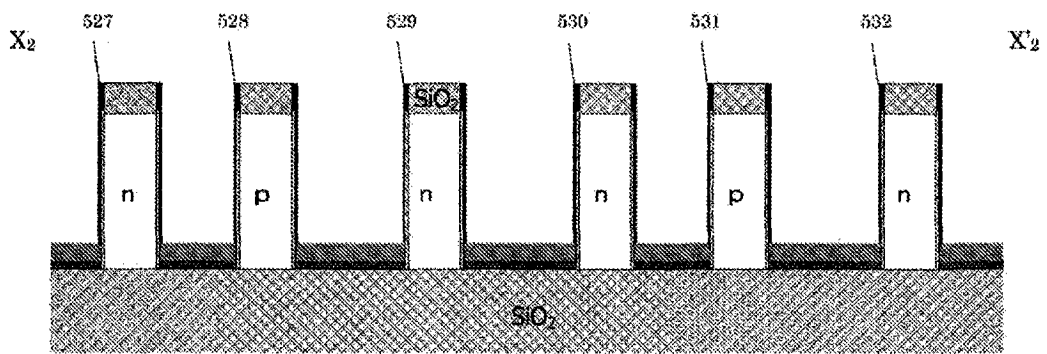


图 50

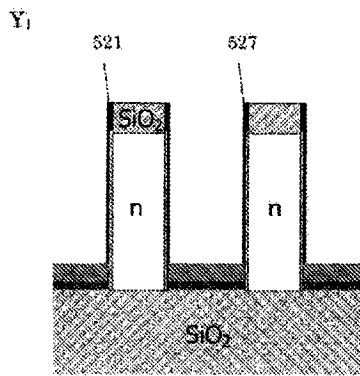


图 51

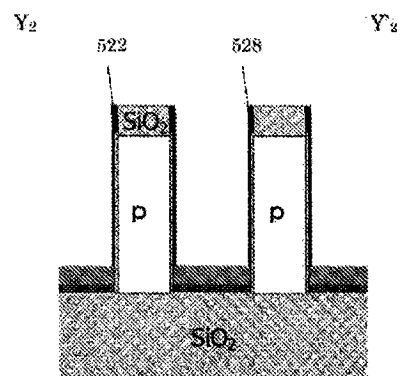


图 52

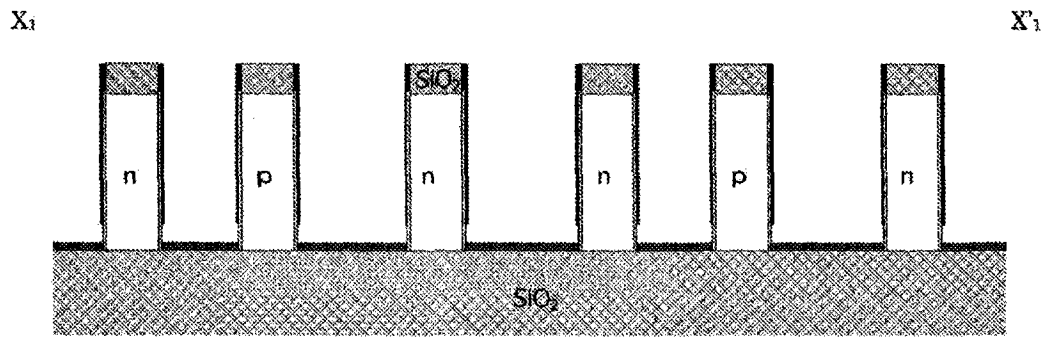


图 53

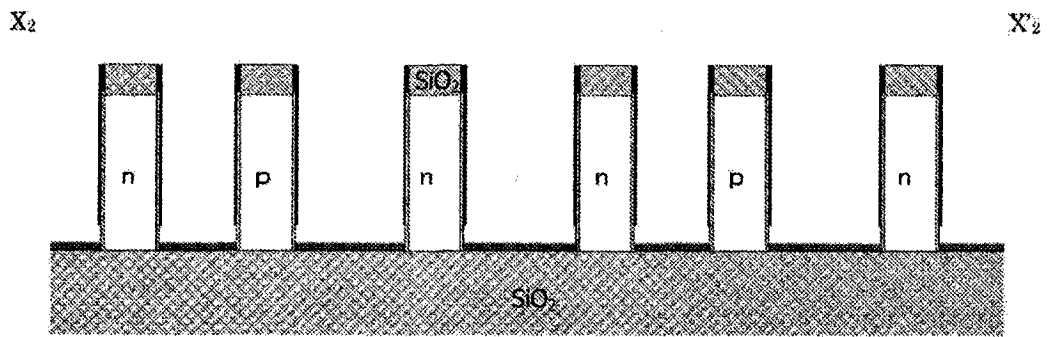


图 54

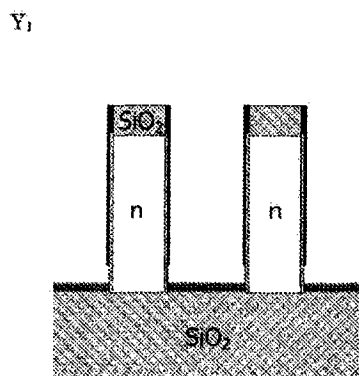


图 55

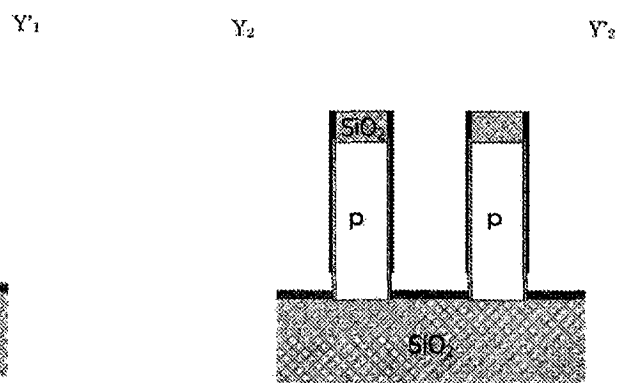


图 56

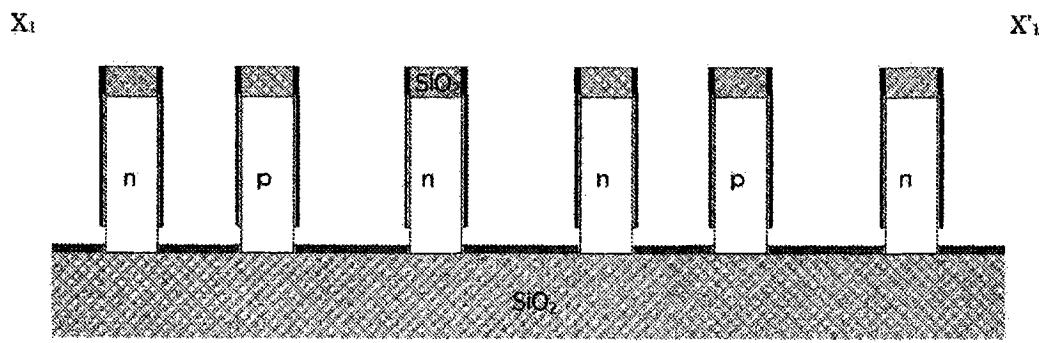


图 57

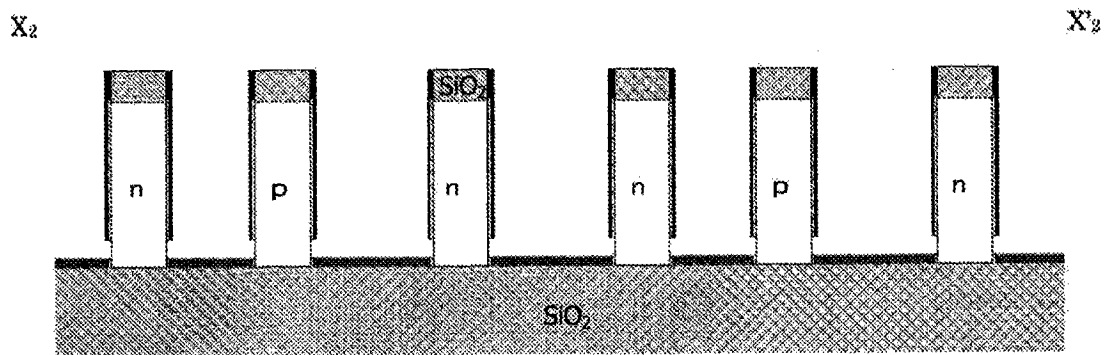


图 58

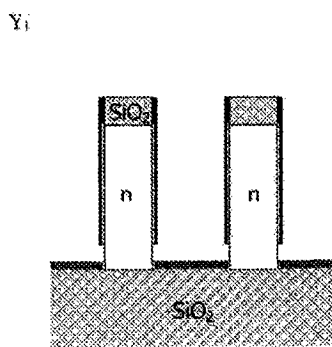


图 59

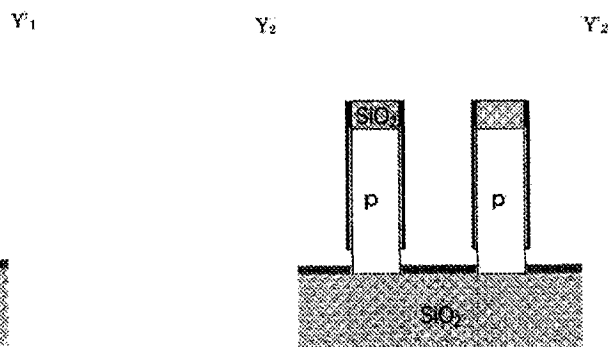


图 60

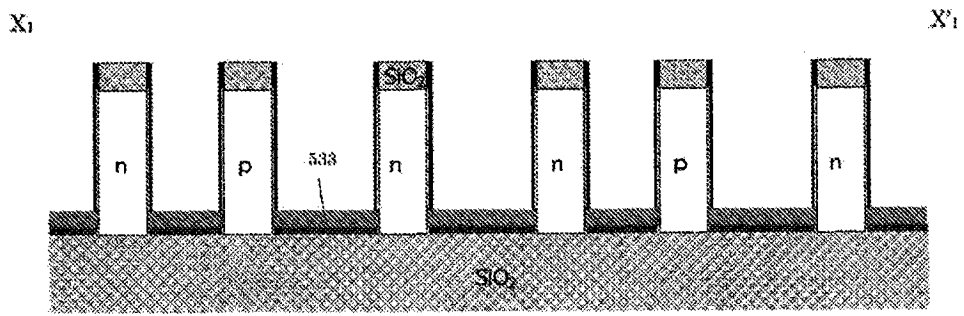


图 61

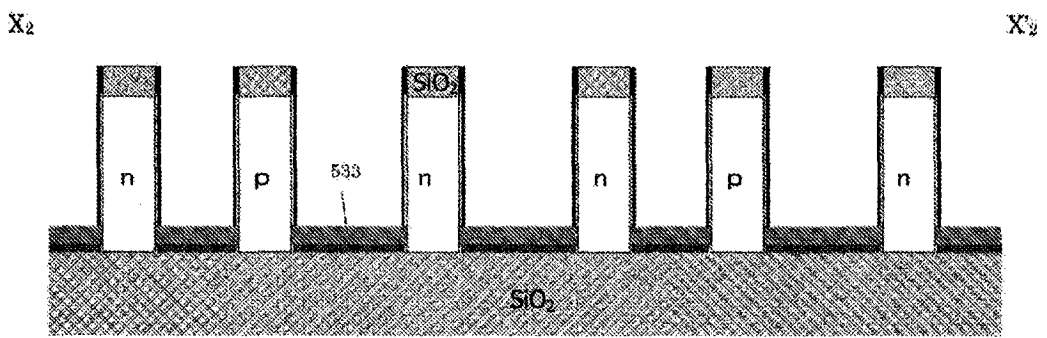


图 62

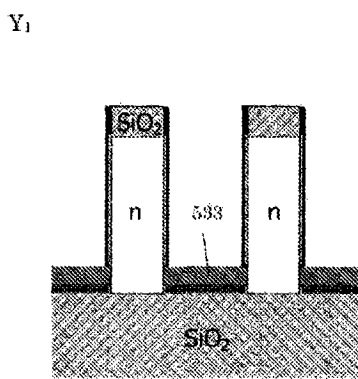


图 63

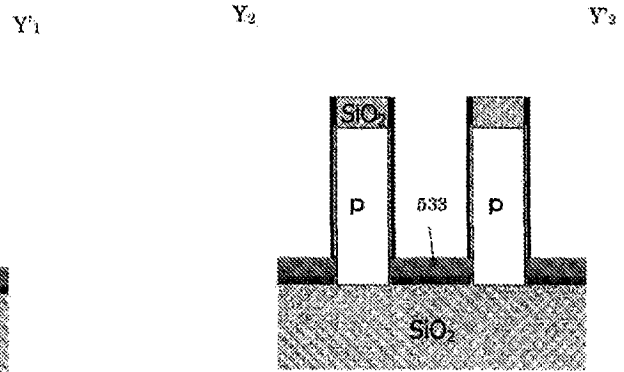


图 64

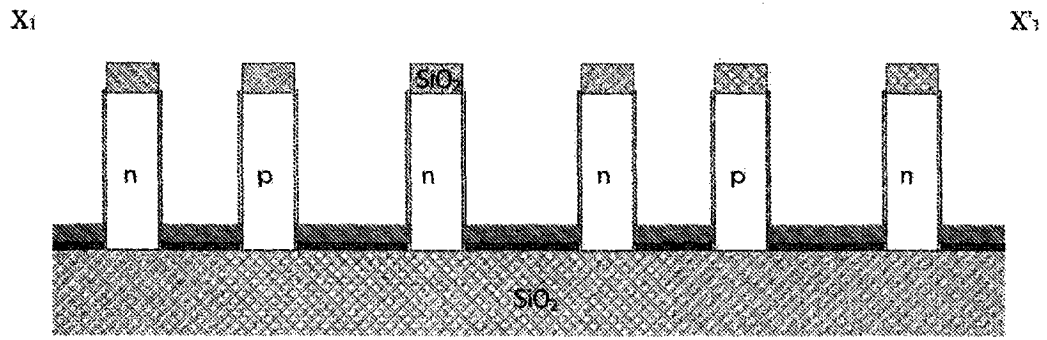


图 65

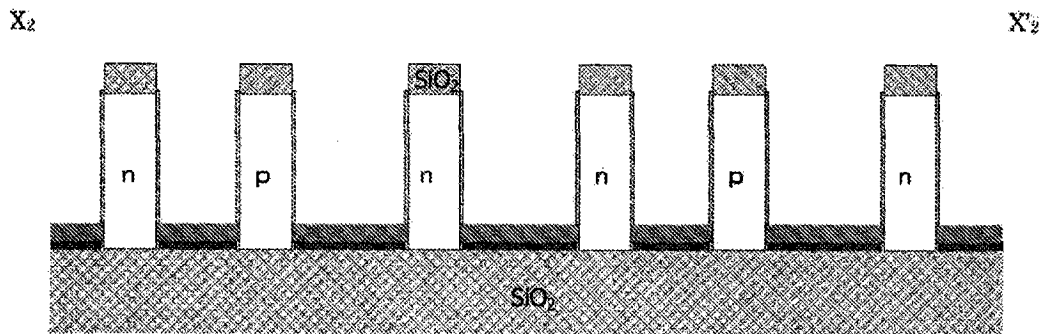


图 66

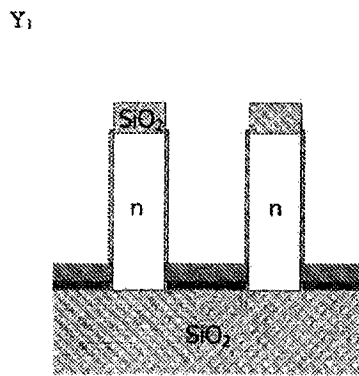


图 67

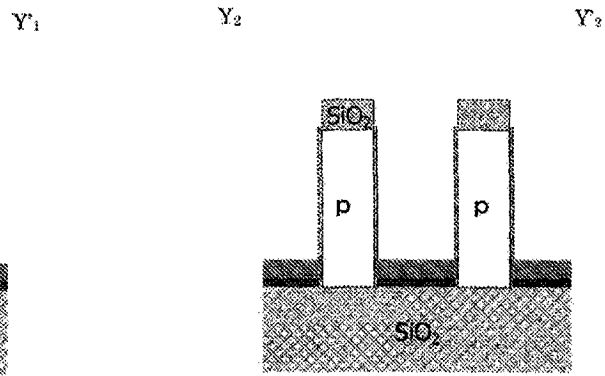


图 68

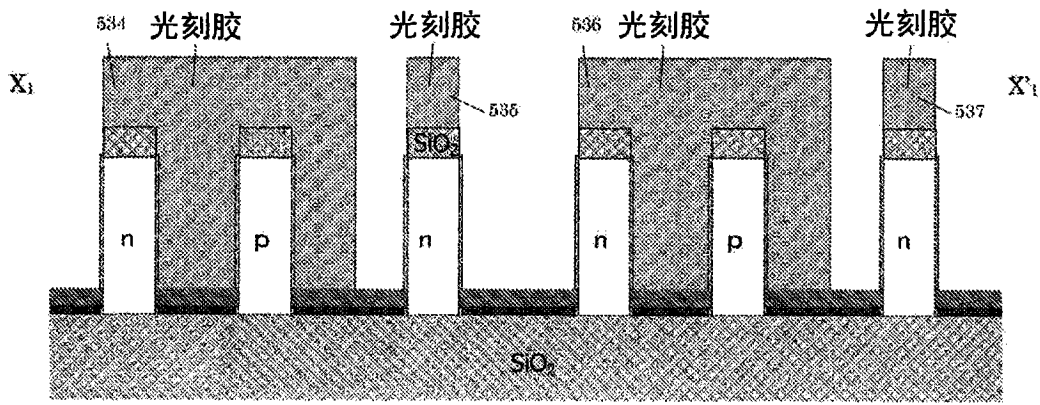


图 69

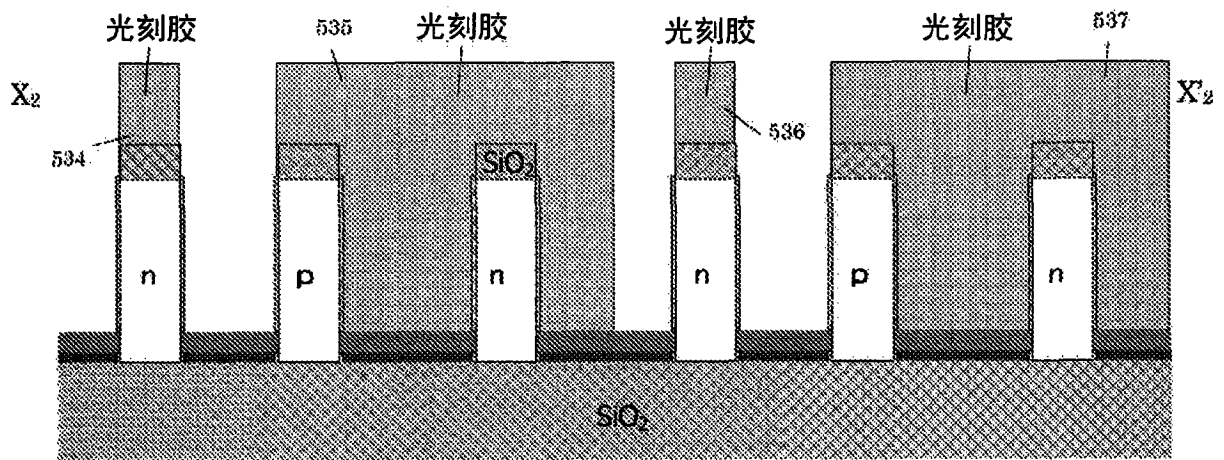


图 70

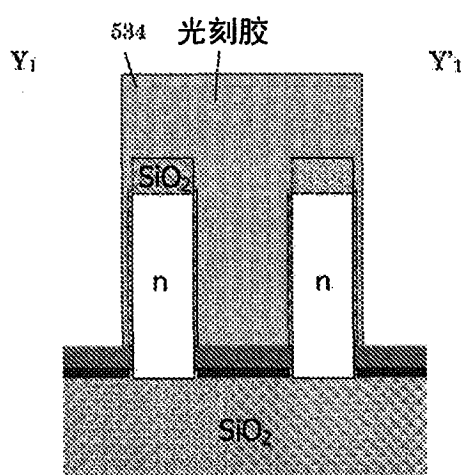


图 71

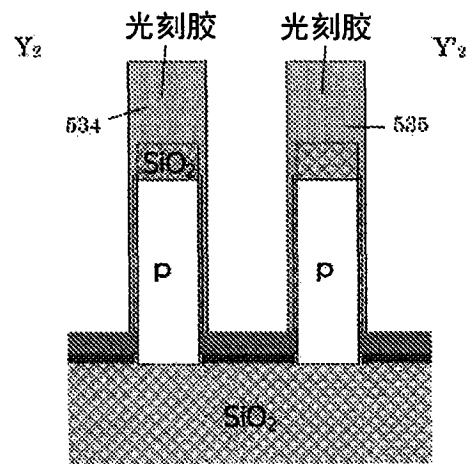


图 72

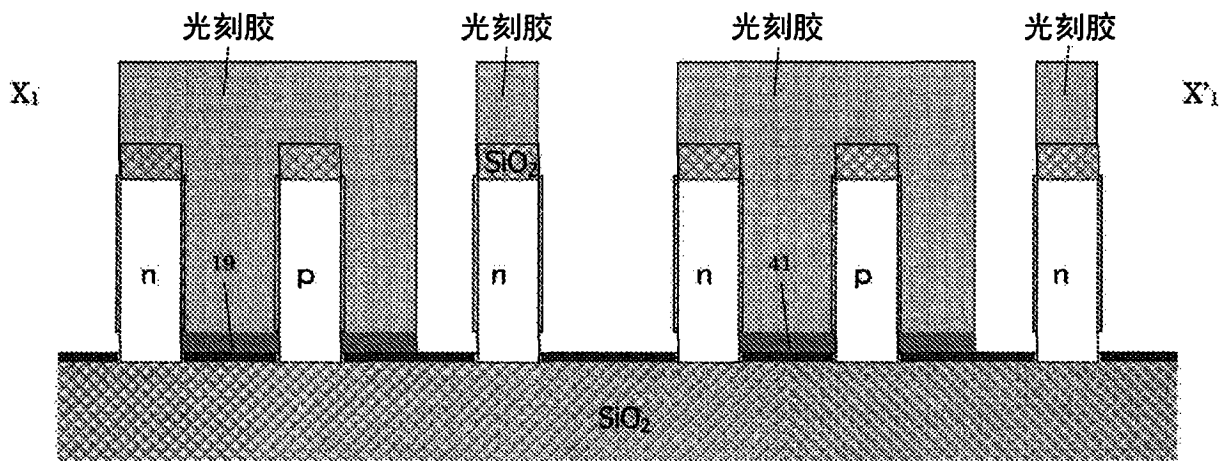


图 73

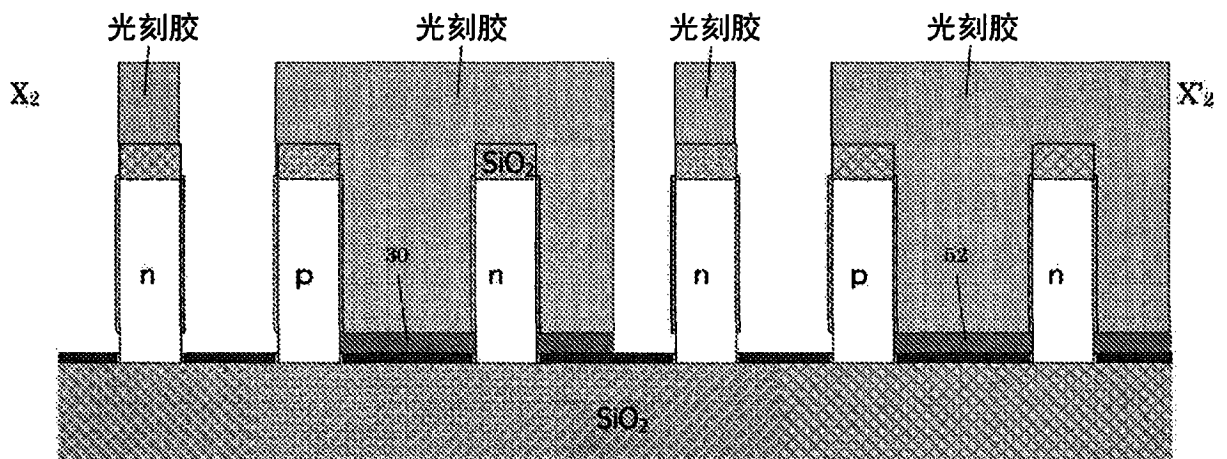


图 74

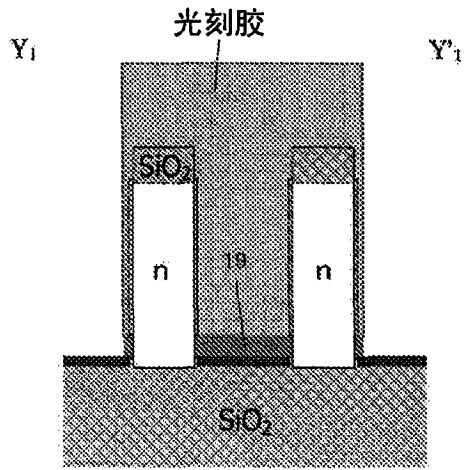


图 75

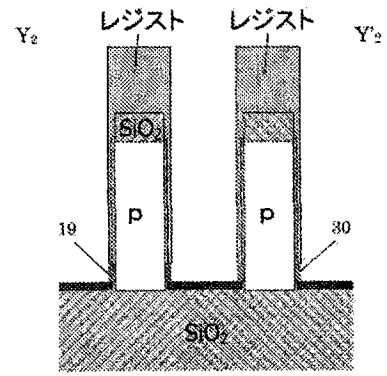


图 76

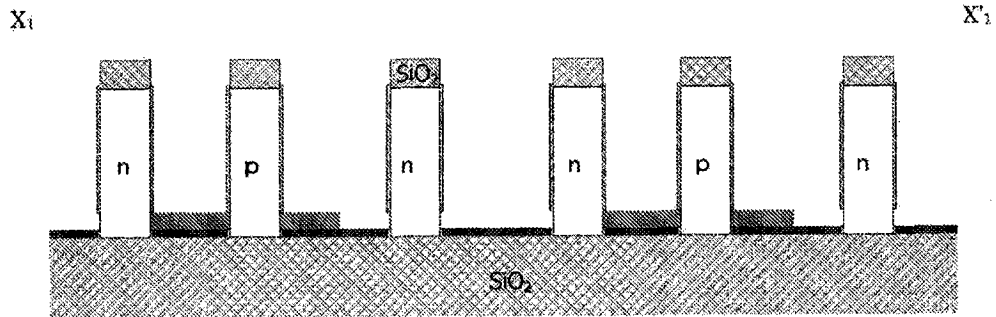


图 77

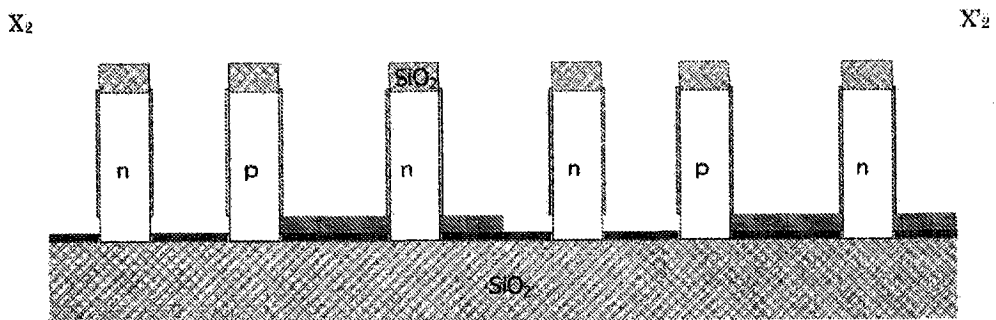


图 78

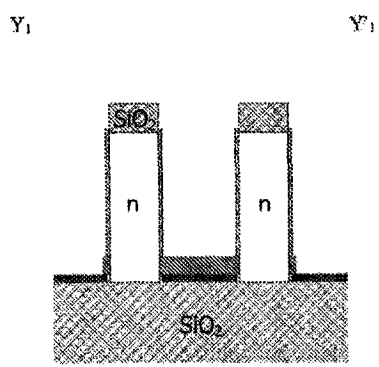


图 79

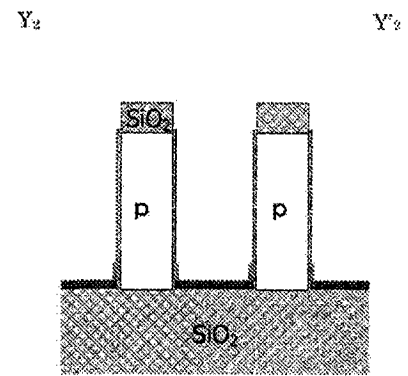


图 80

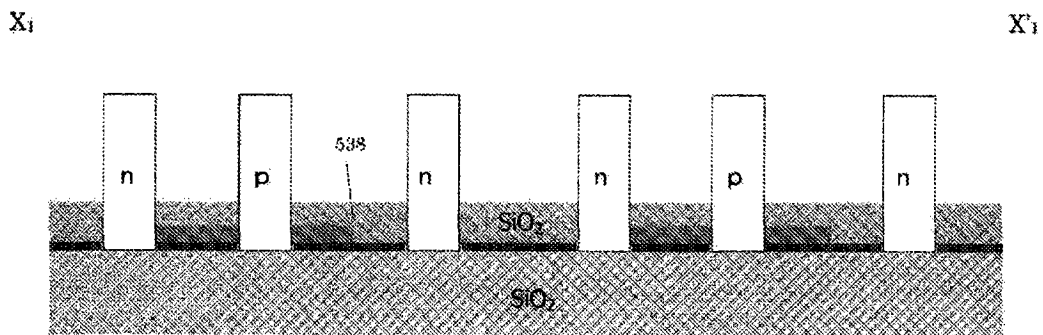


图 81

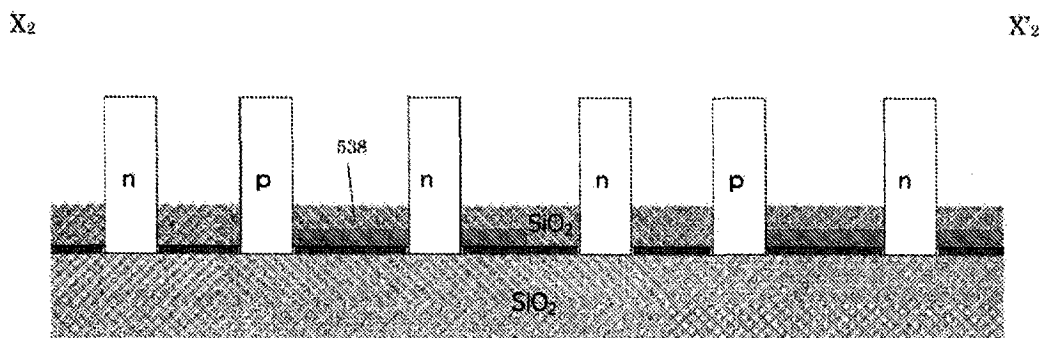


图 82

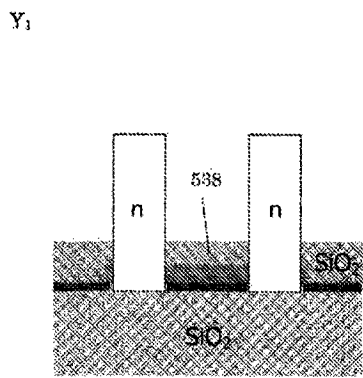


图 83

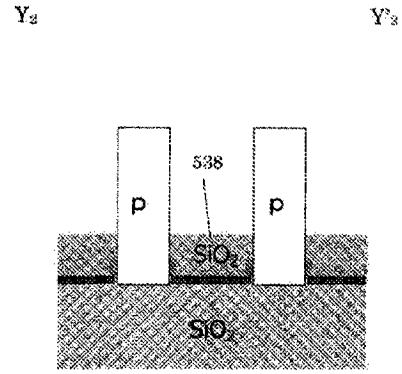


图 84

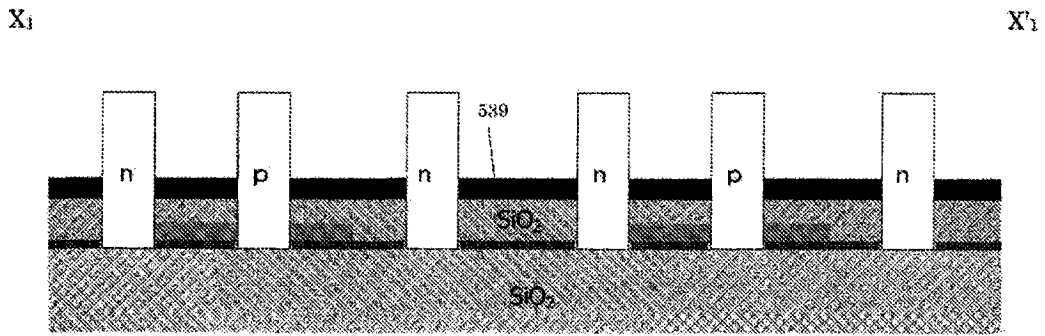


图 85

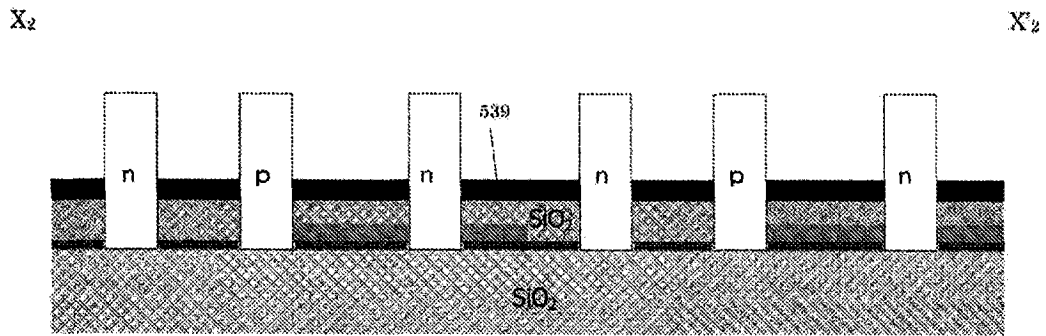


图 86

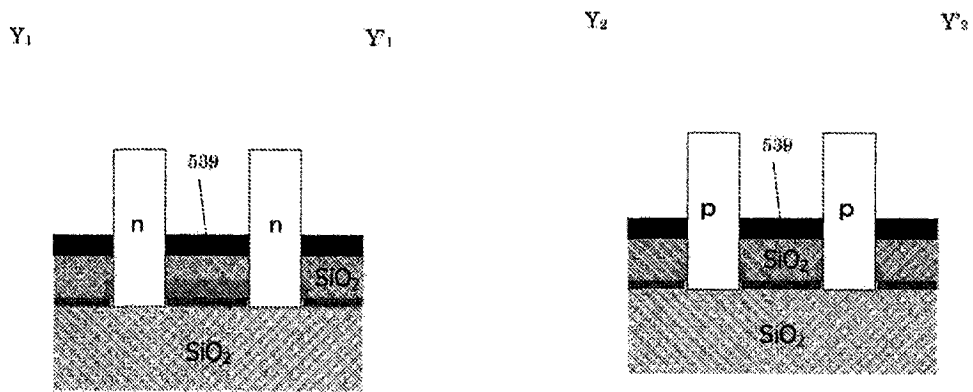


图 87

图 88

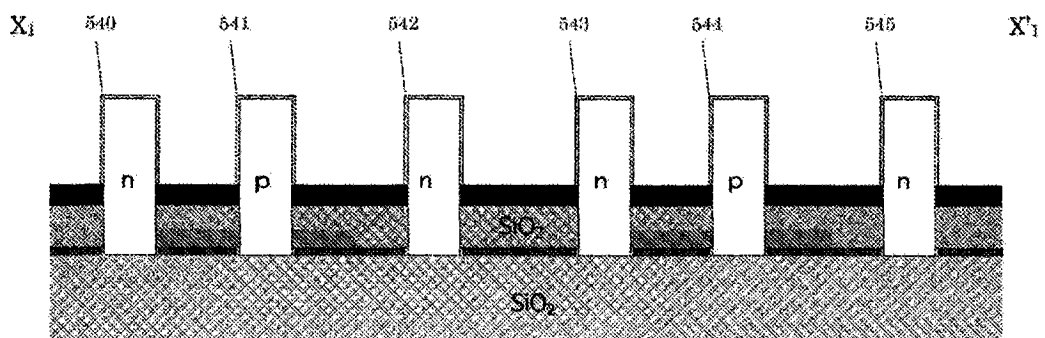


图 89

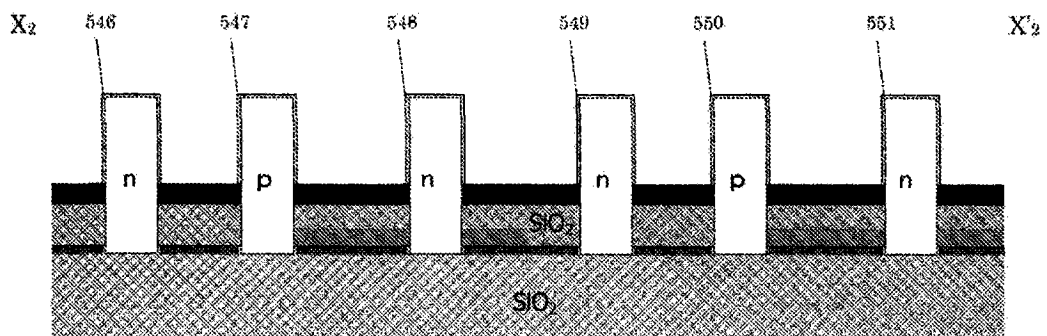


图 90

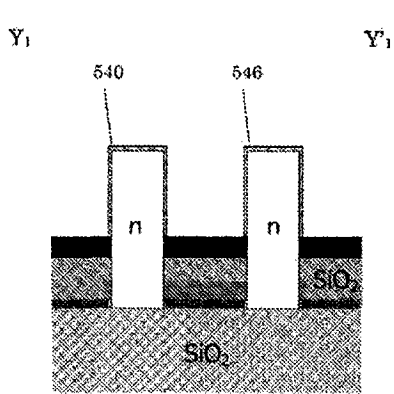


图 91

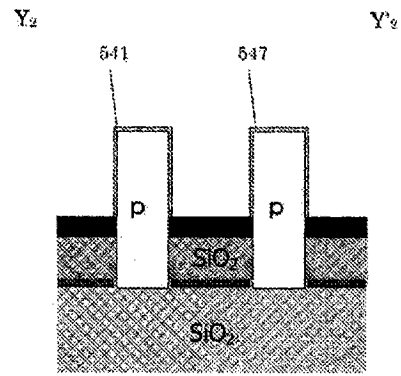


图 92

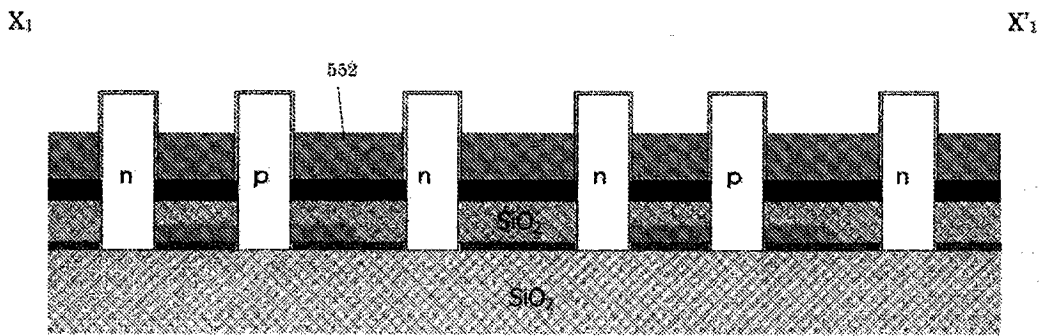


图 93

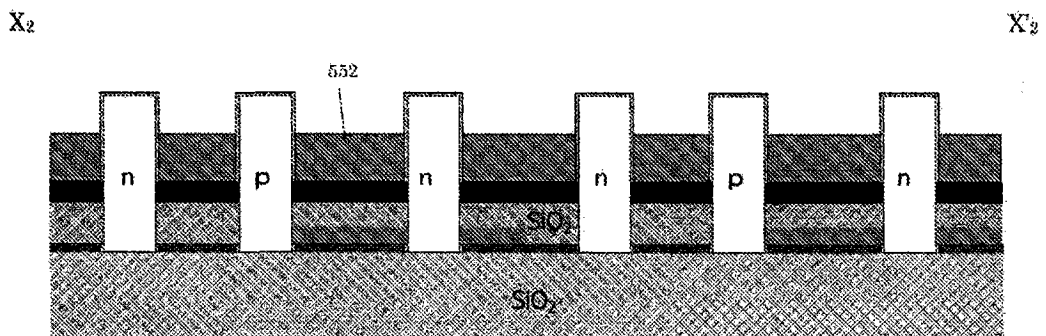


图 94

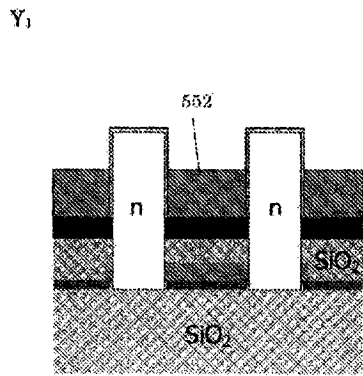


图 95

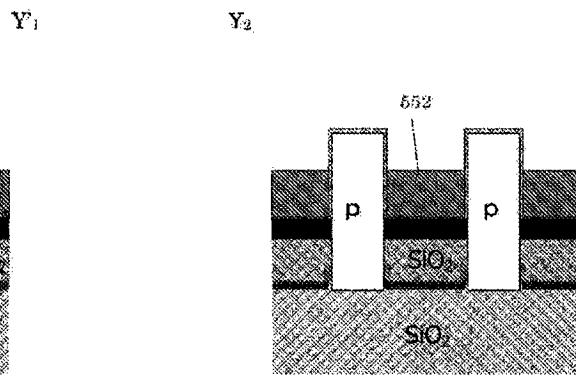


图 96

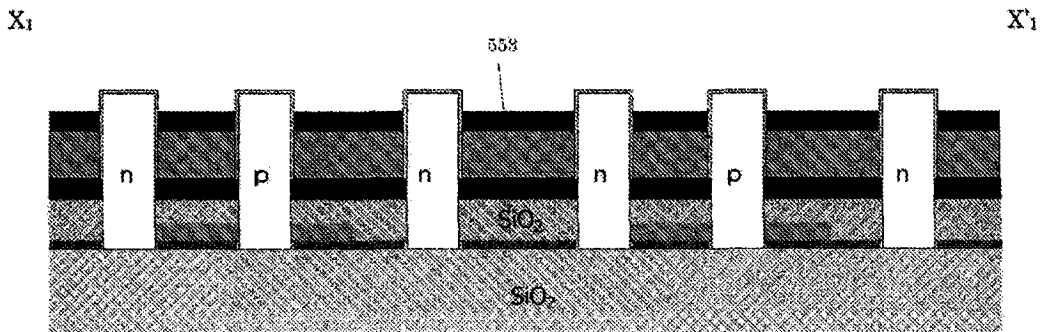


图 97

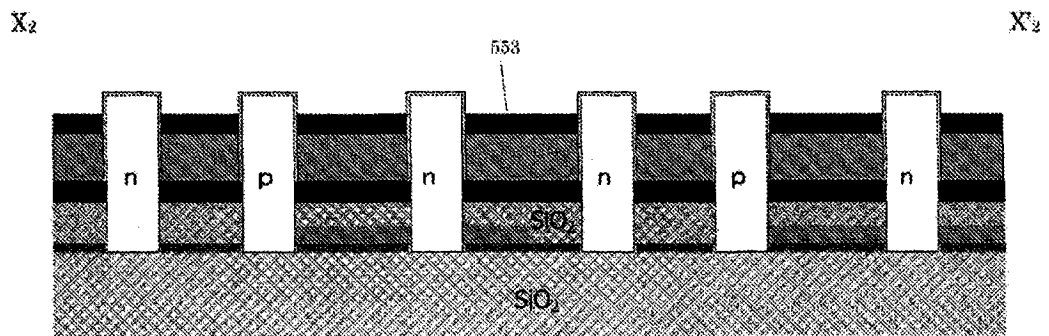


图 98

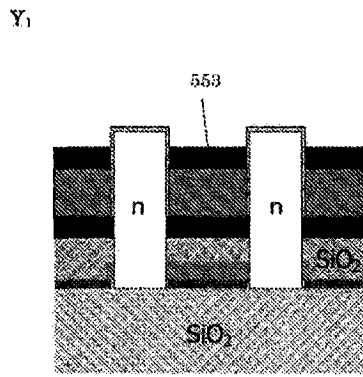


图 99

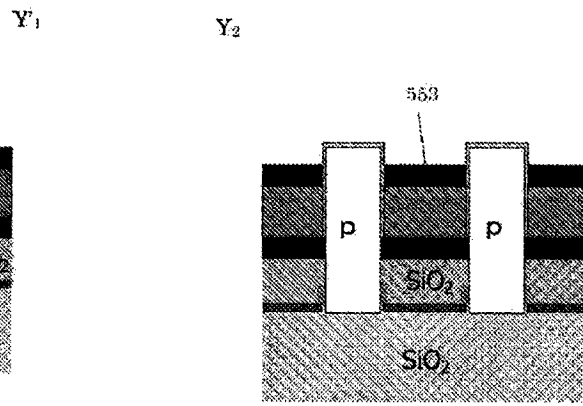


图 100

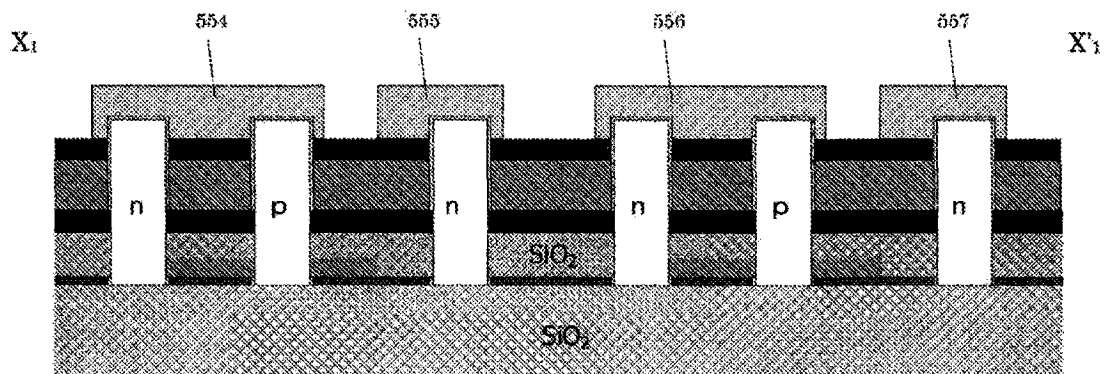


图 101

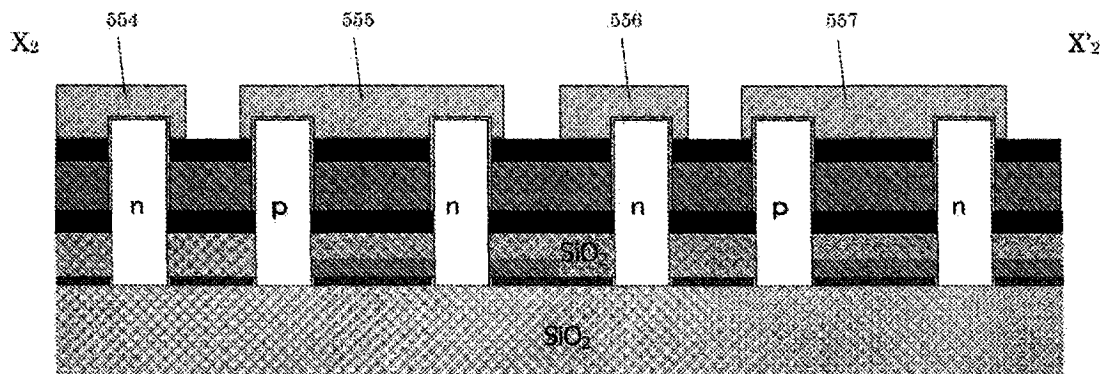


图 102

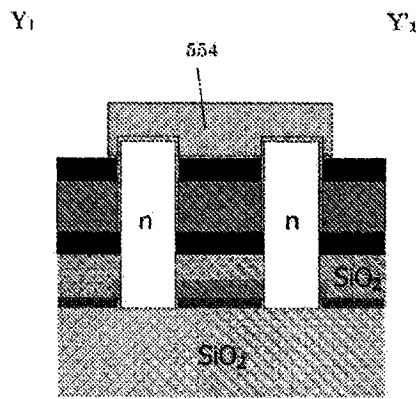


图 103

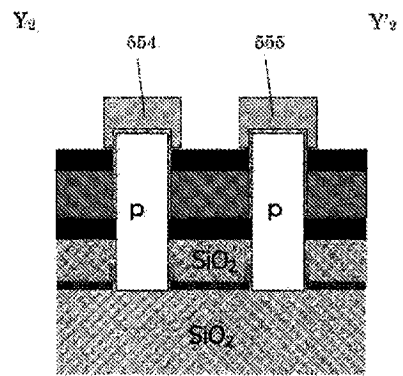


图 104

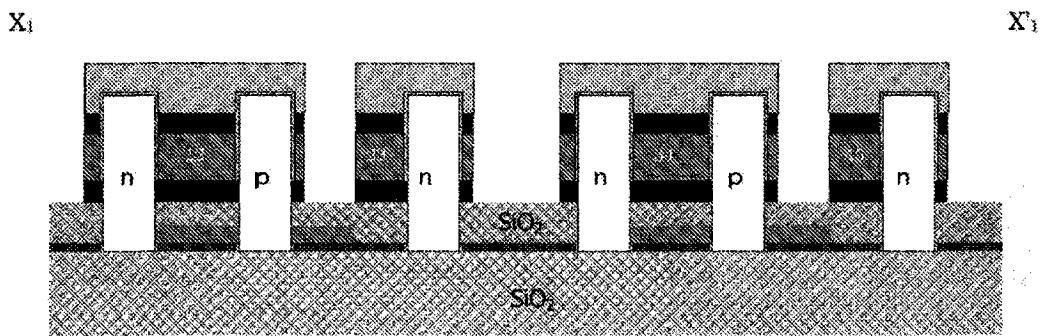


图 105

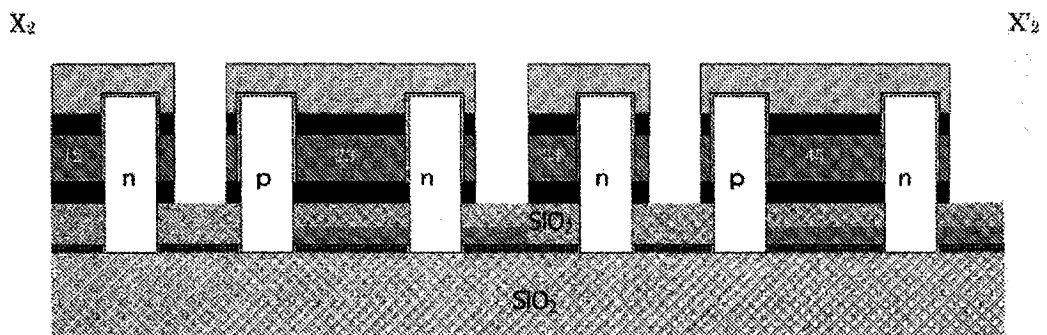


图 106

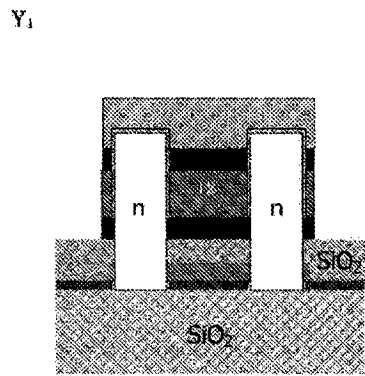


图 107

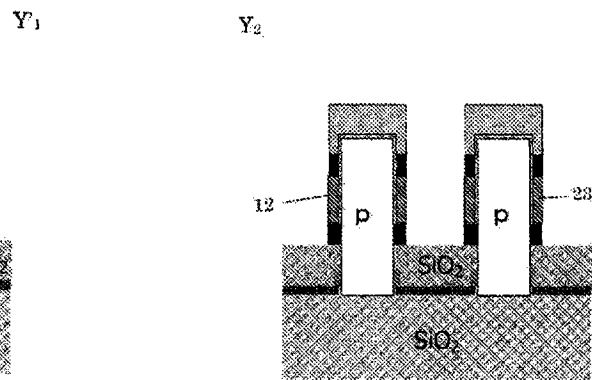


图 108

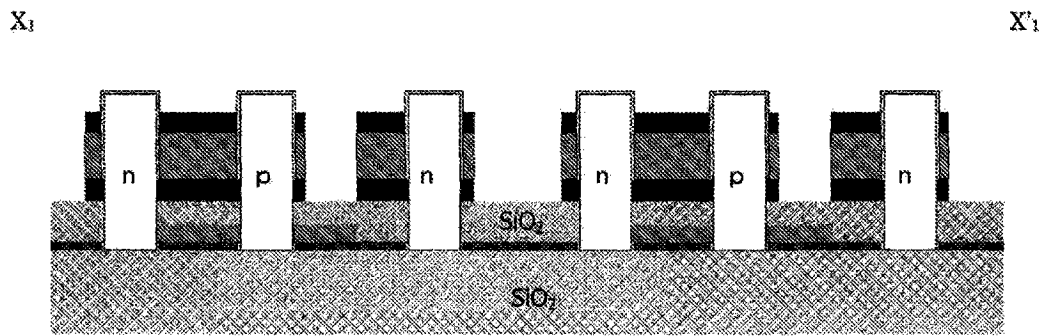


图 109

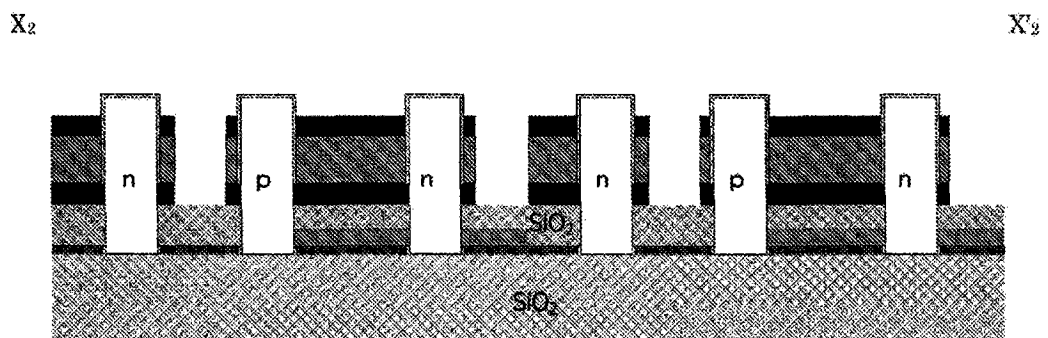


图 110

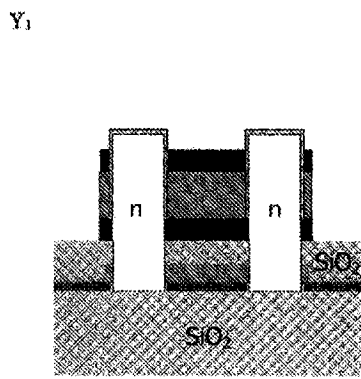


图 111

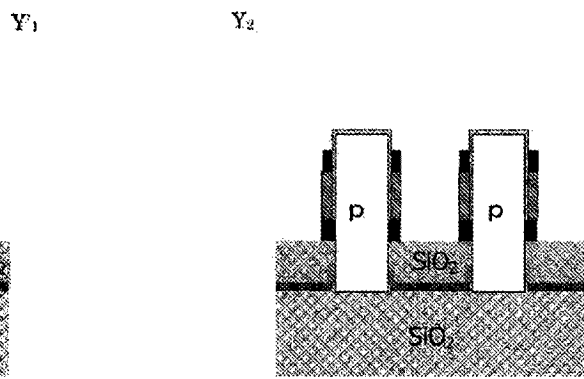


图 112

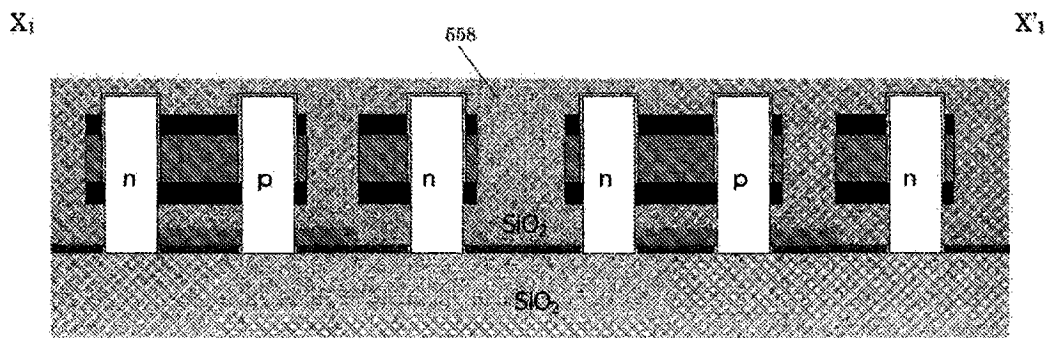


图 113

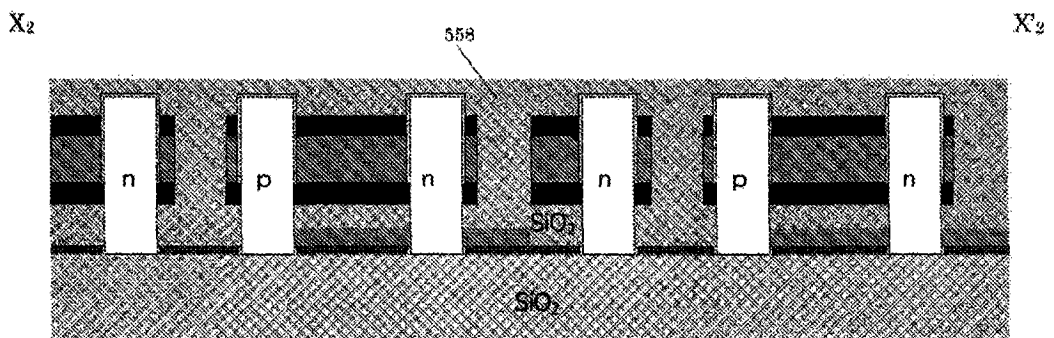


图 114

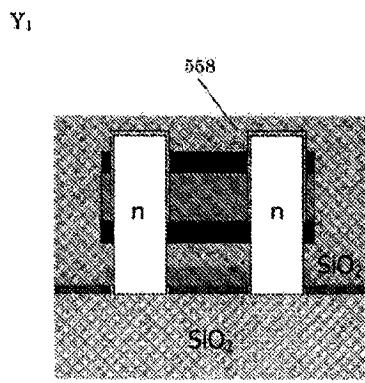


图 115

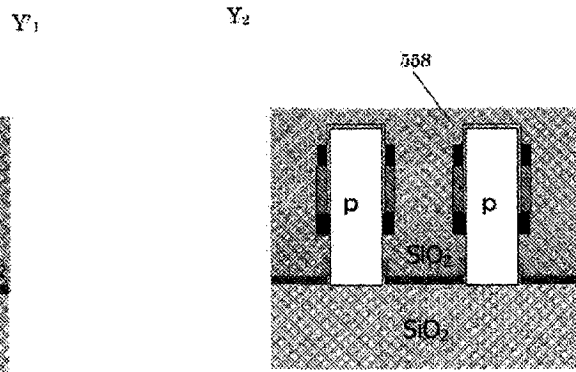


图 116

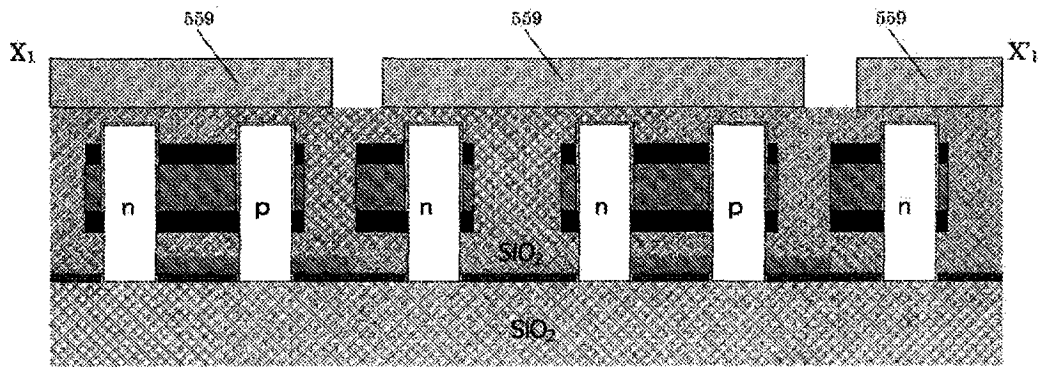


图 117

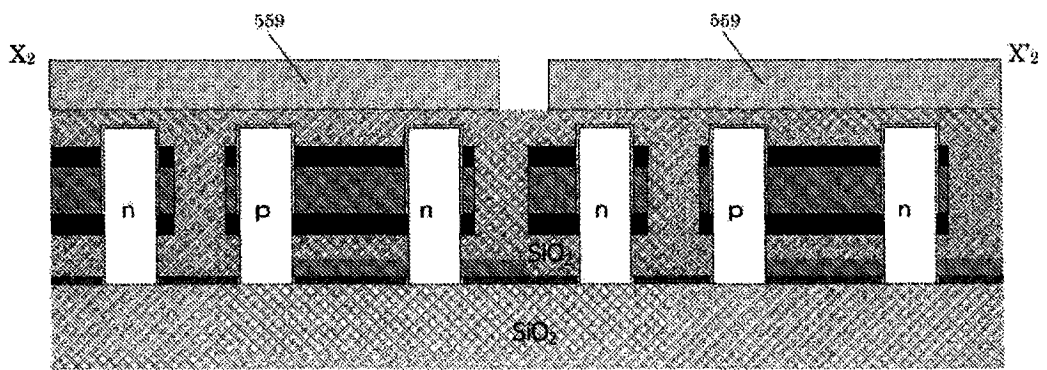


图 118

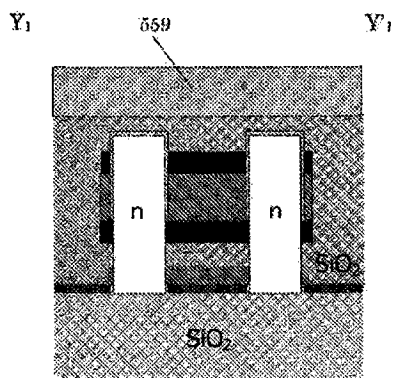


图 119

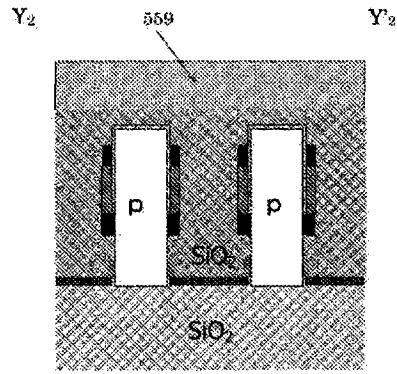


图 120

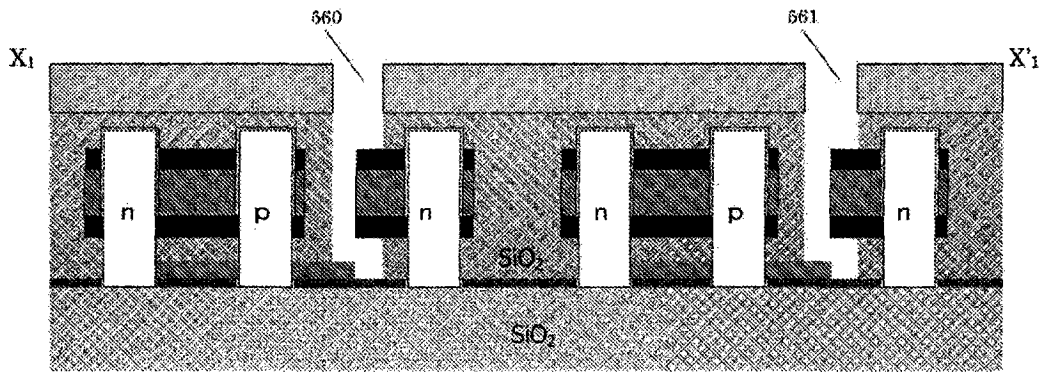


图 121

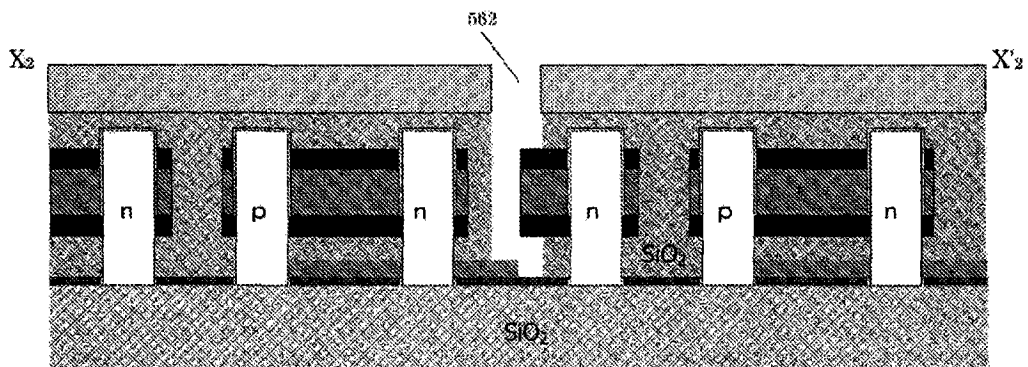


图 122

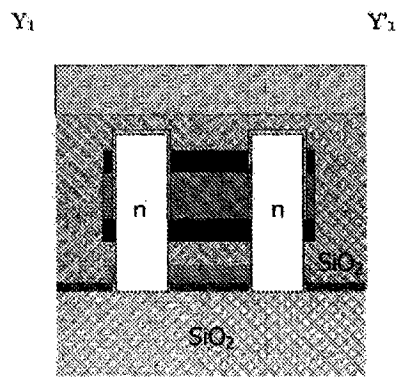


图 123

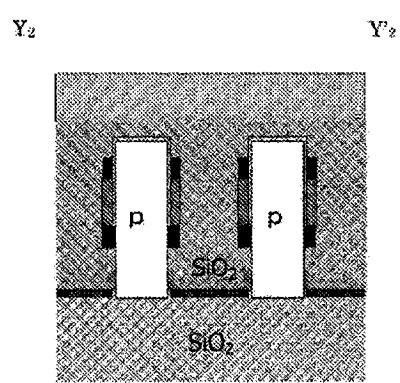


图 124

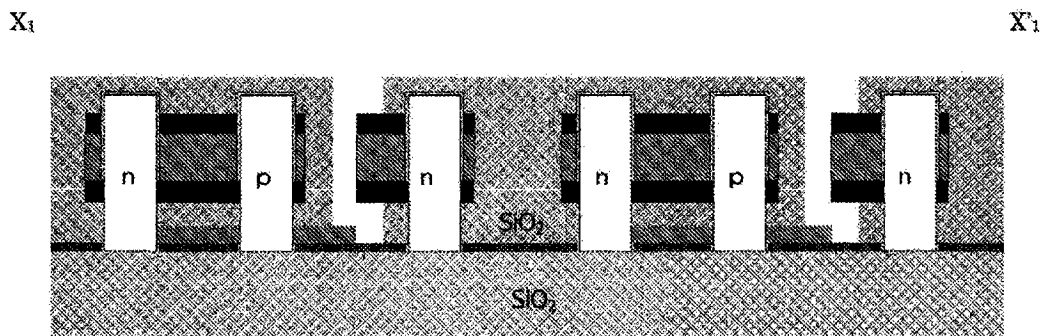


图 125

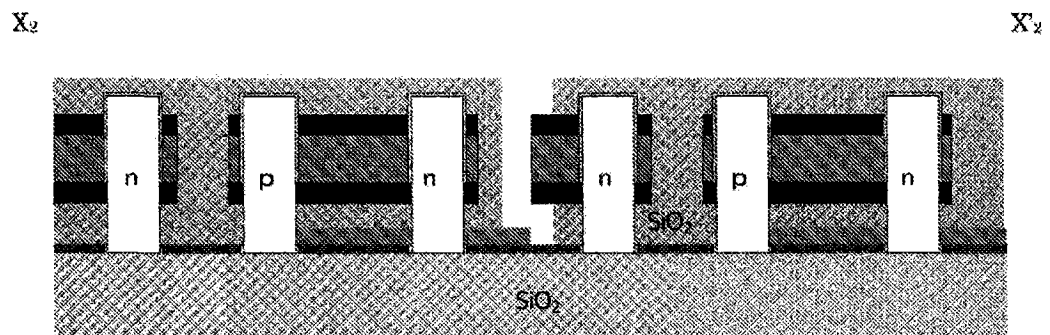


图 126

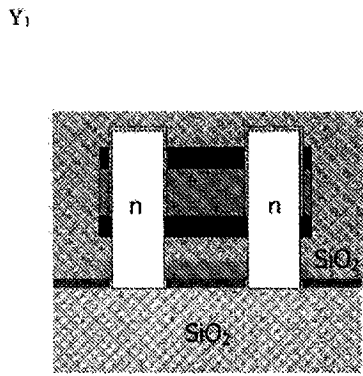


图 127

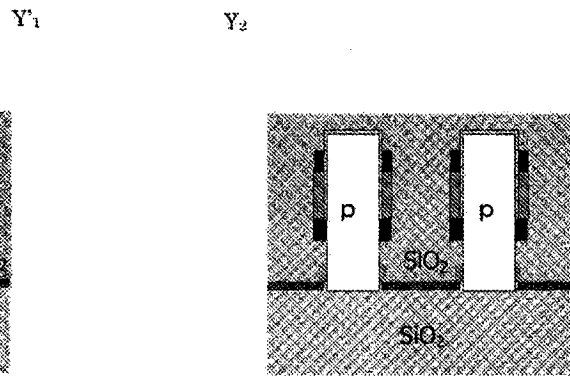


图 128

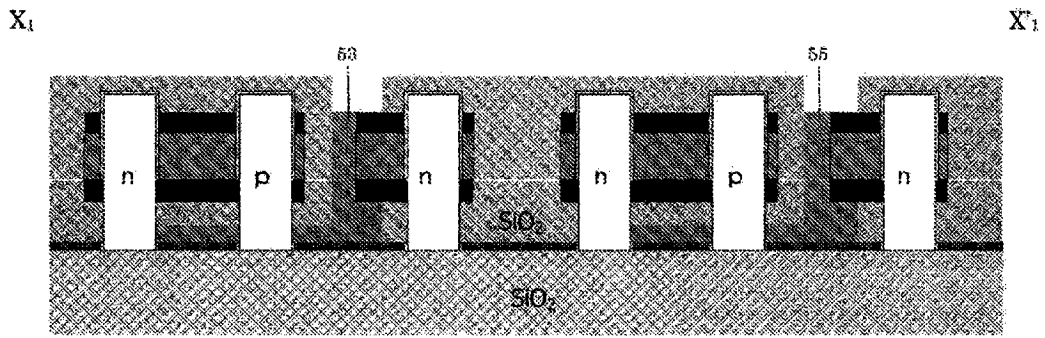


图 129

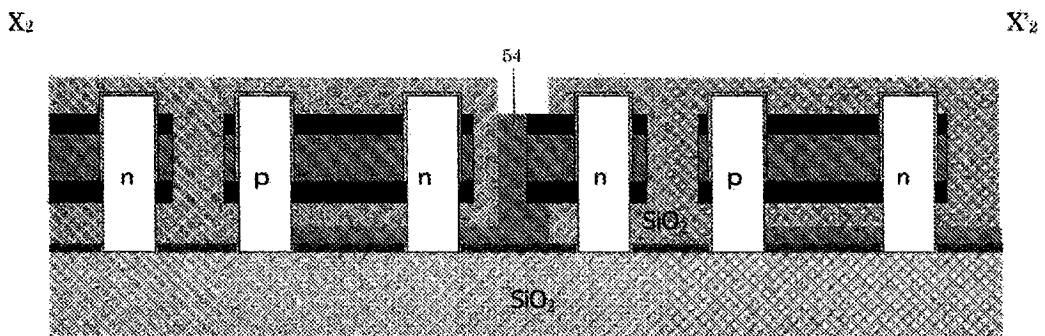


图 130

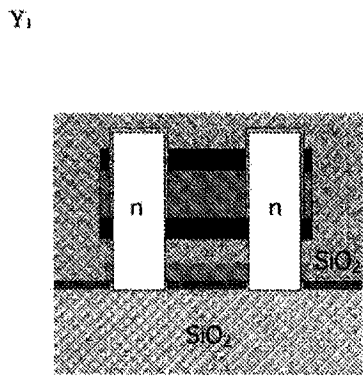


图 131

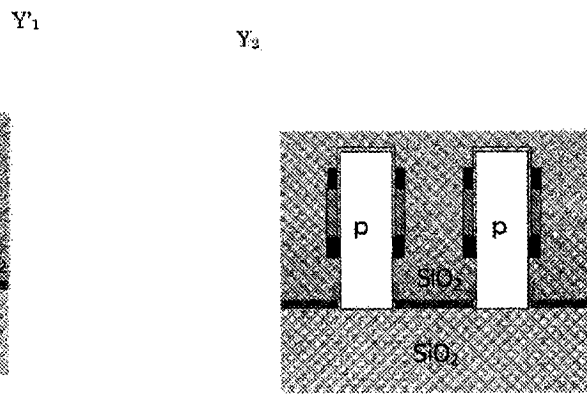


图 132

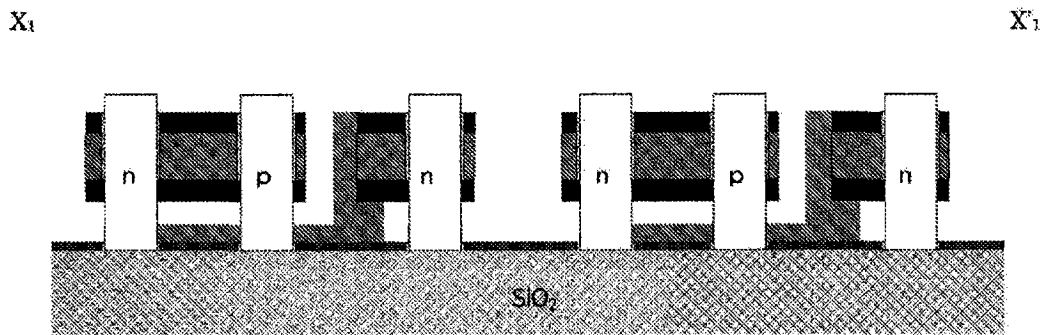


图 133

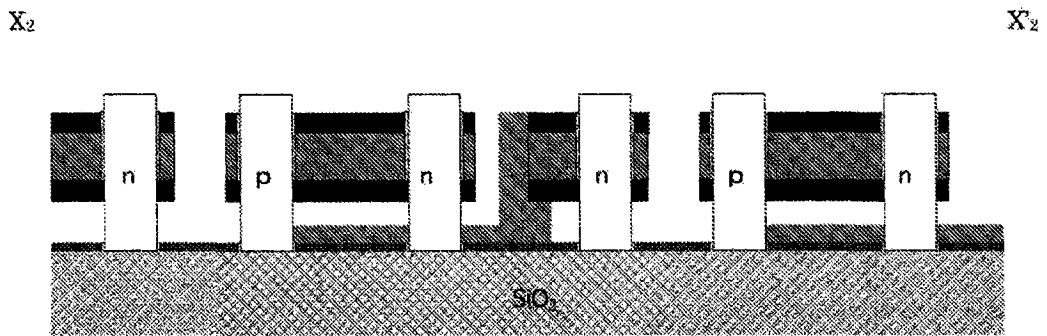


图 134

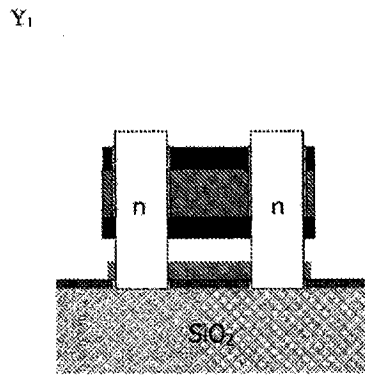


图 135

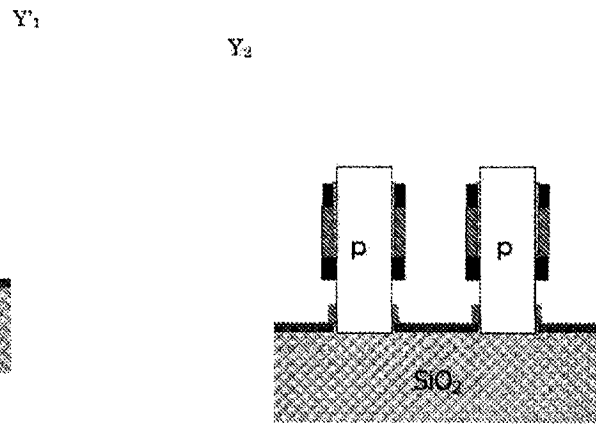


图 136

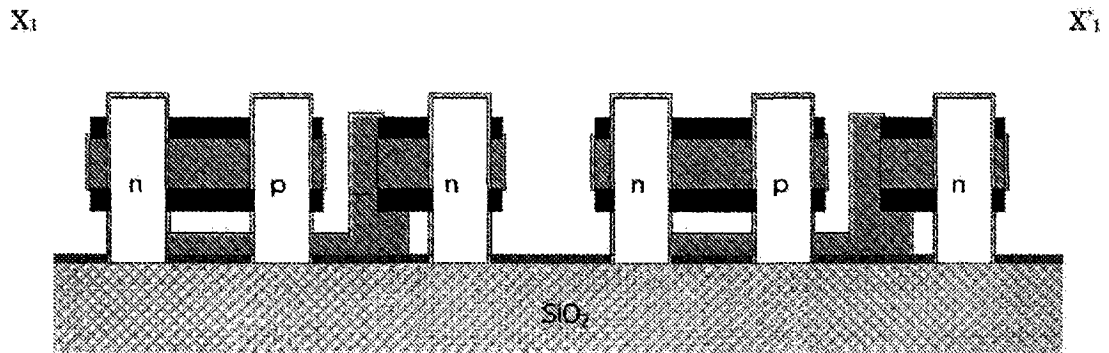


图 137

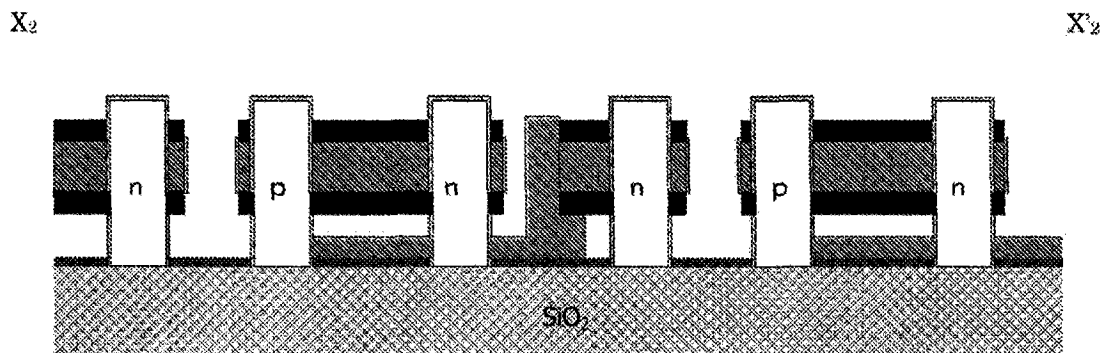


图 138

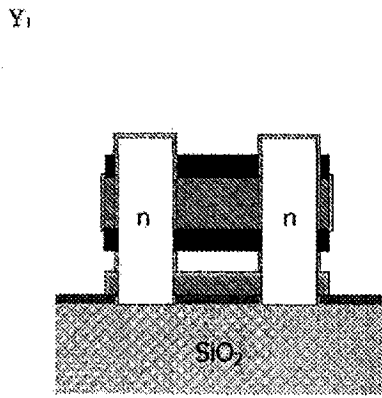


图 139

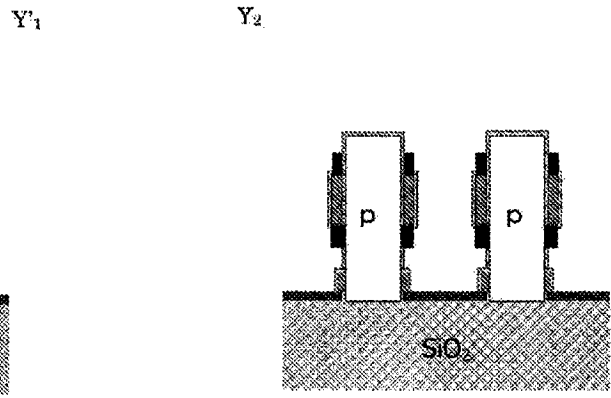


图 140

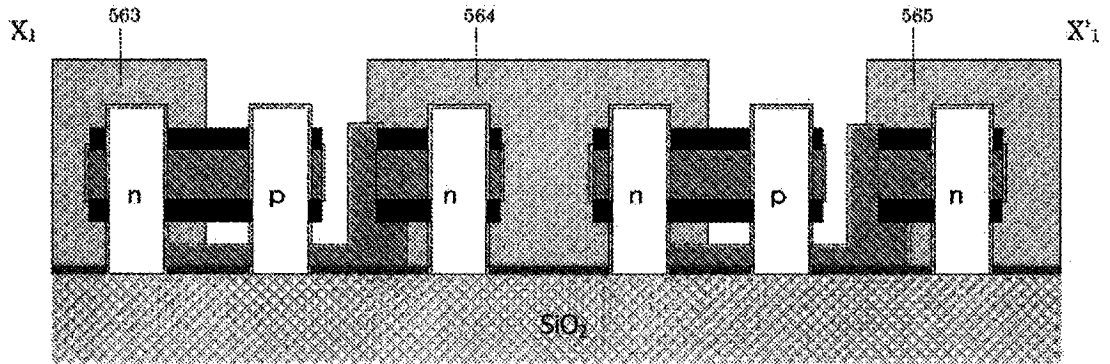


图 141

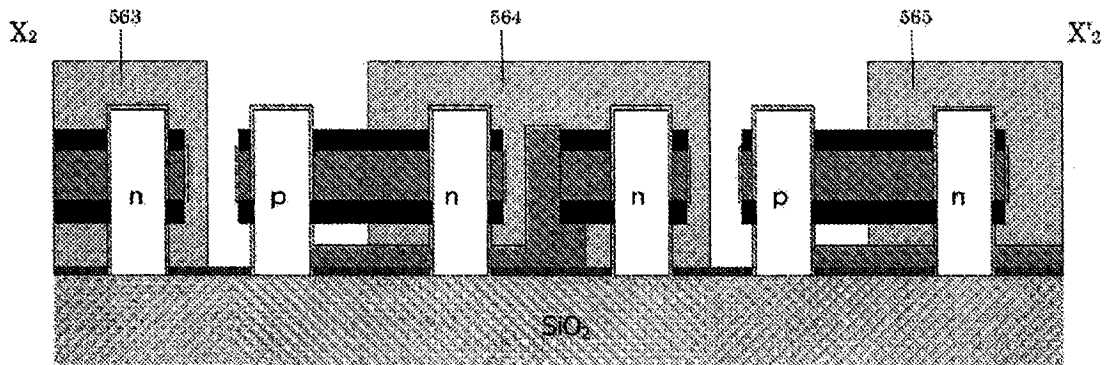


图 142

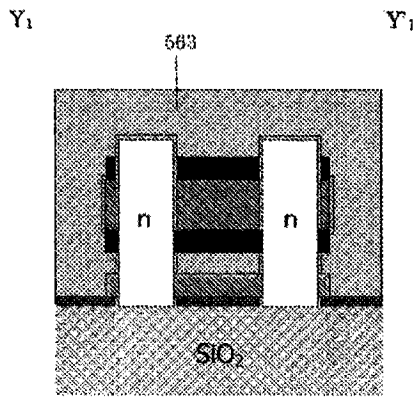


图 143

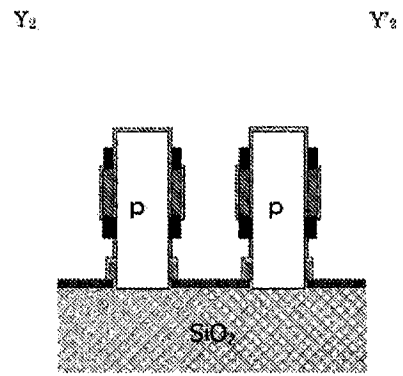


图 144

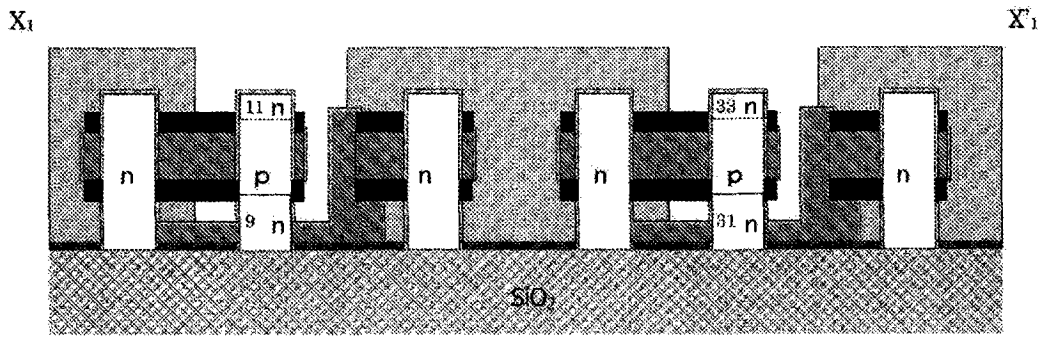


图 145

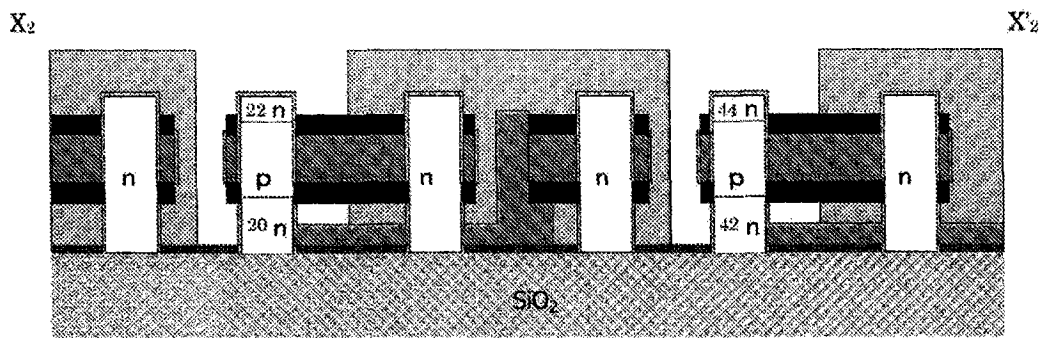


图 146

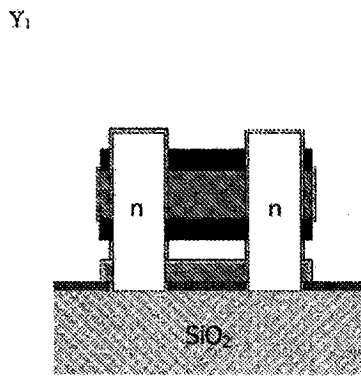


图 151

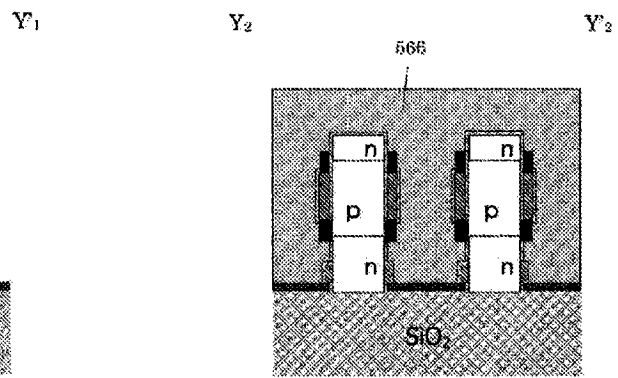


图 152

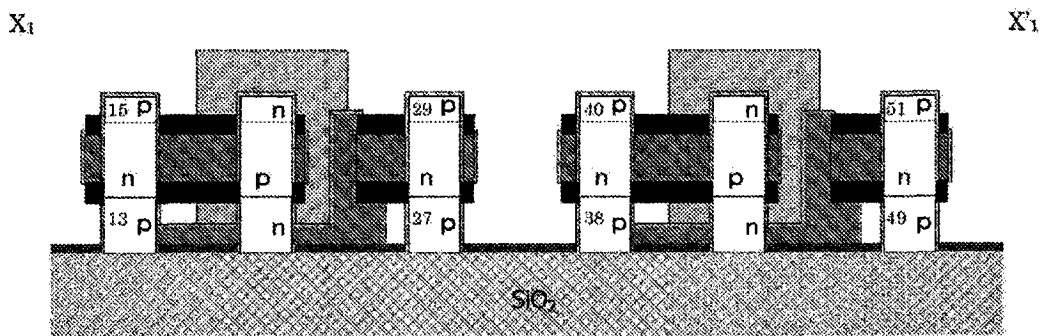


图 153

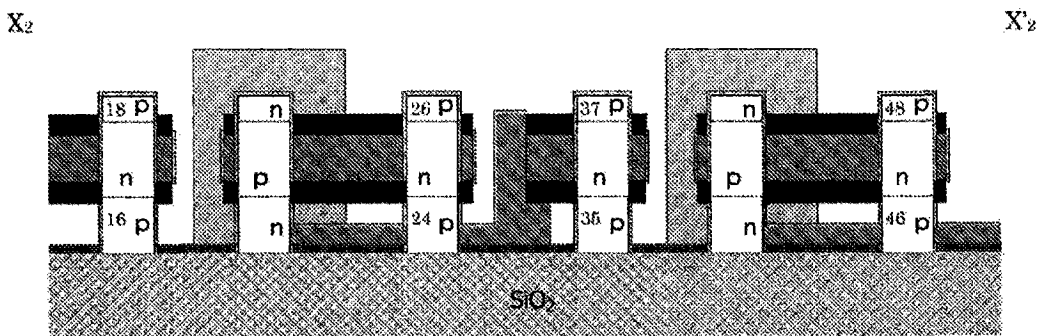


图 154

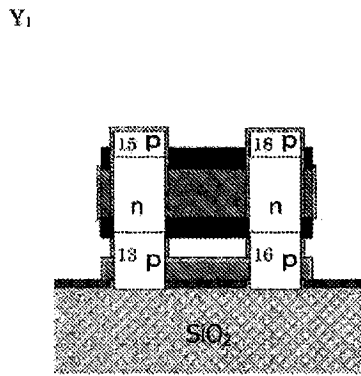


图 155

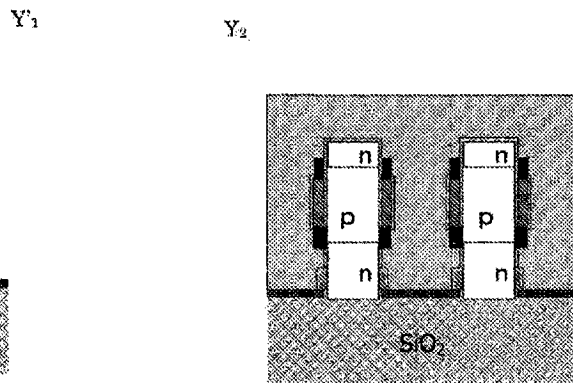


图 156

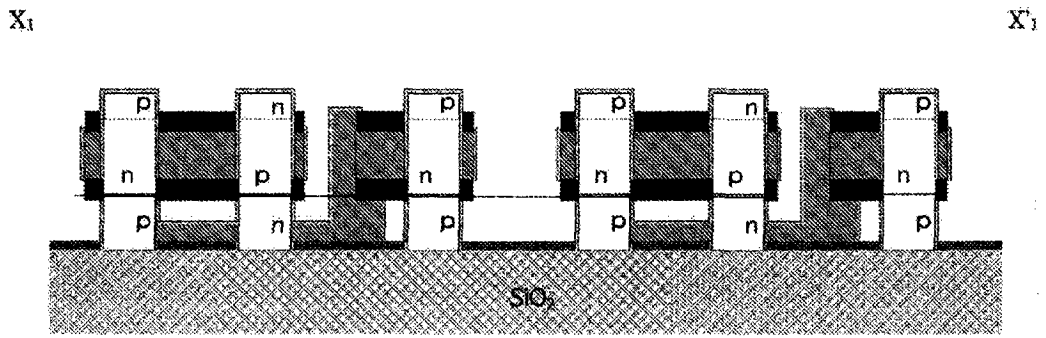


图 157

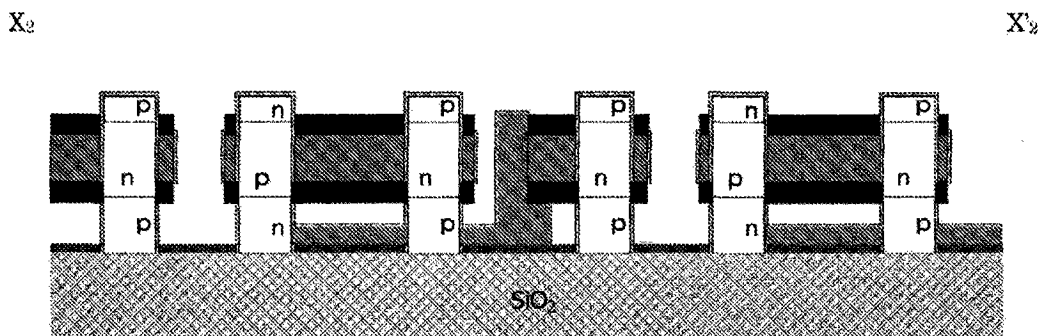


图 158

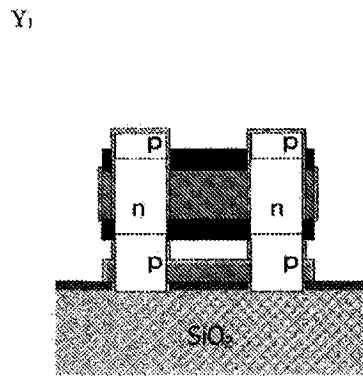


图 159

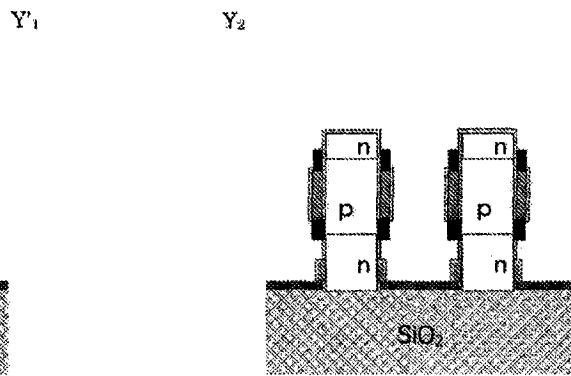


图 160

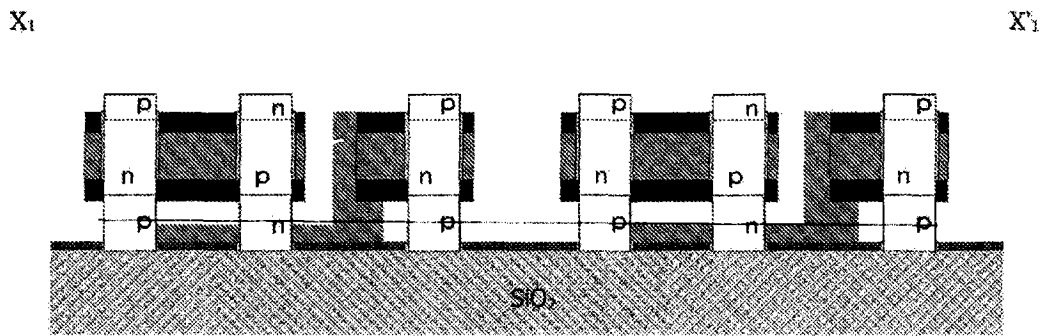


图 161

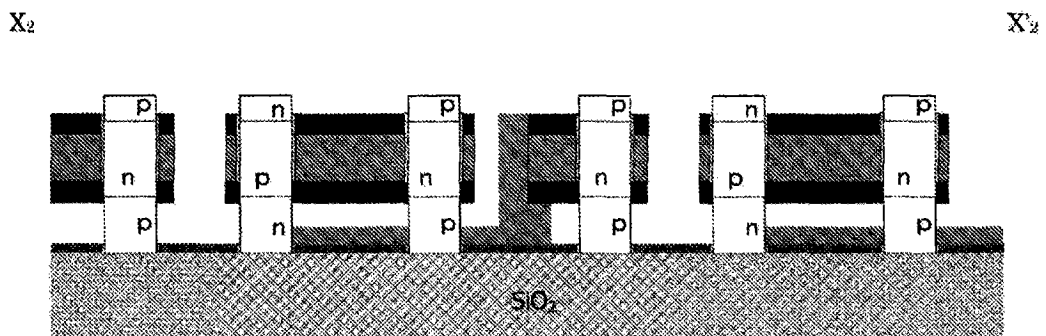


图 162

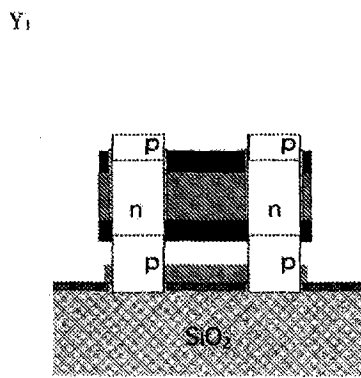


图 163

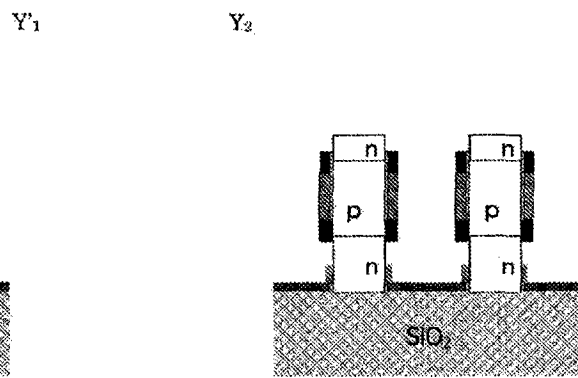


图 164

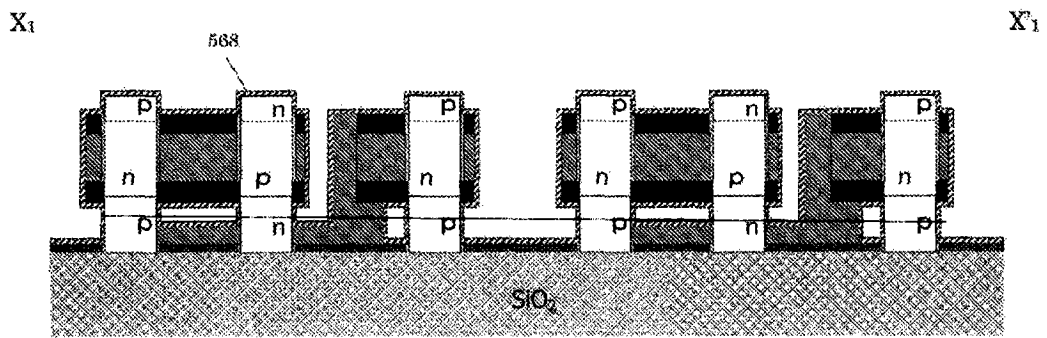


图 165

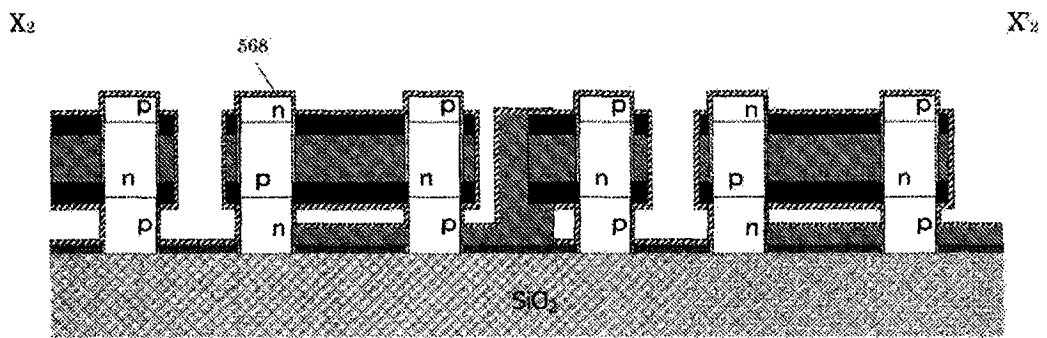


图 166

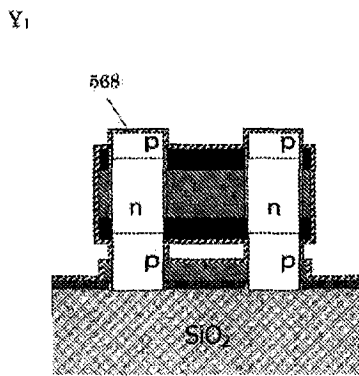


图 167

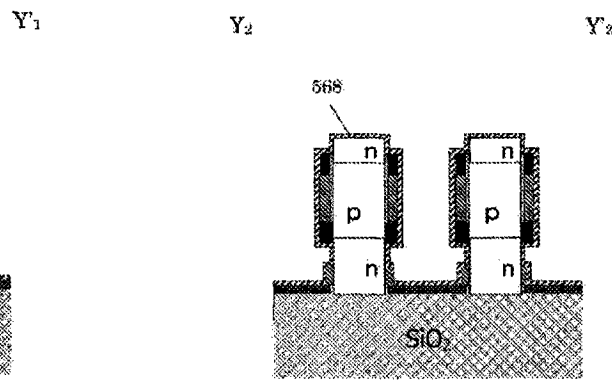


图 168

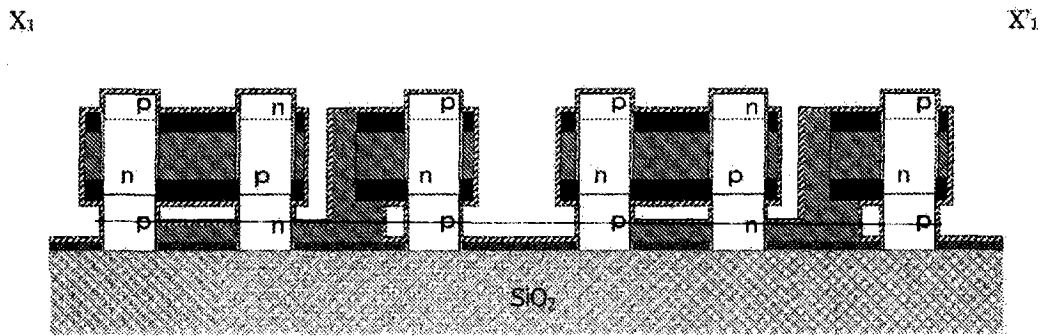


图 169

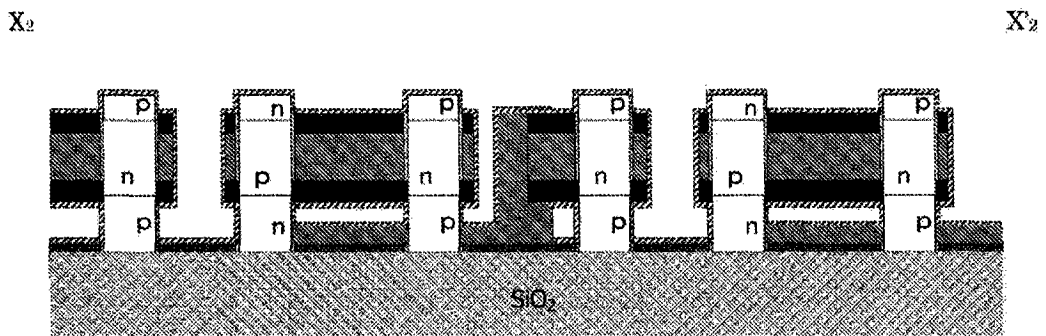


图 170

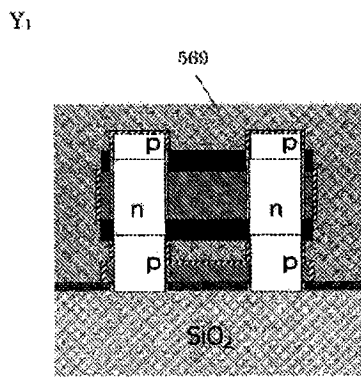


图 179

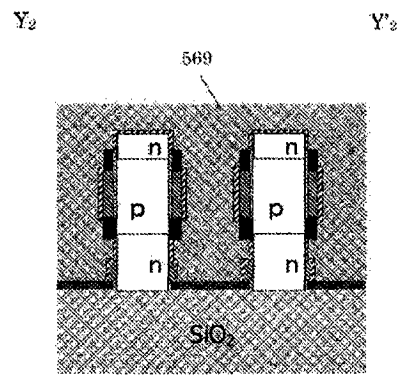


图 180

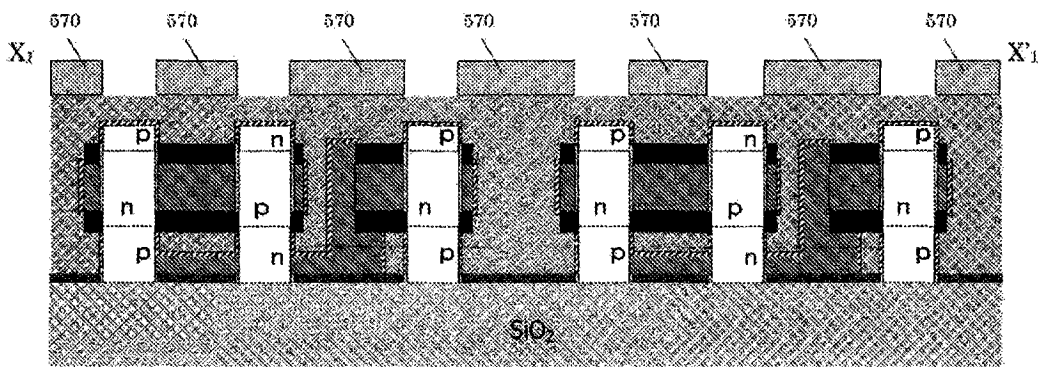


图 181

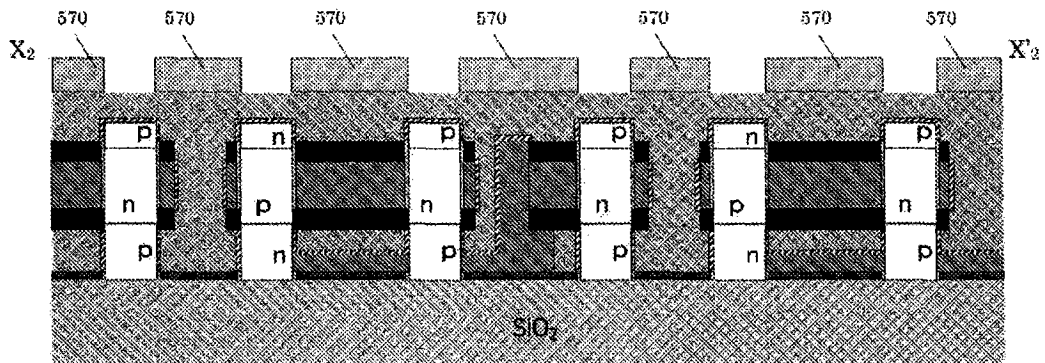


图 182

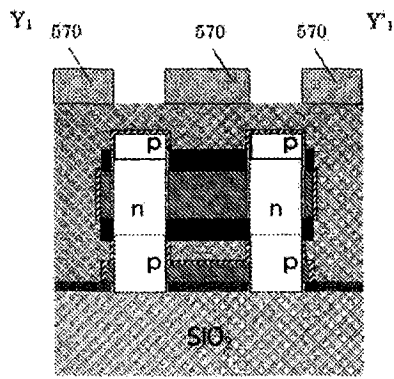


图 183

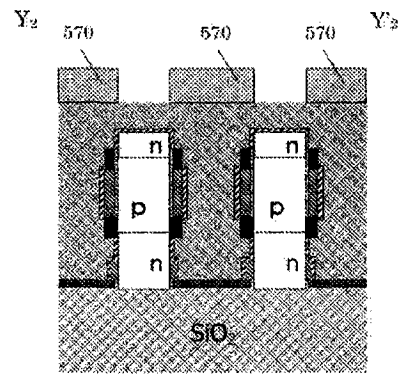


图 184

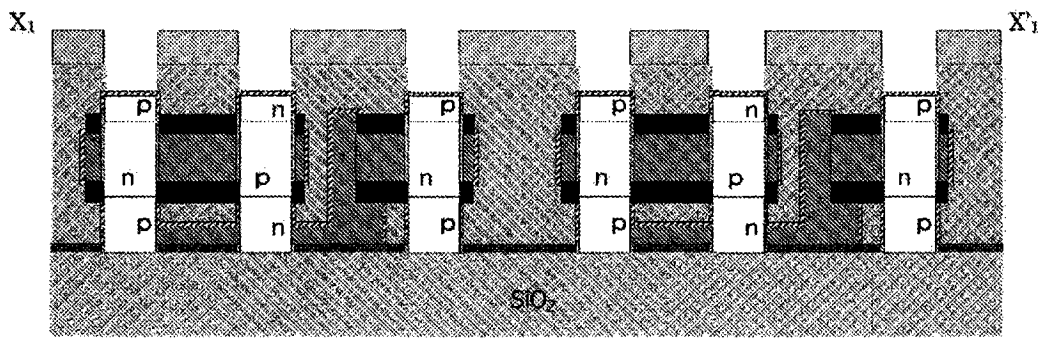


图 185

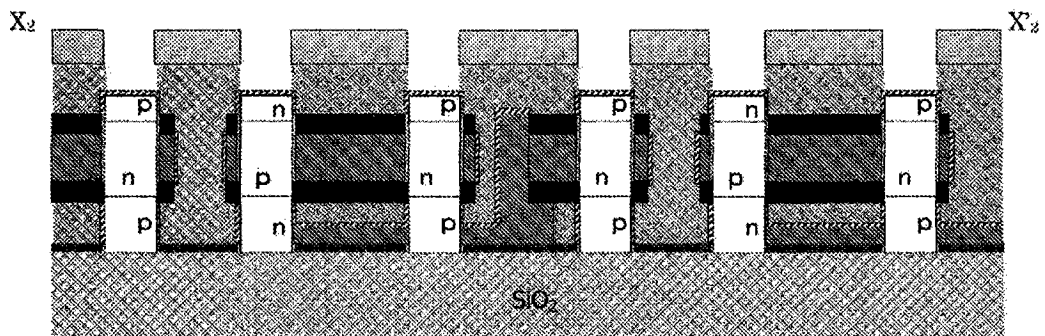


图 186

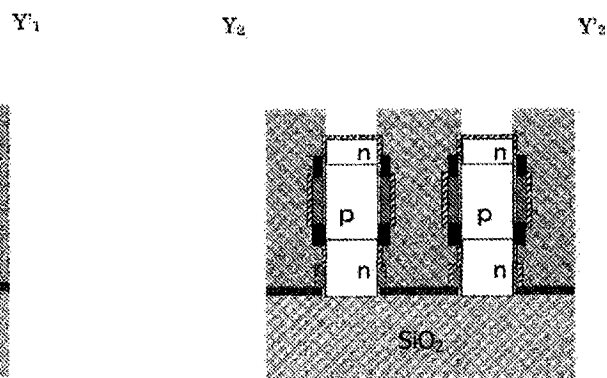
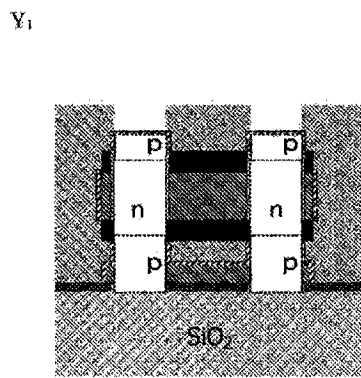


图 191

图 192

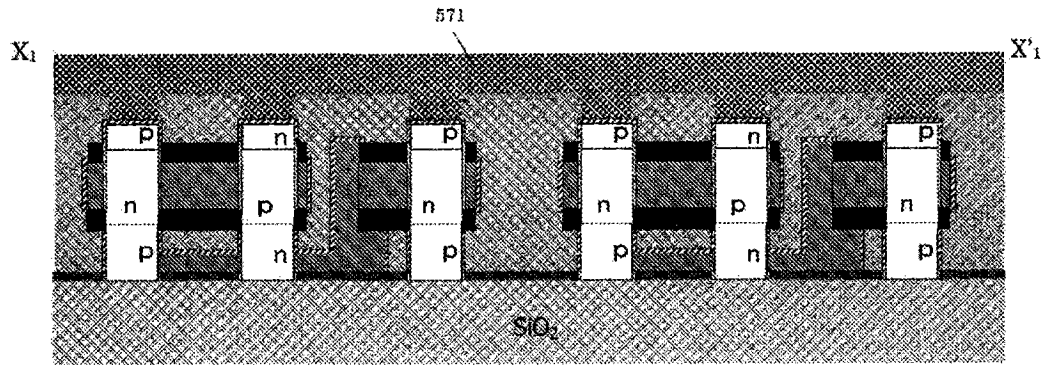


图 193

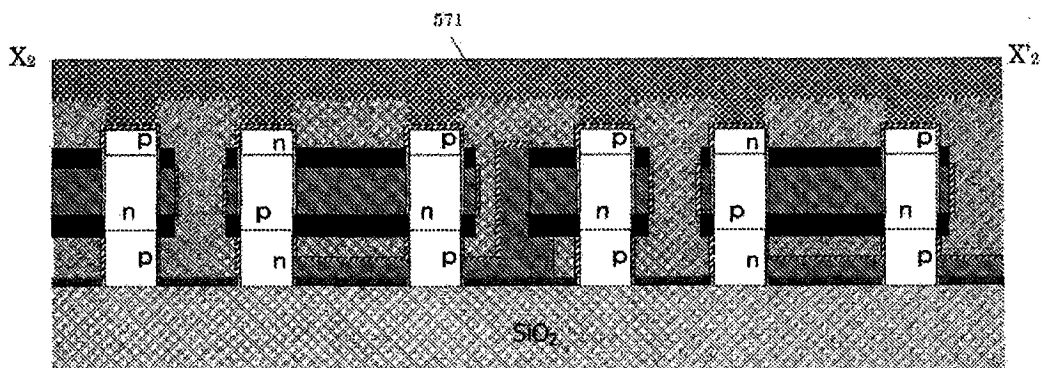


图 194

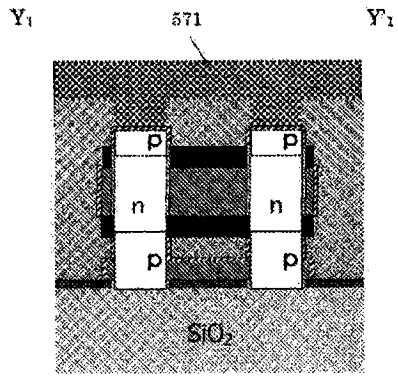


图 195

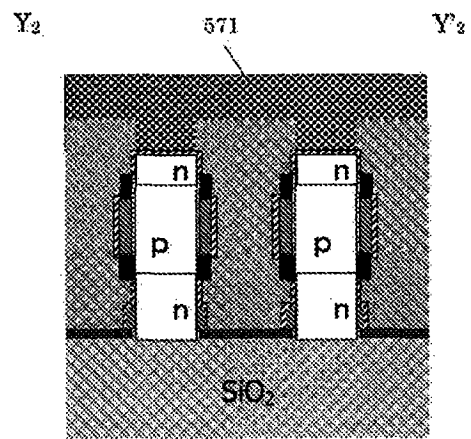


图 196

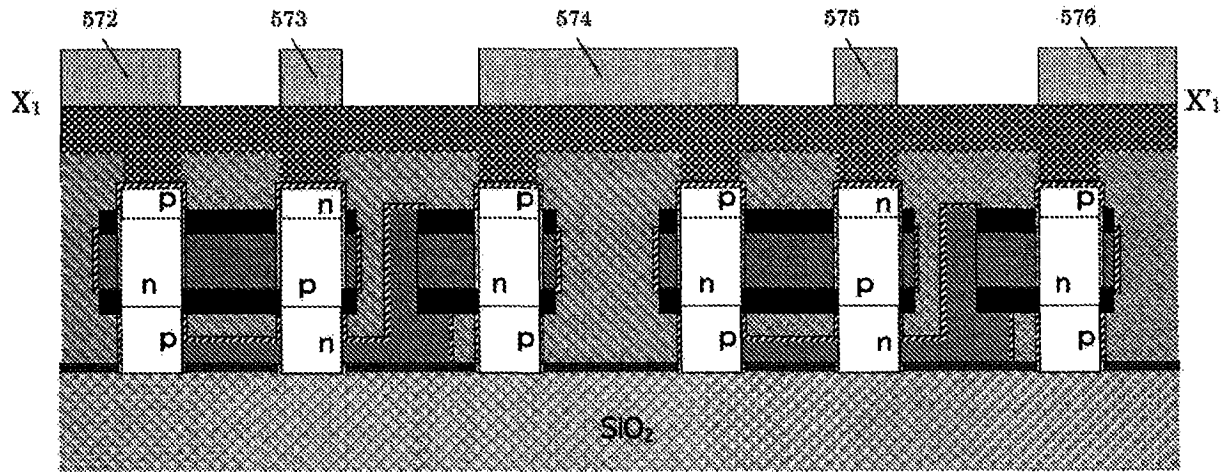


图 197

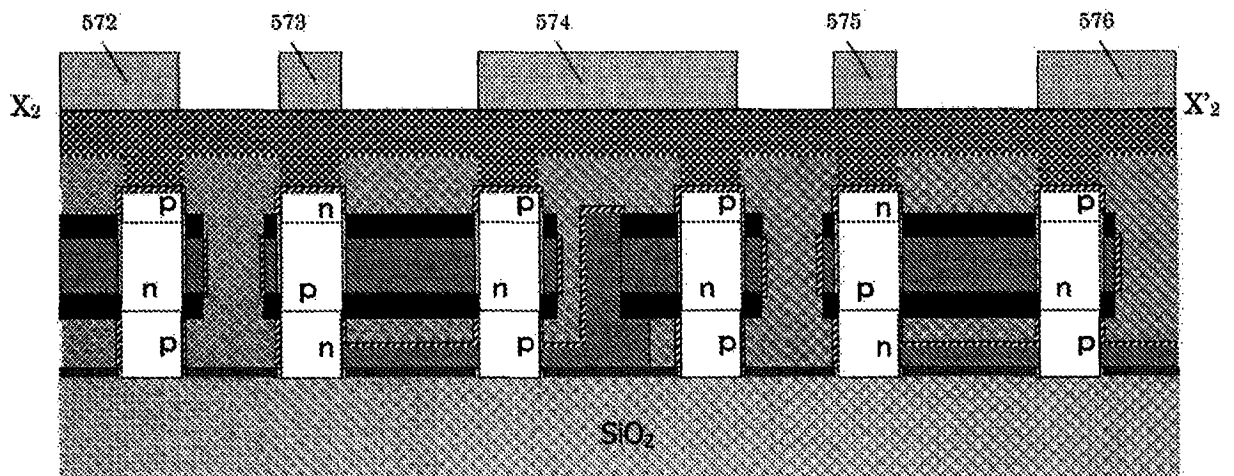


图 198

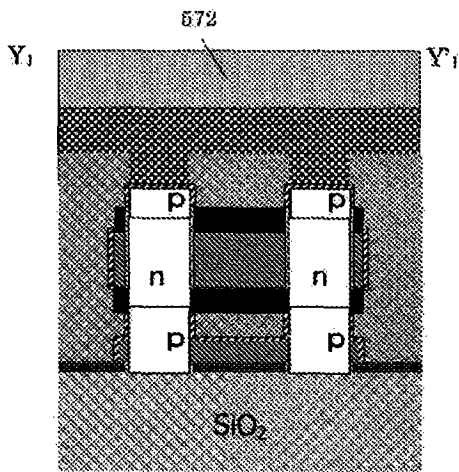


图 199

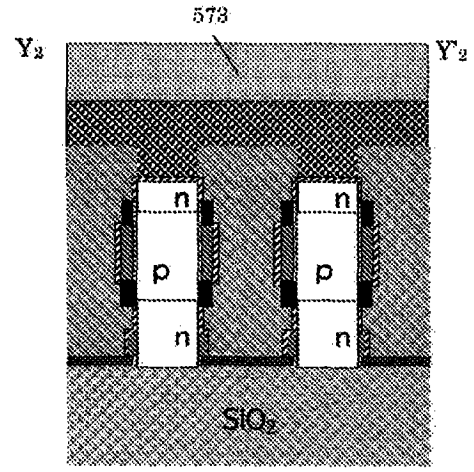


图 200

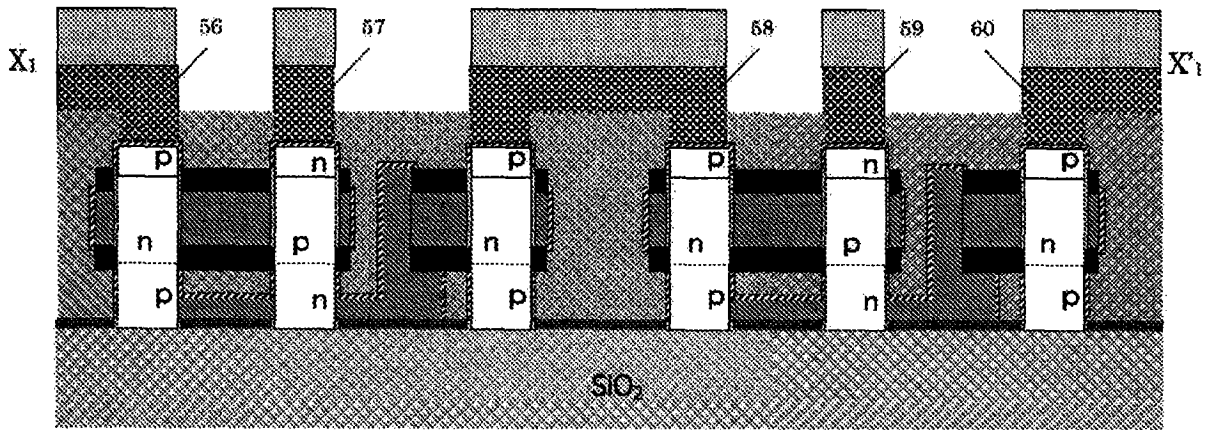


图 201

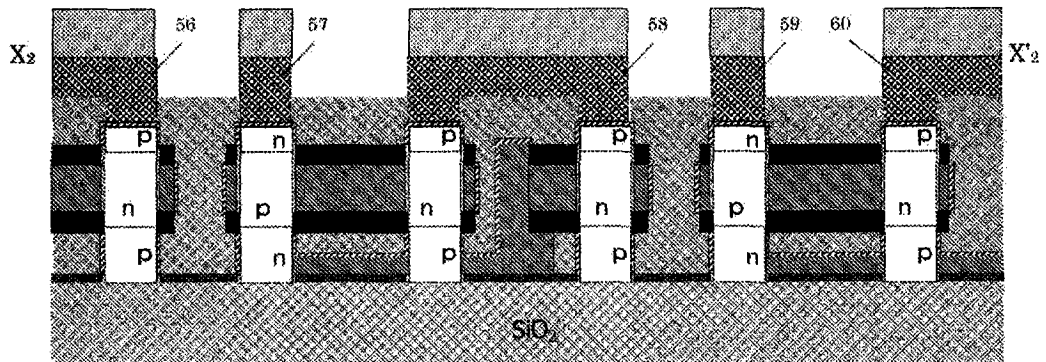


图 202

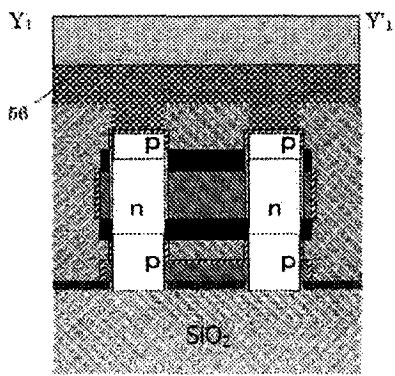


图 203

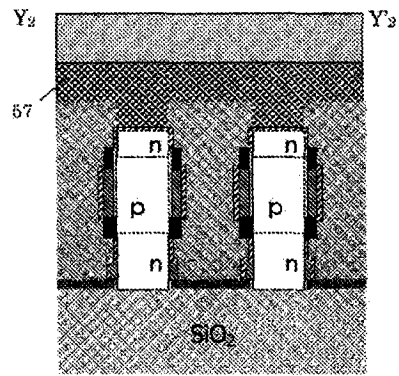


图 204

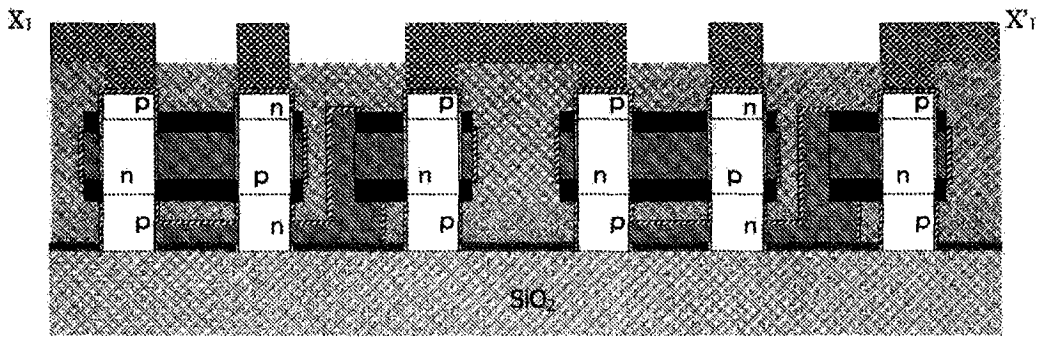


图 205

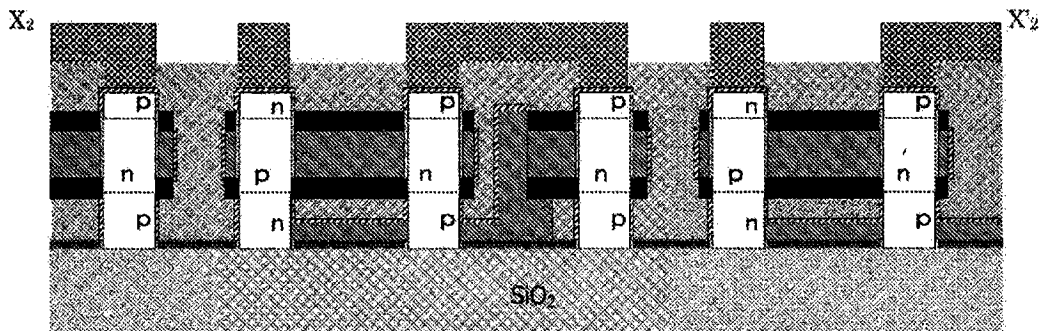


图 206

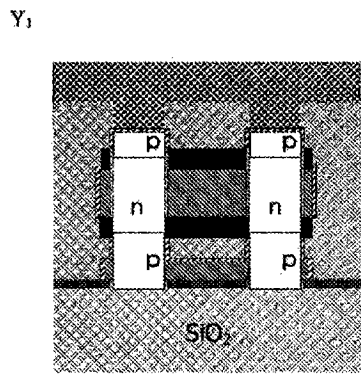


图 207

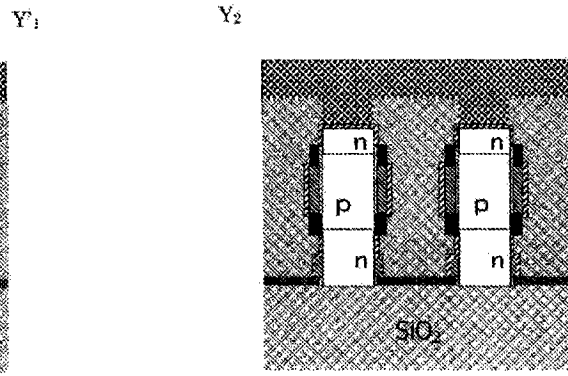


图 208

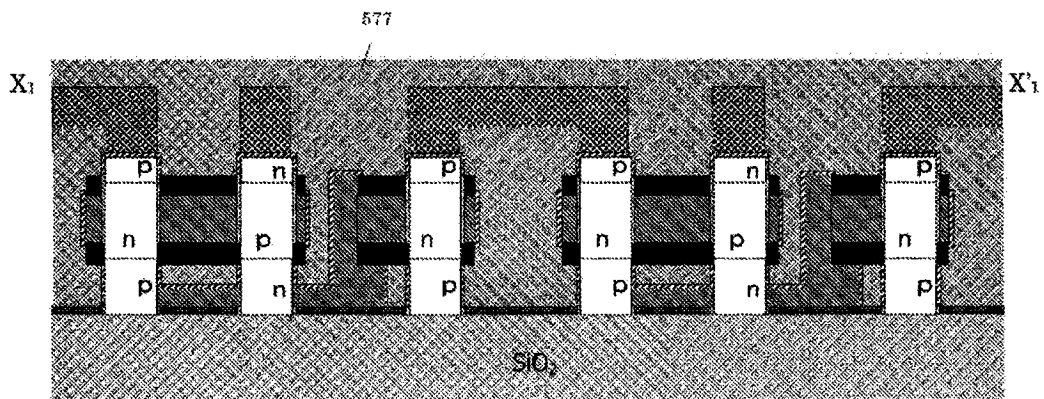


图 209

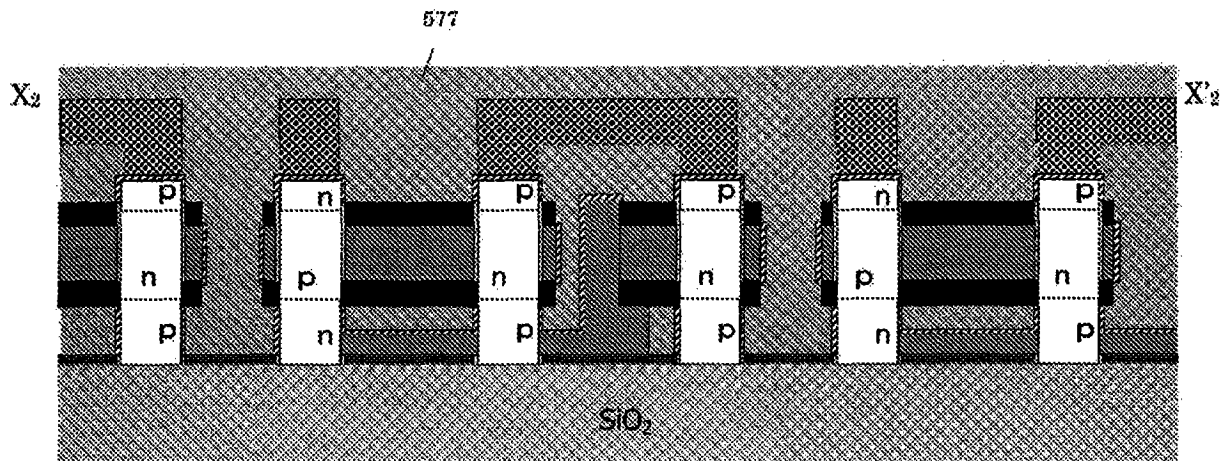


图 210

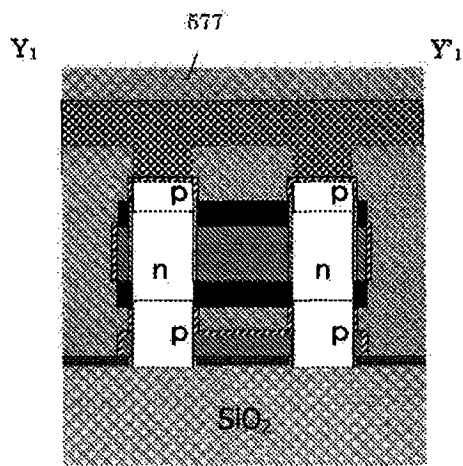


图 211

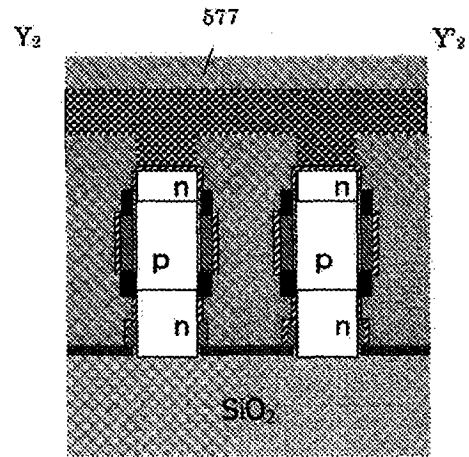


图 212