

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-256835

(P2012-256835A)

(43) 公開日 平成24年12月27日(2012.12.27)

(51) Int.Cl.	F I	テーマコード (参考)
H01L 21/8242 (2006.01)	H01L 27/10 321	4M104
H01L 27/108 (2006.01)	H01L 29/78 613B	5F083
H01L 29/786 (2006.01)	H01L 29/78 618B	5F101
H01L 27/10 (2006.01)	H01L 29/78 617K	5F110
H01L 21/8247 (2006.01)	H01L 29/78 618C	
審査請求 未請求 請求項の数 4 O L (全 34 頁) 最終頁に続く		

(21) 出願番号 特願2012-11677 (P2012-11677)
 (22) 出願日 平成24年1月24日 (2012.1.24)
 (31) 優先権主張番号 特願2011-14626 (P2011-14626)
 (32) 優先日 平成23年1月26日 (2011.1.26)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2011-112675 (P2011-112675)
 (32) 優先日 平成23年5月19日 (2011.5.19)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 郷戸 宏充
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

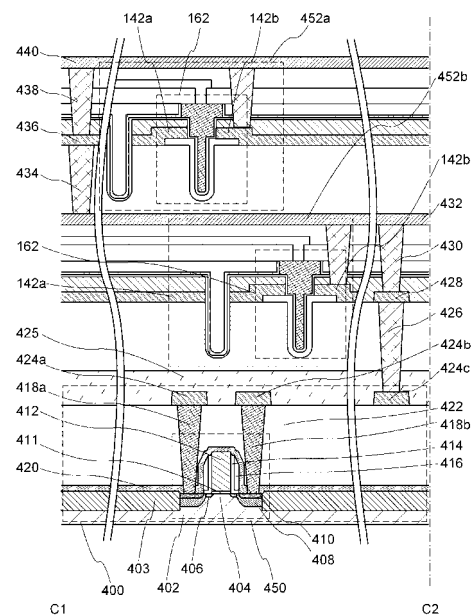
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】従来のDRAMは、データを保持するために数十ミリ秒間隔でリフレッシュをしなければならず、消費電力の増大を招いていた。また、頻繁にトランジスタがオン・オフするのでトランジスタの劣化が問題となっていた。この問題は、メモリ容量が増大し、トランジスタの微細化が進むにつれて顕著なものとなっていた。また、トランジスタの微細化を進めて集積化を図っても、メモリ容量を増加させるためには、半導体装置の面積が大きくなるといった問題があった。

【解決手段】酸化物半導体を有するトランジスタを用い、ゲート電極用のトレンチと、素子分離用のトレンチを有するトレンチ構造のトランジスタとする。また、トレンチ構造の酸化物半導体を有するトランジスタにより、半導体装置の記憶素子を構成し、該記憶素子を複数積層することで、半導体装置の回路面積を縮小することができる。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

酸化物半導体以外の材料により形成された第 1 のトランジスタと、
前記第 1 のトランジスタを含む周辺回路と、
酸化物半導体により形成された第 2 のトランジスタと、
前記第 2 のトランジスタと電氣的に接続された容量素子と、
前記第 2 のトランジスタと前記容量素子により形成された記憶素子と、を有し、
前記第 2 のトランジスタは、
絶縁層に第 1 のトレンチ及び第 2 のトレンチと、
前記第 1 のトレンチの底面及び内壁面に接する酸化物半導体層と、
前記酸化物半導体層上にゲート絶縁層と、
前記ゲート絶縁層上にゲート電極と、
前記第 2 のトレンチの底面及び内壁面上に前記ゲート絶縁層と、
前記第 2 のトレンチ内を充填する絶縁層と、
前記酸化物半導体層に接するソース電極またはドレイン電極と、を有し、
前記周辺回路の上に、前記記憶素子が積層されることを特徴とする半導体装置。

10

【請求項 2】

請求項 1 において、
前記ゲート絶縁層は、前記酸化物半導体層の側面に接して覆っていることを特徴とする半導体装置。

20

【請求項 3】

請求項 1 または請求項 2 において、
前記酸化物半導体層は、前記酸化物半導体層の表面に概略垂直な c 軸を有している結晶を含むことを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、
前記酸化物半導体以外の材料は、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素を含むことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、半導体集積回路の微細化技術に関する。本明細書で開示する発明の中には、半導体集積回路を構成する要素としてシリコン半導体の他に化合物半導体によって構成される素子が含まれ、その一例として酸化物半導体を適用したものが開示される。

【背景技術】

【0002】

半導体記憶装置としてダイナミック RAM (DRAM) は良く知られた製品であり、今日においても各種電子機器の中で使われている。DRAM の中核部を構成するメモリセルは書き込み及び読み出し用のトランジスタとキャパシタによって構成されている。

【0003】

40

DRAM は、他の半導体集積回路と同様にスケーリング則に従って回路パターンの微細化が進められてきたが、デザインルールを 100 nm 以下にすることは難しいと考えられていた時期もあった。その理由の一つとして、トランジスタのチャネル長が 100 nm 以下となると、短チャネル効果によりパンチスルー電流が流れやすくなり、トランジスタがスイッチング素子として機能しなくなることが問題視されていた。もっとも、パンチスルー電流を防ぐにはシリコン基板に高濃度の不純物をドーピングすれば良いが、そうするとソースと基板間又はドレインと基板間に接合リーク電流が流れやすくなり、結局はメモリの保持特性を低下させてしまう原因となってしまう、この問題の解決策としては適切ではなかった。

【0004】

50

このような問題に対して、メモリセルを構成するトランジスタを3次元に形成し、一つのメモリセルが占める面積を縮小しつつトランジスタの実効的なチャンネル長を短チャンネル効果が生じない程度に維持する方法が考えられてきた。例えば、トランジスタのチャンネル部が形成される領域にU字状の縦長溝を形成し、その溝の壁面に沿ってゲート絶縁膜を形成し、さらにその溝にゲート電極を埋め込んだ構造である（非特許文献1参照）。

【0005】

このような構造をチャンネル部に有するトランジスタは、ソース領域とドレイン領域の間を流れる電流が溝部分を回り込む形で流れるため実効的なチャンネル長が長くなっている。このため、メモリセルに占めるトランジスタの占有面積を縮小しつつ、短チャンネル効果を抑制できるといったメリットが得られていた。

10

【先行技術文献】

【非特許文献】

【0006】

【非特許文献1】Kinam Kim、「Technology for sub-50 nm DRAM and NAND Flash Manufacturing」、International Electron Devices Meeting, 2005. IEDM Technical Digest、2005年12月、p. 333 - 336

【発明の概要】

【発明が解決しようとする課題】

20

【0007】

しかしながら、従来のDRAMは、データを保持するために数十ミリ秒間隔でリフレッシュをしなければならず、消費電力の増大を招いていた。また、頻繁にトランジスタのオン状態とオフ状態が切り換わるのでトランジスタの劣化が問題となっていた。この問題は、メモリ容量が増大し、トランジスタの微細化が進むにつれて顕著なものとなっていた。

【0008】

また、もう一つの課題として、記憶装置のメモリ容量を増加させる要求は強く、トランジスタの微細化を進めて集積化を図っても、メモリ容量を増加させるためには、半導体装置の面積が大きくなるといった問題があった。

【0009】

30

そこで本発明は、半導体記憶装置におけるデータ保持特性の改善を図ることのできる技術を提供することを目的の一とする。また、半導体記憶装置におけるデータ保持特性の改善を図りつつ、消費電力の低減を図ることのできる技術を提供することを目的の一とする。また、半導体装置におけるデータの保持特性の改善、及び消費電力の低減を図りつつ、半導体装置の面積縮小を図ることのできる技術を提供することを目的の一とする。

【課題を解決するための手段】

【0010】

上記課題を解決するために、酸化物半導体（OS：オキサイドセミコンダクター）を有するトランジスタ、特に、酸化物半導体を有するMOSトランジスタを用いて、回路、具体的には半導体記憶装置を構成する。その酸化物半導体は、実質的に真性な半導体である。そのため、オフ電流が非常に低いメリットを有する。

40

【0011】

従って、酸化物半導体を有するトランジスタを用いることによって、従来のDRAMよりも長い間隔でリフレッシュを行うことができ、消費電力の低減を実現できる。また、単位時間あたりのトランジスタのオン状態とオフ状態の切り換え回数が低減されるため、従来のDRAMよりもトランジスタの寿命を長くすることができる。

【0012】

また、酸化物半導体層を用いたトランジスタにおいても、トランジスタの微細化が進むと、短チャンネル効果が発現する恐れがある。そこで、酸化物半導体層を用いた新規のトランジスタ構造を提案する。また、酸化物半導体層を用いた新規のトランジスタにより半導体

50

装置の記憶素子を構成し、該記憶素子を複数積層することで、半導体装置の回路面積を縮小することができる。より詳細には以下の通りである。

【0013】

本発明の一態様は、酸化物半導体以外の材料により形成された第1のトランジスタと、第1のトランジスタを含む周辺回路と、酸化物半導体により形成された第2のトランジスタと、第2のトランジスタと電氣的に接続された容量素子と、第2のトランジスタと容量素子により形成された記憶素子と、を有し、第2のトランジスタは、絶縁層に第1のトレンチ及び第2のトレンチと、第1のトレンチの底面及び内壁面に接する酸化物半導体層と、酸化物半導体層上にゲート絶縁層と、ゲート絶縁層上にゲート電極と、第2のトレンチの底面及び内壁面上にゲート絶縁層と、第2のトレンチ内を充填する絶縁層と、酸化物半導体層に接するソース電極またはドレイン電極と、を有し、周辺回路の上に、記憶素子が積層されることを特徴とする半導体装置である。第1のトレンチは、ゲート電極用のトレンチであり、第2のトレンチは素子分離用のトレンチである。なお、第1のトレンチの上面形状は、ストライプ形状または棒状であり、第2のトレンチの上面形状は格子形状またはストライプ形状または棒状である。

10

【0014】

上記構成において、ゲート絶縁層は、酸化物半導体層の側面に接して覆っていてもよい。また、酸化物半導体層は、酸化物半導体層の表面に概略垂直なc軸を有している結晶を含んでいてもよい。また、酸化物半導体以外の材料は、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素を含んでいてもよい。

20

【0015】

また、上記酸化物半導体層の厚さは、1nm以上100nm以下が好ましく、上記酸化物半導体層は、結晶性酸化物半導体層としてもよい。結晶性酸化物半導体層とすることで、可視光や紫外光の照射によるトランジスタの電氣的特性変化を抑制し、信頼性の高い半導体装置とすることができる。さらに、該結晶性酸化物半導体層は、単結晶構造ではなく、非晶質構造でもない構造であり、c軸配向を有した結晶(C Axis Aligned Crystal; CAACとも呼ぶ)を含む酸化物を有する。

【発明の効果】

【0016】

半導体記憶装置におけるデータ保持特性の改善を図ることのできる技術を提供することができる。

30

【0017】

また、半導体記憶装置におけるデータ保持特性の改善を図りつつ、消費電力の低減を図ることのできる技術を提供することができる。

【0018】

また、半導体装置におけるデータの保持特性の改善、及び消費電力の低減を図りつつ、半導体装置の面積縮小を図ることのできる技術を提供することができる。

【図面の簡単な説明】

【0019】

【図1】本発明の一態様を示す断面図及び上面図である。

40

【図2】本発明の一態様を示す断面模式図である。

【図3】本発明の一態様を示す断面図および回路図である。

【図4】本発明の一態様を示す半導体装置の断面図である。

【図5】本発明の一態様を示す半導体装置の回路図、及び概念図である。

【図6】本発明の一態様を示す半導体装置の断面図である。

【図7】計算に用いた構造断面図と計算結果である。

【図8】計算に用いた構造断面図と計算結果である。

【図9】計算に用いた構造断面図と計算結果である。

【図10】半導体装置の回路図である。

【図11】半導体装置を用いた携帯機器を説明するための図である。

50

【図 1 2】半導体装置を用いた携帯機器を説明するための図である。

【図 1 3】半導体装置を用いた携帯機器を説明するための図である。

【図 1 4】本発明の一態様に係る酸化物材料の構造を説明する図。

【図 1 5】本発明の一態様に係る酸化物材料の構造を説明する図。

【図 1 6】本発明の一態様に係る酸化物材料の構造を説明する図。

【図 1 7】本発明の一態様を示す断面図である。

【発明を実施するための形態】

【0020】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0021】

(実施の形態 1)

本実施の形態では、本発明の一態様であるトランジスタの構造および作製方法について、図 1 及び図 2 を用いて説明する。図 1 (A) はトランジスタ 162 のチャンネル長方向の断面図の一例を示している。また、図 1 (B) はトランジスタ 162 とトランジスタ 163 の素子分離領域 165 に垂直な断面図の一例を示している。また、図 1 (C) はトランジスタ 162 とトランジスタ 163 の上面図の一例を示している。なお、図 1 (B) はトランジスタ 162 のチャンネル幅方向の断面図の一部であり、図 1 (C) 中の鎖線 D1-D2 で切断した断面に相当する。また、図 1 (A) は、図 1 (C) 中の鎖線 A1-A2 で切断した断面に相当する。

【0022】

まず、半導体基板上に酸化膜からなる絶縁層 130 を形成する。そして絶縁層 130 に複数のトレンチ（溝とも呼ぶ）を形成する。そしてトレンチを覆うように酸化物半導体層 144 を形成する。トレンチの形成方法は公知の技術を用いればよく、本実施の形態では約 0.4 μm の深さのトレンチを形成する。また、本実施の形態では、ゲート電極用のトレンチを一回のエッチングまたは複数回のエッチングによって形成する。

【0023】

半導体基板としては、SOI 基板、MOSFET 構造のトランジスタを含む駆動回路が形成された半導体基板、容量が形成された半導体基板などを用いる。

【0024】

絶縁層 130 は、酸化物半導体層 144 と接するため、膜中（バルク中）に少なくとも化学量論的組成比を超える量の酸素が存在することが好ましい。例えば、絶縁層 130 として、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 + \alpha$ （ただし、 $\alpha > 0$ ）とする。このような絶縁層 130 を用いることで、酸化物半導体層 144 に酸素を供給することができ、特性を良好にすることができる。

【0025】

酸化物半導体層 144 としては、膜厚は、1 nm 以上 100 nm 以下とし、少なくとも In、Ga、Sn 及び Zn から選ばれた一種以上の元素を含有する。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf) を有することが好ましい。また、スタビライザーとしてアルミニウム (Al) を有することが好ましい。

【0026】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ル

テチウム (Lu) のいずれか一種あるいは複数種を有してもよい。

【0027】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn 系酸化物、Sn-Zn 系酸化物、Al-Zn 系酸化物、Zn-Mg 系酸化物、Sn-Mg 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物 (IGZOとも表記する)、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、Sn-Ga-Zn 系酸化物、Al-Ga-Zn 系酸化物、Sn-Al-Zn 系酸化物、In-Hf-Zn 系酸化物、In-La-Zn 系酸化物、In-Ce-Zn 系酸化物、In-Pr-Zn 系酸化物、In-Nd-Zn 系酸化物、In-Sm-Zn 系酸化物、In-Eu-Zn 系酸化物、In-Gd-Zn 系酸化物、In-Tb-Zn 系酸化物、In-Dy-Zn 系酸化物、In-Ho-Zn 系酸化物、In-Er-Zn 系酸化物、In-Tm-Zn 系酸化物、In-Yb-Zn 系酸化物、In-Lu-Zn 系酸化物、四元系金属の酸化物である In-Sn-Ga-Zn 系酸化物、In-Hf-Ga-Zn 系酸化物、In-Al-Ga-Zn 系酸化物、In-Sn-Al-Zn 系酸化物、In-Sn-Hf-Zn 系酸化物、In-Hf-Al-Zn 系酸化物を用いることができる。

10

【0028】

なお、ここで、例えば、In-Ga-Zn 系酸化物とは、In と Ga と Zn を主成分として有する酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素が入っていてもよい。

20

【0029】

また、In-Sn-Zn 系酸化物は、用いるターゲットの組成比として、In : Sn : Zn が原子数比で、1 : 2 : 2、2 : 1 : 3、1 : 1 : 1、または 20 : 45 : 35 などとなる酸化物ターゲットを用いる。

【0030】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、M は、Ga、Fe、Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0031】

例えば、In : Ga : Zn = 1 : 1 : 1 ($= 1/3 : 1/3 : 1/3$)、または In : Ga : Zn = 2 : 2 : 1 ($= 2/5 : 2/5 : 1/5$) の原子数比の In-Ga-Zn 系酸化物やその組成の近傍の酸化物を用いることができる。または、In : Sn : Zn = 1 : 1 : 1 ($= 1/3 : 1/3 : 1/3$)、In : Sn : Zn = 2 : 1 : 3 ($= 1/3 : 1/6 : 1/2$)、または In : Sn : Zn = 2 : 1 : 5 ($= 1/4 : 1/8 : 5/8$) の原子数比の In-Sn-Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

30

【0032】

しかし、これらに限られず、必要とする半導体特性 (移動度、しきい値、ばらつき等) に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

40

【0033】

例えば、In-Sn-Zn 系酸化物では比較的容易に高い移動度を得られる。しかしながら、In-Ga-Zn 系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0034】

なお、例えば、In、Ga、Zn の原子数比が In : Ga : Zn = a : b : c ($a + b + c = 1$) である酸化物の組成が、原子数比が In : Ga : Zn = A : B : C ($A + B + C = 1$) の酸化物の組成の近傍であるとは、a、b、c が、 $(a - A)^2 + (b - B)^2 + (c - C)^2 \leq r^2$

50

を満たすことをいい、 r は、例えば、0.05とすればよい。他の酸化物でも同様である。

【0035】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0036】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

10

【0037】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ (Ra) が1 nm以下、好ましくは0.3 nm以下、より好ましくは0.1 nm以下の表面上に形成するとよい。

【0038】

なお、 Ra は、JIS B0601で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

20

【0039】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0040】

なお、上記において、 S_0 は、測定面（座標 (x_1, y_1) (x_1, y_2) (x_2, y_1) (x_2, y_2) で表される4点によって囲まれる長方形の領域）の面積を指し、 Z_0 は測定面の平均高さを指す。 Ra は原子間力顕微鏡 (AFM: Atomic Force Microscope) にて評価可能である。

30

【0041】

酸化物半導体層144の材料として、Inを含み、 c 軸配向を有した結晶性酸化物半導体を用いることが好ましい。

【0042】

本実施の形態では、 c 軸配向し、かつ ab 面、表面または界面の方向から見て三角形または六角形状の原子配列を有し、 c 軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、 ab 面においては a 軸または b 軸の向きが異なる (c 軸を中心に回転した) 結晶 (CAAC: C Axis Aligned Crystalともいう。) を含む酸化物について説明する。

40

【0043】

CAACを含む酸化物とは、広義に、非単結晶であって、その ab 面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつ c 軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

【0044】

CAACは単結晶ではないが、非晶質のみから形成されているものでもない。また、CAACは結晶化した部分 (結晶部分) を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0045】

50

C A A C に酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、C A A C を構成する個々の結晶部分の c 軸は一定の方向（例えば、C A A C を支持する基板面、C A A C の表面などに垂直な方向）に揃っていてもよい。または、C A A C を構成する個々の結晶部分の a b 面の法線は一定の方向（例えば、C A A C を支持する基板面、C A A C の表面などに垂直な方向）を向いていてもよい。

【0046】

C A A C は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0047】

10

このような C A A C の例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることできる。

【0048】

C A A C に含まれる結晶構造の一例について図 1 4 乃至図 1 6 を用いて詳細に説明する。なお、特に断りがない限り、図 1 4 乃至図 1 6 は上方向を c 軸方向とし、c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、a b 面を境にした場合の上半分、下半分をいう。また、図 1 4 において丸で囲まれた O は 4 配位の O を示し、二重丸で囲まれた O は 3 配位の O を示す。

20

【0049】

図 1 4 (A) に、1 個の 6 配位の I n と、I n に近接の 6 個の 4 配位の酸素原子（以下 4 配位の O）と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図 1 4 (A) の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図 1 4 (A) の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O がある。図 1 4 (A) に示す小グループは電荷が 0 である。

【0050】

図 1 4 (B) に、1 個の 5 配位の G a と、G a に近接の 3 個の 3 配位の酸素原子（以下 3 配位の O）と、G a に近接の 2 個の 4 配位の O と、を有する構造を示す。3 配位の O は、いずれも a b 面に存在する。図 1 4 (B) の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O がある。また、I n も 5 配位をとるため、図 1 4 (B) に示す構造をとりうる。図 1 4 (B) に示す小グループは電荷が 0 である。

30

【0051】

図 1 4 (C) に、1 個の 4 配位の Z n と、Z n に近接の 4 個の 4 配位の O と、を有する構造を示す。図 1 4 (C) の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。または、図 1 4 (C) の上半分に 3 個の 4 配位の O があり、下半分に 1 個の 4 配位の O があってもよい。図 1 4 (C) に示す小グループは電荷が 0 である。

【0052】

図 1 4 (D) に、1 個の 6 配位の S n と、S n に近接の 6 個の 4 配位の O と、を有する構造を示す。図 1 4 (D) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。図 1 4 (D) に示す小グループは電荷が + 1 となる。

40

【0053】

図 1 4 (E) に、2 個の Z n を含む小グループを示す。図 1 4 (E) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 1 4 (E) に示す小グループは電荷が - 1 となる。

【0054】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

【0055】

ここで、これらの小グループ同士が結合する規則について説明する。図 1 4 (A) に示す

50

6 配位の In の上半分の 3 個の O は、下方向にそれぞれ 3 個の近接 In を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 In を有する。図 14 (B) に示す 5 配位の Ga の上半分の 1 個の O は下方向に 1 個の近接 Ga を有し、下半分の 1 個の O は上方向に 1 個の近接 Ga を有する。図 14 (C) に示す 4 配位の Zn の上半分の 1 個の O は、下方向に 1 個の近接 Zn を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 Zn を有する。この様に、金属原子の上方向の 4 配位の O の数と、その O の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の 4 配位の O の数と、その O の上方向にある近接金属原子の数は等しい。 O は 4 配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は 4 になる。従って、金属原子の上方向にある 4 配位の O の数と、別の金属原子の下方向にある 4 配位の O の数との和が 4 個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6 配位の金属原子 (In または Sn) が下半分の 4 配位の O を介して結合する場合、4 配位の O が 3 個であるため、5 配位の金属原子 (Ga または In)、4 配位の金属原子 (Zn) のいずれかと結合することになる。

10

【0056】

これらの配位数を有する金属原子は、 c 軸方向において、4 配位の O を介して結合する。また、このほかにも、層構造の合計の電荷が 0 となるように複数の小グループが結合して中グループを構成する。

【0057】

図 15 (A) に、 $\text{In}-\text{Sn}-\text{Zn}-\text{O}$ 系の層構造を構成する中グループのモデル図を示す。図 15 (B) に、3 つの中グループで構成される大グループを示す。なお、図 15 (C) は、図 15 (B) の層構造を c 軸方向から観察した場合の原子配列を示す。

20

【0058】

図 15 (A) においては、簡単のため、3 配位の O は省略し、4 配位の O は個数のみ示し、例えば、 Sn の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O があることを丸枠の 3 として示している。同様に、図 15 (A) において、 In の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O があり、丸枠の 1 として示している。また、同様に、図 15 (A) において、下半分には 1 個の 4 配位の O があり、上半分には 3 個の 4 配位の O がある Zn と、上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある Zn とを示している。

30

【0059】

図 15 (A) において、 $\text{In}-\text{Sn}-\text{Zn}-\text{O}$ 系の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分および下半分にある Sn が、4 配位の O が 1 個ずつ上半分および下半分にある In と結合し、その In が、上半分に 3 個の 4 配位の O がある Zn と結合し、その Zn の下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある In と結合し、その In が、上半分に 1 個の 4 配位の O がある Zn 2 個からなる小グループと結合し、この小グループの下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある Sn と結合している構成である。この中グループが複数結合して大グループを構成する。

【0060】

ここで、3 配位の O および 4 配位の O の場合、結合 1 本当当たりの電荷はそれぞれ -0.667 、 -0.5 と考えることができる。例えば、 In (6 配位または 5 配位)、 Zn (4 配位)、 Sn (5 配位または 6 配位) の電荷は、それぞれ $+3$ 、 $+2$ 、 $+4$ である。従って、 Sn を含む小グループは電荷が $+1$ となる。そのため、 Sn を含む層構造を形成するためには、電荷 $+1$ を打ち消す電荷 -1 が必要となる。電荷 -1 をとる構造として、図 14 (E) に示すように、2 個の Zn を含む小グループが挙げられる。例えば、 Sn を含む小グループが 1 個に対し、2 個の Zn を含む小グループが 1 個あれば、電荷が打ち消されるため、層構造の合計の電荷を 0 とすることができる。

40

【0061】

具体的には、図 15 (B) に示した大グループが繰り返されることで、 $\text{In}-\text{Sn}-\text{Zn}$

50

－O系の結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$) を得ることができる。なお、得られる $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 系の層構造は、 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m は 0 または自然数。) とする組成式で表すことができる。

【0062】

また、このほかにも、四元系金属の酸化物である $\text{In} - \text{Sn} - \text{Ga} - \text{Zn}$ 系酸化物や、三元系金属の酸化物である $\text{In} - \text{Ga} - \text{Zn}$ 系酸化物 (IGZO と表記する。)、 $\text{In} - \text{Al} - \text{Zn}$ 系酸化物、 $\text{Sn} - \text{Ga} - \text{Zn}$ 系酸化物、 $\text{Al} - \text{Ga} - \text{Zn}$ 系酸化物、 $\text{Sn} - \text{Al} - \text{Zn}$ 系酸化物や、 $\text{In} - \text{Hf} - \text{Zn}$ 系酸化物、 $\text{In} - \text{La} - \text{Zn}$ 系酸化物、 $\text{In} - \text{Ce} - \text{Zn}$ 系酸化物、 $\text{In} - \text{Pr} - \text{Zn}$ 系酸化物、 $\text{In} - \text{Nd} - \text{Zn}$ 系酸化物、 $\text{In} - \text{Sm} - \text{Zn}$ 系酸化物、 $\text{In} - \text{Eu} - \text{Zn}$ 系酸化物、 $\text{In} - \text{Gd} - \text{Zn}$ 系酸化物、 $\text{In} - \text{Tb} - \text{Zn}$ 系酸化物、 $\text{In} - \text{Dy} - \text{Zn}$ 系酸化物、 $\text{In} - \text{Ho} - \text{Zn}$ 系酸化物、 $\text{In} - \text{Er} - \text{Zn}$ 系酸化物、 $\text{In} - \text{Tm} - \text{Zn}$ 系酸化物、 $\text{In} - \text{Yb} - \text{Zn}$ 系酸化物、 $\text{In} - \text{Lu} - \text{Zn}$ 系酸化物や、二元系金属の酸化物である $\text{In} - \text{Zn}$ 系酸化物、 $\text{Sn} - \text{Zn}$ 系酸化物、 $\text{Al} - \text{Zn}$ 系酸化物、 $\text{Zn} - \text{Mg}$ 系酸化物、 $\text{Sn} - \text{Mg}$ 系酸化物、 $\text{In} - \text{Mg}$ 系酸化物や、 $\text{In} - \text{Ga}$ 系酸化物などを用いた場合も同様である。

【0063】

例えば、図 16 (A) に、 $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ 系の層構造を構成する中グループのモデル図を示す。

【0064】

図 16 (A) において、 $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ 系の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分および下半分にある In が、4 配位の O が 1 個上半分にある Zn と結合し、その Zn の下半分の 3 個の 4 配位の O を介して、4 配位の O が 1 個ずつ上半分および下半分にある Ga と結合し、その Ga の下半分の 1 個の 4 配位の O を介して、4 配位の O が 3 個ずつ上半分および下半分にある In と結合している構成である。この中グループが複数結合して大グループを構成する。

【0065】

図 16 (B) に 3 つの中グループで構成される大グループを示す。なお、図 16 (C) は、図 16 (B) の層構造を c 軸方向から観察した場合の原子配列を示している。

【0066】

ここで、In (6 配位または 5 配位)、Zn (4 配位)、Ga (5 配位) の電荷は、それぞれ +3、+2、+3 であるため、In、Zn および Ga のいずれかを含む小グループは、電荷が 0 となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に 0 となる。

【0067】

また、 $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ 系の層構造を構成する中グループは、図 16 (A) に示した中グループに限定されず、In、Ga、Zn の配列が異なる中グループを組み合わせた大グループも取りうる。

【0068】

c 軸配向を有した結晶性酸化物半導体を得る方法としては、三つ挙げられる。一つ目は、成膜温度を 400℃ 以上 450℃ 以下として酸化物半導体層 144 の成膜を行い、図 2 (A) に示す矢印の方向に c 軸配向させる方法である。二つ目は、膜厚を薄く成膜した後、200℃ 以上 700℃ 以下の加熱処理を行い、図 2 (B) に示す矢印の方向に c 軸配向させる方法である。三つ目は、一層目の膜厚を薄く成膜した後、200℃ 以上 700℃ 以下の加熱処理を行い、2 層目の成膜を行い、図 2 (C) に示す矢印の方向に c 軸配向させる方法である。

【0069】

図 2 (A)、図 2 (B)、及び図 2 (C) に示すように、いずれの方法であっても、酸化物半導体層 144 の表面の凹凸に対して垂直な方向に結晶成長が行われ、c 軸配向した結晶性酸化物半導体を得ることができる。

【0070】

10

20

30

40

50

次いで、酸化物半導体層 144 に接し、ソース電極またはドレイン電極として機能する電極 142 a、142 b を形成する。電極 142 a、電極 142 b は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。

【0071】

また、電極 142 a、142 b を保護するため、絶縁層 143 a、143 b を形成する。次いで、CMP（化学的機械的研磨）などを用いて平坦化処理を行う。この平坦化処理の際、絶縁層 143 a、143 b は、電極 142 a、142 b を削らないためのバッファ層として機能する。

【0072】

次いで、チャンネル長方向の素子分離用のトレンチと、チャンネル幅方向の素子分離用のトレンチを形成する。これらの素子分離用のトレンチは、繋がった上面パターン形状としてもよいし、独立した上面パターン形状としてもよい。本実施の形態では、トレンチの形成によって酸化物半導体層の分離を行うため、図 1（C）において、これらのトレンチのパターンは、繋がった上面パターン形状（格子状）としている。チャンネル幅方向の素子分離用のトレンチの形成の際に、電極 142 a と電極 142 b の分離も行うことができる。なお、素子分離用のトレンチの形成のタイミングは、特に限定されない。また、素子分離用のトレンチの深さは、素子分離が十分行えるのであれば、ゲート電極用のトレンチと同じ底面の水平位置となる深さに限定されない。ゲート電極用トレンチよりも素子分離用のトレンチの底面の水平位置を深くすることで確実に素子分離を行うことができる。

【0073】

次いで、酸化物半導体層 144 の一部、ソース電極またはドレイン電極として機能する電極 142 a、142 b、及び絶縁層 143 a、143 b を覆うゲート絶縁層 146 を形成する。また、チャンネル長方向の素子分離用のトレンチの内壁及び底面と、チャンネル幅方向のトレンチの内壁及び底面にもゲート絶縁層 146 を成膜する。

【0074】

ゲート絶縁層 146 としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いて形成することができる。ゲート絶縁層 146 は、酸化物半導体層 144 と接する部分において酸素を含むことが好ましい。特に、ゲート絶縁層 146 は、膜中（バルク中）に少なくとも化学量論的組成比を超える量の酸素が存在することが好ましく、例えば、ゲート絶縁層 146 として、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 + \alpha$ （ただし、 $\alpha > 0$ ）とする。本実施の形態では、ゲート絶縁層 146 として、 $\text{SiO}_2 + \alpha$ （ただし、 $\alpha > 0$ ）である酸化シリコン膜を用いる。この酸化シリコン膜をゲート絶縁層 146 として用いることで、酸化物半導体層 144 に酸素を供給することができ、特性を良好にすることができる。さらに、ゲート絶縁層 146 は、作製するトランジスタのサイズやゲート絶縁層 146 の段差被覆性を考慮して形成することが好ましい。

【0075】

また、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））、ハフニウムアルミネート（ HfAl_xO_y （ $x > 0$ 、 $y > 0$ ））、などの high-k 材料を用いることでゲートリーク電流を低減できる。さらに、ゲート絶縁層 146 は、単層構造としても良いし、積層構造としても良い。なお、ゲート絶縁層の膜厚は、1 nm 以上 100 nm 以下とする。

【0076】

そして、ゲート電極用のトレンチ内に充填されるように、ゲート電極 148 a をゲート絶縁層 146 上に形成する。ゲート電極 148 a の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。ゲート電極 148 a は、単層構造としてもよいし、積層構造としてもよい。

【0077】

ゲート絶縁層146と接するゲート電極148aの一層として、窒素を含む金属酸化物、具体的には、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜(InN、SnNなど)を用いる。これらの膜は5電子ボルト、好ましくは5.5電子ボルト以上の仕事関数を有し、ゲート電極として用いた場合、トランジスタの電気特性の一であるしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

【0078】

ゲート電極用のトレンチ内にゲート電極148aを形成した段階で、トレンチ構造のトランジスタ162が形成される。

10

【0079】

次いで、ゲート電極148a、148bを覆う絶縁層149を形成する。絶縁層149は段差被覆性のよい絶縁膜を用いることが好ましい。絶縁層149の材料としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いて形成することができる。本実施の形態では、絶縁層149の材料として酸化アルミニウム膜を用いる。図1(A)及び図1(B)においては、酸化物半導体層144の側面に接してゲート絶縁層146が形成され、さらに絶縁層149が形成される。なお、本実施の形態では、ゲート絶縁層146として、 $\text{SiO}_2 + \alpha$ (ただし、 $\alpha > 0$) である酸化シリコン膜を用い、絶縁層149として、酸化アルミニウム膜を用いる。従って、酸化アルミニウム膜が酸化シリコン膜を覆うことによって酸化シリコン膜中の酸素が拡散し、酸素が絶縁層149を通過しないようにブロックしている。

20

【0080】

絶縁層149を形成した後、素子分離用のトレンチを充填するための絶縁層150をCVD法などにより形成する。素子分離用のトレンチに絶縁層150を充填することによって素子分離領域161、165が形成される。なお、絶縁層150の形成前に、素子分離用のトレンチにはゲート絶縁層146、絶縁層149を積層させておくことで、絶縁層150を充填する領域を小さくし、絶縁層150の充填をスムーズに行うことができる。その後、CMPなどを用いて平坦化処理を行い、図1(A)及び図1(B)に示す構造を得ることができる。

30

【0081】

また、図1(B)に示すように、トランジスタ162のゲート電極148aと、隣り合うトランジスタ163のゲート電極148bとの間にも絶縁層150が充填され、ゲート電極同士の短絡防止が図られている。また、図1(A)に示すように、トランジスタ162のソース電極またはドレイン電極として機能する電極と、チャンネル長方向に隣り合うトランジスタのソース電極またはドレイン電極として機能する電極との間にも絶縁層150が充填され、ソース電極またはドレイン電極の短絡防止も図られている。

【0082】

トランジスタのチャンネルがトレンチの内壁に沿って形成され、チャンネル形成領域が平坦でなくともキャリアの流れがCAACの酸化物半導体のIn-O-In-Oとスムーズに流れる。本実施の形態では、深さ0.4 μm のトレンチ内壁に接して酸化物半導体層144を形成するため、チャンネル長は約0.8 μm 以上となる。0.8 μm 以上のチャンネル長とすることで、ノーマリーオフのトランジスタとすることができ、ショートチャンネル効果も生じないようにすることができる。また、トレンチ構造を採用することで、トランジスタの平面面積を縮小できるため、高集積化が可能である。

40

【0083】

(実施の形態2)

図1に示すトランジスタ162を使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置の一例を図3、及び図17に示す

50

。

【0084】

トランジスタ162は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

【0085】

図3(A)は、半導体装置の断面の一例を示している。

【0086】

図3(A)に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ160を有し、上部に第2の半導体材料を用いたトランジスタ162を有するものである。なお、トランジスタ162は、実施の形態1と同一であるため、図3(A)、(B)において図1(A)と同じ箇所は、同じ符号を用いて説明する。

【0087】

ここで、第1の半導体材料と第2の半導体材料とは異なる材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料(シリコンなど)とし、第2の半導体材料を酸化物半導体とすることができ、酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。また、本実施の形態においては、第1の半導体材料を用いたトランジスタを第1のトランジスタとし、第2の半導体材料を用いたトランジスタを第2のトランジスタとする。

【0088】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体をトランジスタ162に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0089】

図3(A)におけるトランジスタ160は、半導体材料(例えば、シリコンなど)を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属化合物領域124と、チャネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極110と、を有する。

【0090】

トランジスタ160の金属化合物領域124の一部には、電極126が接続されている。ここで、電極126は、トランジスタ160のソース電極やドレイン電極として機能する。また、基板100上にはトランジスタ160を囲むように素子分離絶縁層(図示しない)が設けられており、トランジスタ160を覆うように絶縁層130が設けられている。なお、高集積化を実現するためには、図3(A)に示すようにトランジスタ160がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ160の特性を重視する場合には、ゲート電極110の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域120を設けても良い。

【0091】

図3(A)に示すようにトランジスタ162は、酸化物半導体層144を有するトレンチ構造のトランジスタである。

【0092】

ここで、酸化物半導体層144は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層144の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層144中の水素濃度は、二次

イオン質量分析法（SIMS：Secondary Ion Mass Spectroscopy）で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層144では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温（25℃）でのオフ電流（ここでは、単位チャネル幅（1μm）あたりの値）は100zA（1zA（zeptoアンペア）は 1×10^{-21} A）以下、望ましくは10zA以下となる。このように、i型化（真性化）または実質的にi型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ162を得ることができる。

10

【0093】

なお、図3（A）のトランジスタ162では、微細化に起因して素子間に生じるリークを抑制するために、素子分離領域161を設けている。さらに素子分離領域161に囲まれた領域よりも小さく島状に加工された酸化物半導体層144を用いているが、実施の形態1に示したように、素子分離用のトレンチを形成するまで島状に加工されていない構成を採用しても良い。酸化物半導体層144を島状に加工しない場合には、加工の際のエッチングによる酸化物半導体層144の汚染を防止できる。勿論、酸化物半導体層144を島状に加工しない場合には、工程数の削減も図ることができる。また、素子分離領域161に囲まれた領域よりも小さく島状に加工された酸化物半導体層144を用いる場合、素子分離用のトレンチの形成によって酸化物半導体層を分断する必要がないため、素子分離用のトレンチの底面の水平位置はゲート電極用のトレンチよりも浅くできる、または素子分離用のトレンチ形成のトータル面積を減らすことができる。

20

【0094】

トランジスタ162上には、絶縁層151が設けられており、絶縁層151上にはゲート電極148aと電氣的に接続する電極153が設けられている。そして、電極153上には絶縁層152が設けられている。そして、ゲート絶縁層146、絶縁層150、絶縁層151、絶縁層152などに形成された開口には、電極154が設けられ、絶縁層152上には電極154と接続する配線156が形成される。なお、図3（A）では電極126および電極154を用いて、金属化合物領域124、電極142b、および配線156を接続しているが、開示する発明はこれに限定されない。例えば、電極142bを直接、金属化合物領域124に接触させても良い。または、配線156を直接、電極142bに接触させても良い。

30

【0095】

次に、図3（A）に対応する回路構成の一例を図3（B）に示す。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

【0096】

図3（B）において、第1の配線（1st Line）とトランジスタ160のソース電極層とは、電氣的に接続され、第2の配線（2nd Line）とトランジスタ160のドレイン電極層とは、電氣的に接続されている。また、第3の配線（3rd Line）とトランジスタ162のソース電極またはドレイン電極層の一方とは、電氣的に接続され、第4の配線（4th Line）と、トランジスタ162のゲート電極層とは、電氣的に接続されている。そして、トランジスタ160のゲート電極層と、トランジスタ162のソース電極層またはドレイン電極層の他方は、容量素子164の電極の一方と電氣的に接続され、第5の配線（5th Line）と、容量素子164の電極の他方は電氣的に接続されている。

40

【0097】

容量素子164は、トランジスタ160やトランジスタ162の作製プロセスと同じ工程で一对の電極と、その間に挟まれる誘電体となる絶縁層で形成することができる。トランジスタ162の作製プロセスと同じ工程で容量素子164を形成する一例を、図17に示

50

す。図17に示す構成は、図3(A)に示す構成に容量素子164が追加されている。トランジスタ162を形成後、トランジスタ162の電極142aに達する開口部を形成し、その後、開口部を覆うように絶縁膜502を形成する。そして、絶縁膜502と接し、当該開口部を充填するように電極504形成することで、電極142aと、絶縁膜502と、電極504により容量素子164が形成される。なお、トランジスタ160やトランジスタ162の作製プロセスと同じ工程で形成することに限定されず、容量素子164の層を別途、トランジスタ162の上方に設けてもよい。例えば、トレンチ型の容量素子やスタック型の容量素子を別途、トランジスタの162の上方、または、トランジスタ160の下方に形成し、3次元的に積み重ねることで高集積化を図ってもよい。

【0098】

図3(B)に示す半導体装置の回路構成では、トランジスタ160のゲート電極層の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0099】

情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極層、および容量素子164に与えられる。すなわち、トランジスタ160のゲート電極層には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という）のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極層に与えられた電荷が保持される（保持）。次に情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ160のゲート電極層に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極層にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極層にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、トランジスタ160のゲート電極層に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が V_0 ($> V_{th_H}$) となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

【0100】

また、バックゲート電極をトランジスタ162に設けてもよく、バックゲート電極に電圧を印加することによってトランジスタ162のノーマリーオフ化を確実なものとするのが好ましい。

【0101】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0102】

（実施の形態3）

本実施の形態においては、図1に示すトランジスタ162を使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態2に示した構成と異なる構成について図4を用いて説明を行う。

【0103】

図 4 に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 350 を有し、上部に第 2 の半導体材料を用いたトランジスタ 162 を有するものである。なお、本実施の形態においては、下部に形成されたトランジスタ 350 は、第 1 のトランジスタとし、上部に形成されたトランジスタ 162 は、第 2 のトランジスタとする。また、上部、及び下部には、複数のトランジスタが形成されているが、代表的にトランジスタ 350、及びトランジスタ 162 について、説明を行う。また、下部に形成されたトランジスタ 350 を含む複数のトランジスタは、半導体装置の周辺回路として機能し、上部に形成されたトランジスタ 162 を含む複数のトランジスタは、記憶素子として機能する。なお、線 B1-B2 で切断された図 4 は、トランジスタのチャンネル長方向に垂直な断面図に相当する。

【0104】

ここで、第 1 の半導体材料と第 2 の半導体材料とは異なる材料とすることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とし、第 2 の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0105】

なお、図 4 に示すように上部に第 2 の半導体材料を用いたトランジスタ 162 は、酸化物半導体層を有するトレンチ構造のトランジスタである。トランジスタ 162 は、先の実施の形態 1、および実施の形態 2 に記載したトランジスタ 162 と同一であるため、図 4 において図 1 (A) と同じ箇所は、同じ符号を用いており、詳細な説明は省略する。

【0106】

ここでは、下部の第 1 の半導体材料を用いたトランジスタ 350 について、以下説明を行う。

【0107】

トランジスタ 350 は、半導体基板 310、ゲート絶縁層 314、半導体層 316、導電層 318、保護絶縁層 320、サイドウォール絶縁層 322、不純物領域 324、及び絶縁層 326 により構成されている。なお、半導体層 316、及び導電層 318 はゲート電極として機能し、不純物領域 324 は、ソース領域またはドレイン領域として機能する。

【0108】

また、トランジスタ 350 は、STI (Shallow Trench Isolation) 領域 312 と隣接している。

【0109】

STI 領域 312 としては、まず、半導体基板 310 の上の所望の領域に保護絶縁膜を形成し、エッチングを行うことでトレンチ（溝ともいう）が形成される。トレンチを形成した後、絶縁誘電体膜をトレンチに埋め込むことで STI 領域 312 を形成することができる。絶縁誘電体膜としては、酸化シリコン膜、窒化シリコン膜などを用いることができる。

【0110】

次に、トランジスタ 350 の詳細な説明を行う。トランジスタ 350 のゲート絶縁層 314 としては、STI 領域 312 が形成された半導体基板 310 に、絶縁膜を形成した後、所望の位置にパターニング、エッチングを行い、半導体基板 310 に STI 領域 312 とは異なる深さのトレンチを形成する。その後、酸素雰囲気内にて加熱処理を行うことで、トレンチ内の半導体基板 310 が酸化され、ゲート絶縁層 314 を形成することができる。

【0111】

ゲート絶縁層 314 形成後に、LPCVD 法などを用いて、シリコン膜を形成する。なお、該シリコン膜に n^+ 、 p^+ のドーピング処理、または加熱処理等を行い、所謂ポリシリコンとして導電性の高い半導体層を形成する。その後、該半導体層の上にスパッタリング法などにより、金属膜を成膜する。金属膜としては、タングステン、チタン、コバルト、ニッケル、または、タングステン、チタン、コバルト、ニッケルを含む合金膜、金属窒化

10

20

30

40

50

膜、シリサイド膜などを適宜用いることができる。該金属膜上の所望の領域にパターニングを行い、エッチングすることで、導電層 318 が形成される。また、導電層 318 をマスクとして半導体層をエッチングすることで、半導体層 316 を形成することができる。なお、導電層 318 と半導体層 316 はトランジスタ 350 のゲート電極として機能する。

【0112】

次に、導電層 318 の上に、保護絶縁層 320 を形成する。保護絶縁層 320 としては、プラズマ CVD 法などを用い、酸化シリコン膜、窒化シリコン膜などを成膜し、所望の領域にパターニング、エッチング処理を行うことで形成することができる。

【0113】

次に、半導体基板 310、および保護絶縁層 320 を覆うようにプラズマ CVD 法などにより、窒化シリコン膜を成膜し、エッチバックを行うことで、サイドウォール絶縁層 322 を形成することができる。

【0114】

次に、保護絶縁層 320、及びサイドウォール絶縁層 322 をマスクとして、ドーピング処理を行うことで、不純物領域 324 を形成する。なお、ドーパントとしては、ボロンやリンなどを用いればよく、不純物領域 324 として用いるドーパントにより n^+ 領域、 p^+ 領域など適宜形成することができる。なお、不純物領域 324 は、トランジスタ 350 のソース領域またはドレイン領域として機能する。

【0115】

次に、不純物領域 324、保護絶縁層 320、及びサイドウォール絶縁層 322 を覆うように絶縁層 326 を形成する。絶縁層 326 としては、プラズマ CVD 法などにより酸化シリコン膜などを用いて形成することができる。

【0116】

次に、絶縁層 326 の所望の領域に開口部を設け、不純物領域 324 と電氣的に接続する接続電極 325、及び接続電極 331 を形成する。なお、接続電極 325、及び接続電極 331 形成後に、絶縁層 326、接続電極 325、および接続電極 331 の表面を平坦化させる CMP 処理などを行ってもよい。

【0117】

次に、絶縁層 326、接続電極 325、及び接続電極 331 の上に、スパッタリング法などを用いて導電膜を成膜し、所望の領域にパターニングを行い、エッチングすることで、電極 328、及び電極 332 を形成する。電極 328、及び電極 332 に使用できる材料としては、タングステン、銅、チタンなど適宜用いることができる。

【0118】

次に、絶縁層 326、電極 328、及び電極 332 上に絶縁層 329 を形成する。絶縁層 329 としては、絶縁層 326 と同様の材料、及び手法により形成することができる。

【0119】

以上の工程により、第 1 の半導体材料を用いたトランジスタ 350 が形成された半導体基板 310 を形成することができる。

【0120】

次に、下部の第 1 の半導体材料を用いたトランジスタ 350 と、上部の第 2 の半導体材料を用いたトランジスタ 162 の接続関係について以下説明を行う。

【0121】

トランジスタ 350 は、不純物領域 324 と、接続電極 325 と、電極 328 と、接続電極 330 とにより、トランジスタ 162 と電氣的に接続されている。また、他方では、不純物領域 324 と、接続電極 331 と、電極 332 と、接続電極 334 と、電極 336 と、接続電極 338 により、配線 156 と電氣的に接続されている。

【0122】

また、トランジスタ 350 のゲート電極（すなわち、半導体層 316、及び導電層 318）は、トランジスタ 162 のソース電極と電氣的に接続している。ただし、図 4 において

10

20

30

40

50

は、トランジスタ 350 のゲート電極と、トランジスタ 162 のソース電極の接続は示されておらず、3次元方向で接続を行っている。

【0123】

以上のように、上部に形成された記憶素子は、酸化物半導体を用いたトランジスタにより形成されている。酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、一方で周辺回路では、酸化物半導体以外の半導体材料が用いられている。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

10

【0124】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

20

【0125】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0126】

（実施の形態 4）

本実施の形態においては、図 1 に示すトランジスタ 162 を使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態 2、及び実施の形態 3 に示した構成と異なる構成について、図 5、及び図 6 を用いて説明を行う。

【0127】

図 5（A）は、半導体装置の回路構成の一例を示し、図 5（B）は半導体装置の一例を示す概念図である。まず、図 5（A）に示す半導体装置について説明を行い、続けて図 5（B）に示す半導体装置について、以下説明を行う。

30

【0128】

図 5（A）に示す半導体装置において、ビット線 BL とトランジスタ 162 のソース電極又はドレイン電極とは電氣的に接続され、ワード線 WL とトランジスタ 162 のゲート電極とは電氣的に接続され、トランジスタ 162 のソース電極又はドレイン電極と容量素子 254 の第 1 の端子とは電氣的に接続されている。

【0129】

酸化物半導体を用いたトランジスタ 162 は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ 162 をオフ状態とすることで、容量素子 254 の第 1 の端子の電位（あるいは、容量素子 254 に蓄積された電荷）を極めて長時間にわたって保持することが可能である。また、酸化物半導体を用いたトランジスタ 162 では、短チャネル効果が現れにくいというメリットもある。

40

【0130】

次に、図 5（A）に示す半導体装置（メモリセル 250）に、情報の書き込みおよび保持を行う場合について説明する。

【0131】

まず、ワード線 WL の電位を、トランジスタ 162 がオン状態となる電位として、トランジスタ 162 をオン状態とする。これにより、ビット線 BL の電位が、容量素子 254 の

50

第1の端子に与えられる（書き込み）。その後、ワード線WLの電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、容量素子254の第1の端子の電位が保持される（保持）。

【0132】

トランジスタ162のオフ電流は極めて小さいから、容量素子254の第1の端子の電位（あるいは容量素子に蓄積された電荷）は長時間にわたって保持することができる。

【0133】

次に、情報の読み出しについて説明する。トランジスタ162がオン状態となると、浮遊状態であるビット線BLと容量素子254とが導通し、ビット線BLと容量素子254の間で電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子254の第1の端子の電位（あるいは容量素子254に蓄積された電荷）によって、異なる値をとる。

10

【0134】

例えば、容量素子254の第1の端子の電位をV、容量素子254の容量をC、ビット線BLが有する容量成分（以下、ビット線容量とも呼ぶ）をCB、電荷が再分配される前のビット線BLの電位をVB0とすると、電荷が再分配された後のビット線BLの電位は、 $(CB * VB0 + C * V) / (CB + C)$ となる。従って、メモリセル250の状態として、容量素子254の第1の端子の電位がV1とV0（ $V1 > V0$ ）の2状態をとるとすると、電位V1を保持している場合のビット線BLの電位（ $= (CB * VB0 + C * V1) / (CB + C)$ ）は、電位V0を保持している場合のビット線BLの電位（ $= (CB * VB0 + C * V0) / (CB + C)$ ）よりも高くなることがわかる。

20

【0135】

そして、ビット線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

【0136】

このように、図5（A）に示す半導体装置は、トランジスタ162のオフ電流が極めて小さいという特徴から、容量素子254に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

30

【0137】

次に、図5（B）に示す半導体装置について、説明を行う。

【0138】

図5（B）に示す半導体装置は、上部に記憶素子として図5（A）に示したメモリセル250を複数有するメモリセルアレイ251、及び図5（A）に示したメモリセル250を複数有するメモリセルアレイ252を有し、下部に、メモリセルアレイ251、及びメモリセルアレイ252を動作させるために必要な周辺回路253を有する。なお、本実施の形態においてメモリセルアレイ252は、メモリセルアレイ251と周辺回路253の中部に位置しているが、周辺回路253に対しては、上部に位置しているため、メモリセルアレイ251、メモリセルアレイ252は、上部に位置しているとする。

40

【0139】

図5（B）に示した構成とすることにより、周辺回路253をメモリセルアレイ251、及びメモリセルアレイ252の直下に設けることができるため、且つ、メモリセルアレイ251とメモリセルアレイ252も積層構造とすることにより、半導体装置の小型化を図ることができる。

【0140】

次に、図5（B）に示した半導体装置の具体的な構成について図6を用いて説明を行う。

【0141】

図6に示す半導体装置は、上部に多層に形成された記憶素子として、複数のメモリセル（

50

メモリセル４５２ a、及びメモリセル４５２ b)を有し、下部に周辺回路４００を有する。下部の周辺回路４００は、第１の半導体材料を用いたトランジスタ４５０を有し、上部に多層に形成された複数のメモリセル（メモリセル４５２ a、及びメモリセル４５２ b)は、第２の半導体材料を用いたトランジスタ１６２を有するものである。また、トランジスタ１６２は、容量素子に接続されているが、３次元方向に接続されているために、図６には示されていない。なお、線Ｃ１－Ｃ２で切断された図６は、トランジスタのチャネル長方向に垂直な断面図に相当する。

【０１４２】

ここで、第１の半導体材料と第２の半導体材料とは異なる材料とすることが望ましい。例えば、第１の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とし、第２の半導体材料を酸化物半導体とすることができ、酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

10

【０１４３】

また、上部の第２の半導体材料を用いたトランジスタ１６２は、先の実施の形態１乃至実施の形態３に記載したトランジスタ１６２と同一であるため、図６において図１（Ａ）と同じ箇所は、同じ符号を用いており、詳細な説明は省略する。ここでは、下部の第１の半導体材料を用いたトランジスタ４５０について、以下説明を行う。

【０１４４】

図６におけるトランジスタ４５０は、半導体材料（例えば、シリコンなど）を含む基板４０２に設けられたチャネル形成領域４０４と、チャネル形成領域４０４を挟むように設けられた不純物領域４０６および高濃度不純物領域４０８（これらをあわせて単に不純物領域とも呼ぶ）と、高濃度不純物領域４０８に接する金属化合物領域４１０と、チャネル形成領域４０４の上に設けられたゲート絶縁層４１１と、ゲート絶縁層４１１に接して設けられたゲート電極層４１２と、不純物領域と電氣的に接続するソース電極またはドレイン電極４１８ a、およびソース電極またはドレイン電極４１８ bを有する。

20

【０１４５】

ここで、ゲート電極層４１２の側面にはサイドウォール絶縁層４１４が設けられている。また、基板４０２上にはトランジスタ４５０を囲むように素子分離絶縁層４０３が設けられており、トランジスタ４５０を覆うように、層間絶縁層４２０および層間絶縁層４２２が設けられている。ソース電極またはドレイン電極４１８ a、およびソース電極またはドレイン電極４１８ bは、層間絶縁層４２０および層間絶縁層４２２に形成された開口を通じて、金属化合物領域４１０と電氣的に接続されている。つまり、ソース電極またはドレイン電極４１８ a、およびソース電極またはドレイン電極４１８ bは、金属化合物領域４１０を介して高濃度不純物領域４０８および不純物領域４０６と電氣的に接続されている。なお、トランジスタ４５０の集積化などのため、サイドウォール絶縁層４１４が形成されない場合もある。また、層間絶縁層４２２の上に、トランジスタ４５０のソース電極またはドレイン電極４１８ a、およびソース電極またはドレイン電極４１８ bと、電氣的に接続する電極４２４ a、電極４２４ b、及び電極４２４ cを有し、層間絶縁層４２２、電極４２４ a、電極４２４ b、及び電極４２４ cを覆う、絶縁層４２５により平坦化されている。

30

40

【０１４６】

電極４２４ cは、接続電極４２６によって、電極４２８と電氣的に接続されている。なお、電極４２８は、トランジスタ１６２のソース電極層及びドレイン電極層と同じ層にて形成されている。

【０１４７】

また、配線４３２は、接続電極４３０によって、電極４２８と電氣的に接続されており、接続電極４３４によって、トランジスタ１６２のソース電極層及びドレイン電極層と同じ層で形成された電極４３６と電氣的に接続されている。また、電極４３６は、接続電極４３８によって、配線４４０と電氣的に接続されている。

50

【0148】

電極424c、配線432、及び配線440によって、メモリセル間の電氣的接続や、周辺回路400とメモリセル（メモリセル452aと、メモリセル452b）との電氣的接続等を行うことができる。

【0149】

なお、図6に示した半導体装置では、2つのメモリセル（メモリセル452aと、メモリセル452b）が積層された構成を例示したが、積層するメモリセルの数はこれに限定されない。3つ以上のメモリセルを積層する構成としても良い。

【0150】

また、図6に示した半導体装置では、メモリセル452aと、メモリセル452bと、周辺回路400との接続には、電極424c、電極428、配線432、電極436、及び配線440によって、接続する構成について例示したがこれに限定されない。メモリセル452a、メモリセル452b、及び周辺回路400との間には、二つ以上の配線層、及び電極が設けられる構成としてもよい。

【0151】

以上のように、上部に多層に形成された複数のメモリセルは、酸化物半導体を用いたトランジスタにより形成されている。酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、一方で周辺回路では、酸化物半導体以外の半導体材料が用いられている。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【0152】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

【0153】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0154】

（実施の形態5）

本実施の形態では、先の実施の形態で説明した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図10乃至図13を用いて説明する。

【0155】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などにSRAMまたはDRAMが使用されている。SRAMまたはDRAMは使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、SRAMまたはDRAMを画像データの一時記憶に用いた場合以下の特徴がある。

【0156】

通常のSRAMは、図10（A）に示すように1つのメモリセルがトランジスタ801～806の6個のトランジスタで構成されており、それをXデコーダー807、Yデコーダー808にて駆動している。トランジスタ803とトランジスタ805、トランジスタ804とトランジスタ806はインバータを構成し、高速駆動を可能としている。しかし1

10

20

30

40

50

つのメモリセルが6トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法をFとしたときにSRAMのメモリセル面積は通常 $100 \sim 150 F^2$ である。このためSRAMはビットあたりの単価が各種メモリの中で最も高い。

【0157】

それに対して、DRAMはメモリセルが図10(B)に示すようにトランジスタ811、保持容量812によって構成され、それをXデコーダー813、Yデコーダー814にて駆動している。1つのセルが1トランジスタ1容量の構成になっており、面積が小さい。DRAMのメモリセル面積は通常 $10 F^2$ 以下である。ただし、DRAMは常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

10

【0158】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、 $10 F^2$ 前後であり、且つ頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力が低減することができる。

【0159】

次に、図11は携帯機器のブロック図である。図11に示す携帯機器はRF回路901、アナログベースバンド回路902、デジタルベースバンド回路903、バッテリー904、電源回路905、アプリケーションプロセッサ906、フラッシュメモリ910、ディスプレイコントローラ911、メモリ回路912、ディスプレイ913、タッチセンサ919、音声回路917、キーボード918などより構成されている。ディスプレイ913は表示部914、ソースドライバ915、ゲートドライバ916によって構成されている。アプリケーションプロセッサ906はCPU907、DSP908、インターフェイス909(IF909)を有している。一般にメモリ回路912はSRAMまたはDRAMで構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

20

【0160】

次に、図12はディスプレイのメモリ回路950に先の実施の形態で説明した半導体装置を使用した例である。図12に示すメモリ回路950は、メモリ952、メモリ953、スイッチ954、スイッチ955およびメモリコントローラ951により構成されている。また、メモリ回路950は、信号線から入力された画像データ（入力画像データ）、メモリ952、及びメモリ953に記憶されたデータ（記憶画像データ）を読み出し、及び制御を行うディスプレイコントローラ956と、ディスプレイコントローラ956からの信号により表示するディスプレイ957が接続されている。

30

【0161】

まず、ある画像データがアプリケーションプロセッサ（図示しない）によって、形成される（入力画像データA）。入力画像データAは、スイッチ954を介してメモリ952に記憶される。そしてメモリ952に記憶された画像データ（記憶画像データA）は、スイッチ955、及びディスプレイコントローラ956を介してディスプレイ957に送られ、表示される。

40

【0162】

入力画像データAに変更が無い場合、記憶画像データAは、通常 $30 \sim 60 \text{ Hz}$ 程度の周期でメモリ952からスイッチ955を介して、ディスプレイコントローラ956により読み出される。

【0163】

次に、例えばユーザーが画面を書き換える操作をしたとき（すなわち、入力画像データAに変更が有る場合）、アプリケーションプロセッサは新たな画像データ（入力画像データB）を形成する。入力画像データBはスイッチ954を介してメモリ953に記憶される。この間も定期的にメモリ952からスイッチ955を介して記憶画像データAは読み出されている。メモリ953に新たな画像データ（記憶画像データB）が記憶し終わると、

50

ディスプレイ 957 の次のフレームより、記憶画像データ B は読み出され、スイッチ 955、及びディスプレイコントローラ 956 を介して、ディスプレイ 957 に記憶画像データ B が送られ、表示がおこなわれる。この読み出しはさらに次に新たな画像データがメモリ 952 に記憶されるまで継続される。

【0164】

このようにメモリ 952、及びメモリ 953 は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ 957 の表示をおこなう。なお、メモリ 952、及びメモリ 953 はそれぞれ別のメモリには限定されず、1 つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ 952、及びメモリ 953 に採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

10

【0165】

次に、図 13 は電子書籍のブロック図である。図 13 はバッテリー 1001、電源回路 1002、マイクロプロセッサ 1003、フラッシュメモリ 1004、音声回路 1005、キーボード 1006、メモリ回路 1007、タッチパネル 1008、ディスプレイ 1009、ディスプレイコントローラ 1010 によって構成される。

【0166】

ここでは、図 13 のメモリ回路 1007 に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路 1007 は書籍の内容を一時的に保持する機能を持つ。機能の例としては、ユーザーがハイライト機能を使用する場合などがある。ユーザーが電子書籍を読んでいるときに、特定の箇所にもーキングをしたい場合がある。このマーキング機能をハイライト機能と言い、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。ユーザーが指定した箇所の情報を記憶し、保持する機能である。この情報を長期に保存する場合にはフラッシュメモリ 1004 にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

20

【0167】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

30

【0168】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【実施例 1】

【0169】

本実施例では、実施の形態 1 に示すトレンチ構造のトランジスタに短チャネル効果が発現するかを確認するため、計算を行った。図 7 乃至図 9 に計算に用いた構造、及び計算結果を示す。なお、図 7 乃至図 9 において、ゲート絶縁層が SiO_x 、酸化物半導体層が OS、ゲート電極が Gate、ソース電極、及びドレイン電極が S/D、とそれぞれ付記してある。

40

【0170】

なお、計算にはシノプシス社製デバイスシミュレーションソフト Sentaurus Device を使用した。

【0171】

図 7 (A) に計算に用いた構造および個々のサイズを示す。ゲート絶縁層の膜厚を 5 nm、酸化物半導体層の膜厚を 5 nm とし、ゲート電極用のトレンチの深さを 0.4 μm と設定する。図 7 (A) は、トレンチの底部の長さ (チャネル長方向の長さ) が 90 nm、ソース電極とドレイン電極の間隔 (チャネル長方向の長さ) が 110 nm であるトレンチ構造のトランジスタである。酸化物半導体層の材料は、In-Ga-Zn-O 系酸化物半導

50

体（バンドギャップ 3.15 eV、電子親和力 4.6 eV、電子移動度 $10 \text{ cm}^2/\text{Vs}$ ）を用い、酸化物半導体層に接する電極（ソース電極とドレイン電極）の仕事関数を 4.6 eV、ゲート電極の仕事関数を 5.5 eV とする。このトレンチ構造のトランジスタの $V_g - I_d$ 特性（ $V_{ds} = 1 \text{ V}$ 、温度 27°C ）を計算した結果が図 7（B）である。

【0172】

また、図 8（A）は、トレンチの底部の長さ（チャンネル長方向の長さ）が 60 nm、ソース電極とドレイン電極の間隔（チャンネル長方向の長さ）が 80 nm であるトレンチ構造のトランジスタである。トレンチの底部の長さ（チャンネル長方向の長さ）とソース電極とドレイン電極の間隔以外は図 7（B）と同じ条件で計算した結果が図 8（B）である。

【0173】

また、図 9（A）は、トレンチの底部の長さ（チャンネル長方向の長さ）が 30 nm、ソース電極とドレイン電極の間隔（チャンネル長方向の長さ）が 50 nm であるトレンチ構造のトランジスタである。トレンチの底部の長さ（チャンネル長方向の長さ）とソース電極とドレイン電極の間隔以外は図 7（B）と同じ条件で計算した結果が図 9（B）である。

【0174】

計算の結果、図 7（A）、図 8（A）、及び図 9（A）の構造全てのトランジスタ特性は、ほぼ同等であった。それぞれのトランジスタのしきい値（ V_{th} ）は、0.8 V、S 値は $60 \text{ mV}/\text{dec}$ と良好な値を示した。

【0175】

これらの計算結果から、ソース電極とドレイン電極の間隔（チャンネル長方向の長さ）を 30 nm まで狭めても、しきい値のマイナスシフトや S 値の増大といった短チャンネル効果は発現せず、良好なトランジスタ特性を示している。

【0176】

比較のため、トレンチ構造ではなく、プレナー型のトランジスタの構造を用いて同様の計算を行ったところ、ソース電極とドレイン電極の間隔（チャンネル長方向の長さ）を狭めると、チャンネル長も狭くなり、しきい値のマイナスシフトや S 値の増大といった短チャンネル効果が発現し、さらにはゲートに負のバイアスを印加したときのリーク電流（オフ電流）の増大も確認された。

【0177】

この比較のための計算結果と比べ、図 7（B）、図 8（B）、及び図 9（B）の計算結果は、良好であり、実施の形態 1 に示すトランジスタ構造とすることでソース電極とドレイン電極の間隔（チャンネル長方向の長さ）を狭めても実効的なチャンネル長の変化は少ないため、短チャンネル効果は発現せず、オフ電流を低く抑えることができる。その結果、保持特性が良好なメモリセルを作ることが可能になる。

【符号の説明】

【0178】

- 100 基板
- 108 ゲート絶縁層
- 110 ゲート電極
- 116 チャンネル形成領域
- 120 不純物領域
- 124 金属化合物領域
- 126 電極
- 130 絶縁層
- 142 a 電極
- 142 b 電極
- 143 a 絶縁層
- 143 b 絶縁層
- 144 酸化物半導体層
- 146 ゲート絶縁層

10

20

30

40

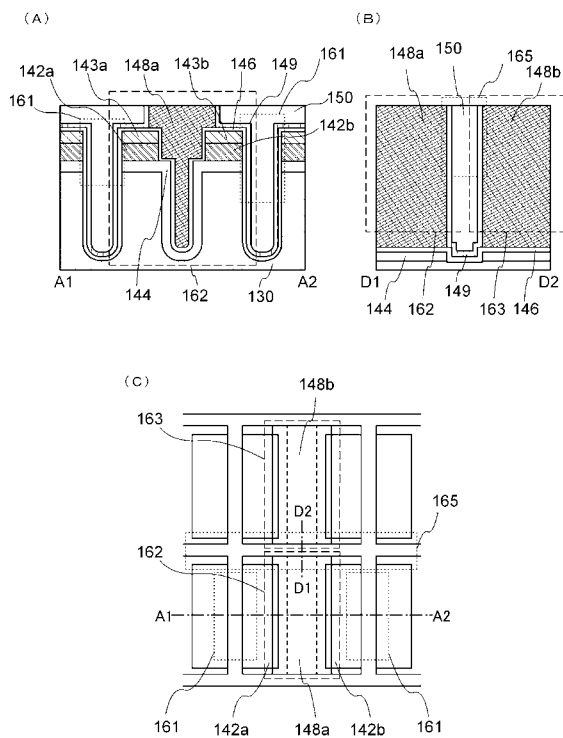
50

1 4 8 a	ゲート電極	
1 4 8 b	ゲート電極	
1 4 9	絶縁層	
1 5 0	絶縁層	
1 5 1	絶縁層	
1 5 2	絶縁層	
1 5 3	電極	
1 5 4	電極	
1 5 6	配線	
1 6 0	トランジスタ	10
1 6 1	素子分離領域	
1 6 2	トランジスタ	
1 6 3	トランジスタ	
1 6 4	容量素子	
1 6 5	素子分離領域	
2 5 0	メモリセル	
2 5 1	メモリセルアレイ	
2 5 2	メモリセルアレイ	
2 5 3	周辺回路	
2 5 4	容量素子	20
3 1 0	半導体基板	
3 1 2	S T I 領域	
3 1 4	ゲート絶縁層	
3 1 6	半導体層	
3 1 8	導電層	
3 2 0	保護絶縁層	
3 2 2	サイドウォール絶縁層	
3 2 4	不純物領域	
3 2 5	接続電極	
3 2 6	絶縁層	30
3 2 8	電極	
3 2 9	絶縁層	
3 3 0	接続電極	
3 3 1	接続電極	
3 3 2	電極	
3 3 4	接続電極	
3 3 6	電極	
3 3 8	接続電極	
3 5 0	トランジスタ	
4 0 0	周辺回路	40
4 0 2	基板	
4 0 3	素子分離絶縁層	
4 0 4	チャネル形成領域	
4 0 6	不純物領域	
4 0 8	高濃度不純物領域	
4 1 0	金属化合物領域	
4 1 1	ゲート絶縁層	
4 1 2	ゲート電極層	
4 1 4	サイドウォール絶縁層	
4 1 8 a	ドレイン電極	50

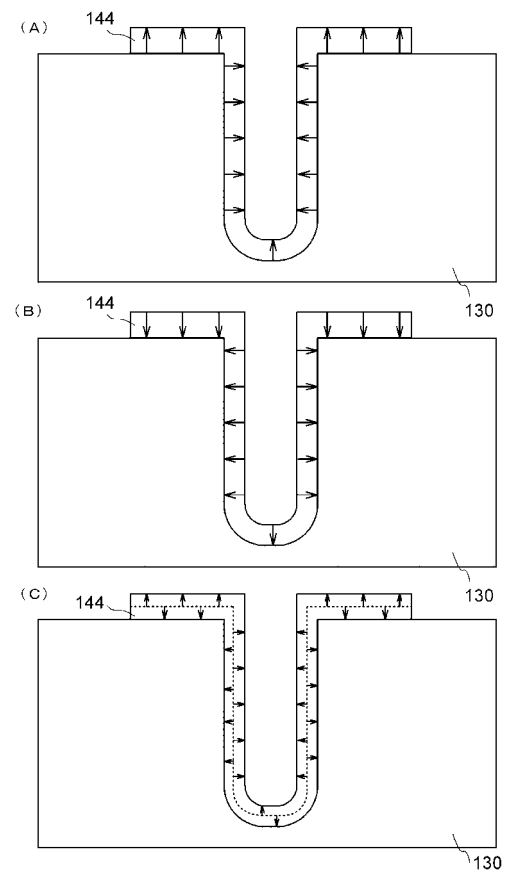
4 1 8 b	ドレイン電極	
4 2 0	層間絶縁層	
4 2 2	層間絶縁層	
4 2 4 a	電極	
4 2 4 b	電極	
4 2 4 c	電極	
4 2 5	絶縁層	
4 2 6	接続電極	
4 2 8	電極	
4 3 0	接続電極	10
4 3 2	配線	
4 3 4	接続電極	
4 3 6	電極	
4 3 8	接続電極	
4 4 0	配線	
4 5 0	トランジスタ	
4 5 2 a	メモリセル	
4 5 2 b	メモリセル	
5 0 2	絶縁膜	
5 0 4	電極	20
8 0 1	トランジスタ	
8 0 3	トランジスタ	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 7	Xデコーダー	
8 0 8	Yデコーダー	
8 1 1	トランジスタ	
8 1 2	保持容量	
8 1 3	Xデコーダー	30
8 1 4	Yデコーダー	
9 0 1	R F 回路	
9 0 2	アナログベースバンド回路	
9 0 3	デジタルベースバンド回路	
9 0 4	バッテリー	
9 0 5	電源回路	
9 0 6	アプリケーションプロセッサ	
9 0 7	C P U	
9 0 8	D S P	
9 0 9	インターフェイス	40
9 1 0	フラッシュメモリ	
9 1 1	ディスプレイコントローラ	
9 1 2	メモリ回路	
9 1 3	ディスプレイ	
9 1 4	表示部	
9 1 5	ソースドライバ	
9 1 6	ゲートドライバ	
9 1 7	音声回路	
9 1 8	キーボード	
9 1 9	タッチセンサ	50

950	メモリ回路
951	メモリコントローラ
952	メモリ
953	メモリ
954	スイッチ
955	スイッチ
956	ディスプレイコントローラ
957	ディスプレイ
1001	バッテリー
1002	電源回路
1003	マイクロプロセッサ
1004	フラッシュメモリ
1005	音声回路
1006	キーボード
1007	メモリ回路
1008	タッチパネル
1009	ディスプレイ
1010	ディスプレイコントローラ

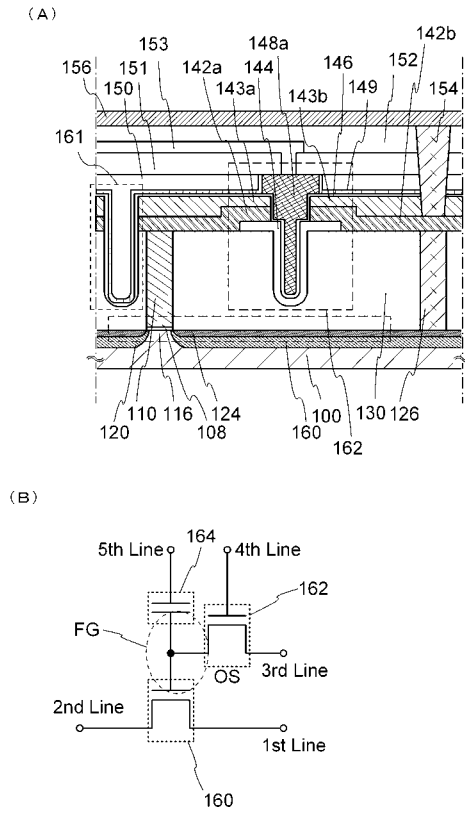
【図 1】



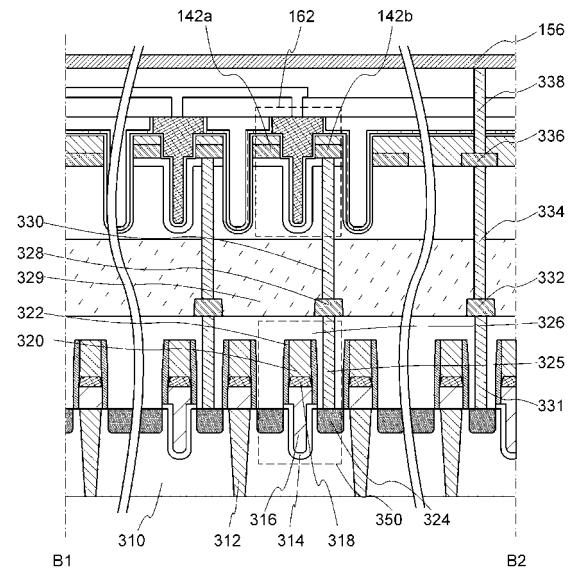
【図 2】



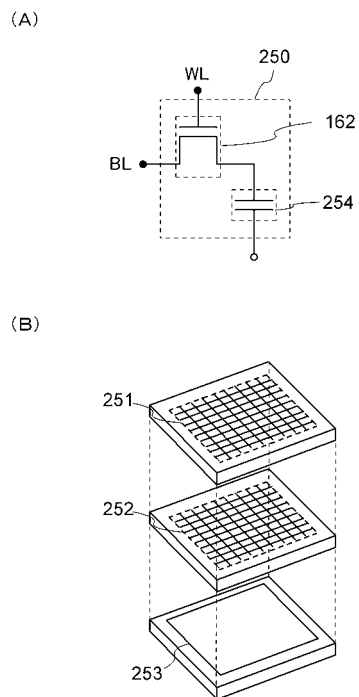
【図 3】



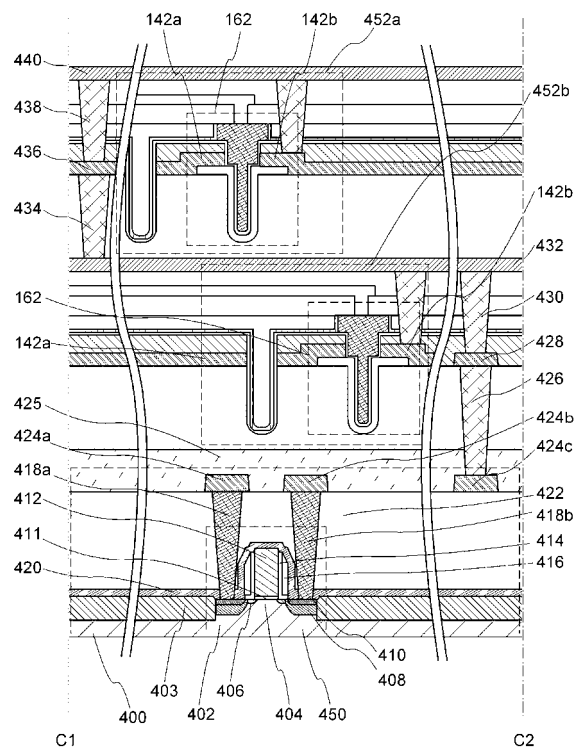
【図 4】



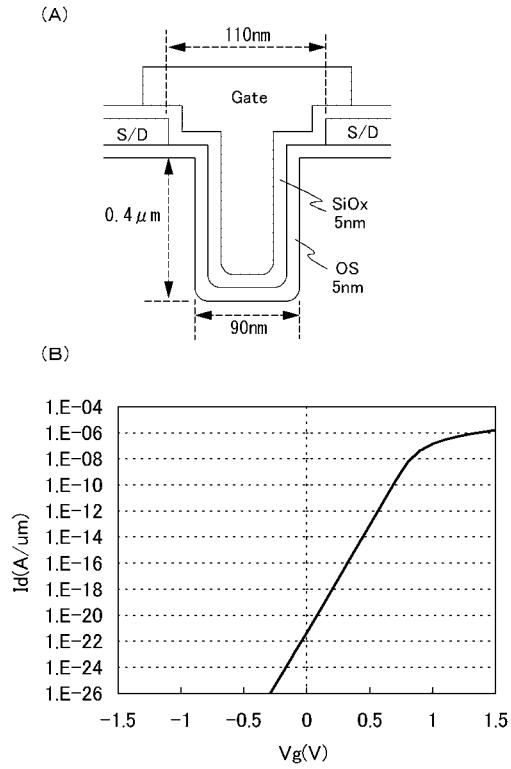
【図 5】



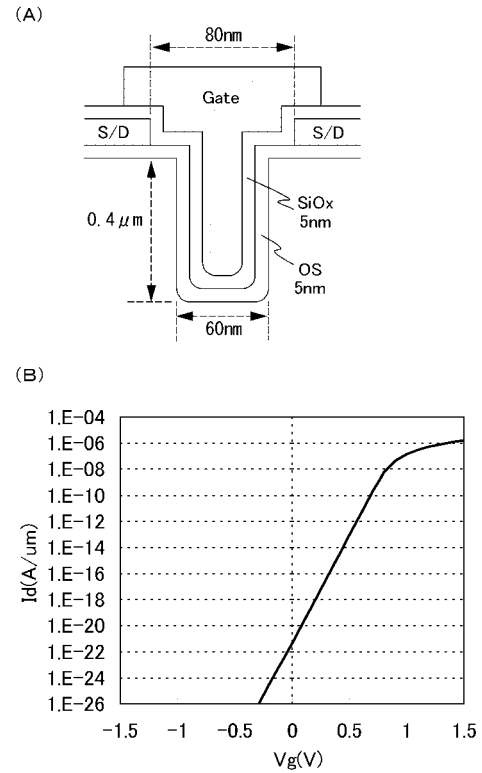
【図 6】



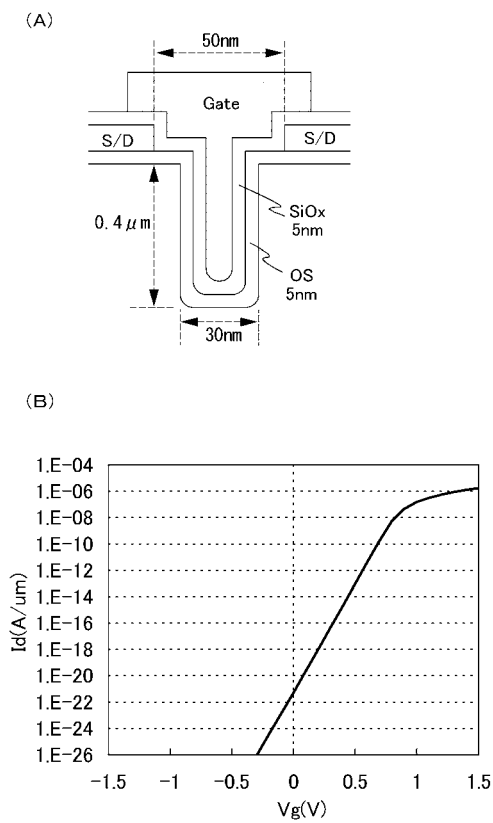
【図 7】



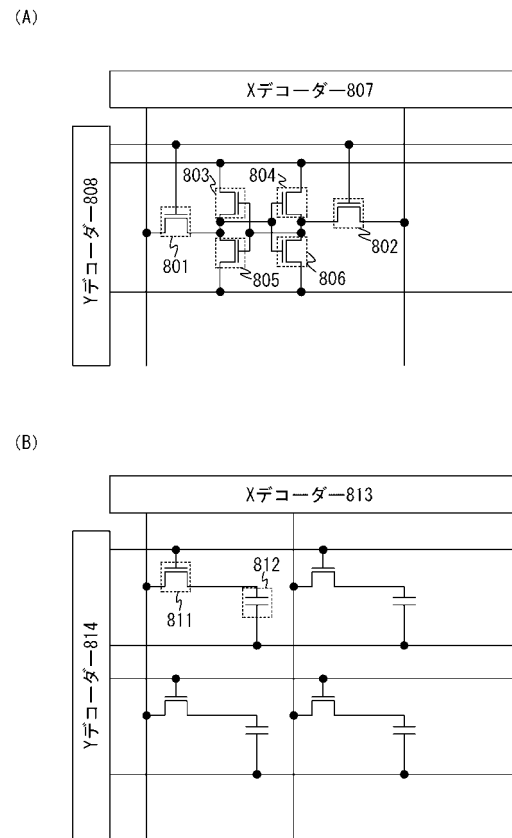
【図 8】



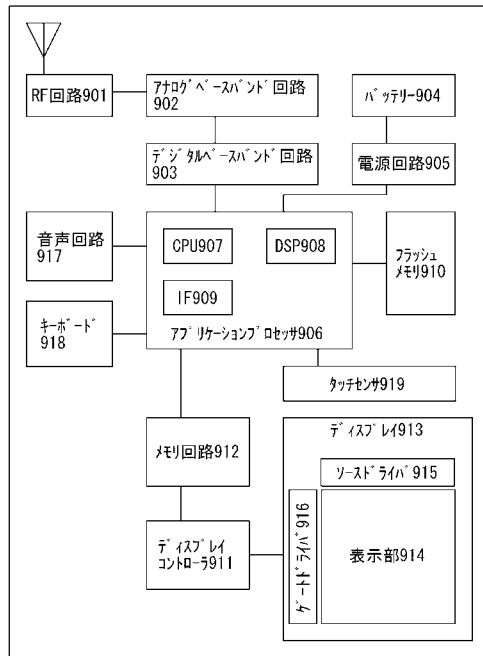
【図 9】



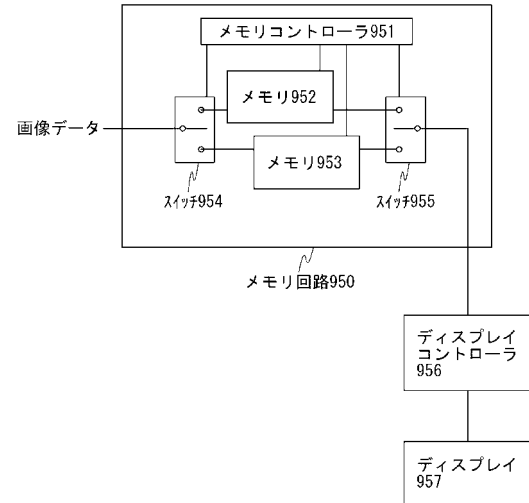
【図 10】



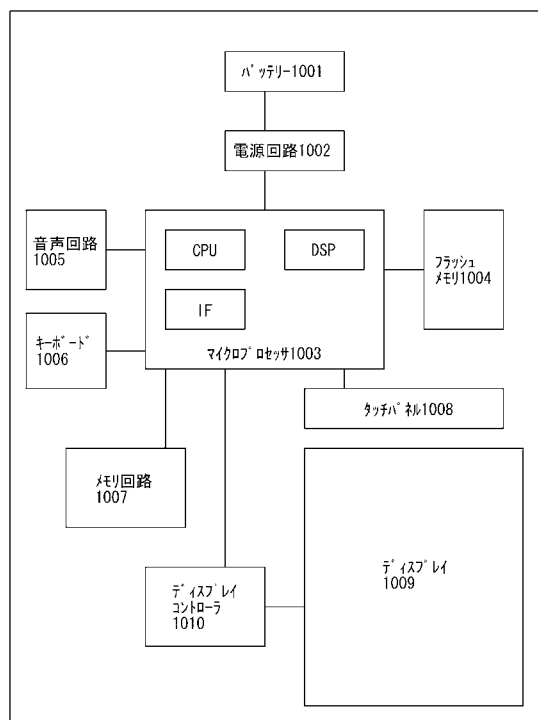
【図 1 1】



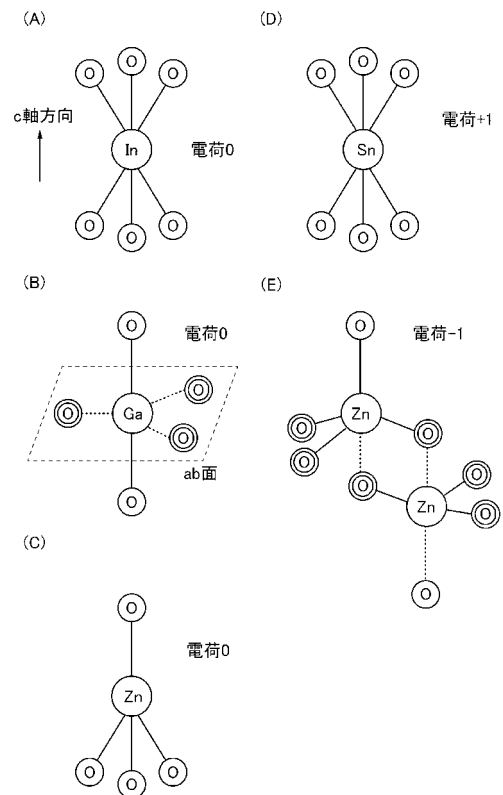
【図 1 2】



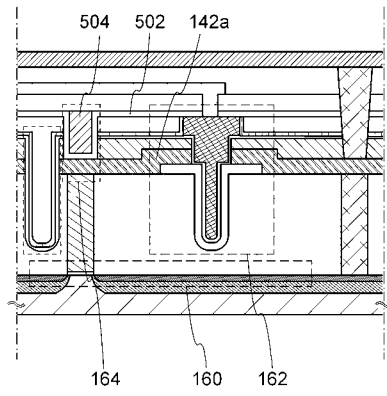
【図 1 3】



【図 1 4】

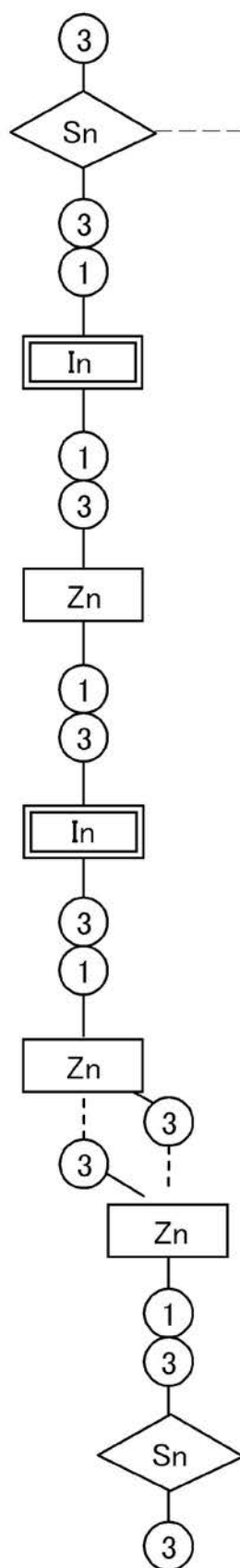


【図 17】



【図 15】

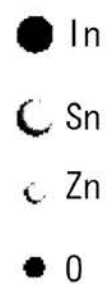
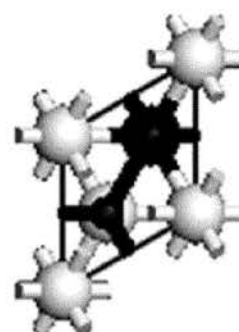
(A)



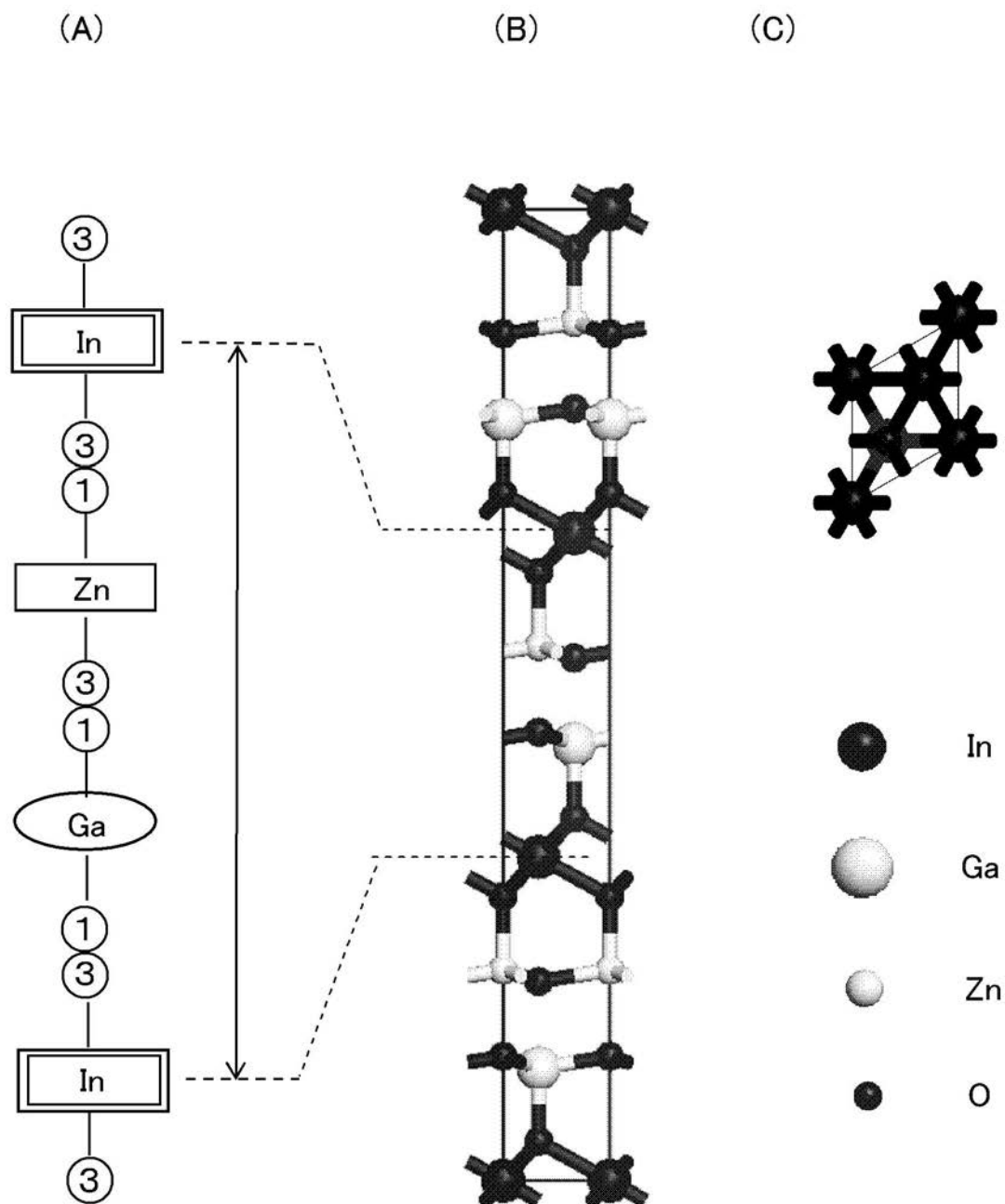
(B)



(C)



【図 16】



(51) Int.Cl.

テーマコード (参考)

H 0 1 L	29/78	6 2 0
H 0 1 L	27/10	4 9 5
H 0 1 L	27/10	4 3 4
H 0 1 L	27/10	3 7 1
H 0 1 L	27/10	4 8 1
H 0 1 L	27/10	4 4 1
H 0 1 L	27/10	6 7 1 C
H 0 1 L	27/10	6 7 1 Z
H 0 1 L	29/78	3 7 1
H 0 1 L	27/10	6 7 1 B
H 0 1 L	21/28	3 0 1 B
H 0 1 L	29/58	G
H 0 1 L	27/10	4 6 1

F ターム(参考)	4M104	AA01	AA02	AA03	AA05	AA08	AA09	BB01	BB02	BB04	BB14
		BB16	BB17	BB18	BB36	BB39	BB40	CC05	DD16	DD26	DD37
		DD63	DD71	DD75	EE09	EE14	EE16	EE17	FF01	FF04	FF06
		FF17	FF18	FF21	FF26	FF27	GG09	GG16	HH12	HH14	
	5F083	AD02	AD04	AD15	AD21	AD24	AD69	BS01	BS13	BS27	EP22
		EP75	GA01	GA05	GA06	GA09	GA10	GA11	GA21	GA25	GA27
		HA02	HA06	HA08	JA02	JA05	JA12	JA19	JA35	JA36	JA37
		JA39	JA40	JA42	JA44	JA53	LA04	LA05	MA06	MA16	MA19
		NA01	PR12	PR22	PR33	PR40	ZA13	ZA14	ZA19	ZA23	
	5F101	BA17	BB17	BD13	BD30	BD33	BD35	BD39	BD40	BE02	BE05
		BF01	BF02	BF03	BF09	BH03	BH16				
	5F110	AA04	AA09	BB03	BB05	BB11	CC01	DD05	DD13	DD21	EE01
		EE02	EE03	EE04	EE06	EE11	EE14	EE22	EE30	EE38	EE42
		FF01	FF02	FF03	FF04	FF09	FF23	GG01	GG02	GG03	GG04
		GG06	GG12	GG13	GG14	GG15	GG17	GG19	GG22	GG25	GG28
		GG35	GG47	HJ01	HK02	HK03	HK04	HK06	HK17	HL27	HM17
		NN03	NN22	NN23	NN24	NN35	NN40	NN62	NN65	NN74	NN78
		PP01	QQ19								