(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2023 년 9 월 14 일 (14.09.2023)

WIPO | PCT

(10) 국제공개번호
WO 2023/171983 A1

(51) 국제특허분류:
G06F 3/041 (2006.01) *G06F 3/046* (2006.01)

(21) 국제출원번호: PCT/KR2023/002923

(22) 국제출원일: 2023 년 3 월 3 일 (03.03.2023)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2022-0030077 2022 년 3 월 10 일 (10.03.2022) KR

(71) 출원인: 동우화인켐 주식회사 (**DONGWOO FINE-CHEM CO., LTD.**) [KR/KR]; 54631 전라북도 익산시 약촌로 132 (신흥동), Jeollabuk-do (KR).

(72) 발명자: 김지연 (**KIM, Ji Yeon**); 17816 경기도 평택시 덕우로 84-3(안중읍), Gyeonggi-do (KR). 박용수 (**PARK, Yong Soo**); 17803 경기도 평택시 청북읍 안청로1길 91, 109동 1402호(평택 청북 이안아파트), Gyeonggi-do (KR). 최병진 (**CHOI, Byung Jin**); 21640 인천광역시 남동구 은봉로165번길 24, 109동 804호(논현동,논현휴먼시아숲속마을1단지아파트), Incheon (KR).

(74) 대리인: 특허법인리채 (**LEECHAE INTELLECTUAL PROPERTY**); 06236 서울특별시 강남구 테헤란로26길 12, 3층, Seoul (KR).

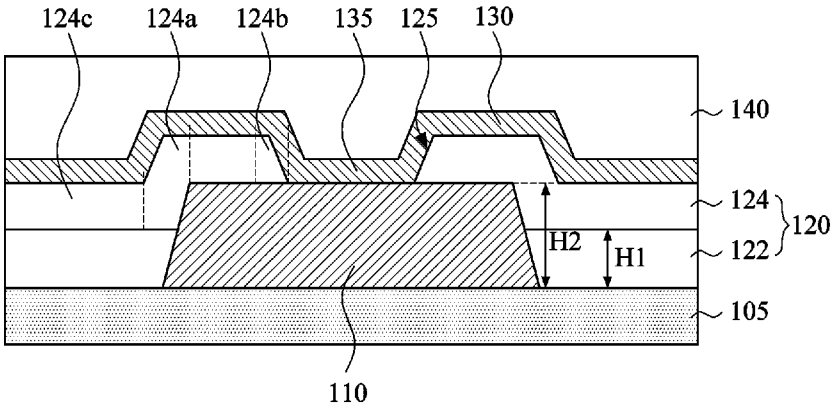
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:
— 국제조사보고서와 함께 (조약 제21조(3))

(54) **Title:** ELECTRODE CONNECTION STRUCTURE, MANUFACTURING METHOD THEREFOR, AND DIGITIZER COMPRISING SAME

(54) **발명의 명칭:** 전극 접속 구조, 이의 제조 방법 및 이를 포함하는 디지타이저



(57) **Abstract:** Embodiments according to the present invention provide an electrode connection structure. The electrode connection structure comprises: a substrate layer; a lower conductive line arranged on the upper surface of the substrate layer; a first insulation layer which is formed on the upper surface of the substrate layer and is arranged to neighbor the lower conductive line; a second insulation layer which is formed on the first insulation layer and includes a via hole for exposing the upper surface of the lower conductive line; and an upper conductive line arranged on the second insulation layer so as to be electrically connected to the lower conductive line through the via hole. Connection reliability between the conductive lines can be enhanced through a multi-layered insulation structure.

(57) **요약서:** 본 발명에 따른 실시예들은 전극 접속 구조를 제공한다. 전극 접속 구조는 기재층, 기재층의 상면 상에 배치된 하부 도전 라인, 기재층의 상면 상에 형성되고, 하부 도전 라인에 이웃하여 배치된 제1 절연층, 제1 절연층 상에 형성되고, 하부 도전 라인의 상면을 노출시키는 비아 홀을 포함하는 제2 절연층, 및 제2 절연층 상에 배치되어 비아 홀을 통해 하부 도전 라인과 전기적으로 연결되는 상부 도전 라인을 포함한다. 복층 절연 구조를 통해 도전 라인들 사이의 접속 신뢰성을 향상시킬 수 있다.

WO 2023/171983 A1

명세서

발명의 명칭: 전극 접속 구조, 이의 제조 방법 및 이를 포함하는 디지타이저

기술분야

[1] 본 발명은 전극 접속 구조, 이의 제조 방법 및 이를 포함하는 디지타이저에 관한 것이다. 보다 상세하게는, 복층 도전 구조를 포함하는 전극 접속 구조, 이의 제조 방법 및 이를 포함하는 디지타이저에 관한 것이다.

배경기술

[2] 최근, 화상 표시 장치에 각종 센싱 기능 및 통신 기능이 결합되어, 예를 들면 스마트폰 형태로 구현되고 있다. 예를 들면, 상기 화상 표시 장치의 표시 패널 상에 터치 패널 또는 터치 센서가 부착되어 윈도우 면에 표시되는 메뉴를 선택하여 정보 입력 기능이 함께 구현된 전자 기기들이 개발되고 있다.

[3] 또한, 한국등록특허 제10-1750564호에 개시된 바와 같이, 화상 표시 장치의 배면부 측으로 전자기 방식에 의해 아날로그 좌표 정보를 디지털 신호로 변환시키는 디지타이저가 배치되고 있다,

[4] 상기 디지타이저는 절연층을 사이에 두고 서로 연결된 복층 구조의 도전 라인들을 포함할 수 있다. 저저항을 통한 충분한 전류 세기의 확보를 위해서는 도전 라인의 두께를 증가시키는 것이 바람직할 수 있다. 이 경우, 절연층의 두께도 함께 증가될 수 있다.

[5] 절연층의 두께가 증가되는 경우, 도전 라인들의 상호 접속을 위한 비아 홀 혹은 콘택 홀의 형성이 원하는 형상 및 신뢰성을 갖도록 형성되지 않을 수 있다. 또한, 디지타이저의 두께 증가에 따라 폴딩 특성 또는 유연성이 저하되며, 도전 라인의 접속 특성 역시 열화될 수 있다.

발명의 상세한 설명

기술적 과제

[6] 본 발명의 일 과제는 향상된 기계적, 전기적 신뢰성을 갖는 전극 접속 구조를 제공하는 것이다.

[7] 본 발명의 일 과제는 향상된 기계적, 전기적 신뢰성을 갖는 전극 접속 구조의 제조 방법을 제공하는 것이다.

[8] 본 발명의 일 과제는 향상된 기계적, 전기적 신뢰성을 갖는 전극 접속 구조를 포함하는 디지타이저를 제공하는 것이다.

과제 해결 수단

[9] 1. 기재층, 상기 기재층의 상면 상에 배치된 하부 도전 라인, 상기 기재층의 상기 상면 상에 형성되고, 상기 하부 도전 라인에 이웃하여 배치된 제1 절연층, 상기 제1 절연층 상에 형성되고, 상기 하부 도전 라인의 상면을 노출시키는 비아 홀을 포함하는 제2 절연층, 및 상기 제2 절연층 상에 배치되어 상기 비아 홀을 통해 상

기 하부 도전 라인과 전기적으로 연결되는 상부 도전 라인을 포함하는, 전극 접속 구조.

[10] 2. 위 1에 있어서, 상기 제2 절연층은 상기 제1 절연층, 및 상기 하부 도전 라인의 상기 상면의 적어도 일부를 함께 덮는, 전극 접속 구조.

[11] 3. 위 1에 있어서, 상기 제2 절연층은 상기 제1 절연층 및 상기 하부 도전 라인과 접촉하며 경사진 측벽을 포함하는 제1 경사부, 상기 하부 도전 라인의 상기 상면과 접촉하며 상기 비아 홀을 형성하는 제2 경사부, 및 상기 제1 경사부로부터 연장되는 연장부를 포함하는, 전극 접속 구조.

[12] 4. 위 1에 있어서, 상기 제1 절연층의 두께는 상기 하부 도전 라인의 두께의 50 내지 100 %인, 전극 접속 구조.

[13] 5. 위 1에 있어서, 상기 제1 절연층 및 상기 하부 도전 라인은 동일 층 또는 동일 레벨에 형성된, 전극 접속 구조.

[14] 6. 위 1에 있어서, 상기 제1 절연층 및 상기 하부 도전 라인은 서로 물리적으로 이격된, 전극 접속 구조.

[15] 7. 위 6에 있어서, 상기 제1 절연층 및 상기 하부 도전 라인 사이의 이격 거리는 20 ㎛ 이하인, 전극 접속 구조.

[16] 8. 위 1에 있어서, 상기 하부 도전 라인의 두께는 상기 상부 도전 라인의 두께보다 큰, 전극 접속 구조.

[17] 9. 위 1에 있어서, 상기 하부 도전 라인의 두께는 10㎛ 이상인, 전극 접속 구조.

[18] 10. 위 1에 있어서, 상기 제1 절연층 및 상기 제2 절연층은 서로 다른 소재를 포함하는, 전극 접속 구조.

[19] 11. 상술한 전극 접속 구조를 포함하고, 상기 하부 도전 라인은 복수의 하부 도전 라인들을 포함하고, 상기 상부 도전 라인은 복수의 상부 도전 라인들을 포함하며, 상기 하부 도전 라인들 및 상기 상부 도전 라인들이 상기 비아 홀을 통해 서로 조합되어 복수의 도전 코일들을 형성하는, 디지타이저.

[20] 12. 위 11에 있어서, 상기 하부 도전 라인들은 열 방향으로 연장하는 제1 하부 도전 라인들 및 제2 하부 도전 라인들을 포함하고, 상기 상부 도전 라인들은 행 방향으로 연장하는 제1 상부 도전 라인들 및 제2 상부 도전 라인들을 포함하는, 디지타이저.

[21] 13. 위 12에 있어서, 상기 도전 코일들은 상기 제1 상부 도전 라인들 및 상기 제2 하부 도전 라인들이 서로 연결되어 형성된 제1 도전 코일; 및 상기 제1 하부 도전 라인들 및 상기 제2 상부 도전 라인들이 서로 연결되어 형성된 제2 도전 코일을 포함하는, 디지타이저.

[22] 14. 위 11에 있어서, 상기 기재층은 벤딩 영역을 포함하고, 상기 벤딩 영역의 벤딩 축은 상기 상부 도전 라인과 교차하며, 상기 하부 도전 라인과 평행한, 디지타이저.

발명의 효과

[23] 본 발명의 실시예들에 따른 전극 접속 구조에 있어서, 하부 도전 라인을 부분적으로 덮는 절연 구조는 복층 구조를 포함할 수 있다. 이에 따라, 하부 도전 라인의 두께가 증가되는 경우에도 절연 구조를 통한 하부 도전 라인 및 상부 도전 라인의 접속 신뢰성이 개선될 수 있다.

[24] 일부 실시예들에 따르면, 하부 절연층으로 제공되는 제1 절연층이 하부 도전 라인과 물리적으로 이격될 수 있다. 이에 따라, 상부 절연층으로 제공되는 제2 절연층 형성 시 경사부의 경사각이 추가로 감소할 수 있다. 따라서, 상부 도전 라인의 손상 및/또는 단선이 방지될 수 있다.

[25] 상기 절연 구조를 활용하여, 하부 도전 라인의 두께를 충분히 증가시켜 전류 통로를 증가시킬 수 있다. 이에 따라, 상기 전극 접속 구조를 포함하는 디지타이저의 전자기 유도 현상이 증폭되어 해상도 및 플렉시블 특성이 향상될 수 있다.

도면의 간단한 설명

[26] 도 1은 예시적인 실시예들에 따른 전극 접속 구조를 나타내는 개략적인 단면도이다.

[27] 도 2는 예시적인 실시예들에 따른 전극 접속 구조를 나타내는 개략적인 단면도이다.

[28] 도 3 내지 도 5는 예시적인 실시예들에 따른 전극 접속 구조의 제조 방법을 설명하기 위한 개략적인 단면도들이다.

[29] 도 6는 예시적인 실시예들에 따른 디지타이저를 나타내는 개략적인 단면도이다.

[30] 도 7 및 도 8은 예시적인 실시예들에 따른 디지타이저에 포함되는 도전 코일들을 나타내는 개략적인 평면도들이다.

[31] 도 9는 예시적인 실시예들에 따른 디지타이저를 나타내는 개략적인 평면도이다.

발명의 실시를 위한 형태

[32] 본 발명의 실시예들은 도전 라인들을 포함하는 전극 접속 구조를 제공한다. 또한, 상기 전극 접속 구조의 제조 방법이 제공된다. 상기 전극 접속 구조를 포함하는 디지타이저가 제공된다.

[33] 이하 도면을 참고하여, 본 발명의 실시예들을 보다 구체적으로 설명하도록 한다. 다만, 본 명세서에 첨부되는 다음의 도면들은 본 발명의 바람직한 실시예를 예시하는 것이며, 전술한 발명의 내용과 함께 본 발명의 기술사상을 더욱 이해시키는 역할을 하는 것이므로, 본 발명은 그러한 도면에 기재된 사항에만 한정되어 해석되어서는 아니된다.

[34] 도 1은 예시적인 실시예들에 따른 전극 접속 구조를 나타내는 개략적인 단면도이다.

[35] 도 1을 참조하면, 상기 전극 접속 구조는 기재층(105) 상에 형성된 하부 도전 라인(110) 및 상부 도전 라인(130)을 포함할 수 있다. 하부 도전 라인(110) 및 상부 도전 라인(130)은 절연 구조(120)를 사이에 두고 서로 다른 층에 배치될 수 있다.

[36] 예를 들면, 절연 구조(120)는 하부 도전 라인(110) 및 상부 도전 라인(130) 사이에 배치된 층간 절연 구조로 제공될 수 있다.

[37] 기재층(105)은 도전 라인들(110, 130) 및 절연 구조(120)의 형성을 위한 지지층 또는 필름 타입 기재를 포괄하는 의미로 사용된다. 예를 들면, 기재층(105)은 플레시블 디스플레이에 적용 가능한 고분자를 포함할 수 있다. 상기 고분자의 예로서, 환형올레핀중합체(COP), 폴리에틸렌테레프탈레이트(PET), 폴리아크릴레이트(PAR), 폴리에테르이미드(PEI), 폴리에틸렌나프탈레이트(PEN), 폴리페닐렌설파이드(PPS), 폴리알릴레이트(polyallylate), 폴리이미드(PI), 셀룰로오스 아세테이트 프로피오네이트(CAP), 폴리에테르술폰(PES), 셀룰로오스 트리아세테이트(TAC), 폴리카보네이트(PC), 환형올레핀공중합체(COC), 폴리메틸메타크릴레이트(PMMA) 등을 들 수 있다.

[38] 바람직하게는, 기재층(105)은 안정적인 벤딩 특성 확보를 위해 폴리이미드를 포함할 수 있다.

[39] 하부 도전 라인(110) 및 상부 도전 라인(130)은 각각 저저항 금속을 포함할 수 있다. 예를 들면, 하부 도전 라인(110) 및 상부 도전 라인(130)은 은(Ag), 금(Au), 구리(Cu), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 크롬(Cr), 티타늄(Ti), 텅스텐(W), 니오븀(Nb), 탄탈륨(Ta), 바나듐(V), 철(Fe), 망간(Mn), 코발트(Co), 니켈(Ni), 아연(Zn), 주석(Sn), 몰리브덴(Mo), 칼슘(Ca) 또는 이들 중 적어도 2 이상을 함유하는 합금을 포함할 수 있다.

[40] 바람직하게는, 하부 도전 라인(110) 및 상부 도전 라인(130)은 저저항 구현을 위해 구리 혹은 구리 합금을 포함할 수 있다.

[41] 절연 구조(120)는 기재층(105) 상면 상에 형성되어 하부 도전 라인(110)을 부분적으로 덮을 수 있다. 절연 구조(120)는 에폭시계 수지, 아크릴계 수지, 실록산계 수지, 폴리이미드계 수지 등과 같은 유기 절연 물질, 또는 실리콘 산화물, 실리콘 질화물 등과 같은 무기 절연 물질을 포함할 수 있다. 바람직하게는, 절연 구조(120)는 플렉시블 특성 향상을 위해 유기 절연 물질을 사용하여 형성될 수 있다.

[42] 예시적인 실시예들에 따르면, 절연 구조(120)는 제1 절연층(122) 및 제2 절연층(124)을 포함하는 복층 구조를 가질 수 있다.

[43] 제1 절연층(122)은 하부 절연층으로 제공될 수 있다. 제1 절연층(122)은 기재층(105) 상에서 하부 도전 라인(110)에 이웃하게 배치될 수 있다. 예를 들면, 상기 제1 절연층(122)의 측벽이 하부 도전 라인(110)의 측벽과 인접하도록 형성될 수 있다.

[44] 본 출원에서 사용되는 용어 "이웃" 및/또는 "인접"은 직접 접촉하거나, 물리적으로 이격되어 가깝게 배치되는 구조를 의미할 수 있다.

[45] 제1 절연층(122) 및 하부 도전 라인(110)은 동일 층 또는 동일 레벨에 형성될 수 있다. 예를 들면, 제1 절연층(122) 및 하부 도전 라인(110)은 기재층(105)의 상면 상에 직접 배치될 수 있다. 이에 따라, 제2 절연층(124)의 경사각이 감소되어 상부 도전 라인(130) 및 하부 도전 라인(110)의 접속 신뢰성이 향상될 수 있다.

[46] 제2 절연층(124)은 상부 절연층으로 제공될 수 있다. 제2 절연층(124)은 제1 절연층(122) 상에 형성되며, 하부 도전 라인(110)의 상면의 적어도 일부를 덮을 수 있다. 예를 들면, 제2 절연층(124)은 하부 도전 라인(110)의 상면의 주변부를 덮을 수 있다. 예를 들면, 제2 절연층(124)은 제1 절연층(122) 및 하부 도전 라인(110)을 함께 덮을 수 있다.

[47] 예시적인 실시예들에 있어서, 제2 절연층(124)은 비아 홀(125)을 포함할 수 있다. 비아 홀(125)을 통해 하부 도전 라인(110)의 상면이 적어도 부분적으로 노출될 수 있다. 일 실시예에 있어서, 비아 홀(125)을 통해 하부 도전 라인(110)의 상면이 부분적으로 노출될 수 있다.

[48] 일부 실시예들에 따르면, 제2 절연층(124)은 경사부를 포함할 수 있다. 예를 들면, 제2 절연층(124)은 제1 절연층(122) 및 하부 도전 라인(110)과 접촉하며 경사진 측벽을 포함하는 제1 경사부(124a), 및 하부 도전 라인(110)의 상면과 접촉하며 비아 홀(125)을 형성하는 제2 경사부(124b)를 포함할 수 있다. 제2 절연층(124)은 제1 경사부(124a)로부터 연장되는 연장부(124c)를 포함할 수 있다.

[49] 예를 들면, 제1 절연층(122) 상에 제2 절연층(124)이 형성되어 제1 경사부(124a) 및 제2 경사부(124b)의 경사각이 단일 층 절연 구조에 비하여 감소할 수 있다. 이에 따라, 상부 도전 라인(130)의 손상이 억제되고 전극 접속 구조의 구조적 안정성이 개선될 수 있다.

[50] 일부 실시예들에 있어서, 상기 제1 절연층(122)의 두께(H1)는 상기 하부 도전 라인의 두께(H2)의 50 % 내지 100 %일 수 있다. 상기 두께 범위에서, 하부 도전 라인(110)의 두께가 증가하여도 제2 절연층(124)의 제1 경사부(124a) 및 제2 경사부(124b)의 경사각이 완만하게 형성될 수 있다. 이에 따라, 상부 도전 라인(130) 및 하부 도전 라인(110)의 접속 신뢰성 및 구조적 안정성이 향상될 수 있다.

[51] 일부 실시예들에 따르면, 제1 절연층(122) 및 제2 절연층(124)의 두께는 각각 5 ㎛내지 9 ㎛일 수 있다.

[52] 일 실시예에 따르면, 제1 절연층(122)의 두께는 제2 절연층(124)의 두께보다 클 수 있다.

[53] 예시적인 실시예들에 있어서, 비아 홀(125) 내부에는 상술한 금속 또는 합금이 충진되어, 하부 도전 라인(110)과 전기적으로 연결되는 상부 도전 라인(130)이 형성될 수 있다. 상부 도전 라인(130)은 비아 홀(125)을 충분히 채우며 제2 절연층(124)의 상면을 적어도 부분적으로 덮을 수 있다.

[54] 비아 홀(125) 내부에는 콘택(135)이 형성될 수 있다. 콘택(135)은 비아 홀(125) 내부에 형성된 상부 도전 라인(130)의 부분일 수 있으며, 상부 도전 라인(130)과 실질적으로 일체의 부재로 형성될 수 있다.

[55] 일부 실시예들에 있어서, 하부 도전 라인(110)의 두께는 10 ㎛ 이상일 수 있다. 예를 들면, 하부 도전 라인(110)의 두께는 10 ㎛ 내지 20 ㎛, 또는 10 ㎛ 내지 15 ㎛ 일 수 있다.

[56] 예를 들면, 상대적으로 두껍게 형성된 하부 도전 라인의 두께가 상대적으로 두꺼워서 하부 도전 라인 주변의 절연층의 두께도 증가될 수 있다. 상기 절연층을 단일 코팅 공정으로 형성하는 경우, 하부 도전 라인의 측벽이 노출되거나 절연층이 지나치게 얇아져 전극 층간 절연층으로서 제공되기 부적합할 수 있다.

[57] 예시적인 실시예들에 따르면, 복층 구조의 절연 구조(120)를 형성하여 하부 도전 라인(110)의 절연을 위한 충분한 두께의 절연층을 형성할 수 있다. 또한, 비아 홀(125)의 높이 및 너비가 충분히 증가하여 하부 도전 라인(110) 및 상부 도전 라인(130)이 안정적으로 접속될 수 있다.

[58] 예시적인 실시예들에 있어서, 제1 절연층(122) 상에 제2 절연층(124)을 형성하여 제2 절연층(124)의 경사부들(124a, 124b)의 경사각을 감소시킬 수 있다. 이에 따라, 상부 도전 라인(130) 또는 콘택(135)이 완만한 경사각으로 연장하여 하부 도전 라인(110)과 전기적으로 연결될 수 있다. 따라서, 상부 도전 라인(130) 및 하부 도전 라인(110)의 접촉부에서의 상부 도전 라인(130)의 단선이 방지되고 접속 신뢰성이 향상될 수 있다.

[59] 일부 실시예들에 있어서, 상부 도전 라인(130)의 두께는 하부 도전 라인(110)의 두께보다 작을 수 있다. 예를 들면, 상부 도전 라인(130)의 두께는 약 6 ㎛ 이하일 수 있으며, 바람직하게는 약 1 ㎛ 내지 6 ㎛일 수 있다.

[60] 상부 도전 라인(130)의 너비를 상대적으로 얇게 형성하여, 하부 도전 라인(110)으로부터 충분한 채널 전류 혹은 도전 코일 전류를 확보하면서도 폴딩 또는 벤딩 특성을 향상시킬 수 있다. 또한, 상부 도전 라인(130) 및 비아 홀(125)의 밀착성이 개선될 수 있다.

[61] 절연 구조(120) 상에는 상부 도전 라인(130)을 덮는 패시베이션 층(140)이 형성될 수 있다. 예를 들면, 패시베이션 층은 절연 구조(120)와 실질적으로 동일하거나 유사한 유기 절연 물질 또는 무기 절연 물질을 포함할 수 있다.

[62] 일 실시예에 따르면, 하부 도전 라인(110) 및 상부 도전 라인(130)은 서로 교차하는 방향으로 연장할 수 있다.

[63] 일부 실시예들에 있어서, 제1 절연층(122) 및 제2 절연층(124)은 서로 다른 소재를 포함할 수 있다.

[64] 제1 절연층(122)은 예를 들면, 폴리에틸렌, 폴리프로필렌, 시클로계 또는 노보넨 구조를 갖는 폴리올레핀, 에틸렌-프로필렌 공중합체 등의 폴리올레핀계 수지를 포함할 수 있다. 일 실시예에 따르면, 제1 절연층(122)은 시클로올레핀 폴리머(COP)를 포함할 수 있다. 제1 절연층(122)으로 고점도 특성을 갖는 폴리올레핀계 수지를 사용하여 정밀 패터닝 및 공정 안정성을 향상시킬 수 있다.

[65] 제2 절연층(124)은 예를 들면, 폴리메틸(메타)아크릴레이트, 폴리에틸(메타)아크릴레이트 등의 아크릴계 수지를 포함할 수 있다. 제2 절연층(124)으로 저점도

특성 및 향상된 코팅성을 갖는 아크릴계 수지를 사용하여 제1 절연층(122) 상면 및 하부 도전 라인(110)의 상면 상에 균일한 코팅이 수행될 수 있다.

[66] 도 2는 예시적인 실시예들에 따른 전극 접속 구조를 나타내는 개략적인 단면도이다.

[67] 도 2를 참조하면, 제1 절연층(122) 및 하부 도전 라인(110)은 서로 물리적으로 이격될 수 있다. 이에 따라, 제2 절연층(124) 형성 시 제1 경사부(124a)의 경사각이 추가로 감소할 수 있다. 따라서, 상부 도전 라인(130)의 손상 및/또는 단선이 방지될 수 있다.

[68] 일부 실시예들에 있어서, 제1 절연층(122) 및 하부 도전 라인(110) 사이의 이격 거리(W)는 20 ㎛ 이하일 수 있다. 상기 범위에서, 제2 절연층(124)이 하부 도전 라인(110)의 상면의 일부를 덮으면서 제1 경사부(124a)가 완만한 경사각을 가질 수 있다. 이에 따라, 전극 접속 구조의 접속 신뢰성 및 구조적 안정성이 향상될 수 있다.

[69] 도 3 내지 도 5는 예시적인 실시예들에 따른 전극 접속 구조의 제조 방법을 설명하기 위한 개략적인 단면도들이다. 도 1 및 도 2를 참조로 설명한 구조 및 재질에 대한 상세한 설명은 생략된다.

[70] 예를 들면, 기재층(105)의 상면 상에 상술한 금속 또는 합금을 포함하는 하부 도전막을 형성할 수 있다. 상기 하부 도전막을 소정의 너비로 패터닝하여 하부 도전 라인(110)을 형성할 수 있다.

[71] 상술한 바와 같이, 하부 도전 라인(110)은 약 10 ㎛ 이상의 두께로 형성될 수 있다.

[72] 도 4를 참조하면, 기재층(105) 상에 하부 도전 라인(110)과 이웃하게 배치되는 제1 절연층(122)을 형성할 수 있다.

[73] 예를 들면, 기재층(105) 상에 하부 도전 라인(110)을 전체적으로 덮도록 제1 코팅층을 형성할 수 있다. 예시적인 실시예들에 따르면, 상기 제1 코팅층은 에폭시계 수지, 아크릴계 수지, 실록산계 수지, 이미드계 수지, 노볼락계 수지 등과 같은 감광성 수지를 포함하는 감광성 조성물을 사용하여 제1 스핀 코팅 공정을 통해 형성될 수 있다.

[74] 상기 제1 코팅층에 대해 예를 들면, 약 80 ℃ 내지 110 ℃의 온도에서 프리-베이킹(pre-baking)(또는 소프트 베이킹) 공정을 수행할 수 있다. 이후, 하부 도전 라인(110)의 상면의 일부를 노출하도록 마스크를 사용하여 노광 공정을 수행할 수 있다.

[75] 일부 실시예들에 있어서, 상기 노광 공정 이후 포스트-베이킹 공정을 예를 들면, 약 130 ℃ 내지 160 ℃의 온도에서 수행할 수 있다.

[76] 이후, 예를 들면 알칼리 수용액을 사용한 현상 공정을 통해 상기 제1 코팅층을 부분적으로 제거하여 하부 도전 라인(110)의 상면을 노출시키는 제1 절연층(122)을 형성할 수 있다.

[77] 일 실시예에 있어서, 상기 포스트-베이킹 공정은 상기 프리-베이킹 공정보다 긴 시간동안 수행될 수 있다. 예를 들면, 상기 프리-베이킹 공정은 약 3분 내지 10분, 상기 포스트-베이킹 공정은 약 20분 내지 30분간 수행될 수 있다.

[78] 상기 포스트-베이킹 공정을 충분한 시간 및 온도로 수행하여, 제2 절연층(124) 혹은 비아 홀(125) 형성 시 제1 절연층(122)의 손상을 방지할 수 있다.

[79] 도 5를 참조하면, 제1 절연층(122) 상에 제2 절연층(124)을 형성할 수 있다.

[80] 예를 들면, 기재층(105) 및 제1 절연층(122) 상에 상술한 감광성 조성물을 제2 스핀 코팅 공정을 통해 형성하여 제2 코팅층을 형성할 수 있다. 상기 제2 코팅층은 제1 절연층(122) 형성 시 노출된 하부 도전 라인(110)의 상면을 채우도록 형성될 수 있다.

[81] 상기 제2 코팅층에 대해 예를 들면, 약 80 ℃ 내지 110 ℃의 온도에서 프리-베이킹 공정을 수행할 수 있다. 이후, 비아 홀(125)의 형성을 위한 마스크를 사용하여 노광 공정을 수행할 수 있다.

[82] 일부 실시예들에 있어서, 상기 노광 공정 이후 포스트-베이킹 공정을 약 180 ℃ 내지 220 ℃의 온도에서 수행할 수 있다.

[83] 이후, 예를 들면 알칼리 수용액을 사용한 현상 공정을 통해 상기 제2 코팅층을 부분적으로 제거하여 비아 홀(125)을 형성할 수 있다. 이에 따라, 제1 절연층(122) 및 하부 도전 라인(110)의 일부를 함께 덮으며, 하부 도전 라인(110)의 상면을 부분적으로 노출시키는 제2 절연층(124)이 형성될 수 있다.

[84] 상기 현상 공정에서 제2 코팅층 부분의 적어도 일부가 함께 제거되어 비아 홀(125)이 형성될 수 있다. 상술한 바와 같이, 제1 절연층(122)은 프리-베이킹 및 포스트-베이킹 공정을 통해 경화된 상태이므로 제1 절연층(122)의 손상 없이 비아 홀(125)이 형성될 수 있다.

[85] 예를 들면, 제2 절연층(124) 형성 단계에서, 상기 포스트-베이킹 공정은 상기 프리-베이킹 공정보다 긴 시간동안 수행될 수 있다. 예를 들면, 상기 프리-베이킹 공정은 약 3분 내지 10분, 상기 포스트-베이킹 공정은 약 20분 내지 30분간 수행될 수 있다.

[86] 일부 실시예들에 있어서, 제1 절연층(122) 형성을 위한 제1 스핀 코팅 공정의 회전 속도 및 제2 절연층(124) 형성을 위한 제2 스핀 공정의 회전 속도는 각각 약 300 rpm 내지 500 rpm으로 조절될 수 있다. 이에 따라, 제1 절연층(122)의 높이가 충분히 증가하고, 제2 절연층(124)의 경사부들의 경사각이 감소하여 도전 라인들(110, 130) 간의 접속 신뢰성이 향상될 수 있다.

[87] 절연 구조(120)를 두 번에 걸쳐 연속적으로 형성하여 절연층들(122, 124)의 두께 및 표면 평탄화도를 균일하게 조절할 수 있다.

[88] 상술한 공정에 따라 제조된 절연 구조(120)에 있어서, 제1 절연층(122)의 두께는 하부 도전 라인(110)의 두께의 50% 내지 100%일 수 있다.

[89] 다시 도 1을 참조하면, 제2 절연층(124) 상에 비아 홀(125)을 채우는 상부 도전층이 형성될 수 있다. 이후, 상기 상부 도전층을 소정의 너비로 패터닝하여 비아

홀(125)을 통해 하부 도전 라인(110)과 접촉하는 콘택(135)을 포함하는 상부 도전 라인(130)이 형성될 수 있다.

[90] 도 6은 예시적인 실시예들에 따른 디지타이저를 나타내는 개략적인 단면도이다. 도 7 및 도 8은 예시적인 실시예들에 따른 디지타이저에 포함되는 도전 코일들을 나타내는 개략적인 평면도들이다. 예를 들면, 도 6은 도 7에 표시된 I-I' 라인을 따라 두께 방향으로 절단한 단면도이다.

[91] 도 6 내지 도 8에서, 디지타이저(100) 또는 기재층(105)의 상면에 평행하며 서로 교차하는 두 방향을 제1 방향 및 제2 방향으로 정의한다. 예를 들면, 상기 제1 방향 및 제2 방향은 서로 수직하게 교차할 수 있다.

[92] 상기 제1 방향은 디지타이저(100)의 너비 방향, 행 방향 혹은 X-방향에 대응될 수 있다. 상기 제2 방향은 디지타이저(100)의 길이 방향, 열 방향 혹은 Y-방향에 대응될 수 있다.

[93] 도 6 내지 도 8을 참조하면, 디지타이저(100)는 도 1 및 도 2를 참조로 설명한 예시적인 실시예들에 따른 전극 접속 구조를 포함할 수 있다. 예시적인 실시예들에 따르면, 디지타이저(100)는 기재층(105) 상에 형성된 하부 도전 라인(110) 및 상부 도전 라인(130)을 포함할 수 있다. 하부 도전 라인(110) 및 상부 도전 라인(130)은 절연 구조(120)를 사이에 두고 서로 다른 층에 분리될 수 있다.

[94] 예시적인 실시예들에 따른 디지타이저(100)는 제1 도전 코일(50)(도 7 참조) 및 제2 도전 코일(70)(도 8 참조)을 포함할 수 있다.

[95] 제1 도전 코일(50) 및 제2 도전 코일(70)은 하부 도전 라인(110) 및 상부 도전 라인(130)이 콘택들(135)에 의해 조합되어 정의될 수 있다.

[96] 하부 도전 라인(110)은 제1 하부 도전 라인(112)(도 8 참조) 및 제2 하부 도전 라인(114)(도 7 참조)을 포함할 수 있다. 상부 도전 라인(130)은 제1 상부 도전 라인(132)(도 7 참조) 및 제2 상부 도전 라인(134)(도 8 참조)을 포함할 수 있다.

[97] 제1 하부 도전 라인(112)은 및 제2 하부 도전 라인(114)은 제2 방향으로 연장할 수 있다. 제1 상부 도전 라인(132) 및 제2 상부 도전 라인(134)은 제1 방향으로 연장할 수 있다.

[98] 도 7에 도시된 바와 같이, 상부 도전 라인(130)의 제1 상부 도전 라인(132) 및 하부 도전 라인(110)의 제2 하부 도전 라인(114)이 서로 결합되어 제1 도전 코일(50)을 형성할 수 있다.

[99] 제1 상부 도전 라인(132) 및 제2 하부 도전 라인(114)은 함께 제1 도전 코일(50)을 형성하여 전자기 유도를 통한 입력 펜에 대한 센싱 라인으로 함께 제공될 수 있다.

[100] 예를 들면, 제1 상부 도전 라인(132) 및 제2 하부 도전 라인(114)은 제1 콘택(135a)을 통해 서로 전기적으로 연결될 수 있다. 복수의 제1 상부 도전 라인들(132) 및 복수의 제2 하부 도전 라인들(114)이 복수의 제1 콘택들(135a)을 통해 서로 전기적으로 연결되어 하나의 제1 도전 코일(50) 내에 복수의 도전 루프가 포함

될 수 있다. 예를 들면, 하나의 제1 도전 코일(50) 내에 4개의 제1 도전 루프들이 포함될 수 있다.

[101] 일부 실시예들에 있어서, 상기 제1 도전 루프들은 평면 방향에서 서로 다른 사이즈 혹은 면적을 가질 수 있다. 제1 콘택(135a)은 절연 구조(120)를 관통하여 제1 상부 도전 라인(132)과 실질적으로 일체로 형성될 수 있다.

[102] 상기 제1 도전 루프들 중 어느 하나의 제1 도전 루프에는 제1 입력 라인(113) 및 제1 출력 라인(115)이 연결될 수 있다. 예를 들면, 제1 입력 라인(113)은 상기 제1 도전 루프들 중 최내측의 제1 도전 루프에 연결될 수 있다. 제1 출력 라인(115)은 상기 제1 도전 루프들 중 최외곽의 제1 도전 루프에 연결될 수 있다.

[103] 제1 입력 라인(113)으로부터 입력된 전류는 상기 제1 도전 루프들을 통해 하부 도전 라인(110) 및 상부 도전 라인(130)을 교대로 순환하며, 제1 출력 라인(115)을 통해 배출될 수 있다.

[104] 일부 실시예들에 있어서, 제1 입력 라인(113) 및 제1 출력 라인(115)은 하부 도전 라인(110)에 포함될 수 있다.

[105] 일부 실시예들에 있어서, 하부 도전 라인(110)은 제1 내부 연결 라인(114a)을 포함할 수 있다. 예를 들면, 이웃하는 제1 도전 루프들이 제1 내부 연결 라인(114a)에 의해 연결될 수 있다.

[106] 도 8에 도시된 바와 같이, 하부 도전 라인(110)의 제1 하부 도전 라인(112) 및 상부 도전 라인(130)의 제2 상부 도전 라인(134)이 서로 결합되어 제2 도전 코일(70)을 형성할 수 있다.

[107] 제1 하부 도전 라인(112) 및 제2 상부 도전 라인(134)은 함께 제2 도전 코일(70)을 형성하여 전자기 유도를 통한 입력 펜에 대한 센싱 라인으로 함께 제공될 수 있다.

[108] 예를 들면, 제1 하부 도전 라인(112) 및 제2 상부 도전 라인(134)은 제2 콘택(135b)을 통해 서로 전기적으로 연결될 수 있다. 복수의 제1 하부 도전 라인들(112) 및 복수의 제2 상부 도전 라인들(134)이 복수의 제2 콘택들(135b)을 통해 서로 전기적으로 연결되어 하나의 제2 도전 코일(70) 내에 복수의 도전 루프가 포함될 수 있다. 예를 들면, 하나의 제2 도전 코일(70) 내에 4개의 제2 도전 루프들이 포함될 수 있다.

[109] 일부 실시예들에 있어서, 상기 제2 도전 루프들은 평면 방향에서 서로 다른 사이즈 혹은 면적을 가질 수 있다. 제2 콘택(135b)은 절연 구조(120)를 관통하여 제2 상부 도전 라인(134)과 실질적으로 일체로 형성될 수 있다.

[110] 상기 제2 도전 루프들 중 어느 하나의 제2 도전 루프에는 제2 입력 라인(117) 및 제2 출력 라인(119)이 연결될 수 있다. 예를 들면, 제2 입력 라인(117)은 상기 제2 도전 루프들 중 최내측의 제2 도전 루프에 연결될 수 있다. 제2 출력 라인(119)은 상기 제2 도전 루프들 중 최외곽의 제2 도전 루프에 연결될 수 있다.

[111] 제2 입력 라인(117)으로부터 입력된 전류는 상기 제2 도전 루프들을 통해 하부 도전 라인(110) 및 상부 도전 라인(130)을 교대로 순환하며, 제2 출력 라인(119)을 통해 배출될 수 있다.

[112] 일부 실시예들에 있어서, 제2 입력 라인(117) 및 제2 출력 라인(119)은 하부 도전 라인(110)에 포함될 수 있다.

[113] 일부 실시예들에 있어서, 상부 도전 라인(130)은 외부 연결 라인(134a)을 더 포함할 수 있다. 예를 들면, 외부 연결 라인(134a)에 의해 제2 입력 라인(117) 및 제2 출력 라인(119)이 제2 도전 루프와 제2 콘택(135b)을 통해 연결될 수 있다.

[114] 일 실시예에 있어서, 외부 연결 라인(134a)은 2개의 서로 다른 제2 도전 코일에 연결될 수도 있다. 예를 들면, 어느 하나의 제2 도전 코일(70)에 연결된 출력 라인(119)은 외부 연결 라인(134a)을 통해 다른 제2 도전 코일(70)의 입력 라인(117)에 연결될 수도 있다.

[115] 일부 실시예들에 있어서, 상부 도전 라인(130)은 제2 내부 연결 라인(134b)을 더 포함할 수도 있다. 예를 들면, 제2 내부 연결 라인(134b)에 의해 제2 도전 코일(70) 내에서 이웃하는 제2 도전 루프들이 서로 연결될 수 있다.

[116] 도 7 및 도 8에서는 하나의 도전 코일 내에 4개의 도전 루프가 포함되는 것으로 도시되었으나, 도전 코일 내의 도전 루프의 개수는 화상 표시 장치의 사이즈 및 해상도 등을 고려하여 조절될 수 있다.

[117] 도 7 및 도 8을 참조로 설명한 바와 같이, 제1 도전 코일(50) 및 제2 도전 코일(70)은 각각 복수의 서로 다른 사이즈의 도전 루프들을 포함할 수 있다.

[118] 이에 따라, 디지타이저(100)를 통해 생성되는 자기장 세기를 충분히 증가시켜 예를 들면, 화상 표시 장치의 윈도우 면에 접촉하는 입력 펜으로의 에너지 전달을 효율적으로 증진시킬 수 있다.

[119] 또한, 하부 도전 라인(110) 및 상부 도전 라인(130)을 콘택(135)을 통해 연결하여 도전 루프를 형성하므로, 제한된 공간 내에서의 도전 코일의 루프 개수를 효율적으로 증가시키며 전자기 유도 효율성을 향상시킬 수 있다.

[120] 상술한 바와 같이, 하부 도전 라인(110)의 두께는 상부 도전 라인(130)의 두께보다 클 수 있다. 도 9를 참조로 후술하는 바와 같이, 상부 도전 라인(130)은 제1 방향(예를 들면, 행 방향 또는 너비 방향)으로 연장하며 벤딩 축과 교차할 수 있다. 예를 들면, 상부 도전 라인(130)은 상기 벤딩 축과 수직할 수 있다. 하부 도전 라인(110)은 제2 방향(열 방향 또는 길이 방향)으로 연장하며 실질적으로 상기 벤딩 축과 평행할 수 있다.

[121] 예시적인 실시예들에 따르면, 상기 벤딩 축과 교차함에 따라 벤딩 스트레스가 쉽게 전달되는 상부 도전 라인(130)의 두께를 감소시켜 도전 라인 내부에서의 크랙 방지를 감소 또는 억제할 수 있다. 상기 벤딩 축과 평행하여 벤딩 스트레스로부터 상대적으로 자유로운 제1 하부 도전 라인(110)은 큰 두께로 형성함에 따라, 도전 코일을 통한 전류 통로를 확장시켜 충분한 전자기 유도 효과를 구현할 수 있다.

[122] 또한, 도 1을 참조로 설명한 바와 같이, 콘택(135)은 비아 홀(125)을 포함하는 절연 구조(120) 내에 형성될 수 있다. 이에 따라, 하부 도전 라인(110)의 두께가 증가되는 경우에도 소정의 절연성을 유지하면서 상부 도전 라인(130)과의 안정적인 접속 신뢰성을 확보할 수 있다.

[123] 도 9는 예시적인 실시예들에 따른 디지타이저를 나타내는 개략적인 평면도이다. 설명의 편의를 위해, 도 9에서는 도전 코일의 상세 구조/구성의 도시는 생략되었다.

[124] 도 9를 참조하면, 기재층(105)의 상면 상에 복수의 제1 도전 코일들(50) 및 제2 도전 코일들(70)이 배열될 수 있다.

[125] 제1 도전 코일(50)은 상기 제1 방향 혹은 행 방향으로 연장할 수 있다. 복수의 제1 도전 코일들(50)은 상기 제2 방향 또는 열 방향을 따라 배열될 수 있다.

[126] 예를 들면, n개의 제1 도전 코일들(50-1 내지 50-n)이 순차적으로 상기 제2 방향을 따라 배열될 수 있다(n은 자연수).

[127] 제2 도전 코일(70)은 상기 제2 방향 혹은 열 방향으로 연장할 수 있다. 복수의 제2 도전 코일들(70)은 상기 제1 방향 또는 행 방향을 따라 배열될 수 있다.

[128] 예를 들면, m개의 제2 도전 코일들(70-1 내지 70-m)이 순차적으로 상기 제1 방향을 따라 배열될 수 있다.

[129] 기재층(105)의 중앙부에는 벤딩 영역(BA)이 포함될 수 있다. 벤딩 영역(BA) 내에는 상기 제2 방향으로 연장하는 벤딩 축(80)이 위치할 수 있다. 예시적인 실시예들에 따른 디지타이저(100)는 벤딩 축(80) 주변으로 굴곡되거나 접힐 수 있다.

[130] 상술한 바와 같이, 일부 실시예들에 있어서, 벤딩 축(80)과 교차하는 상부 도전 라인(130)의 두께는 상대적으로 작을 수 있다. 따라서, 벤딩 스트레스가 직접적으로 인가되는 상부 도전 라인(130)의 크랙을 방지하며 유연성을 증가시킬 수 있다.

[131] 벤딩 축(80)과 평행하며 벤딩 스트레스가 상대적으로 작은 하부 도전 라인(110)의 두께는 증가시켜, 저항을 감소시키고 도전 코일을 통한 자기장 생성 효율을 향상시킬 수 있다.

[132] 또한, 도 1 및/또는 도 2를 참조로 설명한 전극 접속 구조를 활용하여 상부 도전 라인(130)의 두께가 감소되는 경우에도 반복적인 폴딩 혹은 벤딩 시 안정적인 도전 코일(50, 70)의 전기적 연결이 유지되어 원하는 전자기 생성을 구현할 수 있다.

청구범위

[청구항 1] 기재층;
상기 기재층의 상면 상에 배치된 하부 도전 라인;
상기 기재층의 상기 상면 상에 형성되고, 상기 하부 도전 라인에 이웃하여 배치된 제1 절연층;
상기 제1 절연층 상에 형성되고, 상기 하부 도전 라인의 상면을 노출시키는 비아 홀을 포함하는 제2 절연층; 및
상기 제2 절연층 상에 배치되어 상기 비아 홀을 통해 상기 하부 도전 라인과 전기적으로 연결되는 상부 도전 라인을 포함하는, 전극 접속 구조.

[청구항 2] 청구항 1에 있어서, 상기 제2 절연층은 상기 제1 절연층, 및 상기 하부 도전 라인의 상기 상면의 적어도 일부를 함께 덮는, 전극 접속 구조.

[청구항 3] 청구항 1에 있어서, 상기 제2 절연층은
상기 제1 절연층 및 상기 하부 도전 라인과 접촉하며 경사진 측벽을 포함하는 제1 경사부;
상기 하부 도전 라인의 상기 상면과 접촉하며 상기 비아 홀을 형성하는 제2 경사부; 및
상기 제1 경사부로부터 연장되는 연장부를 포함하는, 전극 접속 구조.

[청구항 4] 청구항 1에 있어서, 상기 제1 절연층의 두께는 상기 하부 도전 라인의 두께의 50% 내지 100%인, 전극 접속 구조.

[청구항 5] 청구항 1에 있어서, 상기 제1 절연층 및 상기 하부 도전 라인은 동일 층 또는 동일 레벨에 형성된, 전극 접속 구조.

[청구항 6] 청구항 1에 있어서, 상기 제1 절연층 및 상기 하부 도전 라인은 서로 물리적으로 이격된, 전극 접속 구조.

[청구항 7] 청구항 6에 있어서, 상기 제1 절연층 및 상기 하부 도전 라인 사이의 이격거리는 20 ㎛ 이하인, 전극 접속 구조.

[청구항 8] 청구항 1에 있어서, 상기 하부 도전 라인의 두께는 상기 상부 도전 라인의 두께보다 큰, 전극 접속 구조.

[청구항 9] 청구항 1에 있어서, 상기 하부 도전 라인의 두께는 10 ㎛ 이상인, 전극 접속 구조.

[청구항 10] 청구항 1에 있어서, 상기 제1 절연층 및 상기 제2 절연층은 서로 다른 소재를 포함하는, 전극 접속 구조.

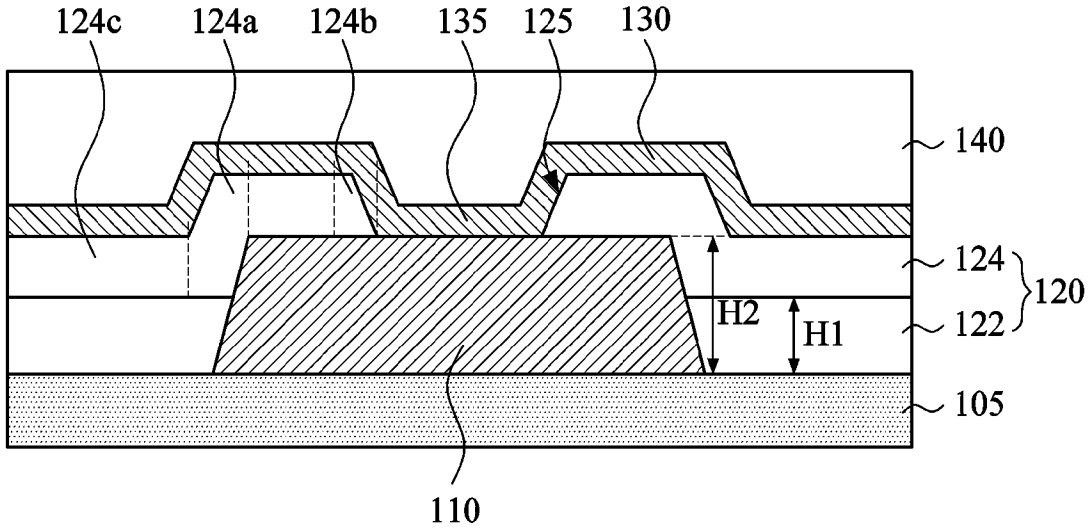
[청구항 11] 청구항 1의 전극 접속 구조를 포함하고,
상기 하부 도전 라인은 복수의 하부 도전 라인들을 포함하고, 상기 상부 도전 라인은 복수의 상부 도전 라인들을 포함하며,
상기 하부 도전 라인들 및 상기 상부 도전 라인들이 상기 비아 홀을 통해 서로 조합되어 복수의 도전 코일들을 형성하는, 디지타이저.

[청구항 12] 청구항 11에 있어서, 상기 하부 도전 라인들은 열 방향으로 연장하는 제1 하부 도전 라인들 및 제2 하부 도전 라인들을 포함하고,
상기 상부 도전 라인들은 행 방향으로 연장하는 제1 상부 도전 라인들 및 제2 상부 도전 라인들을 포함하는, 디지타이저.

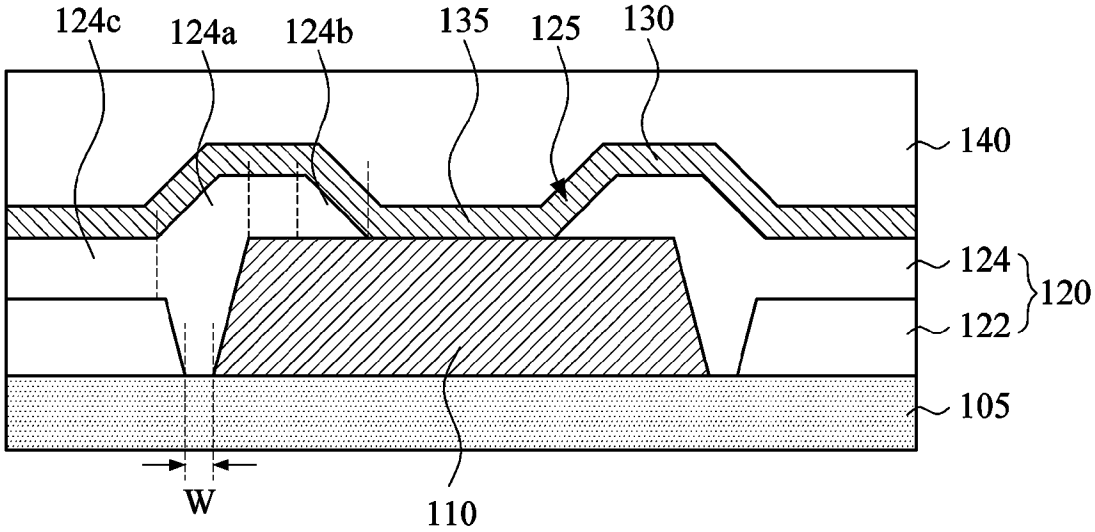
[청구항 13] 청구항 12에 있어서, 상기 도전 코일들은 상기 제1 상부 도전 라인들 및 상기 제2 하부 도전 라인들이 서로 연결되어 형성된 제1 도전 코일; 및 상기 제1 하부 도전 라인들 및 상기 제2 상부 도전 라인들이 서로 연결되어 형성된 제2 도전 코일을 포함하는, 디지타이저.

[청구항 14] 청구항 11에 있어서, 상기 기재층은 벤딩 영역을 포함하고,
상기 벤딩 영역의 벤딩 축은 상기 상부 도전 라인과 교차하며, 상기 하부 도전 라인과 평행한, 디지타이저.

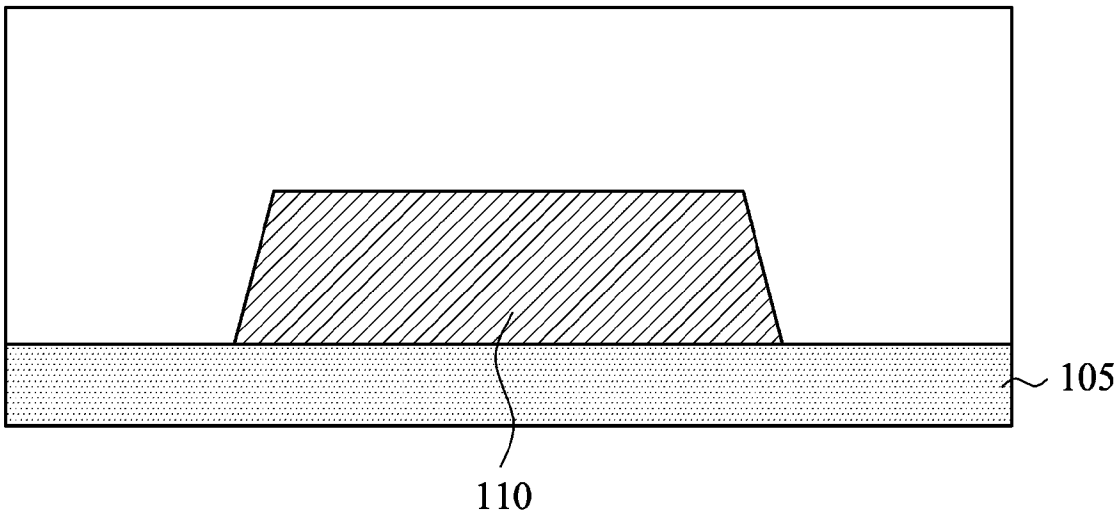
[도1]


124c
124a
124b
135
125
130
140
124
120
122
H2
H1
105
110

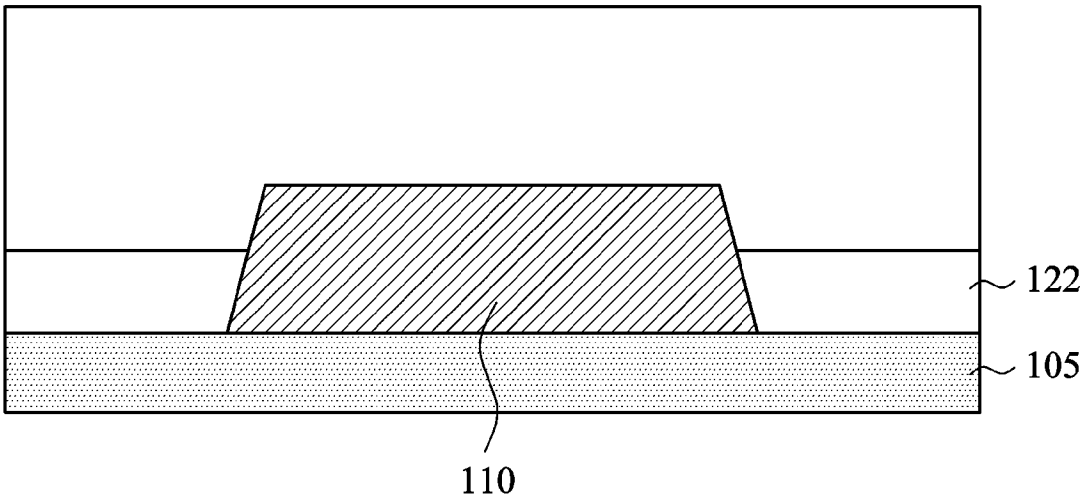
[도2]


124c
124a
124b
135
125
130
140
124
120
122
105
W
110

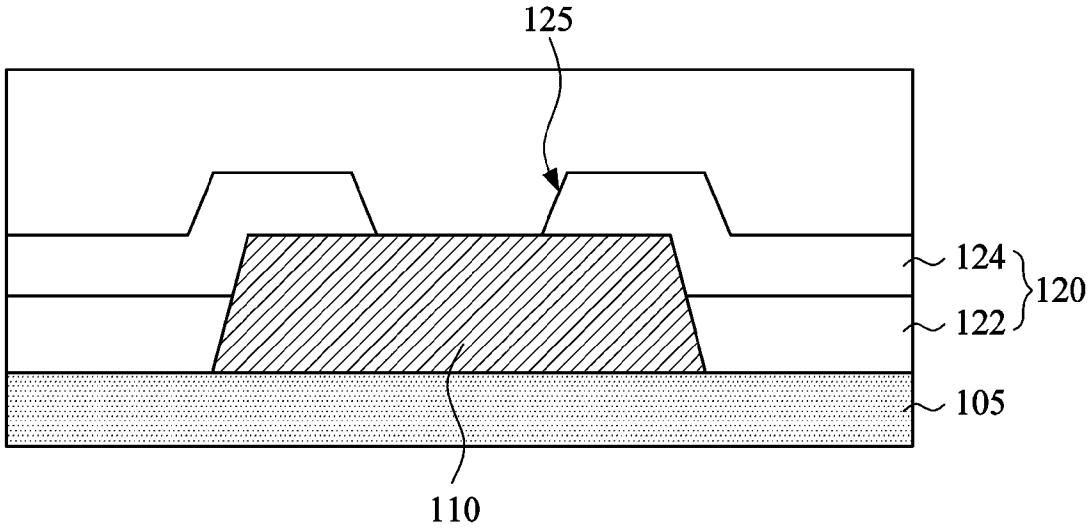
[도3]


105
110

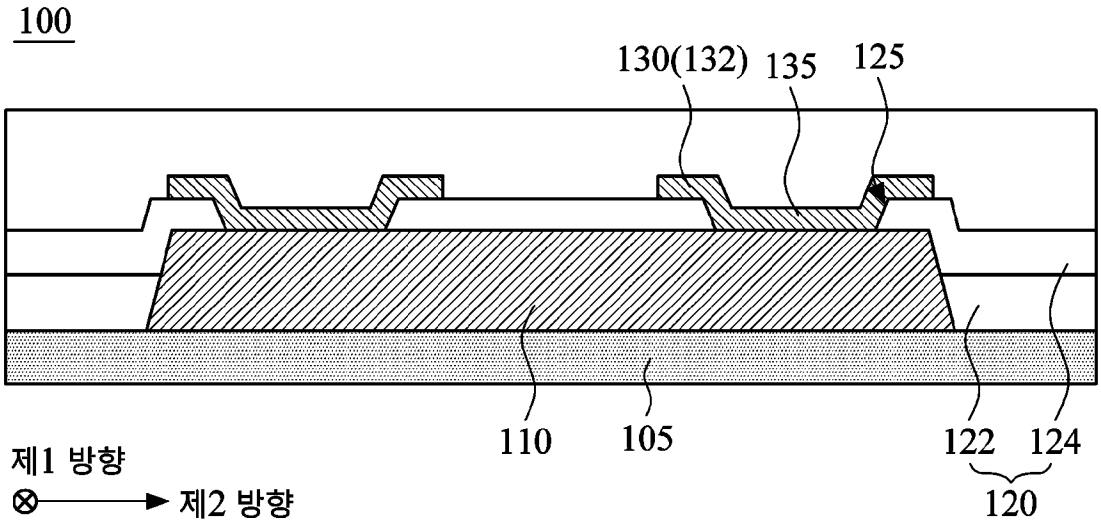
[도4]


122
105
110

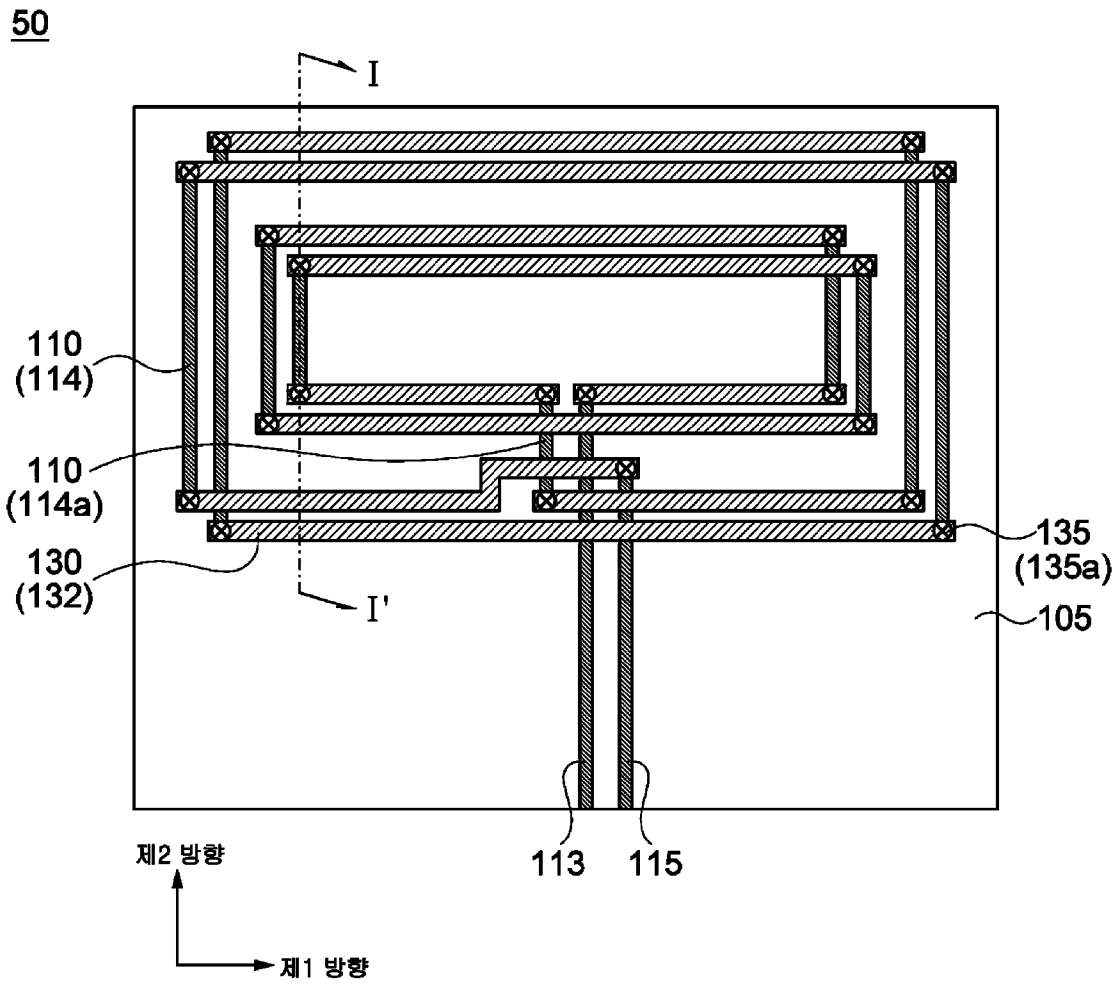
[도5]


125
124
120
122
105
110

[도6]

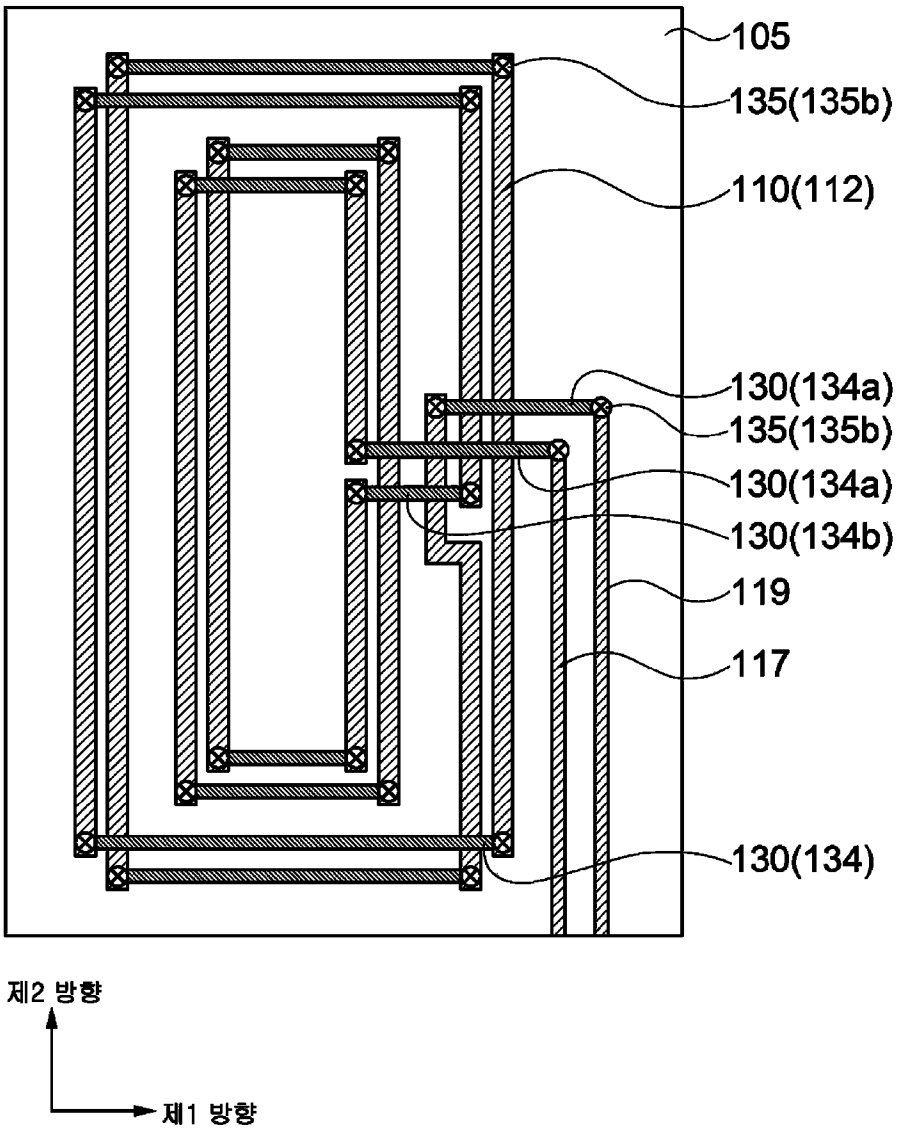

100
130(132)
135
125
110
105
122
124
120
제1 방향
제2 방향

[도7]

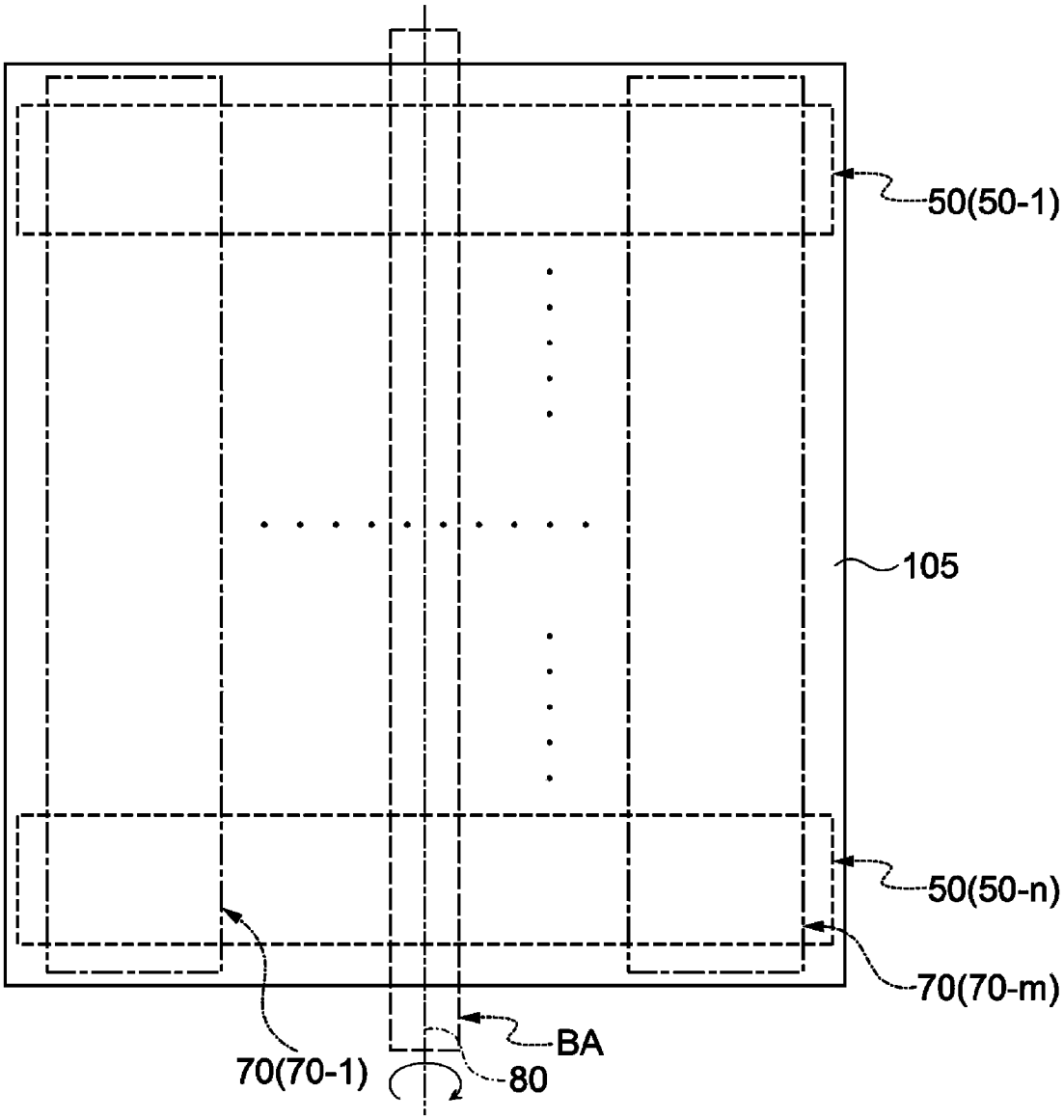


[도8]

70


105
135(135b)
110(112)
130(134a)
135(135b)
130(134a)
130(134b)
119
117
130(134)
제2 방향
제1 방향

[도9]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2023/002923

A. CLASSIFICATION OF SUBJECT MATTER

G06F 3/041(2006.01)i; **G06F 3/046**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F 3/041(2006.01); G06F 3/044(2006.01); H01B 5/14(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 디지타이저(digitizer), 절연층(insulation layer), 비아 홀(via hole), 도전 라인(conductive line), 경사부(slope)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2014-0105370 A (TPK TOUCH SOLUTIONS INC.) 01 September 2014 (2014-09-01) See paragraphs [0017]-[0029]; claims 1, 10 and 12; and figures 4-7.	1-14
Y	KR 10-2018-0099121 A (DONGWOO FINE-CHEM CO., LTD.) 05 September 2018 (2018-09-05) See paragraphs [0026] and [0051]; claim 1; and figures 1-2.	1-14
Y	KR 10-1301557 B1 (PATTERNIA CO., LTD.) 04 September 2013 (2013-09-04) See paragraphs [0028]-[0029] and [0042]; claim 1; and figures 1-3.	3,6-7
Y	KR 10-2293027 B1 (DONGWOO FINE-CHEM CO., LTD.) 24 August 2021 (2021-08-24) See paragraph [0067]; claim 1; and figure 3a.	14
A	KR 10-2019-0108747 A (DONGWOO FINE-CHEM CO., LTD.) 25 September 2019 (2019-09-25) See paragraphs [0032]-[0045]; claim 1; and figures 1 and 5.	1-14

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
23 June 2023	**23 June 2023**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office **Government Complex-Daejeon Building 4, 189 Cheongsa-ro, Seo-gu, Daejeon 35208**	
Facsimile No. **+82-42-481-8578**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2023/002923

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
KR 10-2014-0105370 A	01 September 2014	CN 104007860 A	27 August 2014
		CN 104007860 B	08 February 2017
		EP 2770409 A2	27 August 2014
		EP 2770409 A3	03 May 2017
		EP 2770409 B1	12 February 2020
		JP 2014-164757 A	08 September 2014
		JP 5695235 B2	01 April 2015
		KR 10-1604458 B1	17 March 2016
		TW 201433962 A	01 September 2014
		TW I521405 B	11 February 2016
		TW M484147 U	11 August 2014
		US 2014-0240616 A1	28 August 2014
		US 2015-0234486 A1	20 August 2015
		US 2017-0192544 A9	06 July 2017
		US 9733676 B2	15 August 2017
KR 10-2018-0099121 A	05 September 2018	CN 108509075 A	07 September 2018
		CN 108509075 B	19 April 2022
		US 10489000 B2	26 November 2019
		US 2018-0246595 A1	30 August 2018
KR 10-1301557 B1	04 September 2013	KR 10-2013-0066949 A	21 June 2013
KR 10-2293027 B1	24 August 2021	KR 10-2017-0096475 A	24 August 2017
		TW 201734731 A	01 October 2017
		TW I722113 B	21 March 2021
		WO 2017-142188 A1	24 August 2017
KR 10-2019-0108747 A	25 September 2019	None	

국 제 조 사 보 고 서

국제출원번호
PCT/KR2023/002923

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G06F 3/041(2006.01)i; **G06F 3/046**(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

G06F 3/041(2006.01); G06F 3/044(2006.01); H01B 5/14(2006.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 디지타이저(digitizer), 절연층(insulation layer), 비아 홀(via hole), 도전라인(conductive line), 경사부(slope)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2014-0105370 A (티피케이 터치 솔루션스 인코포레이션) 2014.09.01 단락 [0017]-[0029]; 청구항 1, 10, 12; 및 도면 4-7	1-14
Y	KR 10-2018-0099121 A (동우 화인켐 주식회사) 2018.09.05 단락 [0026], [0051]; 청구항 1; 및 도면 1-2	1-14
Y	KR 10-1301557 B1 (패터니아주식회사) 2013.09.04 단락 [0028]-[0029], [0042]; 청구항 1; 및 도면 1-3	3,6-7
Y	KR 10-2293027 B1 (동우 화인켐 주식회사) 2021.08.24 단락 [0067]; 청구항 1; 및 도면 3a	14
A	KR 10-2019-0108747 A (동우 화인켐 주식회사) 2019.09.25 단락 [0032]-[0045]; 청구항 1; 및 도면 1, 5	1-14

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☑ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
"D" 본 국제출원에서 출원인이 인용한 문헌
"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌
"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2023년06월23일(23.06.2023)	**2023년06월23일(23.06.2023)**

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)

팩스 번호 **+82-42-481-8578**

심사관

양정록

전화번호 **+82-42-481-5709**

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호
PCT/KR2023/002923

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2014-0105370 A	2014/09/01	CN 104007860 A	2014/08/27
		CN 104007860 B	2017/02/08
		EP 2770409 A2	2014/08/27
		EP 2770409 A3	2017/05/03
		EP 2770409 B1	2020/02/12
		JP 2014-164757 A	2014/09/08
		JP 5695235 B2	2015/04/01
		KR 10-1604458 B1	2016/03/17
		TW 201433962 A	2014/09/01
		TW I521405 B	2016/02/11
		TW M484147 U	2014/08/11
		US 2014-0240616 A1	2014/08/28
		US 2015-0234486 A1	2015/08/20
		US 2017-0192544 A9	2017/07/06
		US 9733676 B2	2017/08/15
KR 10-2018-0099121 A	2018/09/05	CN 108509075 A	2018/09/07
		CN 108509075 B	2022/04/19
		US 10489000 B2	2019/11/26
		US 2018-0246595 A1	2018/08/30
KR 10-1301557 B1	2013/09/04	KR 10-2013-0066949 A	2013/06/21
KR 10-2293027 B1	2021/08/24	KR 10-2017-0096475 A	2017/08/24
		TW 201734731 A	2017/10/01
		TW I722113 B	2021/03/21
		WO 2017-142188 A1	2017/08/24
KR 10-2019-0108747 A	2019/09/25	없음	