



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0106766
(43) 공개일자 2012년09월26일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/336*
(2006.01)
(21) 출원번호 10-2012-7015830
(22) 출원일자(국제) 2010년10월25일
심사청구일자 없음
(85) 번역문제출일자 2012년06월19일
(86) 국제출원번호 PCT/JP2010/069244
(87) 국제공개번호 WO 2011/062043
국제공개일자 2011년05월26일
(30) 우선권주장
JP-P-2009-264768 2009년11월20일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
(72) 발명자
호소바 미유키
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
사카타 준이치로
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
장훈

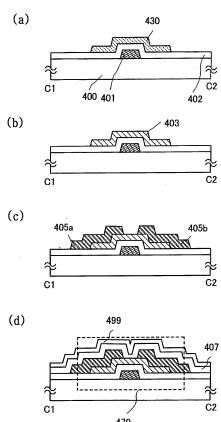
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 장치의 제작 방법

(57) 요 약

본 발명의 목적은 산화물 반도체가 이용되는, 안정한 전기적 특성을 갖는 반도체 장치를 제공하는 것이다. 산화물 반도체층은 탈수화 또는 탈수소화 처리를 위해, 질소 분위기 또는 희가스(예를 들면, 아르곤 또는 헬륨)와 같은 불활성 기체 분위기하 또는 감압하에서의 가열 처리가 수행되고, 산소 공급 처리를 위해, 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 냉각 단계를 거친다. 따라서, 산화물 반도체층은 고순도화되어, i형의 산화물 반도체층이 형성된다. 산화물 반도체층을 갖는 박막 트랜지스터를 포함하는 반도체 장치가 제작된다.

대 표 도 - 도1



(72) 발명자

오하라 히로키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

야마자키 순페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

특허청구의 범위

청구항 1

반도체 장치를 제작하는 방법에 있어서,
 기판 위에 제 1 절연층을 형성하는 단계;
 감압 하에서 유지되는 처리실 내에 상기 제 1 절연층을 갖는 상기 기판을 도입하는 단계;
 상기 처리실로부터 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스의 도입에 의해 상기 처리실
 에 장착된 금속 산화물 타깃을 이용하여 상기 제 1 절연층 위에 산화물 반도체층을 형성하는 단계;
 질소 분위기 또는 희가스 분위기에서 열처리에 의해 상기 산화물 반도체층의 탈수화 처리 또는 탈수소화 처리
 를 수행한 후, 산소 분위기에서의 냉각 처리에 의해 상기 산화물 반도체층에 산소를 공급하는 단계; 및
 스퍼터링 방법에 의해 상기 산화물 반도체층 위에 제 2 절연층을 형성하는 단계를 포함하는, 반도체 장치 제
 작 방법.

청구항 2

제 1 항에 있어서,
 상기 가열 처리에 의해 상기 산화물 반도체층의 탈수화 처리 또는 탈수소화 처리를 수행하는 단계는 감압하에
 서 수행되는, 반도체 장치의 제작 방법.

청구항 3

제 1 항에 있어서,
 상기 탈수화 처리 또는 상기 탈수소화 처리는 200°C 내지 700°C의 가열 처리에 의해 수행되는, 반도체 장치의
 제작 방법.

청구항 4

제 1 항에 있어서,
 상기 산화물 반도체층이 형성되는 상기 처리실로부터, 잔류 수분은 크라이오 펌프(cryopump)를 이용한 배기에
 의해 제거되는, 반도체 장치의 제작 방법.

청구항 5

제 1 항에 있어서,
 상기 제 2 절연층이 형성되는 상기 처리실로부터, 잔류 수분은 크라이오 펌프를 이용한 배기에 의해
 제거되는, 반도체 장치의 제작 방법.

청구항 6

제 1 항에 있어서,
 상기 금속 산화물 타깃은 인듐, 갈륨 또는 아연을 포함하는 금속 산화물인, 반도체 장치의 제작 방법.

청구항 7

반도체 장치를 제작하는 방법에 있어서,
 기판 위에 게이트 전극층을 형성하는 단계;
 상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계;
 감압 하에서 유지되는 처리실 내에 상기 게이트 전극층 및 상기 게이트 절연층을 갖는 상기 기판을 도입하는
 단계;

상기 처리실로부터 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스의 도입에 의해 상기 처리실에 장착된 금속 산화물 타깃을 이용하여 상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계;

질소 분위기 또는 희가스 분위기에서 열처리에 의해 상기 산화물 반도체층의 탈수화 처리 또는 탈수소화 처리를 수행한 후, 산소 분위기에서의 냉각 처리에 의해 상기 산화물 반도체층에 산소를 공급하는 단계; 및

산소가 공급된 탈수화 또는 탈수소화된 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계; 및

스퍼터링 방법에 의해 상기 게이트 절연층, 상기 산화물 반도체층, 상기 소스 전극층, 및 상기 드레인 전극층 위에 절연층을 형성하는 단계를 포함하는, 반도체 장치 제작 방법.

청구항 8

제 7 항에 있어서,

상기 가열 처리에 의해 상기 산화물 반도체층의 탈수화 처리 또는 탈수소화 처리를 수행하는 단계는 감압하에서 수행되는, 반도체 장치의 제작 방법.

청구항 9

제 7 항에 있어서,

상기 탈수화 처리 또는 상기 탈수소화 처리는 200°C 내지 700°C의 가열 처리에 의해 수행되는, 반도체 장치의 제작 방법.

청구항 10

제 7 항에 있어서,

상기 산화물 반도체층이 형성되는 상기 처리실로부터, 잔류 수분은 크라이오 펌프를 이용한 배기에 의해 제거되는, 반도체 장치의 제작 방법.

청구항 11

제 7 항에 있어서,

상기 절연층이 형성되는 상기 처리실로부터, 잔류 수분은 크라이오 펌프를 이용한 배기에 의해 제거되는, 반도체 장치의 제작 방법.

청구항 12

제 7 항에 있어서,

보호 절연층이 상기 절연층 위에 형성되는, 반도체 장치의 제작 방법.

청구항 13

제 7 항에 있어서,

상기 금속 산화물 타깃은 인듐, 갈륨 또는 아연을 포함하는 금속 산화물인, 반도체 장치의 제작 방법.

청구항 14

반도체 장치를 제작하는 방법에 있어서,

기판 위에 게이트 전극층을 형성하는 단계;

상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계;

감압 하에서 유지되는 처리실 내에 상기 게이트 전극층 및 상기 게이트 절연층을 갖는 상기 기판을 도입하는 단계;

상기 처리실로부터 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스의 도입에 의해 상기 처리실에 장착된 금속 산화물 타깃을 이용하여 상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계;

질소 분위기 또는 희가스 분위기에서 열처리에 의해 상기 산화물 반도체층의 탈수화 처리 또는 탈수소화 처리를 수행한 후, 산소 및 질소 분위기 또는 -40°C 이하의 노점(dew point)을 갖는 대기 분위기에서의 냉각 처리에 의해 상기 산화물 반도체층에 산소를 공급하는 단계;

산소가 공급된 탈수화 또는 탈수소화된 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계; 및

스퍼터링 방법에 의해 상기 게이트 절연층, 상기 산화물 반도체층, 상기 소스 전극층, 및 상기 드레인 전극층 위에 절연층을 형성하는 단계를 포함하는, 반도체 장치 제작 방법.

청구항 15

제 14 항에 있어서,

상기 가열 처리에 의해 상기 산화물 반도체층의 탈수화 처리 또는 탈수소화 처리를 수행하는 단계는 감압하에서 수행되는, 반도체 장치의 제작 방법.

청구항 16

제 14 항에 있어서,

상기 탈수화 처리 또는 상기 탈수소화 처리는 200°C 내지 700°C의 가열 처리에 의해 수행되는, 반도체 장치의 제작 방법.

청구항 17

제 14 항에 있어서,

상기 산화물 반도체층이 형성되는 상기 처리실로부터, 잔류 수분은 크라이오 펌프를 이용한 배기에 의해 제거되는, 반도체 장치의 제작 방법.

청구항 18

제 14 항에 있어서,

상기 절연층이 형성되는 상기 처리실로부터, 잔류 수분은 크라이오 펌프를 이용한 배기에 의해 제거되는, 반도체 장치의 제작 방법.

청구항 19

제 14 항에 있어서,

보호 절연층이 상기 절연층 위에 형성되는, 반도체 장치의 제작 방법.

청구항 20

제 14 항에 있어서,

상기 금속 산화물 타깃은 인듐, 갈륨 또는 아연을 포함하는 금속 산화물인, 반도체 장치의 제작 방법.

명세서

기술 분야

[0001]

본 발명은 산화물 반도체를 포함하는 반도체 장치 및 반도체 장치를 제작하기 위한 방법에 관한 것이다.

[0002]

본 명세서에서, 반도체 장치는 일반적으로 반도체 특성을 이용함으로써 기능할 수 있는 장치를 의미하고, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

배경 기술

[0003]

절연 표면을 갖는 기판 위에 형성된 반도체 박막을 이용해서 박막 트랜지스터(TFT)를 형성하기 위한 기술이 주목받고 있다. 박막 트랜지스터는 액정 텔레비전으로 대표되는 표시 장치에 이용된다. 박막 트랜지스터에 적

용가능한 반도체 박막에 대한 재료로서 실리콘계 반도체 재료가 알려져 있다. 다른 재료로서, 산화물 반도체가 주목받고 있다.

[0004] 산화물 반도체의 재료로서는, 산화아연 또는 산화 아연을 그 성분으로 함유하는 재료가 알려져 있다. 또한, 전자 캐리어 농도가 $10^{18}/\text{cm}^3$ 미만인 비정질 산화물(산화물 반도체)을 이용하여 형성된 박막 트랜지스터가 개시되어 있다(특허 문헌 1 내지 3 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 공개 특허 출원 2006-165527호 공보

(특허문헌 0002) 일본 공개 특허 출원 2006-165528호 공보

(특허문헌 0003) 일본 공개 특허 출원 2006-165529호 공보

발명의 내용

해결하려는 과제

[0006] 그러나, 산화물 반도체 내의 화학양론적 조성으로부터의 차이가 박막 형성 공정에서 발생한다. 예를 들면, 산소의 과부족으로 인해 산화물 반도체의 전기 전도도가 변한다. 또한, 박막 형성 중에 산화물 반도체에 혼입하는 수소나 수분이 O-H(산소-수소) 결합을 형성해서 전자 공여체로서의 역할을 하고, 이는 전기 전도도를 변화시키는 요인이다. 또한, O-H 결합은 극성 분자이므로, 이는 산화물 반도체를 이용하여 제작되는 박막 트랜지스터와 같은 능동 디바이스의 특성 변동의 요인으로서의 역할을 한다.

[0007] 이러한 문제의 관점에서, 본 발명의 실시형태의 목적은, 산화물 반도체가 이용되는, 안정된 전기적 특성을 갖는 반도체 장치를 제공하는 것이다.

과제의 해결 수단

[0008] 산화물 반도체층을 포함하는 박막 트랜지스터의 전기적 특성의 변동을 억제하기 위해서, 변동을 유발하는 수소, 수분, 수산기 또는 수소화물(수소 화합물이라고도 칭함)과 같은 불순물이 산화물 반도체층으로부터 의도적으로 제거된다. 또한, 불순물 제거 공정에서 감소되고 산화물 반도체의 주성분인 산소가 공급된다. 따라서, 산화물 반도체층이 고순도화되어, 전기적으로 i형(진성)인 산화물 반도체층이 얻어진다.

[0009] 따라서, 산화물 반도체 중의 수소는 가능한 적은 것이 바람직하다. 산화물 반도체에 함유되는 수소의 농도는 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 이하로 설정되어, 산화물 반도체에 함유되는 수소가 가능한 한 제로에 근접하게 제거된다.

[0010] 또한, 고순도 산화물 반도체 중의 캐리어 개수는 매우 적으며(제로에 근접), 캐리어 농도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 이하이다. 산화물 반도체 중의 캐리어 개수가 매우 적기 때문에, 박막 트랜지스터에서는, 오프 상태 전류가 감소될 수 있다. 오프 상태 전류량이 적을수록 더 바람직하다. 오프 상태 전류(리크 전류라고도 칭함)는, -1V 내지 -10V 사이의 소정의 게이트 전압을 인가했을 경우의 박막 트랜지스터의 소스와 드레인 사이에 흐르는 전류이다. 본 명세서에 개시되는 산화물 반도체를 포함하는 박막 트랜지스터의 채널 폭(w) $1\mu\text{m}$ 당 전류값이 $100\text{aA}/\mu\text{m}$ 이하, 바람직하게는 $10\text{aA}/\mu\text{m}$ 이하, 더욱 바람직하게는 $1\text{aA}/\mu\text{m}$ 이하이다. 또한, 박막 트랜지스터가 pn 접합을 갖지 않고, 핫 캐리어에 의해 열화되지 않으므로, 박막 트랜지스터의 전기적 특성이 pn 접합과 열화에 의해 영향을 받지 않는다.

[0011] 상술한 수소의 농도 범위는, 2차 이온 질량 분석(SIMS: secondary ion mass spectrometry) 또는 SIMS의 데이터에 기초해서 얻어질 수 있다. 또한, 캐리어 농도는 홀(Hall) 효과 측정에 의해 측정될 수 있다. 홀 효과 측정에 이용되는 기기의 일례로서, 비저항/홀 측정 시스템 ResiTTest 8310(TOYO Corporation 제작)을 들 수 있다. 비저항/홀 측정 시스템 ResiTTest 8310으로, 자기장의 방향과 크기가 일정한 주기로 변화되고, 그와 동기해서 샘플에서 발생되는 홀 기전압만이 검출되어 AC(교류) 홀 측정이 수행될 수 있다. 낮은 이동도와 높은 저

향율을 갖는 재료의 경우에도, 홀 기전압을 검출할 수 있다.

[0012] 산화물 반도체막에 존재하는 수분과 같은 불순물 외에도, 게이트 절연층 내에 존재하는 수분과 같은 불순물과, 이와 접촉하여 제공되는 상부 및 하부 막들과 산화물 반도체막의 계면에 있는 불순물이 감소된다.

[0013] 수소, 수분, 수산기 또는 수소화물과 같은 불순물을 저감시키기 위해서, 산화물 반도체막을 형성한 후, 산화물 반도체막이 노출된 상태에서, 질소 분위기 또는 희가스(예를 들어, 아르곤 또는 헬륨)와 같은 불활성 기체 분위기하, 또는 감압하에서 200°C 내지 700°C, 바람직하게는 350°C 내지 700°C, 보다 바람직하게는 450°C 내지 700°C에서 가열 처리(탈수화 또는 탈수소화를 위한 가열 처리)를 행한다. 따라서, 산화물 반도체막에 함유된 수분을 저감시킨다. 다음으로, 산소 분위기, 산소 및 질소 분위기, 또는 대기(초건조 에어)(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하) 분위기 내에서 서냉(slow cooling)이 수행된다.

[0014] 탈수화 또는 탈수소화 처리로서, 질소 분위기 또는 불활성 기체 분위기하 또는 감압하에서의 가열 처리가 수행되어 산화물 반도체막 내에 함유된 수분이 저감된다. 그 후, 산소 공급 처리로서, 산소 분위기, 산소 및 질소 분위기, 또는 대기(초건조 에어)(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 냉각이 산화물 반도체막에 대해 수행된다. 이렇게 얻어진 산화물 반도체막을 이용하여, 박막 트랜지스터의 전기 특성이 향상된다. 또한, 양산될 수 있는, 고성능의 박막 트랜지스터가 달성될 수 있다.

[0015] 질소 분위기하에서 복수의 시료에 온도 램프(ramp)가 인가된다. 이러한 복수의 시료는 온도 탈리 분석(TDS: Thermal Desorption Spectroscopy) 장치로 측정되었다. 측정한 결과를 도 4, 도 5, 도 6 및 도 7에 나타낸다.

[0016] 온도 탈리 분석 장치는, 시료를 고진공에서 가열하여 그 온도가 승온될 때 시료로부터 탈리 및 발생되는 가스 성분을 4중극 질량 분석계로 검출 및 식별하기 위해 이용되므로, 시료의 표면 및 내부로부터 탈리하는 가스 및 분자를 관찰할 수 있다. ESCO Ltd.에 의해 제작된 온도 탈리 분석 장치(제품명:EMD-WA1000S)를 이용하여, 측정은, 승온은 약 10°C/분; 측정 개시시의 압력은 1×10^{-8} (Pa); 측정 중 압력은 약 1×10^{-7} (Pa)의 진공도인 조건 하에서 수행되었다.

[0017] 도 37은, 클래스 기판만을 포함하는 시료(비교 시료)와, 클래스 기판 위에 스퍼터링법에 의해 두께 50nm의 In-Ga-Zn-O계 막이 성막된 시료(시료 1) 사이에 비교한 TDS의 결과를 나타내는 그래프이다. 도 37은 H₂O를 측정하여 얻어진 결과를 나타낸다. In-Ga-Zn-O계 막으로부터 수분(H₂O)과 같은 불순물의 탈리는 300°C 부근의 피크로부터 확인할 수 있다.

[0018] 비교는 이하의 시료에 대해 수행되었다: 클래스 기판 위로 스퍼터링법에 의해 두께 50nm의 In-Ga-Zn-O계 막이 성막된 시료(시료 1); 시료 1의 구성물이 질소 분위기하에서의 가열 온도 350°C로 해서 1시간의 가열 처리를 받은 시료(시료 2); 시료 1의 구성물이 질소 분위기하에서의 가열 온도를 375°C로 해서 1시간의 가열 처리를 받은 시료(시료 3); 시료 1의 구성물이 질소 분위기하에서의 가열 온도를 400°C로 해서 1시간의 가열 처리를 받은 시료(시료 4); 시료 1의 구성물이 질소 분위기하에서 가열 온도를 425°C로 해서 1시간의 가열 처리를 받은 시료(시료 5); 및 시료 1의 구성물이 질소 분위기하에서 가열 온도를 450°C로 해서 1시간의 가열 처리를 받은 시료(시료 6).

[0019] 도 4는 H₂O의 TDS 결과를 나타낸다. 도 5는 OH에 대한 TDS 결과를 나타낸다. 도 6은 H에 대한 TDS 결과를 나타낸다. 도 7은 O에 대한 TDS 결과를 나타낸다. 또한, 상술한 가열 처리의 조건하에서, 질소 분위기 중의 산소 농도는 20ppm 이하이다.

[0020] 도 4, 도 5 및 도 6에 나타낸 결과로부터, 질소 분위기에서의 가열 온도가 높을수록, In-Ga-Zn-O계 막으로부터 탈리되는 수분(H₂O), OH, H와 같은 불순물의 양이 저감되는 것을 알았다.

[0021] 또한, 도 7에 나타낸 바와 같이, 질소 분위기에서의 가열 처리에 의해 산소의 피크도 감소된다.

[0022] 이상의 결과는, In-Ga-Zn-O계 막의 가열 처리를 행함으로써, 주로 수분이 방출되는 것을 나타낸다. 즉, 가열 처리는 In-Ga-Zn-O계 막으로부터 주로 수분(H₂O)의 탈리를 유발시킨다. 도 5에서 나타내는 H, 도 6에서 나타내는 OH 및 도 7에서 나타내는 O의 TDS의 측정값은 물 분자의 분해에 의해 얻어진 물질에 의해 영향을 받는다.

[0023] 질소 분위기하에서 수행된 가열 처리와, 산소 분위기하에서 수행된 냉각에 의해 얻어진 시료 7이 TDS 측정된

다. 글래스 기판 위로, In-Ga-Zn-O계의 산화물 반도체 성막용 타깃(In:Ga:Zn=1:1:1 [원자비])을 이용하여, 기판과 타깃 사이의 거리를 60mm, 압력이 0.4Pa, RF 전원이 0.5kW인 조건하에서 아르곤 및 산소(아르곤:산소 =30sccm:15sccm) 분위기하에서 두께 50nm의 In-Ga-Zn-O계 막이 형성된다. 이렇게 얻어진 막의 온도는 질소 분위기하에서, 1시간 30분 동안 승온되고, 그 막은 450°C로 1시간 가열된다. 그 후, 산소 분위기 하에서 그 막이 약 5시간 냉각된다. 이렇게 시료 7을 형성한다. 한편, 그 막과 마찬가지의 방식으로 성막되고, 질소 분위기하에서 가열한 후, 산소 분위기하가 아니라 질소 분위기하에서 냉각된다. 따라서, 시료 8이 형성되었다.

[0024] 도 44a는 시료 7의 산소(0)에 대한 TDS 결과를 나타내고, 도 44b는 시료 8의 산소(0)에 대한 TDS 결과를 나타낸다. 도 44a에서 산소 분위기하에서 냉각되는 시료 7의 산소의 피크는 도 44b에서 산소 분위기하에서 냉각되지 않는 시료 8의 산소의 피크보다 더 높다. 이러한 결과로부터, 시료 7의 막에 산소가 공급된 것을 확인할 수 있다.

[0025] 도 44a 및 도 44b는, 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 산화물 반도체층을 냉각함으로써, 산화물 반도체층에 산소가 공급될 수 있어, 산소 배출로 인한 산소 결손이 채워질 수 있다는 것을 나타낸다. 따라서, 전기적으로 i형(진성)인 고순도 산화물 반도체층이 얻어질 수 있다.

[0026] 본 명세서에서는, 질소 분위기, 또는 희가스(예를 들어, 아르곤, 헬륨)와 같은 불활성 기체 분위기하, 또는 감압하에서의 가열 처리가 탈수화 또는 탈수소화를 위한 가열 처리로 칭해진다. 본 명세서에서는, 편의를 위해, 탈수화 또는 탈수소화는 H₂의 탈리만을 지칭하는 것이 아니라 H, OH 등의 탈리도 지칭한다.

[0027] 산화물 반도체층에 탈수화 또는 탈수소화를 위한 가열 처리가 행해져서, 산화물 반도체층이 산소 결핍형으로서 변화되어, n형(n⁻형, n⁺형 등) 산화물 반도체층이 얻어진다. 그 후, 얻어진 산화물 반도체층은 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 냉각됨으로써 산화물 반도체층에 산소가 공급된다. 따라서 산화물 반도체층이 고순도화되어, i형 산화물 반도체층이 얻어진다. 이렇게 얻어진 i형 산화물 반도체층의 사용으로, 우수한 전기 특성을 갖는 신뢰성이 높은 박막 트랜ジ스터를 갖는 반도체 장치가 제작 및 제공될 수 있다.

[0028] 본 명세서에서 개시되는 본 발명의 구성의 일 실시형태에 따르면, 게이트 전극층 및 게이트 전극층을 덮는 게이트 절연층이 형성되고; 게이트 전극층 및 게이트 절연층이 감압으로 유지된 처리실에 도입되고, 처리실로부터 잔류 수분을 동시에 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입함으로써, 처리실에 장착된 금속 산화물 타깃을 이용해서 게이트 절연층 위에 산화물 반도체층이 형성되고, 산화물 반도체층에 대해 질소 분위기 또는 희가스 분위기하에서의 가열 처리에 의해 탈수화 또는 탈수소화가 수행된 후, 산소 분위기하에서의 냉각 처리에 의해 산소가 산화물 반도체층에 공급되고; 탈수화 또는 탈수소화 처리되고 산소가 공급된 산화물 반도체층 위에 소스 전극층 및 드레인 전극층이 형성되고; 게이트 절연층, 산화물 반도체층, 소스 전극층 및 드레인 전극층 위에 스퍼터링법에 의해 절연층이 형성된다.

[0029] 본 명세서에서 개시하는 본 발명의 구성의 일 실시형태에 따르면, 게이트 전극층 및 게이트 전극층을 덮는 게이트 절연층이 그 위에 형성된 후, 게이트 전극층 및 게이트 절연층을 감압 상태로 유지된 처리실에 도입하고, 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 처리실 내에 장착된 금속 산화물의 타깃을 이용해서 게이트 절연층 상에 산화물 반도체층을 형성하고, 산화물 반도체층을 질소 분위기, 또는 희가스 분위기하에서의 가열 처리에 의해 탈수화 또는 탈수소화한 후, 산소 및 질소, 또는 노점 -40°C 이하의 대기분위기하에서의 냉각 처리에 의해 산소를 공급하고, 탈수화 또는 탈수소화시켜, 산소를 공급한 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하고, 게이트 절연층, 산화물 반도체층, 소스 전극층, 및 드레인 전극층 위에 스퍼터링법에 의해 절연층을 형성한다.

[0030] 반도체 장치의 제작 방법에 있어서, 산화물 반도체층, 또는 절연층은, 크라이오 펌프와 같은 흡착형의 진공 펌프를 이용해서 배기해서 불순물 농도가 저감된 성막실(처리실) 내에서 성막하는 것이 바람직하다. 흡착형의 진공 펌프로서는, 예를 들면, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 이용하는 것이 바람직하다. 흡착형의 진공 펌프는, 산화물 반도체층 또는 절연층에 포함되는 수소, 물, 수산기 또는 수소화물의 양을 저감시키도록 기능한다.

[0031] 산화물 반도체층 또는 절연층을 성막할 때에 이용하는 스퍼터링 가스로서, 수소, 물, 수산기 또는 수소화물 등의 불순물이, 불순물 농도 레벨이 "ppm" 또는 "ppb" 단위로 표현되는 정도까지 감소된 고순도 가스를 이용하는 것이 바람직하다.

- [0032] 또한, 반도체 장치의 제작 방법에 있어서, 산화물 반도체막을 성막하기 위한 타깃으로서, 산화아연을 주성분으로서 포함하는 타깃을 이용할 수 있다. 대안적으로, 타깃으로서, 인듐, 갈륨, 및 아연을 포함하는 금속 산화물을 이용할 수 있다.
- [0033] 본 발명의 특징은, 산화물 반도체층에 대하여, 질소 분위기, 또는 희가스(예를 들면, 아르곤, 헬륨)와 같은 불활성 기체 분위기하, 또는 감압하에서 탈수화 또는 탈수소화 처리를 위한 가열 처리가 행해지고, 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 산소 공급 처리를 위한 냉각 공정이 행해지는 것이다.
- [0034] 탈수화 또는 탈수소화 처리 및 산소 공급 처리에서, 산화물 반도체층(및 기판)의 온도 상태는, 승온 상태, 항온 상태, 강온 상태이다. 질소 또는 희가스(예를 들면, 아르곤, 헬륨)와 같은 불활성 기체로부터 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐)로 가스(분위기)가 이하의 타이밍 중 임의의 타이밍에서 전환될 수 있다: 산화물 반도체층의 온도가 항온 상태인 시간, 산화물 반도체층의 강온이 개시되는 시간, 및 산화물 반도체층의 온도가 강온 상태인 시간.
- [0035] 이러한 구성으로, 적어도 하나의 문제점을 해결할 수 있다.
- [0036] 본 명세서에서 이용하는 산화물 반도체막으로서는, 4원계 금속 산화물인 In-Sn-Ga-Zn-O막이나, 3원계 금속 산화물인 In-Ga-Zn-O막, In-Sn-Zn-O막, In-Al-Zn-O막, Sn-Ga-Zn-O막, Al-Ga-Zn-O막, Sn-Al-Zn-O계나, 2원계 금속 산화물인 In-Zn-O막, Sn-Zn-O막, Al-Zn-O막, Zn-Mg-O막, Sn-Mg-O막, In-Mg-O막이나, In-O막, Sn-O막, Zn-O 막 등의 산화물 반도체막을 이용할 수 있다. 또한, 상기 산화물 반도체막에 SiO₂를 포함할 수 있다.
- [0037] 또한, 산화물 반도체막은, InMO₃(ZnO)_m(m>0)로 표기되는 박막을 이용할 수 있다. 여기에서, M은, Ga, Al, Mn 및 Co로부터 선택된 하나 이상의 금속 원소를 나타낸다. 예를 들면 M으로서, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등일 수 있다. 구조식이 InMO₃(ZnO)_m(m>0)로 표기되는 산화물 반도체막에서, M으로서 적어도 Ga가 포함되는 구조의 산화물 반도체를, 상술한 In-Ga-Zn-O 산화물 반도체라 칭하고, 그 박막을 In-Ga-Zn-O막이라도 칭한다.
- [0038] 박막 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 게이트선 또는 소스선에 대해 동일한 기판 위에 구동 회로 보호용 회로를 설치하는 것이 바람직하다. 보호 회로는 산화물 반도체를 포함하는 비선형 소자로 구성하는 것이 바람직하다.
- [0039] 게이트 절연층 및 산화물 반도체막이 대기에 접촉하지 않게 연속적으로 처리(연속 처리, 인시츄(in situ) 공정, 연속 성막이라고도 칭함)될 수 있다. 대기에 접촉하지 않게 연속 처리함으로써, 게이트 절연층과 산화물 반도체막 사이의 계면이, 물이나 하이드로 카본과 같은 대기 성분이나 대기 중에 부유하는 불순물에 오염되지 않고 형성될 수 있다. 따라서, 박막 트랜지스터 특성의 변동을 저감시킬 수 있다.
- [0040] 또한, 본 명세서에서 "연속 처리"는, PCVD법 또는 스퍼터링법으로 행하는 제 1 처리 공정으로부터 PCVD법 또는 스퍼터링법으로 행하는 제 2 처리 공정까지의 프로세스 중, 피처리 기판이 놓여 있는 분위기가 대기와 같은 오염 분위기에 접촉하지 않고, 항상 진공 중에서 제어되고, 불활성 가스 분위기(질소 분위기 또는 희가스 분위기), 산소 가스, 산소 및 질소를 포함하는 가스(예를 들면 N₂O 가스), 또는 초건조 에어(바람직하게는 노점이 -40°C 이하, 더욱 바람직하게는 -50°C 이하의 노점을 가짐)로 제어되어 있는 것을 말한다. 연속 처리를 행함으로써, 청정화된 피처리 기판의 수분 등의 재부착을 회피해서 성막될 수 있다.
- [0041] 동일 챔버내에서 제 1 처리 공정으로부터 제 2 처리 공정까지의 프로세스를 행하는 것은 본 명세서에 있어서의 연속 처리의 범위에 있는 것으로 한다.
- [0042] 또한, 다른 챔버에서 제 1 처리 공정으로부터 제 2 처리 공정까지의 프로세스를 행할 경우, 제 1 처리 공정을 끝낸 후, 수소, 수분, 수산기 또는 수소화물 등의 불순물을 포함하는 대기에 접촉하지 않고 챔버 사이에 기판을 반송해서 제 2 처리를 실시하는 것도 본 명세서에 있어서의 연속 처리의 범위에 있는 것으로 한다.
- [0043] 또한, 제 1 처리 공정과 제 2 처리 공정의 사이에, 기판 반송 공정, 열라인먼트 공정, 서냉 공정, 또는 제 2 공정에 필요한 온도로 하기 위해서 기판을 가열 또는 냉각하는 공정 등도, 본 명세서에 있어서의 연속 처리의 범위에 있는 것으로 한다.
- [0044] 하지만, 세정 공정, 습식 에칭, 또는 레지스트 형성 공정과 같은 액체가 이용되는 공정이 제 1 처리 공정과

제 2 처리 공정의 사이에 있을 경우, 본 명세서에서의 연속 처리의 범위 내에 있지 않은 것으로 한다.

발명의 효과

[0045] 안정된 전기 특성을 갖는 박막 트랜지스터를 제공할 수 있다. 또한, 우수한 전기적 특성과 높은 신뢰성을 갖는 박막 트랜지스터를 갖는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0046] 도 1a 내지 도 1d는 본 발명의 일 실시형태의 제작 공정을 나타내는 단면도.

도 2a 및 도 2b는 본 발명의 일 실시형태의 반도체 장치를 설명하는 도면.

도 3은 본 발명의 일 실시형태에 이용하는 전기로의 단면도.

도 4는 TDS 측정 결과를 나타내는 그래프.

도 5는 TDS 측정 결과를 나타내는 그래프.

도 6은 TDS 측정 결과를 나타내는 그래프.

도 7은 TDS 측정 결과를 나타내는 그래프.

도 8a 내지 도 8d는 본 발명의 일 실시형태의 제작 공정을 나타내는 단면도.

도 9a 및 도 9b는 본 발명의 일 실시형태의 반도체 장치를 설명하는 도면.

도 10a 내지 도 10d는 본 발명의 일 실시형태의 제작 공정을 나타내는 단면도.

도 11a 내지 도 11c는 본 발명의 일 실시형태의 제작 공정을 나타내는 단면도.

도 12는 본 발명의 일 실시형태의 반도체 장치를 설명하는 도면.

도 13a1, 도 13a2, 도 13b1 및 도 13b2는 본 발명의 일 실시형태의 반도체 장치를 설명하는 도면.

도 14는 반도체 장치를 설명하는 도면.

도 15a 내지 도 15c는 반도체 장치를 설명하는 도면.

도 16a 및 도 16b는 반도체 장치를 설명하는 도면.

도 17은 반도체 장치의 화소의 등가 회로도.

도 18a 내지 도 18c는 반도체 장치를 설명하는 도면.

도 19a 및 도 19b는 반도체 장치를 설명하는 블록도.

도 20a 및 도 20b는 신호선 구동 회로의 구성을 설명하는 도면.

도 21a 내지 도 21d는 시프트 레지스터의 구성을 나타내는 회로도.

도 22a 및 도 22b는 시프트 레지스터의 동작을 설명하는 회로도 및 타이밍 차트.

도 23은 반도체 장치를 설명하는 도면.

도 24는 박막 트랜지스터의 전기 특성의 평가 결과를 나타내는 그래프.

도 25는 반도체 장치를 설명하는 도면.

도 26은 전자 기기를 나타내는 도면.

도 27은 전자 기기를 나타내는 도면.

도 28a 및 도 28b는 전자 기기를 나타내는 도면.

도 29a 및 도 29b는 전자 기기를 나타내는 도면.

도 30a 및 도 30b는 전자 기기를 나타내는 도면.

도 31a 내지 도 31d는 본 발명의 일 실시형태의 제작 공정을 설명하는 단면도.

도 32는 본 발명의 일 실시형태의 반도체 장치를 설명하는 도면.

도 33은 본 발명의 일 실시형태의 반도체 장치를 설명하는 도면.

도 34a 내지 도 34c는 본 발명의 일 실시형태의 반도체 장치를 설명하는 도면.

도 35a 및 도 35b는 본 발명의 일 실시형태의 반도체 장치를 설명하는 도면.

도 36은 본 발명의 일 실시형태의 반도체 장치를 설명하는 도면.

도 37은 TDS 측정 결과를 나타내는 그래프.

도 38은 본 발명의 일 실시형태에 이용되는 열처리 장치를 설명하는 도면.

도 39는 본 발명의 일 실시형태에 이용되는 열처리 장치를 설명하는 도면.

도 40은 산화물 반도체가 이용되는 역스테거형의 박막 트랜지스터의 종단면도.

도 41은 도 40에 나타내는 A-A' 단면에 따른 에너지 밴드도(개략도).

도 42a는 게이트(GE1)에 플러스의 전위($+V_G$)가 인가된 상태를 나타내는 도면이고, 도 42b는 게이트(GE1)에 마이너스의 전위($-V_G$)가 인가된 상태를 나타내는 도면.

도 43은 진공 준위와 금속의 일함수(ϕ_M) 사이의 관계와, 진공 준위와 산화물 반도체의 전자 친화력(X) 사이의 관계를 나타내는 에너지 밴드도.

도 44a 및 도 44b는 TDS 측정 결과를 나타내는 그래프.

발명을 실시하기 위한 구체적인 내용

[0047] 이하에서는, 본 발명의 실시형태에 대해서 도면을 참조해서 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 사상 및 범위를 벗어나지 않고 본 명세서에 개시된 모드와 상세 사항이 다양한 방식으로 변경될 수 있다는 것이 본 기술 분야의 당업자에게 용이하게 이해될 것이다. 따라서, 본 발명은 실시 형태의 기재 내용에 한정되는 것으로 해석되지 않는다.

[0048] (실시형태 1)

[0049] 반도체 장치 및 반도체 장치의 제작 방법을 도 1a 내지 도 1d, 도 2a 및 도 2b를 참조하여 설명한다.

[0050] 도 2a는 반도체 장치에 포함되는 박막 트랜지스터(470)의 평면도이며, 도 2b는 도 2a의 선 C1-C2에 따라 취한 단면도이다. 박막 트랜지스터(470)는 역스테거형의 박막 트랜지스터이며, 절연 표면을 갖는 기판인 기판(400) 위로, 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 소스 전극층(405a) 및 드레인 전극층(405b)을 포함한다. 박막 트랜지스터(470)는 산화물 반도체층(403)에 접하는 절연층(407)으로 덮여진다. 절연 층(407) 위로 보호 절연층(499)이 적층된다.

[0051] 박막 트랜지스터(470)의 전기적 특성 변동을 억제하기 위해서, 변동을 야기하는 수소, 수분, 수산기 또는 수소화물(수소 화합물이라고도 칭함)과 같은 불순물이 산화물 반도체층으로부터 의도적으로 제거된다. 또한, 불순물 제거 공정에서 감소되고 산화물 반도체의 주성분인 산소가 공급된다. 따라서, 전기적으로 i형(진성)인 고순도화된 산화물 반도체층이 얻어진다. 이러한 방식으로, 산화물 반도체층(403)이 형성된다.

[0052] 따라서, 산화물 반도체층(403) 중의 수소는 가능한 한 적을수록 바람직하다. 산화물 반도체층(403)에 포함되는 수소 농도는 바람직하게는 $1 \times 10^{16} / \text{cm}^3$ 이하로 설정되어, 산화물 반도체층(403)에 함유되는 수소가 가능한 한 제로에 근접하게 제거된다.

[0053] 또한, 고순도 산화물 반도체층(403)의 캐리어 개수는 매우 적고(제로에 근접함), 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 이하이다. 산화물 반도체층(403)의 캐리어 개수가 매우 적기 때문에, 박막 트랜지스터(470)에서는, 오프 상태 전류가 감소될 수 있다. 오프 상태 전류의 양이 적을수록 더 바람직하다. 박막 트랜지스터(470)의 채널 폭(w)에서 $1\mu\text{m}$ 당 전류값이 $100\text{aA}/\mu\text{m}$ 이하이고, 바람직하게는 $10\text{aA}/\mu\text{m}$ 이하, 더욱 바람직하게는 $1\text{aA}/\mu\text{m}$ 이하이다. 또한, 박막 트랜지스터(470)는 pn 접합을 가지지 않고, 핫 캐리어에 의해 열화되지 않으므로, 박막 트랜지스터(470)의 전기적 특성이 pn 접합 및

열화로 인해 영향을 받지 않는다.

- [0054] 수소, 수분, 수산기 또는 수소화물과 같은 불순물을 저감시키기 위해서, 산화물 반도체층을 형성한 후, 산화물 반도체층이 노출된 상태에서 질소 분위기, 또는 희가스(예를 들면, 아르곤, 헬륨)와 같은 불활성 기체 분위기하, 또는 감압하에서 200°C 내지 700°C, 바람직하게는 350°C 내지 700°C, 보다 바람직하게는 450°C 내지 700°C에서 가열 처리(탈수화 또는 탈수소화를 위한 가열 처리)가 행해진다. 산화물 반도체층에 함유된 수분이 저감된다. 다음으로, 산소 분위기, 산소 및 질소 분위기, 또는 대기(초건조 에어)(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기 하에서 냉각이 수행된다.
- [0055] 탈수화 또는 탈수소화 처리로서, 질소 분위기, 또는 불활성 기체 분위기, 또는 감압하에서의 가열 처리에 의해 막에 함유된 수분이 저감된다. 그 후, 산소 공급을 위한 처리로서, 산소 분위기, 산소 및 질소 분위기, 또는 대기(초건조 에어)(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기 하에서 냉각이 수행된다. 이렇게 얻어진 산화물 반도체층(403)을 이용하여, 박막 트랜지스터(470)의 전기 특성이 향상된다. 또한, 양산될 수 있는 고성능의 박막 트랜지스터가 얻어질 수 있다.
- [0056] 또한, 산화물 반도체층(403) 내 뿐만 아니라, 게이트 절연층(402) 내 및 접하게 설치되는 상부 및 하부 막들과 산화물 반도체층(403) 사이의 계면, 구체적으로는 게이트 절연층(402)과 산화물 반도체층(403) 사이의 계면 및 절연층(407)과 산화물 반도체층(403) 사이의 계면에 존재하는 수분과 같은 불순물이 저감된다.
- [0057] 따라서, 게이트 절연층(402) 및 절연층(407)의 성막시에 수소, 수산기 및 수분이 가능한 한 적게 포함되도록 수소 또는 수분과 같은 불순물이 탈리되어 배기되는 것이 바람직하다. 또한, 기판(400)에 흡착되는 수소 또는 수분과 같은 불순물이 탈리 및 배기되도록, 게이트 절연층(402), 산화물 반도체층(403) 및 절연층(407)의 성막 전에 예비 가열을 행하는 것이 바람직하다.
- [0058] 채널 형성 영역을 포함하는 산화물 반도체층(403)은 반도체 특성을 갖는 산화물 재료를 이용하여 형성되는 것이 바람직하다. 산화물 반도체층으로서는, 이하의 산화물 반도체막들 중 임의의 것이 사용될 수 있다: 4원계 금속 산화물인 In-Sn-Ga-Zn-0막; 3원계 금속 산화물인 In-Ga-Zn-0막, In-Sn-Zn-0막, In-Al-Zn-0막, Sn-Ga-Zn-0막, Al-Ga-Zn-0막, Sn-Al-Zn-0막; 2원계 금속 산화물인 In-Zn-0막, Sn-Zn-0막, Al-Zn-0막, Zn-Mg-0막, Sn-Mg-0막 또는 In-Mg-0막; In-0막; Sn-0막; Zn-0막 등이 사용될 수 있다. 산화물 반도체막은 SiO₂을 포함할 수 있다.
- [0059] 산화물 반도체층으로서, InMO₃(ZnO)_m(m>0)으로 표기되는 박막을 이용할 수 있다. 여기에서, M은, Ga, Al, Mn 또는 Co로부터 선택된 하나 이상의 금속 원소를 나타낸다. 예를 들면, M은 Ga, Ga 및 Al, Ga 및 Mn, Ga 및 Co 등일 수 있다. 그 조성식이 InMO₃(ZnO)_m(m>0)로 표기되는 산화물 반도체막에서, M으로서 적어도 Ga가 포함되는 산화물 반도체막이 상술한 In-Ga-Zn-0 산화물 반도체라 칭해지고, 그 박막이 In-Ga-Zn-0막이라 또한 칭해진다.
- [0060] 도 40은, 산화물 반도체를 이용한 백 게이트 전극을 갖는 듀얼 게이트형의 박막 트랜지스터의 종단면도이다. 게이트 전극(GE1) 위로 게이트 절연막(GI)을 사이에 개재하여 산화물 반도체층(OS)이 설치되고, 그 위에 소스 전극(S) 및 드레인 전극(D)이 설치된다. 소스 전극(S) 및 드레인 전극(D)을 덮도록 절연층이 설치된다. 절연층 위에 게이트 전극(GE1)과 중첩하는 영역에 백 게이트 전극(GE2)이 설치된다.
- [0061] 도 41은, 도 40에 나타낸 A-A' 단면에 따른 에너지 밴드도(개략도)를 나타낸다. 도 41에서 검은 도트(●)는 전자를 나타내고, 흰 원은 정공을 나타낸다. 도 41은 드레인 전극에 플러스의 전압(V_D>0)이 인가되고, 게이트 전극에 전압이 인가되지 않을 경우(V_G=0)(파선으로 나타냄)와, 드레인 전극에 플러스의 전압(V_D>0)이 인가되고, 게이트 전극에 플러스의 전압(V_G>0)이 인가되는 경우(실선으로 나타냄)를 나타낸다. 게이트 전극에 전압을 인가하지 않는 경우에는 높은 포텐셜 장벽 때문에 전극으로부터 산화물 반도체층에 캐리어(전자)가 주입되지 않고, 이는 전류가 흐르지 않는 오프 상태로 귀결된다. 반대로, 게이트에 플러스의 전압이 인가되면 포텐셜 장벽이 저하되어, 전류가 흐르는 온 상태로 귀결된다.
- [0062] 도 42a 및 42b는, 도 40에 나타낸 B-B' 단면에 따른 에너지 밴드도(개략도)이다. 도 42a는, 게이트 전극(GE1)에 플러스의 전위(+V_G)가 인가된 상태, 즉 박막 트랜지스터가 소스 전극과 드레인 전극 사이에 캐리어(전자)가 흐르는 온 상태에 있는 상태를 나타내고 있다. 도 42b는, 게이트 전극(GE1)에 마이너스의 전위(-V_G)가 인가된 상태, 즉 박막 트랜지스터가 오프 상태(소수 캐리어는 흐르지 않는 상태)인 상태를 나타낸다.

다.

[0063] 도 43은, 진공 준위와 금속의 일함수(Φ_M) 사이의 관계와, 진공 준위와 산화물 반도체의 전자 친화력(X) 사이의 관계를 나타낸다.

[0064] 상온에 있어서, 금속 중의 전자는 축퇴되고, 페르미(Fermi) 준위는 전도대 내에 위치한다. 종래의 산화물 반도체는 n형이며, 그 페르미 준위(E_F)는, 밴드갭 중앙의 진성 페르미 준위(E_i)로부터 떨어져서, 전도대에 더욱 근접하게 위치하고 있다. 또한, 산화물 반도체에 있어서 수소의 일부는 도너이고 산화물 반도체를 n형 반도체화시키는 하나의 요인인 것이 알려져 있다.

[0065] 반대로, 본 발명에 따른 산화물 반도체는, n형 불순물인 수소를 산화물 반도체로부터 제거하고, 산화물 반도체의 주성분 이외의 불순물이 가능한 한 포함되지 않도록 고순도화하는 것에 의해 얻어진 진성(i형) 또는 실질적으로 진성인 산화물 반도체막이다. 즉, 본 발명에 따른 산화물 반도체는 불순물을 첨가하는 것이 아니라 수소, 물, 수산기 또는 수소화물과 같은 불순물을 가능한 한 제거함으로써 얻어진 고순도화된 진성 산화물 반도체막에 가까운 산화물 반도체막 또는 고순도화된 진성(i형) 산화물 반도체막이다. 이러한 방식으로, 페르미 준위(E_F)는 진성 페르미 준위(E_i)와 같은 준위에 있을 수 있다.

[0066] 그 밴드갭(E_g)이 3.15eV인 경우에 산화물 반도체의 전자 친화력(X)은 4.3eV라 한다. 소스 전극 및 드레인 전극에 함유되는 티타늄(Ti)의 일함수는, 산화물 반도체의 전자 친화력(X)과 실질적으로 동일하다. 이 경우, 금속 및 산화물 반도체 사이의 계면에, 전자에 대한 쇼트키형 장벽은 형성되지 않는다.

[0067] 이 경우에, 전자는, 도 42a에서 나타낸 바와 같이, 게이트 절연막과 고순도 산화물 반도체 사이의 계면에서 산화물 반도체측의 에너지적으로 안정된 최저부를 따라 이동한다.

[0068] 도 42b에서, 게이트 전극(GE1)에 마이너스의 전위가 인가되면, 소수 캐리어인 정공의 개수는 실질적으로 제로 이기 때문에; 전류값은 가능한 한 제로에 근접한 값이 된다.

[0069] 예를 들면, 박막 트랜지스터가 채널 폭 W 가 $1 \times 10^4 \mu\text{m}$, 채널 길이가 $3\mu\text{m}$ 인 채널을 갖는 경우에도, 오프 상태 전류가 10^{-13} A 이하이며, $0.1\text{V}/\text{dec.}$ (게이트 절연막 두께: 100nm)의 서브임계값(subthreshold value)(S 값)이 얻어질 수 있다.

[0070] 상술한 바와 같이, 산화물 반도체의 주성분 이외의 불순물이 가능한 한 적게 포함되도록 산화물 반도체가 고순도화되어, 박막 트랜지스터의 양호한 동작이 달성될 수 있다.

[0071] 박막 트랜지스터(470)로서 단일 게이트 박막 트랜지스터를 이용하여 설명되었지만, 필요에 따라 채널 형성 영역을 복수개 갖는 멀티 게이트 박막 트랜지스터가 형성될 수 있다.

[0072] 본 실시형태에서는, 산화물 반도체층(403)으로서, In-Ga-Zn-O를 포함하는 반도체막을 이용한다.

[0073] 도 1a 내지 도 1d는, 도 2a 및 도 2b에 나타내는 박막 트랜지스터(470)의 제작 공정을 나타내는 단면도이다.

[0074] 도 1a에 있어서, 절연 표면을 갖는 기판인 기판(400) 위로 게이트 전극층(401)을 설치한다. 형성된 게이트 전극층의 단부는, 그 위에 적층되는 게이트 절연층과의 피복성이 향상될 수 있으므로 테이퍼 형상을 갖는다. 또한, 레지스트 마스크가 잉크젯법으로 형성될 수도 있다. 레지스트 마스크를 잉크젯법으로 형성하는 것은 포토 마스크를 필요로 하지 않으므로, 제작 비용을 절감할 수 있다.

[0075] 절연 표면을 갖는 기판(400)으로서 사용할 수 있는 기판에 특별한 제한은 없지만, 적어도 후에 수행되는 가열 처리에 견디기에 충분한 내열성을 갖고 있는 것이 필요하다. 예를 들어, 바륨보로실리케이트 클래스, 알루미노보로실리케이트 클래스 등을 이용하여 형성된 클래스 기판을 이용할 수 있다.

[0076] 클래스 기판이 사용되고, 후에 수행되는 가열 처리의 온도가 높을 경우에는, 그 변형점(strain point)이 730 °C 이상인 클래스 기판을 이용하는 것이 바람직하다. 클래스 기판으로서, 예를 들면, 알루미노실리케이트 클래스, 알루미노보로실리케이트 클래스, 바륨보로실리케이트 클래스와 같은 클래스 재료가 이용된다. 또한, 산화붕소와 비교해서 산화바륨(BaO)을 많이 함유시키는 것으로, 보다 실용적인 내열 클래스 기판이 얻어진다. 이 때문에, B_2O_3 보다 BaO의 양이 많도록 B_2O_3 및 BaO를 함유하는 클래스 기판을 이용하는 것이 바람직하다.

[0077] 또한, 상술한 클래스 기판으로서, 세라믹 기판, 석영 기판 또는 사파이어 기판과 같은 절연체를 이용하여 형성된 기판을 이용할 수 있다. 대안적으로, 결정화된 클래스 등을 이용할 수 있다. 또한 대안적으로, 플라스틱

기판 등도 적절히 이용할 수 있다.

[0078] 하지막으로서의 역할을 하는 절연막이 기판(400)과 게이트 전극층(401) 사이에 설치될 수 있다. 하지막은, 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능을 갖고, 질화실리콘막, 산화실리콘막, 질화산화실리콘막, 및 산화질화실리콘막 중 하나 이상을 이용하여 단일층 구조 또는 적층 구조로 형성될 수 있다.

[0079] 게이트 전극층(401)은, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐과 같은 금속 재료 또는 이들 재료 중 임의의 것을 주성분으로 포함하는 합금 재료를 이용하여 단층 또는 적층으로 형성할 수 있다.

[0080] 예를 들면, 게이트 전극층(401)의 2층의 구조로서, 이하의 구조가 바람직하다: 알루미늄층 위에 몰리브덴층이 적층된 2층 구조, 구리층 위에 몰리브덴층을 적층한 2층 구조, 구리층 위에 질화티타늄층 또는 질화탄탈층을 적층한 2층 구조, 및 질화티타늄층과 몰리브덴층의 2층 구조. 3층의 구조로서는, 텅스텐층 또는 질화텅스텐층과, 알루미늄과 실리콘의 합금 또는 알루미늄과 티타늄의 합금층과, 질화티타늄층 또는 티타늄층을 적층한 구조가 바람직하다. 또한, 투광성을 갖는 도전막을 이용해서 게이트 전극층을 형성할 수 있다. 투광성을 갖는 도전막의 예로서는, 투광성 도전성 산화물 등을 들 수 있다.

[0081] 다음으로, 게이트 전극층(401) 위에 게이트 절연층(402)을 형성한다.

[0082] 게이트 절연층(402)은, 플라즈마 CVD법 또는 스퍼터링법 등에 의해, 산화실리콘층, 질화실리콘층, 산화질화실리콘층, 질화산화실리콘층, 산화알루미늄층, 질화알루미늄층, 산화질화알루미늄층, 질화산화알루미늄층, 및 산화하프늄층 중 임의의 것을 단층 구조 또는 적층 구조로 형성할 수 있다. 게이트 절연층(402) 중에 수소가 다양으로 함유되지 않도록 하는 것이 바람직하다. 스퍼터링법에 의해 산화실리콘막을 성막하는 경우에는, 타깃으로서 실리콘 타깃 또는 석영 타깃을 이용하고, 스퍼터링 가스로서 산소 또는, 산소 및 아르곤의 혼합 가스를 이용한다.

[0083] 게이트 절연층(402)은, 게이트 전극층(401)측으로부터 질화실리콘층과 산화실리콘층을 적층한 구조를 가질 수도 있다. 예를 들면, 제 1 게이트 절연층으로서 스퍼터링법에 의해 두께 50nm 이상 200nm 이하의 질화실리콘층($\text{SiN}_y(y>0)$)을 형성하고, 제 1 게이트 절연층 위에 제 2 게이트 절연층으로서 두께 5nm 이상 300nm 이하의 산화실리콘층($\text{SiO}_x(x>0)$)을 적층하여, 두께 100nm의 게이트 절연층이 형성된다. 게이트 절연층(402)의 두께는, 박막 트랜지스터에 요구되는 특성에 따라 적절히 설정될 수 있으며, 대략 350nm 내지 400nm일 수 있다.

[0084] 또한, 게이트 절연층(402), 산화물 반도체막에 수소, 수산기 및 수분이 가능한 한 적게 포함되도록, 성막의 전처리로서, 스퍼터링 장치의 예비 가열실에서 게이트 전극층(401)이 형성된 기판(400), 또는 게이트 절연층(402)까지 적층된 기판(400)이 예비 가열되어, 기판(400)에 부착된 수소 및 수분과 같은 불순물이 탈리되어 배기되는 것이 바람직하다. 또한, 배기 수단으로서, 크라이오 펌프가 예비 가열실에 설치되는 것이 바람직하다. 또한, 이 예비 가열 처리는 몇몇 경우에 생략할 수도 있다. 또한, 이 예비 가열은, 절연층(407)의 성막 전에, 소스 전극층(405a) 및 드레인 전극층(405b)까지 적층된 기판(400)에도 마찬가지로 행할 수 있다.

[0085] 다음으로, 게이트 절연층(402) 위에, 두께 2nm 이상 200nm 이하의 산화물 반도체막을 형성한다.

[0086] 또한, 산화물 반도체막을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역 스퍼터링에 의해 게이트 절연층(402)의 표면의 먼지를 제거하는 것이 바람직하다. 역 스퍼터링은, 타깃측에 전압을 인가하지 않고, 아르곤 분위기하에서 기판측에 RF 전원을 이용해서 전압을 인가해서 기판 부근에 플라즈마가 생성되어 표면을 개질하는 방법을 지칭한다. 또한, 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기, 산소 분위기 등을 이용할 수 있다.

[0087] 산화물 반도체막은 스퍼터링법에 의해 성막된다. 산화물 반도체막으로서 이하의 산화물 반도체막 중 임의의 것이 이용될 수 있다: 4원계 금속 산화물인 In-Sn-Ga-Zn-0 막; 3원계 금속 산화물인 In-Ga-Zn-0 막, In-Sn-Zn-0 막, In-Al-Zn-0 막, Sn-Ga-Zn-0 막, Al-Ga-Zn-0 막, Sn-Al-Zn-0 막; 이원계 금속 산화물인 In-Zn-0 막, Sn-Zn-0 막, Al-Zn-0 막, Zn-Mg-0 막, Sn-Mg-0 막, In-Mg-0 막; In-0 막; Sn-0 막; Zn-0 막 등. 본 실시형태에서는, 산화물 반도체막을 In-Ga-Zn-0 계의 산화물 반도체 성막용 타깃을 이용해서 스퍼터링법에 의해 성막한다. 산화물 반도체막은, 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기하에서 스퍼터링법에 의해 형성될 수 있다. 스퍼터링법을 이용할 경우, SiO_2 를 2중량% 이상 10중량% 이하 포함하는 타깃이 성막에 이용될 수 있다.

- [0088] 산화물 반도체막을 성막할 때에 이용되는 스퍼터링 가스는 수소, 물, 수산기 또는 수소화물과 같은 불순물이, 단위 "ppm" 또는 "ppb"로 불순물 농도 레벨이 나타내어지는 정도까지 감소된 고순도 가스를 이용하는 것이 바람직하다.
- [0089] 산화물 반도체막을 스퍼터링법으로 형성하기 위한 타깃으로서, 산화아연을 주성분으로 함유하는 금속 산화물의 타깃을 이용할 수 있다. 금속 산화물의 타깃의 다른 예로서는, In, Ga, 및 Zn을 함유하는 산화물 반도체 성막용 타깃(조성비로서, $In_2O_3:Ga_2O_3:Zn=1:1:1$ [몰비], $In:Ga:Zn=1:1:0.5$ [원자비])을 이용할 수 있다. In, Ga, 및 Zn을 함유하는 산화물 반도체 성막용 타깃으로서, $In:Ga:Zn=1:1:1$ [원자비] 또는 $In:Ga:Zn=1:1:2$ [원자비]의 조성비를 갖는 타깃을 이용할 수 있다. 산화물 반도체 성막용 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충전율이 높은 산화물 반도체 성막용 타깃을 이용함으로써, 성막된 산화물 반도체막은 치밀한 막으로 된다.
- [0090] 감압 상태로 유지된 처리실 내에 기관이 유지되고, 기관 온도를 100°C 이상 600°C 이하, 바람직하게는 200°C 이상 400°C 이하로 설정한다. 기관을 가열하면서 성막하는 것에 의해, 성막된 산화물 반도체막에 함유되는 불순물 농도를 저감시킬 수 있다. 또한, 스퍼터링에 의한 손상이 경감될 수 있다. 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 금속 산화물을 타깃으로서 이용하여 기관(400) 위에 산화물 반도체막을 성막한다. 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단은 콜드 트랩에 제공된 터보 펌프일 수 있다. 크라이오 펌프를 이용해서 배기된 성막실로부터, 예를 들면, 수소 원자, 물(H_2O)과 같은 수소 원자를 함유하는 화합물(보다 바람직하게는, 탄소 원자도 함유하는 화합물) 등이 배기되어; 성막실에서 성막된 산화물 반도체막에 함유되는 불순물의 농도를 저감시킬 수 있다.
- [0091] 산화물 반도체막을 성막하는 경우, (산화물 반도체막을 성막하는 처리실은 물론 포함하고) 산화물 반도체막에 접하는 막, 및 산화물 반도체막의 성막 전후의 공정에 있어서, 처리실 내에 잔류하는 수분이 불순물로서 혼입되는 것을 방지하도록, 크라이오 펌프와 같은 배기 수단을 이용하는 것이 바람직하다.
- [0092] 성막 조건의 일례로서, 기관과 타깃 사이의 거리를 100mm, 압력 0.6Pa, 직류(DC) 전원 0.5kW, 산소(산소 유량 비율 100%) 분위기하의 조건을 들 수 있다. 펠스 직류(DC) 전원을 이용하면, 분말형 물질(입자 또는 먼지라고도 칭함)이 경감될 수 있고, 막두께가 균일하게 될 수 있으므로 바람직하다. 산화물 반도체막은 바람직하게는 5nm 이상 30nm 이하의 두께이다. 적절한 두께는 이용되는 산화물 반도체 재료에 따르므로, 두께는 재료에 따라서 적절히 결정될 수 있다.
- [0093] 스퍼터링법의 예들은 스퍼터링용 전원에 고주파 전원을 이용하는 RF 스퍼터링법, DC 스퍼터링법, 및 펠스 방식으로 바이어스를 부여하는 펠스 DC 스퍼터링법을 포함한다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 이용되고, DC 스퍼터링법은 주로 금속막을 성막하는 경우에 이용된다.
- [0094] 또한, 재료가 다른 타깃을 복수개 설치할 수 있는 다원 스퍼터링 장치도 있다. 다원 스퍼터링 장치는, 동일 챔버에서 다른 재료의 막을 형성 및 적층할 수 있거나, 동일 챔버에서 복수 종류의 재료의 막이 동시에 방전되어 성막될 수도 있다.
- [0095] 대안적으로, 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터링법을 이용하는 스퍼터링 장치나, 글로우 방전을 사용하지 않고 마이크로파를 이용해서 발생시킨 플라즈마를 이용하는 ECR 스퍼터링법을 이용하는 스퍼터링 장치가 이용될 수 있다.
- [0096] 또한, 스퍼터링법을 이용하는 성막 방법으로서, 성막 중에 타깃 물질과 스퍼터링 가스 성분을 서로 화학 반응 시켜 그들의 화합물 박막을 형성하는 반응성 스퍼터링법이나, 성막 중에 기관에도 전압을 인가하는 바이어스 스퍼터링법이 이용될 수 있다.
- [0097] 다음으로, 산화물 반도체막을 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체층(430)으로 가공한다(도 1a 참조). 섬 형상의 산화물 반도체층(430)을 형성하기 위한 레지스트 마스크를 잉크젯법을 이용하여 형성할 수 있다. 레지스트 마스크를 잉크젯법으로 형성하는 것은 포토마스크를 필요로 하지 않으므로 제작 비용을 절감할 수 있다.
- [0098] 또한, 산화물 반도체막의 에칭은, 습식 에칭에 한정되지 않고 건식 에칭일 수도 있다.
- [0099] 원하는 형상으로 재료가 에칭될 수 있도록, 재료에 따른 에칭 조건(에칭액, 에칭 시간, 온도 등)을 적절히 조

절한다.

[0100] 게이트 절연층(402)에 콘택트 홀을 형성하는 경우, 그 공정은 산화물 반도체층(430)의 형성시에 행할 수 있다.

[0101] 다음으로, 수소, 수분, 수산기 또는 수소화물과 같은 불순물을 저감시키기 위해서, 산화물 반도체층(430)에 질소 분위기, 또는 희가스(예를 들면, 아르곤, 헬륨)와 같은 불활성 기체 분위기하, 또는 감압하에서의 200°C 내지 700°C(또는, 기판의 변형점), 바람직하게는 350°C 내지 700°C, 보다 바람직하게는 450°C 내지 700°C의 가열 처리(탈수화 또는 탈수소화를 위한 가열 처리이며, 제 1 가열 처리라고도 칭함)를 행한다. 따라서, 산화물 반도체층에 함유된 수분을 저감시킨다.

[0102] 다음으로, 산화물 반도체층을 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 냉각한다. 이러한 방식으로, 고순도화된 i형(진성) 산화물 반도체층이 얻어진다. 따라서, 전기적으로 i형(진성)인 고순도화된 산화물 반도체막이 얻어진다. 이러한 방식으로, 산화물 반도체층(403)을 형성한다(도 1b 참조).

[0103] 제 1 원리 계산에 의해 산화물 반도체(IGZO) 표면에 대한 산소의 흡착 에너지가 계산된다. 또한, 제 1 원리 계산을 위해 Accelrys Software Inc.에서 제작된 제 1 원리 계산 소프트웨어인 CASTEP를 이용했다. 흡착 에너지(E_{ad})는, O_2 과 IGZO의 내부 에너지($E(O_2)+E(IGZO)$)의 합으로부터 O_2 가 흡착된 IGZO의 내부에너지를 감산함으로써 결정되며, 즉, 흡착 에너지(E_{ad})는 $E_{ad}=(E(O_2)+E(IGZO))-E(O_2$ 가 흡착한 IGZO)로 정의된다. 계산의 결과는, 산소의 흡착은 발열 반응이며, 그 발열 에너지는 1.46eV인 것을 나타낸다.

[0104] 수소 분자가 존재하면, 산소 분자와 수소 분자 사이의 산화 반응, 즉 " $2H_2+O_2 \rightarrow 2H_2O$ "로 표현되는 산화 반응이 탈수화 또는 탈수소화를 위한 가열 처리에 의해 발생할 수 있다. 산소의 흡착에 의해 얻어진 에너지가 산화 반응에 이용되어, 산화 반응이 발생하면, H_2 는 IGZO에서 나올 수 없고 IGZO 내에 남을 수 있다. 따라서, IGZO에 대하여 충분한 탈수화 또는 탈수소화 처리를 행할 수 없다.

[0105] 따라서, 물을 생성하는 반응을 방지하기 위해, 질소 분위기, 또는 희가스(예를 들면, 아르곤, 헬륨)와 같은 불활성 기체 분위기하, 또는 감압하에서의 가열 처리를 행함으로써 산화물 반도체층의 탈수화 또는 탈수소화 처리를 행하고, 산소, 또는 대기(바람직하게는 노점 -40°C 이하, 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 냉각하고, 산화물 반도체의 주성분인 산소를 공급함으로써, 전기적으로 i형인 고순도화된 산화물 반도체층이 이와 같은 절차를 통해 형성되는 것이 바람직하다.

[0106] 본 실시형태에서는, 가열 처리 장치의 일종인 전기로에 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기하에서 450°C에서 1시간의 가열 처리를 행하고, 산소 분위기하에서 냉각을 행한다.

[0107] 본 발명의 특징은 산화물 반도체층에 대하여, 질소 분위기, 또는 희가스(예를 들면, 아르곤, 헬륨)와 같은 불활성 기체 분위기하, 또는 감압하에서 탈수화 또는 탈수소화 처리를 위한 가열 처리를 행하고, 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 산소를 공급하기 위한 냉각 공정을 행하는 것이다.

[0108] 탈수화 또는 탈수소화 처리 및 산소 공급 처리에서, 산화물 반도체층(및 기판)의 온도 상태는, 승온 상태, 항온 상태, 강온 상태이다. 질소, 또는 희가스(예를 들면, 아르곤, 헬륨)와 같은 불활성 기체로부터 산소, 산소 및 질소, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐)로의 가스(분위기)의 전환은 이하의 타이밍 중 임의의 것에서 전환될 수 있다: 산화물 반도체층의 온도가 일정 상태인 시간, 산화물 반도체층의 온도 하강이 개시되는 시간, 및 산화물 반도체층의 온도가 하강 상태인 시간.

[0109] 또한, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체와 같은 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 포함할 수 있다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치 또는 LRTA(Lamp Rapid Thermal Anneal) 장치와 같은 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프 또는 고압 수은 램프와 같은 램프로부터 발하는 광(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용해서 가열 처리하는 장치이다. 기체로서, 아르곤과 같은 희가스, 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다.

[0110] 예를 들면, 탈수화 또는 탈수소화를 위한 가열 처리는, 650°C 내지 700°C의 고온으로 가열한 불활성 가스 중에 기판을 이동시키고, 거기에서 몇분간 가열한 후, 기판을 이동시켜서 고온으로 가열한 불활성 가스로부터

빼내는 GRTA를 채용할 수 있다. GRTA를 이용하면, 단시간에 고온 가열 처리를 달성할 수 있다.

[0111] 또한, 탈수화 또는 탈수소화 처리를 위한 가열 처리에서, 질소, 또는 헬륨, 네온, 아르곤과 같은 불활성 기체에, 수소, 수분, 수산기 또는 수소화물과 같은 불순물이 함유되지 않는 것이 바람직하다. 가열 처리 장치에 도입되는 질소, 또는 헬륨, 네온, 아르곤과 같은 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0112] 여기에서, 산화물 반도체층(430)의 가열 처리의 일 형태로서, 전기로(601)를 이용한 가열 방법에 대해 도 3을 참조하여 설명한다.

[0113] 도 3은, 전기로(601)의 개략도이다. 챔버(602)의 외측에는 히터(603)가 설치되어 있고, 챔버(602)를 가열한다. 챔버(602) 내에는, 기판(604)을 탑재하는 발열체(605)가 설치되어 있다. 챔버(602)로/로부터 기판(604)이 반입/반출된다. 또한, 챔버(602)에는 가스 공급 수단(606) 및 배기 수단(607)이 설치되어 있다. 가스 공급 수단(606)에 의해, 챔버(602)에 가스를 도입한다. 배기 수단(607)은 챔버(602) 내를 배기하거나 챔버(602) 내를 감압한다. 또한, 전기로(601)의 승온 특성은 0.1°C/min 이상 20°C/min 이하로 설정하는 것이 바람직하다. 전기로(601)의 강온 특성은 0.1°C/min 이상 15°C/min 이하로 설정하는 것이 바람직하다.

[0114] 가스 공급 수단(606)은, 가스 공급원(611a), 가스 공급원(611b), 압력 조정 밸브(612a), 압력 조정 밸브(612b), 정제기(613a), 정제기(613b), 매스 플로우 컨트롤러(614a), 매스 플로우 컨트롤러(614b), 스탶 밸브(615a) 및 스탶 밸브(615b)를 갖는다. 본 실시형태에서는, 가스 공급원(611a, 611b)과 챔버(602) 사이에 정제기(613a, 613b)를 설치하는 것이 바람직하다. 정제기(613a) 및 정제기(613b)로, 가스 공급원(611a) 및 가스 공급원(611b)으로부터 챔버(602) 내에 도입되는 가스에서, 수소, 수분, 수산기 또는 수소화물과 같은 불순물이 정제기(613a) 및 정제기(613b)에 의해 제거되어, 챔버(602) 내로 수소, 수분, 수산기 또는 수소화물과 같은 불순물의 침입이 억제될 수 있다.

[0115] 본 실시형태에서는, 가스 공급원(611a) 및 가스 공급원(611b)으로부터, 질소 또는 희가스를 챔버(602)에 도입하여, 챔버 내를 질소 또는 희가스 분위기로 설정한다. 200°C 내지 700°C(또는, 기판(604)의 변형점), 바람직하게는 350°C 내지 700°C, 보다 바람직하게는 450°C 내지 700°C로 가열된 챔버(602)에 있어서, 기판(604) 위에 형성된 산화물 반도체층(430)을 가열함으로써, 산화물 반도체층(430)이 탈수화 또는 탈수소화될 수 있다.

[0116] 대안적으로, 배기 수단에 의해 감압된 챔버(602)에 있어서, 200°C 내지 700°C(또는 기판(604)의 변형점), 바람직하게는 350°C 내지 700°C, 보다 바람직하게는 450°C 내지 700°C로 가열된다. 이러한 챔버(602)에서, 기판(604) 위에 형성된 산화물 반도체층(430)을 가열함으로써, 산화물 반도체층(430)이 탈수화 또는 탈수소화될 수 있다.

[0117] 다음으로, 가스 공급원(611a)으로부터, 질소 또는 희가스를 챔버(602)에 도입하는 것을 멈추고, 히터를 오프 상태로 한다. 다음으로, 가스 공급원(611b)으로부터 산소, 또는 산소 및 질소 양자를 챔버(602) 내에 도입하고, 가열 장치의 챔버(602)를 서서히 냉각한다. 즉, 챔버(602) 내를 산소 분위기로 설정해서 기판(604)을 서서히 냉각한다. 여기에서는, 가스 공급원(611b)으로부터 챔버(602) 내에 도입하는 산소가 물 및 수소와 같은 불순물을 함유하지 않는 것이 바람직하다. 또한, 가스 공급원(611b)으로부터 챔버(602) 내에 도입하는 산소의 순도를 6N(99.9999%) 이하, 바람직하게는 7N(99.99999%)(즉, 산소 중의 불순물 농도를 1ppm, 바람직하게는 0.1ppm) 이하로 하는 것이 바람직하다.

[0118] 산소 분위기, 또는 산소 및 질소 분위기 대신에, 대기 분위기하에서 산화물 반도체층에 대해 냉각을 행할 수 있지만, 챔버(602) 내에 도입되는 대기에는, 물, 수소와 같은 불순물이 함유되지 않는 것이 바람직하며, 바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 갖는 초건조 에어가 사용된다.

[0119] 탈수화 또는 탈수소화하기 위해서 산화물 반도체층이 가열되고, 가열된 산화물 반도체층이 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기 하에서 냉각된다. 따라서, 전기적으로 i형(진성)인 고순도화된 산화물 반도체층이 얻어진다. 이러한 방식으로, 산화물 반도체층(403)이 형성될 수 있다.

[0120] 또한, 챔버(602)를 가열하기 위한 히터를 오프하는 타이밍은, 질소 또는 희가스와, 산소 분위기, 산소 및 질소 분위기, 또는 대기 분위기 사이에서 전환하는 타이밍과 동일할 수 있다. 전환이 탈수화 또는 탈수소화 처리 후에 행해지는 한, 히터를 오프하는 타이밍보다, 질소 또는 희가스와, 산소 분위기, 산소 및 질소 분위기, 또는 대기 분위기 사이에서 전환하는 타이밍이 빠를 수도 있고 느릴 수도 있다.

- [0121] 그 결과, 나중에 완성되는 박막 트랜지스터의 신뢰성을 높일 수 있다.
- [0122] 또한, 감압하에서 가열 처리를 행하는 경우에는, 가열 처리 후에 챔버(602)에 산소 분위기, 산소 및 질소 분위기, 또는 대기(초건조 에어) 분위기가 도입될 수 있고, 압력이 대기압으로 되돌아가서, 냉각이 행해질 수 있다.
- [0123] 또한, 가스 공급원(611b)으로부터 산소를 챔버(602)에 도입할 때, 헬륨, 네온, 또는 아르곤과 같은 희가스 또는 질소의 한쪽 또는 양쪽을 챔버(602) 내에 도입할 수 있다.
- [0124] 가열 장치가 멀티 챔버 구조를 갖는 경우, 가열 처리와 냉각 처리를 다른 챔버에서 행할 수 있다. 대표적으로는, 질소 또는 희가스로 충전되고, 200°C 내지 700°C(또는 기판(604)의 변형점), 바람직하게는 350°C 내지 700°C, 보다 바람직하게는 450°C 내지 700°C로 가열된 제 1 챔버에 있어서, 기판 위의 산화물 반도체층을 가열한다. 다음으로, 질소 또는 희가스가 도입된 반송실을 거쳐, 산소, 산소 및 질소, 또는 대기(초건조 에어)로 충전된 제 2 챔버에, 가열 처리된 기판을 이동시키고, 냉각 처리를 행한다. 이상의 공정에 의해, 스루풋을 향상시킬 수 있다.
- [0125] 또한, 산화물 반도체층의 탈수화 또는 탈수소화 처리를 위한 가열 처리 및 산소 공급 처리는, 섭 형상의 산화물 반도체층으로 가공하기 전의 산화물 반도체막에 행할 수도 있다. 그 경우에는, 탈수화 또는 탈수소화 처리를 위한 가열 처리, 및 산소 공급 처리 후에, 처리 장치로부터 기판을 취출하고, 포토리소그래피 공정을 행한다.
- [0126] 산화물 반도체층에 대한 탈수화, 탈수소화의 효과를 갖는 가열 처리는, 이하의 타이밍 중 어느 것에서 수행될 수 있다: 산화물 반도체층 성막 후; 산화물 반도체층 위에 소스 전극 및 드레인 전극을 적층시킨 후.
- [0127] 또한, 게이트 절연층(402)에 콘택트 홀을 형성하는 경우, 그 공정은 산화물 반도체층(430)에 탈수화 또는 탈수소화 처리를 행하기 전에 행할 수도 있고, 행한 후에 행할 수도 있다.
- [0128] 다음으로, 게이트 절연층(402) 및 산화물 반도체층(403) 위에, 소스 전극층 및 드레인 전극층(소스 전극층과 드레인 전극층과 동일한 층에서 형성되는 배선을 포함)이 되는 도전막을 형성한다. 도전막을 스퍼터링법이나 진공 증착법으로 형성할 수 있다. 소스 전극층 및 드레인 전극층(소스 전극층과 드레인 전극층과 동일한 층에서 형성되는 배선을 포함)이 되는 도전막의 재료로서는, Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 함유하는 합금, 상술한 원소 중 임의의 것을 함유하는 합금막 등을 들 수 있다. 또한, Al 또는 Cu와 같은 금속층의 한쪽 또는 양쪽에 Cr, Ta, Ti, Mo, W와 같은 내화성 금속층(refractory metal)을 적층시킬 수 있다. 또한, Si, Ti, Ta, W, Mo, Cr, Nd, Sc, Y와 같은 Al막에 발생되는 힐록(hilllock)이나 위스커(wisker)의 발생을 방지하는 원소가 첨가되어 있는 Al 재료를 이용될 수 있어 내열성을 향상시킨다.
- [0129] 도전막은, 단층 구조를 가질 수도 있고 2층 이상의 적층 구조일 수도 있다. 예를 들면, 실리콘을 함유하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 티타늄막과, 알루미늄막과, 티타늄막이 그 순서대로 적층되는 3층 구조 등을 들 수 있다.
- [0130] 대안적으로, 소스 전극층 및 드레인 전극층(소스 전극층 및 드레인 전극층과 동일한 층에서 형성되는 배선을 포함)이 되는 도전막이 도전성의 금속 산화물을 이용하여 형성될 수 있다. 도전성의 금속 산화물로서, 산화인듐(In_2O_3), 산화주석(SnO_2), 산화아연(ZnO), 산화인듐산화주석합금($In_2O_3-SnO_2$, ITO라 약칭함), 산화인듐산화아연합금(In_2O_3-ZnO) 또는 실리콘 또는 산화실리콘을 함유하는 상기 금속 산화물 재료를 이용할 수 있다.
- [0131] 도전막 성막 후에 가열 처리를 행할 경우에는, 이 가열 처리에 견디는 내열성을 도전막이 갖는 것이 바람직하다.
- [0132] 포토리소그래피 공정에 의해 도전막 위에 레지스트 마스크를 형성한다. 선택적으로 예칭을 행해서 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한다. 그 후, 레지스트 마스크를 제거한다(도 1c 참조).
- [0133] 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광에는, 자외선, KrF 레이저광이나 ArF 레이저광을 이용한다. 산화물 반도체층(403) 위에 서로 인접하는 소스 전극층의 하단부와 드레인 전극층의 하단부 사이의 간격 폭에 따라 후에 형성되는 박막 트랜지스터의 채널 길이 L이 결정된다. 또한, 채널 길이 L이 25nm 미만인 경우에 노광을 행할 경우에는, 수 nm 내지 수십 nm의 극도로 좌우로 파장이 짧은 초자외선이 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광에 사용된다. 초자외선에 의한 노광은, 해상도가 높고 초점 심도가 크다. 따라서, 후에 형성되는 박막 트랜지스터의 채널 길이 L을 10nm 이상 1000nm 이하로 설정할 수 있다. 따라서,

회로의 동작 속도를 증가시킬 수 있고, 또한 오프 상태 전류가 상당히 작으므로, 저전력 소비를 달성할 수 있다.

[0134] 또한, 도전막의 에칭시에, 산화물 반도체층(403)은 제거되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절 한다.

[0135] 본 실시형태에서는, 도전막으로서 Ti막을 이용하고; 산화물 반도체층(403)에는 In-Ga-Zn-O계 산화물 반도체를 이용하고; 에칭액으로서 암모니아 과수(31중량% 과산화수소수: 28중량% 암모니아수: 물=5:2:2)을 이용한다.

[0136] 또한, 포토리소그래피 공정에서는, 몇몇 경우에, 산화물 반도체층(403)의 일부가 에칭되어, 홈부(오목부)를 갖는 산화물 반도체층이 형성될 수 있다. 또한, 소스 전극층(405a) 및 드레인 전극층(405b)을 형성하는 데 이용되는 레지스트 마스크를 잉크젯법으로 형성할 수 있다. 레지스트 마스크를 잉크젯법으로 형성하는 것은 포토마스크를 필요로 하지 않으므로, 제작 비용을 절감할 수 있다.

[0137] 또한, 산화물 반도체층과 소스 전극층 및 드레인 전극층의 사이에, 산화물 도전층을 형성할 수 있다. 산화물 도전층과 소스 전극층 및 드레인 전극층을 형성하기 위한 금속층은, 연속적으로 형성될 수 있다. 산화물 도전층은 소스 영역 및 드레인 영역으로서 기능할 수 있다.

[0138] 소스 영역 및 드레인 영역으로서, 산화물 도전층을 산화물 반도체층과 소스 전극층 및 드레인 전극층 사이에 설치함으로써, 소스 영역 및 드레인 영역이 더 낮은 저항을 가질 수 있고, 트랜지스터가 고속 동작할 수 있다.

[0139] 또한, 포토리소그래피 공정에서 이용하는 포토마스크의 수 및 포토리소그래피 공정의 수를 감소시키기 위해서, 광이 투과되어 복수의 강도를 갖는 노광 마스크인 다계조 마스크를 이용하여 에칭 공정을 행할 수 있다. 다계조 마스크를 이용해서 형성된 레지스트 마스크는 복수의 두께를 갖고, 에칭에 의해 추가적으로 형상을 변형할 수 있으므로, 다른 패턴으로 가공하는 복수의 에칭 공정에 레지스트 마스크가 이용될 수 있다. 따라서, 한 장의 다계조 마스크에 의해, 적어도 2종류 이상의 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서, 노광 마스크의 수를 감소시킬 수 있어, 대응하는 포토리소그래피 공정의 수도 감소시킬 수 있으므로, 공정의 간략화가 실현될 수 있다.

[0140] N₂O, N₂ 또는 Ar과 같은 가스를 이용한 플라즈마 처리를 행하여 산화물 반도체층의 노출된 부분의 표면에 흡착된 물을 제거할 수 있다. 산소와 아르곤의 혼합 가스를 이용해서 플라즈마 처리를 행할 수도 있다.

[0141] 다음으로, 산화물 반도체층(403)의 일부에 접하여 보호 절연막으로서의 역할을 하는 절연층(407)을 형성한다.

[0142] 절연층(407)은, 적어도 1nm의 두께로 해서 스퍼터링법과 같이, 절연층(407)에 물 또는 수소와 같은 불순물을 혼입시키지 않는 방법을 적절히 이용해서 형성할 수 있다. 절연층(407)에 수소가 포함되면, 산화물 반도체층에의 수소의 침입, 또는 수소에 의한 산화물 반도체층 중의 산소의 추출이 발생되어, 산화물 반도체층의 백채널이 저저항화(n형 도전성을 가짐)되어, 기생 채널이 형성될 수 있다. 따라서, 절연층(407)이 가능한 한 수소를 적게 포함하도록, 수소가 이용되지 않는 성막 방법이 채용되는 것이 중요하다.

[0143] 본 실시형태에서는, 절연층(407)으로서 두께 200nm의 산화실리콘막을 스퍼터링법을 이용해서 성막한다. 성막 시의 기판 온도는, 실온 이상 300°C 이하일 수 있으며, 본 실시형태에서는 100°C로 한다. 산화실리콘막의 스퍼터링법에 의한 성막은, 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기하에서 행할 수 있다. 타깃으로서 산화실리콘 타깃 또는 실리콘 타깃을 이용할 수 있다. 예를 들면, 실리콘 타깃을 이용하여, 산소 및 질소 분위기하에서 스퍼터링법에 의해 산화실리콘을 형성할 수 있다. 절연층(407)으로서는, 수분, 수소 이온, OH⁻와 같은 불순물을 함유하지 않는 무기 절연막을 이용한다. 대표적으로는 산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 또는 산화질화알루미늄막 등을 이용한다.

[0144] 이 경우에, 처리실 내의 잔류 수분을 제거하면서 절연층(407)을 성막하는 것이 바람직하다. 이는, 산화물 반도체층(403) 및 절연층(407)에 수소, 수산기 또는 수분이 함유되는 것을 방지하기 위해서이다.

[0145] 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단은 콜드 트랩이 설치된 터보 펌프일 수 있다. 크라이오 펌프를 이용해서 배기가 수행된 성막실로부터, 수소 원자나, 물(H₂O)과 같이 수소 원자를 함유하는 화합물 등이 배기되므로, 성막실에서 성막된 절연층(407)에 함유되는

불순물의 농도를 저감시킬 수 있다.

[0146] 절연층(407)을 성막할 때에 이용되는 스퍼터링 가스로서는, 수소, 물, 수산기 또는 수소화물과 같은 불순물이, 불순물 농도 레벨이 "ppm" 또는 "ppb" 단위로 나타내어지는 정도까지 제거된 고순도 가스를 이용하는 것이 바람직하다.

[0147] 다음으로, 불활성 가스 분위기하, 또는 산소 가스 분위기하에서 가열 처리(제 2 가열 처리)(바람직하게는 200 °C 이상 400°C 이하, 예를 들면 250°C 이상 350°C 이하)를 행할 수 있다. 예를 들면, 질소 분위기하에서 250 °C, 1시간의 가열 처리를 행한다. 이 가열 처리는, 산화물 반도체층의 일부(채널 형성 영역)가 절연층(407)에 접한 상태에서 가열된다.

[0148] 이상의 공정을 거치는 것에 의해, 탈수화 또는 탈수소화 처리로서, 질소 분위기하, 또는 불활성 기체 분위기하, 또는 감압하에서의 가열 처리를 행하고, 막 내의 수소, 수분, 수산기 또는 수소화물과 같은 불순물을 저감시킨 후, 산소 공급 처리로서, 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기 하에서 냉각된 산화물 반도체층(403)을 포함하는 박막 트랜지스터(470)가 형성된다.

[0149] 절연층으로서 결함을 많이 포함하는 산화실리콘층을 이용하면, 산화실리콘층 형성 후의 가열 처리에 의해 산화물 반도체층 중에 함유되는 수소, 수분, 수산기 또는 수소화물과 같은 불순물을 절연층으로 확산시켜, 산화물 반도체층 중의 불순물을 더욱 저감시킬 수 있다.

[0150] 절연층(407) 위에 보호 절연층이 형성될 수 있다. 예를 들면, RF 스퍼터링법을 이용해서 질화실리콘막을 형성한다. RF 스퍼터링법은 양산성이 높기 때문에, 보호 절연층의 성막 방법으로서 바람직하게 이용된다. 보호 절연층으로서, 수분, 수소 이온, 및 OH⁻와 같은 불순물을 포함하지 않고, 이들 불순물이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용하고, 질화실리콘막, 질화알루미늄막, 질화산화실리콘막, 질화산화알루미늄막 등을 이용한다. 본 실시형태에서는, 보호 절연층으로서 보호 절연층(499)을 질화실리콘막을 이용해서 형성한다(도 1d 참조).

[0151] 본 실시형태에서는, 보호 절연층(499)으로서, 절연층(407)까지 적층된 기판(400)을 100°C?400°C의 온도로 가열하고, 수소 및 수분이 제거된 고순도 질소를 함유하는 스퍼터링 가스를 도입해 실리콘 반도체의 타깃을 이용해서 질화실리콘막을 성막한다. 이 경우에, 절연층(407)과 마찬가지로, 처리실 내의 잔류 수분을 제거하면서 보호 절연층(499)을 성막하는 것이 바람직하다.

[0152] 보호 절연층의 형성 후, 대기 중에서, 100°C 이상 200°C 이하, 1시간 이상 30시간 이하로 가열 처리를 추가적으로 행할 수 있다. 이 가열 처리는 일정한 가열 온도에서 행해질 수 있다. 대안적으로, 실온으로부터, 100°C 내지 200°C의 온도로 가열 온도가 승온된 후에 실온으로 강온하는 가열 온도에서의 변화가 복수회 반복적으로 수행될 수 있다. 또한, 이 가열 처리를, 절연층의 형성 전에, 감압하에서 행할 수 있다. 감압하에서, 가열 처리 시간을 단축할 수 있다.

[0153] 산화물 반도체층에 탈수화 또는 탈수소화를 위한 가열 처리를 행함으로써 산화물 반도체층을 산소 결핍형으로서 변화시켜, n형(n⁻형, n⁺¹형 등) 산화물 반도체층이 얻어진다. 그 후, 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기 하에서 냉각함으로써 산화물 반도체층에 산소를 공급한다. 따라서, 산화물 반도체층이 고순도화되어 i형 산화물 반도체층이 얻어진다. 이렇게 얻어진 i형 산화물 반도체층을 이용하여, 양호한 전기 특성을 갖는 신뢰성이 높은 박막 트랜지스터를 갖는 반도체 장치를 제작하고, 제공할 수 있다.

[0154] (실시형태 2)

[0155] 반도체 장치 및 반도체 장치의 제작 방법을 도 8a 내지 도 8d 및 도 9a 및 도 9b를 참조하여 설명한다. 실시 형태 1에 기재된 것과 동일 부분 또는 동일한 기능을 갖는 부분은, 실시형태 1에 기재된 것과 마찬가지로 행할 수 있고, 실시형태 1의 공정과 동일한 공정도 실시형태 1에 기재된 것과 동일한 방식으로 수행될 수 있으므로, 반복 설명은 생략한다.

[0156] 도 9a는 반도체 장치에 포함되는 박막 트랜지스터(460)의 평면도이며, 도 9b는 도 9a의 선 D1-D2에 따른 단면도이다. 박막 트랜지스터(460)는 보텀 게이트형의 박막 트랜지스터이며, 절연 표면을 갖는 기판인 기판(450) 위에, 게이트 전극층(451), 게이트 절연층(452), 소스 전극층 또는 드레인 전극층(455a, 455b) 및 산화물 반도체층(453)을 포함한다. 또한, 박막 트랜지스터(460)는 산화물 반도체층(453)에 접하는 절연층(457)으로 덮

여진다. 산화물 반도체층(453)으로는 In-Ga-Zn-O계 막을 이용한다.

[0157] 박막 트랜지스터(460)에서, 박막 트랜지스터(460)를 포함하는 영역 전반에 있어서 게이트 절연층(452)이 존재하고, 게이트 전극층(451)이 절연 표면을 갖는 기판인 기판(450)과 게이트 절연층(452) 사이에 설치되어 있다. 게이트 절연층(452) 위에 소스 전극층 또는 드레인 전극층(455a, 455b)이 설치되어 있다. 그리고, 게이트 절연층(452) 및 소스 전극층 또는 드레인 전극층(455a, 455b) 위에 산화물 반도체층(453)이 설치되어 있다. 본 실시형태에서는, 소스 전극층 또는 드레인 전극층(455a, 455b)은 산화물 반도체층(453)의 외주보다 외측에 연장하고 있다.

[0158] 박막 트랜지스터(460)의 전기적 특성 변동을 억제하기 위해서, 변동을 야기하는 수소, 수분, 수산기 또는 수소화물(수소 화합물이라고도 칭함)과 같은 불순물이 산화물 반도체층으로부터 의도적으로 제거된다. 또한, 불순물의 제거 공정에서 감소되는 산화물 반도체의 주성분인 산소가 공급된다. 따라서, 전기적으로 i형(진성)인 고순도화된 산화물 반도체층이 얻어진다. 이러한 방식으로, 산화물 반도체층(453)이 형성된다.

[0159] 따라서, 산화물 반도체층(453) 중의 수소는 가능한 적을수록 바람직하다. 산화물 반도체층(453)에 포함되는 수소 농도는 바람직하게는 $1 \times 10^{16} / \text{cm}^3$ 이하여서, 산화물 반도체층(453)에 함유되는 수소는 가능한 한 제로에 근접되도록 제거된다.

[0160] 또한, 고순도화된 산화물 반도체층(453) 중의 캐리어 개수는 매우 적어(제로에 근접함), 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 이하이다. 산화물 반도체층(453) 중에 캐리어 수가 매우 적기 때문에, 박막 트랜지스터(460)에서는, 오프 상태 전류를 적게 할 수 있다. 오프 상태 전류는 적을수록 바람직하다. 박막 트랜지스터(460)의 채널 폭(w) $1\mu\text{m}$ 당 전류값이 $100\text{aA}/\mu\text{m}$, 바람직하게는 $10\text{aA}/\mu\text{m}$, 더욱 바람직하게는 $1\text{aA}/\mu\text{m}$ 이다. 또한, 박막 트랜지스터(460)는 pn 접합이 없고, 핫 캐리어에 의해 열화되지 않으므로, 박막 트랜지스터(460)의 전기적 특성이 pn 접합과 이러한 열화에 의해 영향을 받지 않는다.

[0161] 수소, 수분, 수산기 또는 수소화물과 같은 불순물을 저감시키기 위해서, 산화물 반도체층을 형성한 후, 산화물 반도체층이 노출된 상태에서 질소 분위기, 또는 희가스(예를 들면, 아르곤, 헬륨)와 같은 불활성 기체 분위기하, 또는 감압하에서의 200°C 내지 700°C , 바람직하게는 350°C 내지 700°C , 보다 바람직하게는 450°C 내지 700°C 의 가열 처리(탈수화 또는 탈수소화를 위한 가열 처리)를 행한다. 따라서, 산화물 반도체층에 함유된 수분을 저감시킨다. 다음으로, 산소 분위기, 산소 및 질소 분위기, 또는 대기(초건조 에어)(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기 하에서 냉각이 수행된다.

[0162] 탈수화 또는 탈수소화 처리로서, 질소 분위기, 또는 불활성 기체 분위기하, 또는 감압하에서의 가열 처리에 의해 막 내의 함유 수분을 저감시킨다. 그 후, 산소 공급 처리로서, 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기 하에서 냉각이 수행된다. 이렇게 얻어진 산화물 반도체층(453)을 이용하여, 박막 트랜지스터(460)의 전기 특성을 향상시킨다. 또한, 양산성을 갖는 고성능의 박막 트랜지스터를 실현할 수 있다.

[0163] 또한, 산화물 반도체층(453)내 뿐만 아니라, 게이트 절연층(452) 내, 및 접해서 설치되는 상부 및 하부막과 산화물 반도체층(453)의 계면, 구체적으로는 게이트 절연층(452)과 산화물 반도체층(453) 사이의 계면, 및 절연층(457)과 산화물 반도체층(453) 사이의 계면에 존재하는 수분과 같은 불순물을 저감시킨다.

[0164] 도 8a 내지 도 8d는, 도 9a 및 도 9b에 나타내는 박막 트랜지스터(460)의 제작 공정을 나타내는 단면도이다.

[0165] 절연 표면을 갖는 기판인 기판(450) 위에 게이트 전극층(451)을 설치한다. 하지막으로서의 역할을 하는 절연막을 기판(450)과 게이트 전극층(451) 사이에 설치할 수 있다. 게이트 전극층(451)은 실시형태 1에서 설명한 게이트 전극층(401)의 재료와 마찬가지의 재료를 이용하여 형성할 수 있다.

[0166] 게이트 전극층(451) 위에 게이트 절연층(452)을 형성한다. 게이트 절연층(452)은, 실시형태 1에 설명한 게이트 절연층(402)과 마찬가지로 형성할 수 있다.

[0167] 게이트 절연층(452) 위에 도전막을 형성하고, 포토리소그래피 공정에 의해 섬 형상의 소스 전극층 또는 드레인 전극층(455a, 455b)으로 가공한다(도 8a 참조). 소스 전극층 또는 드레인 전극층(455a, 455b)은 실시형태 1에 설명한 소스 전극층(405a) 및 드레인 전극층(405b)과 마찬가지로 형성할 수 있다.

[0168] 다음으로, 게이트 절연층(452) 및 소스 전극층 또는 드레인 전극층(455a, 455b) 위에 산화물 반도체막을 형성

한다. 본 실시형태에서는, 산화물 반도체막이 In-Ga-Zn-O계의 산화물 반도체 성막용 타깃을 이용해서 스퍼터링법에 의해 성막된다. 산화물 반도체막은 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체층(483)으로 패터닝된다(도 8b 참조).

[0169] 이 경우에, 처리실 내의 잔류 수분을 제거하면서 산화물 반도체막을 성막하는 것이 바람직하다. 이는, 산화물 반도체막에 수소, 수산기 또는 수분이 포함되는 것을 방지하기 위해서이다.

[0170] 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 이용하는 것이 바람직하다. 배기 수단은 콜드 트랩이 설치된 터보 펌프일 수 있다. 크라이오 펌프를 이용해서 배기된 성막실로부터, 수소 원자나, 물(H_2O)과 같은 수소 원자를 포함하는 화합물 등이 배기되므로, 성막실에서 성막된 산화물 반도체막에 함유되는 불순물의 농도를 저감시킬 수 있다.

[0171] 산화물 반도체막을, 성막할 때에 이용하는 스퍼터링 가스로서는, 수소, 물, 수산기 또는 수소화물과 같은 불순물이, 불순물 농도 레벨이 "ppm" 또는 "ppb" 단위로 표현되는 정도까지 제거된 고순도 가스를 이용하는 것이 바람직하다.

[0172] 다음으로, 수소, 수분, 수산기 또는 수소화물과 같은 불순물을 저감시키기 위해서, 산화물 반도체층(483)에 질소 분위기, 또는 희가스(예를 들면, 아르곤, 헬륨)와 같은 불활성 기체 분위기하, 또는 감압하에서의 200°C 내지 700°C, 바람직하게는 350°C 내지 700°C, 보다 바람직하게는 450°C 내지 700°C의 가열 처리를 행한다. 따라서, 산화물 반도체층의 함유 수분을 저감시킨다.

[0173] 다음으로, 가열된 산화물 반도체층을 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기 하에서 냉각한다. 따라서, 전기적으로 i형(전성)인 고순도화된 산화물 반도체층을 얻는다. 이러한 방식으로 산화물 반도체층(453)을 형성한다(도 8c 참조).

[0174] 본 실시형태에서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기하에서 450°C에서 1시간의 가열 처리를 행하고, 산소 분위기하에서 냉각을 행한다.

[0175] 본 발명의 특징은 산화물 반도체층에 대하여, 질소 분위기, 또는 희가스(예를 들면, 아르곤, 헬륨)와 같은 불활성 기체 분위기하, 또는 감압하에서 탈수화 또는 탈수소화 처리를 위한 가열 처리를 행하고, 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 산소를 공급하기 위한 냉각 공정을 행하는 것이다.

[0176] 탈수화 또는 탈수소화 처리 및 산소 공급 처리에서, 산화물 반도체층(및 기판)의 온도 상태는 승온 상태, 항온 상태 및 강온 상태이다. 질소, 또는 희가스(예를 들면, 아르곤, 헬륨)와 같은 불활성 기체로부터 산소, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐)에의 가스(분위기)는 이하의 타이밍 중 어느 것에서 전환될 수 있다: 산화물 반도체층의 온도가 항온 상태인 시간, 산화물 반도체층의 강온이 개시되는 시간, 및 산화물 반도체층의 온도가 강온 상태에 있는 시간.

[0177] 다음으로, 산화물 반도체층(453)에 접하여 보호 절연막으로서의 역할을 하는 절연층(457)을 형성한다.

[0178] 절연층(457)은, 적어도 1nm의 두께로 해서 스퍼터링법과 같이, 절연층(457)에 물 또는 수소와 같은 불순물을 혼입되지 않는 방법을 적절히 이용해서 형성할 수 있다. 절연층(457)에 수소가 함유되면, 그 수소의 산화물 반도체층에의 침입, 또는 수소에 의한 산화물 반도체층 중의 산소의 추출이 유발되어, 산화물 반도체층의 백채널을 저저항화(n형 도전성을 가짐)시켜, 기생 채널이 형성될 수 있다. 따라서, 절연층(457)이 가능한 한 수소를 적게 함유하도록 형성하기 위하여, 수소가 사용되지 않는 성막 방법을 채용하는 것이 중요하다.

[0179] 본 실시형태에서는, 절연층(457)으로서 두께 200nm의 산화실리콘막을 스퍼터링법에 의해 성막한다. 성막시의 기판 온도는, 실온 이상 300°C 이하일 수 있고, 본 실시형태에서는 100°C로 한다. 산화실리콘막의 스퍼터링법에 의한 성막은, 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기하에서 행할 수 있다. 또한, 타깃으로서 산화실리콘 타깃 또는 실리콘 타깃을 이용할 수 있다. 예를 들면, 실리콘 타깃을 이용하여, 산소 및 질소 분위기하에서 스퍼터링법에 의해 산화실리콘을 형성할 수 있다. 절연층(457)으로서, 수분, 수소 이온, OH^- 와 같은 불순물을 함유하지 않는 무기 절연막을 이용한다. 대표적으로는, 산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 산화질화알루미늄막 등을 이용한다.

[0180] 이 경우에, 처리실 내의 잔류 수분을 제거하면서 절연층(457)을 성막하는 것이 바람직하다. 이는, 산화물 반

도체층(453) 및 절연층(457)에 수소, 수산기 또는 수분이 함유되는 것을 방지하기 위해서이다.

[0181] 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단은 콜드 트랩이 설치된 터보 펌프일 수 있다. 크라이오 펌프를 이용해서 배기된 성막실로부터, 수소 원자나, 물 (H_2O)과 같은 수소 원자를 포함하는 화합물 등이 배기되어, 성막실에서 성막된 절연층(457)에 함유되는 불순물의 농도를 저감시킬 수 있다.

[0182] 절연층(457)을 성막할 때에 이용하는 스퍼터링 가스로서는, 수소, 물, 수산기 또는 수소화물과 같은 불순물이, 불순물 농도가 "ppm" 또는 "ppb" 단위로 나타내어지는 레벨까지 감소되는 고순도 가스를 이용하는 것이 바람직하다.

[0183] 다음으로, 불활성 가스 분위기하, 또는 산소 가스 분위기하에서 가열 처리(제 2 가열 처리)(바람직하게는 200 °C 이상 400°C 이하, 예를 들면 250°C 이상 350°C 이하)를 행할 수 있다. 예를 들면, 질소 분위기하에서 250 °C, 1시간의 가열 처리를 행한다. 이 가열 처리에서, 산화물 반도체층이 절연층(457)에 접한 상태에서 가열된다.

[0184] 이상의 공정을 거치는 것에 의해, 탈수화 또는 탈수소화 처리로서, 질소 분위기하, 또는 불활성 기체 분위기하, 또는 감압하에서의 가열 처리를 행하고, 막 내의 수소, 수분, 수산기 또는 수소화물과 같은 불순물을 저감시킨 후, 산소 공급 처리로서, 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 냉각된 산화물 반도체층(453)을 포함하는 박막 트랜지스터(460)가 형성된다(도 8d 참조).

[0185] 절연층(457) 위에 보호 절연층을 형성할 수 있다. 예를 들면, RF 스퍼터링법에 의해 질화실리콘막을 형성한다. RF 스퍼터링법은, 높은 양산성을 허용하므로, 보호 절연층의 성막 방법으로서 이용하는 것이 바람직하다. 보호 절연층으로서, 수분, 수소 이온, OH^- 와 같은 불순물을 함유하지 않고, 이들 불순물이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용하고, 질화실리콘막, 질화알루미늄막, 질화산화실리콘막, 질화산화알루미늄막 등을 이용한다.

[0186] 절연층(457)의 형성 후(또는 보호 절연층의 형성 후), 대기 중에서, 100°C 이상 200°C 이하, 1시간 이상 30시간 이하의 가열 처리를 추가로 행할 수 있다. 이 가열 처리는 일정한 가열 온도에서 행해질 수 있다. 대안적으로, 실온으로부터, 100°C 내지 200°C의 가열 온도로 승온되고, 그 후에 실온으로 강온하는 가열 온도의 변화가 복수회 반복하여 수행될 수 있다. 또한, 이 가열 처리를, 절연층의 형성 전에, 감압하에서 행할 수 있다. 감압하에서는, 가열 시간을 단축할 수 있다.

[0187] 산화물 반도체층에 탈수화 또는 탈수소화를 위한 가열 처리를 행함으로써, 산화물 반도체층이 산소 결핍형으로서 변화되어, n^- 형(n^- 형, n^+ 형 등) 산화물 반도체층이 얻어진다. 이렇게 얻어진 산화물 반도체층은 그 후, 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기 하에서 냉각됨으로써 산화물 반도체층에 산소를 공급한다. 따라서, 산화물 반도체층이 고순도화되어, i 형 산화물 반도체층이 얻어진다. 이렇게 얻어진 i 형 산화물 반도체층을 이용하여, 우수한 전기적 특성을 갖는 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 장치가 제공될 수 있다.

[0188] 본 실시형태는 실시형태 1과 자유롭게 조합될 수 있다.

[0189] (실시형태 3)

[0190] 본 실시형태에서는, 채널 스텁형의 박막 트랜지스터의 일례에 대해 도 34a, 도 34b 및 도 34c를 이용하여 설명한다. 도 34c는 박막 트랜지스터의 상면도의 일례이며, Z1-Z2의 쇄선에 따른 단면도가 도 34b에 대응한다. 실시형태 1에 설명된 것과 동일 부분 또는 동일 기능을 갖는 부분은 제 1 실시예에 기재된 것과 마찬가지로 행해질 수 있으며, 또한 실시형태 1의 공정과 동일한 공정도 실시형태 1에 설명된 것과 마찬가지로 행해질 수 있으므로, 반복 설명은 생략한다.

[0191] 도 34a에 있어서, 기판(1400) 위에 게이트 전극층(1401)을 형성한다. 다음으로, 게이트 전극층(1401)을 덮는 게이트 절연층(1402) 위에, 산화물 반도체층을 형성한다.

[0192] 본 실시형태에서는, 산화물 반도체층(1403)으로서 스퍼터링법에 의해 형성된 Sn-Zn-O계의 산화물 반도체를 이용한다.

- [0193] 산화물 반도체막의 성막 직후, 또는 산화물 반도체막의 섬 형상으로의 가공 후에 탈수화 또는 탈수소화를 위한 가열 처리를 행한다.
- [0194] 수소, 수분, 수산기 또는 수소화물과 같은 불순물을 저감시키기 위해서, 산화물 반도체층이 노출된 상태에서 질소 분위기, 또는 희가스(예를 들면, 아르곤, 헬륨)와 같은 불활성 기체 분위기하, 또는 감압하에서의 200°C 내지 700°C, 바람직하게는 350°C 내지 700°C, 보다 바람직하게는 450°C 내지 700°C의 가열 처리(탈수화 또는 탈수소화를 위한 가열 처리)를 행한다. 따라서, 산화물 반도체막의 함유 수분을 저감시킨다. 다음으로, 산소 분위기, 산소 및 질소 분위기, 또는 대기(초건조 에어)(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 냉각을 수행한다. 따라서, 전기적으로 i형(진성)인 고순도화된 산화물 반도체막이 얻어진다. 이러한 방식으로, 산화물 반도체층(1403)을 형성한다(도 34a 참조).
- [0195] 탈수화 또는 탈수소화 처리로서, 질소 분위기, 또는 불활성 기체 분위기하, 또는 감압하에서의 가열 처리를 행하여, 막 내의 수소, 수분, 수산기 또는 수소화물과 같은 불순물을 저감시킨다. 그 후, 산소 공급 처리로서, 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 냉각이 수행된다. 이렇게 얻어진 산화물 반도체층을 이용하여, 박막 트랜지스터의 전기 특성을 향상시킨다. 또한, 양산성이 있고 고성능인 박막 트랜지스터를 실현한다.
- [0196] 다음으로, 산화물 반도체층(1403)에 접하여 채널 보호층(1418)을 설치한다. 산화물 반도체층(1403) 위의 채널 보호층(1418)은, 후에 소스 영역 또는 드레인 영역 형성 공정시에 있어서의 손상(예를 들면, 에칭시의 플라즈마나 에칭액에 의한 두께 감소)을 방지할 수 있다. 따라서 박막 트랜지스터(1430)의 신뢰성을 향상시킬 수 있다.
- [0197] 또한, 탈수화 또는 탈수소화 후에, 대기에 접촉하지 않고 연속적으로 채널 보호층(1418)을 형성할 수 있다. 대기에 접촉하지 않는 연속적인 성막은, 물이나 하이드로카본과 같은 대기 성분이나 대기 중에 부유하는 불순물 원소에 의해 오염되지 않고 적층된 층들 사이의 계면을 얻는 것을 가능하게 한다. 따라서, 박막 트랜지스터의 특성의 변동을 저감시킬 수 있다.
- [0198] 채널 보호층(1418)은, (산화실리콘, 산화질화실리콘, 질화산화실리콘과 같은) 산화물 절연 재료를 이용하여 형성될 수 있다. 채널 보호층(1418)을 형성하는 방법으로서는, 스퍼터링법을 이용할 수 있다. 채널 보호층(1418)은 성막 후에 에칭에 의해 가공된다. 본 실시형태에서는, 스퍼터링법에 의해 산화실리콘막을 형성하고, 그 후, 포토리소그래피에 의해 마스크를 이용해서 에칭됨으로써 채널 보호층(1418)을 형성한다.
- [0199] 다음으로, 채널 보호층(1418) 및 산화물 반도체층(1403) 위에 소스 전극층(1405a) 및 드레인 전극층(1405b)을 형성해서, 박막 트랜지스터(1430)를 제작한다(도 34b 참조). 소스 전극층(1405a) 및 드레인 전극층(1405b)은, 실시형태 1에서 설명한 소스 전극층(405a) 및 드레인 전극층(405b)과 마찬가지로 형성할 수 있다.
- [0200] 또한, 채널 보호층(1418)을 형성한 후, 질소 분위기하, 또는 대기 분위기하(대기 중)에 있어서 박막 트랜지스터(1430)에 가열 처리(바람직하게는 150°C 이상 350°C 미만)를 행한다. 예를 들면, 질소 분위기하에서 250°C, 1시간의 가열 처리를 행한다. 이러한 가열 처리에서, 산화물 반도체층(1403)이 채널 보호층(1418)에 접한 상태에서 가열되고, 박막 트랜지스터(1430)의 전기적 특성의 변동을 경감시킬 수 있다. 가열 처리(바람직하게는 150°C 이상 350°C 미만)는, 채널 보호층(1418)의 형성 후에 수행되는 한, 그 타이밍에 특별히 한정되지 않는다. 가열 처리가 평탄화막으로서 기능하는 절연층을 형성할 때의 가열 처리나, 투명 도전막을 저저항화시키기 위한 가열 처리와 같은 다른 공정으로서의 역할도 하면, 공정 수를 증가시키지 않는다.
- [0201] 산화물 반도체층에 탈수화 또는 탈수소화를 위한 가열 처리를 행함으로써 산화물 반도체층이 산소 결핍형으로 변형되어, n형(n^- 형, n^+ 형 등) 산화물 반도체층이 얻어진다. 그 후, 얻어진 산화물 반도체층은 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 냉각되어, 산화물 반도체층에 산소를 공급한다. 따라서, 산화물 반도체층이 고순도화되어 i형 산화물 반도체층이 얻어진다. 이렇게 얻어진 i형 산화물 반도체층을 이용하여, 우수한 전기 특성을 갖고 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 장치가 제작 및 제공될 수 있다.
- [0202] 본 실시형태는, 다른 실시형태에 설명한 구성 중 임의의 것과 적절히 조합해서 실현될 수 있다.
- [0203] (실시형태 4)
- [0204] 박막 트랜지스터를 포함하는 반도체 장치의 제작 공정에 대해서, 도 10a 내지 도 10d, 도 11a 내지 도 11c, 도 12, 도 13a1, 도 13a2, 도 13b1 및 도 13b2를 참조하여 설명한다.

- [0205] 도 10a에 있어서, 투광성을 갖는 기판(100)으로서, 바륨보로실리케이트 글래스나 알루미노보로실리케이트 글래스 등의 글래스 기판을 이용할 수 있다.
- [0206] 다음으로, 도전층을 기판(100) 전체면 위에 형성한 후, 제 1 포토리소그래피 공정을 행하여 레지스트 마스크를 형성한다. 그 후, 에칭에 의해 불필요한 부분을 제거해서 배선 및 전극(게이트 전극층(101)을 포함하는 게이트 배선, 용량 배선(108) 및 제 1 단자(121))을 형성한다. 이 때, 적어도 게이트 전극층(101)의 단부가 테이퍼 형상을 갖도록 에칭이 수행된다.
- [0207] 게이트 전극층(101)을 포함하는 게이트 배선과, 용량 배선(108), 단자부의 제 1 단자(121)는, 실시형태 1에서 설명한 게이트 전극층(401)에 이용되는 동일한 재료를 사용하여 적절히 형성될 수 있다. 게이트 전극층(101)을 내열성 도전성 재료를 이용하여 형성하는 경우에는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), 스칸듐(Sc)으로부터 선택된 원소, 전술한 원소 중 임의의 것을 성분으로 함유하는 합금, 전술한 원소를 조합하여 함유하는 합금, 또는 전술한 원소 중 임의의 것을 성분으로 함유하는 질화물 중 임의의 것이 사용될 수 있다.
- [0208] 다음으로, 게이트 전극층(101)의 전체면 위에 게이트 절연층(102)을 형성한다.
- [0209] 예를 들면, 게이트 절연층(102)으로서, 스퍼터링법에 의해 산화규소막이 100nm의 두께로 형성된다. 물론, 게이트 절연층(102)은 이러한 산화규소막에 한정되는 것이 아니고, 산화질화규소막, 질화규소막, 산화알루미늄막, 산화하프늄막과 같은 다른 절연막을 이용하여, 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.
- [0210] 다음으로, 게이트 절연층(102) 위에, 2nm 이상 200nm 이하의 두께의 산화물 반도체막을 형성한다. 본 실시형태에서는, 산화물 반도체막이 In-Ga-Zn-O계의 산화물 반도체 성막용 타깃을 이용해서 스퍼터링법에 의해 성막된다.
- [0211] 이 경우에, 처리실 내의 잔류 수분을 제거하면서 산화물 반도체막을 성막하는 것이 바람직하다. 이는, 산화물 반도체막에 수소, 수산기 또는 수분이 함유되는 것을 방지하기 위해서이다.
- [0212] 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 이용하는 것이 바람직하다. 배기 수단은 콜드 트랩이 설치된 터보 펌프일 수 있다. 크라이오 펌프를 이용해서 배기된 성막실로부터, 수소 원자나, 물(H₂O)과 같은 수소 원자를 포함하는 화합물 등이 배기되므로, 성막실에서 성막된 산화물 반도체막에 함유되는 불순물의 농도를 저감시킬 수 있다.
- [0213] 산화물 반도체막을 성막할 때에 이용되는 스퍼터링 가스로서, 수소, 물, 수산기 또는 수소화물과 같은 불순물이, 불순물 농도 레벨이 "ppm" 또는 "ppb" 단위로 표현되는 정도까지 감소된 고순도 가스를 이용하는 것이 바람직하다.
- [0214] 다음으로, 산화물 반도체막을 제 2 포토리소그래피 공정에서 섭 형상의 산화물 반도체층(133)으로 가공한다. 예를 들면 인산과 아세트산과 질산을 섞은 용액을 이용한 습식 에칭에 의해, 불필요한 부분을 제거해서 산화물 반도체층(133)을 형성한다(도 10a 참조). 또한, 여기에서의 에칭은 습식 에칭에 한정되지 않고 건식 에칭도 수행할 수 있다.
- [0215] 건식 에칭에 이용되는 에칭 가스로서는, 염소 함유 가스(염소(Cl₂), 염화붕소(BCl₃), 염화규소(SiCl₄), 사염화탄소(CCl₄)와 같은 염소계 가스)가 바람직하게 이용된다.
- [0216] 대안적으로, 건식 에칭에 이용되는 에칭 가스로서, 불소 함유 가스(사불화탄소(CF₄), 육불화유황(SF₆), 삼불화질소(NF₃) 또는 트리플루오로메탄(CHF₃)과 같은 불소계 가스), 브롬화수소(HBr), 산소(O₂), 이들 가스 중 임의의 것에 헬륨(He)이나 아르곤(Ar)과 같은 희가스가 첨가된 가스 등을 이용할 수 있다.
- [0217] 건식 에칭법으로서는, 평행 평판형 RIE(Reactive Ion Etching)법 및 ICP(Inductively Coupled Plasma) 에칭법 등을 이용할 수 있다. 원하는 형상으로 막을 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극 온도 등)을 적절히 조절한다.
- [0218] 습식 에칭에 이용되는 에칭액으로서는, 인산과 아세트산과 질산을 섞은 용액, 암모니아 과수(31중량% 과산화수소수: 28중량% 암모니아수: 물=5:2:2) 등을 이용할 수 있다. 또한, ITO07N(KANTO CHEMICAL CO., INC 제작)도 이용할 수 있다.

- [0219] 습식 에칭 후의 사용된 에칭액은 에칭된 재료와 함께 세정에 의해 제거된다. 에칭액과 에칭된 재료를 포함하는 폐액은 정제될 수 있고, 재료가 재사용될 수 있다. 에칭 후의 폐액으로부터 산화물 반도체층에 함유되는 인듐과 같은 재료를 회수해서 재이용하면, 자원을 효과적으로 이용할 수 있고 비용이 절감될 수 있다.
- [0220] 원하는 형상으로 재료가 에칭될 수 있도록, 재료에 따른 에칭 조건(에칭액, 에칭 시간, 온도와 같은)을 적절히 조절한다.
- [0221] 다음으로, 수소, 수분, 수산기 또는 수소화물과 같은 불순물을 저감시키기 위해서, 산화물 반도체층(133)에 질소 분위기, 또는 희가스(예를 들면, 아르곤, 헬륨)와 같은 불활성 기체 분위기하, 또는 감압하에서의 200°C 내지 700°C, 바람직하게는 350°C 내지 700°C, 보다 바람직하게는 450°C 내지 700°C의 가열 처리(탈수화 또는 탈수소화를 위한 가열 처리)를 행한다. 따라서, 산화물 반도체층의 함유 수분을 저감시킨다.
- [0222] 다음으로, 가열된 산화물 반도체층을 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 냉각한다. 따라서, 전기적으로 i형(진성)인 고순도화된 산화물 반도체층을 얻는다. 이러한 방식으로, 산화물 반도체층(103)을 형성한다(도 10b 참조).
- [0223] 본 실시형태에서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기하 450°C에 있어서 1시간의 가열 처리를 행하고, 산소 분위기하에서 냉각을 행한다.
- [0224] 본 발명의 특징은 산화물 반도체층에 대하여, 질소 분위기, 또는 희가스(예를 들면, 아르곤, 헬륨)와 같은 불활성 기체 분위기하, 또는 감압하에서 탈수화 또는 탈수소화 처리를 위한 가열 처리를 행하고, 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 산소를 공급하기 위한 냉각 공정을 행하는 것이다.
- [0225] 탈수화 또는 탈수소화 처리 및 산소 공급 처리에서, 산화물 반도체층(및 기판)의 온도 상태는 승온 상태, 항온 상태 및 강온 상태이다. 질소, 또는 희가스(예를 들면, 아르곤, 헬륨)와 같은 불활성 기체로부터 산소, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐)에의 가스(분위기)는 이하의 타이밍 중 어느 것에서 전환될 수 있다: 산화물 반도체층의 온도가 항온 상태인 시간, 산화물 반도체층의 강온이 개시되는 시간, 및 산화물 반도체층의 온도가 강온 상태에 있는 시간.
- [0226] 다음으로, 산화물 반도체층(103) 위에 금속 재료를 이용하여 도전막(132)을 스퍼터링법이나 진공 증착법을 이용하여 형성한다(도 10c 참조).
- [0227] 도전막(132)의 재료로서는, 실시형태 1에 설명한 소스 전극층(405a), 드레인 전극층(405b)과 동일한 재료를 적절히 이용할 수 있다.
- [0228] 도전막(132) 성막 후에 가열 처리를 행할 경우에는, 이 가열 처리에 견디는 충분히 높은 내열성을 도전막에 갖게 하는 것이 바람직하다.
- [0229] 다음으로, 제 3 포토리소그래피 공정을 행한다. 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서 소스 전극층 또는 드레인 전극층(105a, 105b) 및 제 2 단자(122)를 형성한다(도 10d 참조). 이 때의 에칭 방법으로서 습식 에칭 또는 건식 에칭을 채용한다. 예를 들면, 도전막(132)으로서 알루미늄막, 또는 알루미늄 합금막을 이용하는 경우에는, 인산과 아세트산과 질산을 섞은 용액을 이용한 습식 에칭을 행할 수 있다. 또한, 암모니아 과수(31중량% 과산화수소수: 28중량% 암모니아수: 물=5:2:2)을 이용한 습식 에칭에 의해, 도전막(132)을 에칭해서 소스 전극층 및 드레인 전극층(105a, 105b)을 형성할 수 있다. 이 에칭 공정에서, 산화물 반도체층(103)의 노출 영역도 일부 에칭되어, 오목부를 갖는 산화물 반도체층이 형성될 수 있다.
- [0230] 제 3 포토리소그래피 공정에 있어서, 소스 전극층 및 드레인 전극층(105a, 105b)과 동일한 재료를 이용하여 형성되는 제 2 단자(122)를 단자부에 남긴다. 또한, 제 2 단자(122)는 소스 배선(소스 전극층 또는 드레인 전극층(105a, 105b)을 포함하는 소스 배선)에 전기적으로 접속되어 있다.
- [0231] 또한, 다계조 마스크를 이용하여 형성한 복수(대표적으로는 2개의 상이한 두께)의 두께의 영역을 갖는 레지스트 마스크를 이용하면, 레지스트 마스크의 수를 줄일 수 있어, 공정 간략화 및 저비용화로 귀결된다.
- [0232] 다음으로, 레지스트 마스크를 제거하고, 게이트 절연층(102), 산화물 반도체층(103), 소스 전극층 또는 드레인 전극층(105a, 105b)을 덮도록 절연층(107)을 형성한다.
- [0233] 절연층(107)은, 적어도 1nm의 두께로 스퍼터링법과 같이, 절연층(107)에 물 또는 수소와 같은 불순물이 혼입

되지 않는 방법을 적절히 이용해서 형성할 수 있다. 절연층(107)에 수소가 함유되면, 수소의 산화물 반도체층에의 침입, 또는 수소에 의한 산화물 반도체층 중의 산소의 추출이 발생하여 산화물 반도체층의 백 채널이 저저항화(n형 도전성을 가짐)시켜, 기생 채널이 형성될 수 있다. 따라서, 절연층(107)이 가능한 한 수소를 적게 함유하도록 형성하기 위해서 수소가 사용되지 않는 성막 방법을 채용하는 것이 중요하다.

[0234] 본 실시형태에서는, 절연층(107)으로서 두께 200nm의 산화실리콘막을 스퍼터링법에 의해 성막한다. 성막시의 기관 온도는, 실온 이상 300°C 이하일 수 있으며, 본 실시형태에서는 100°C로 한다. 산화실리콘막의 스퍼터링 법에 의한 성막은, 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기하에서 행할 수 있다. 또한, 타깃으로서 산화실리콘 타깃 또는 실리콘 타깃을 이용할 수 있다. 예를 들면, 실리콘 타깃을 이용하여, 산소 및 질소 분위기하에서 스퍼터링법에 의해 산화실리콘을 형성할 수 있다. 절연층(107)으로서, 수분, 수소 이온, OH⁻와 같은 불순물을 포함하지 않는 무기 절연막을 이용한다. 대표적으로는 산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 산화질화알루미늄막 등을 이용한다.

[0235] 이 경우에, 처리실 내의 잔류 수분을 제거하면서 절연층(107)을 성막하는 것이 바람직하다. 이는, 산화물 반도체층(103) 및 절연층(107)에 수소, 수산기 또는 수분이 함유되는 것을 방지하기 위해서이다.

[0236] 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단은, 콜드 트랩이 설치된 터보 펌프일 수 있다. 크라이오 펌프를 이용해서 배기된 성막실로부터, 수소 원자나, 물(H₂O)과 같은 수소 원자를 포함하는 화합물 등이 배기되므로, 성막실에서 성막된 절연층(107)에 포함되는 불순물의 농도를 저감시킬 수 있다.

[0237] 절연층(107)을 성막할 때에 이용되는 스퍼터링 가스로서는 수소, 물, 수산기 또는 수소화물과 같은 불순물이, 불순물 농도 레벨이 "ppm" 또는 "ppb" 단위로 표현되는 정도까지 감소된 고순도 가스를 이용하는 것이 바람직하다.

[0238] 다음으로, 절연층(107)을 형성한 후, 가열 처리를 행할 수 있다. 불활성 가스 분위기하, 또는 산소 가스 분위기하에서 가열 처리(제 2 가열 처리)(바람직하게는 200°C 이상 400°C 이하, 예를 들면 250°C 이상 350°C 이하)를 행할 수 있다. 예를 들면, 질소 분위기하에서 250°C, 1시간의 가열 처리를 행한다. 가열 처리는, 산화물 반도체층이 절연층(107)에 접한 상태에서 가열을 수행한다.

[0239] 이상의 공정을 통해, 박막 트랜지스터(170)를 제작할 수 있다(도 11a 참조).

[0240] 다음으로, 제 4 포토리소그래피 공정을 행하여 레지스트 마스크를 형성한다. 절연층(107)은 에칭되어 드레인 전극층(105b)에 도달하는 콘택트 홀(125)을 형성한다. 또한, 에칭 공정에서 제 2 단자(122)에 도달하는 콘택트 홀(127), 및 제 1 단자(121)에 도달하는 콘택트 홀(126)도 형성된다. 이 단계에서의 단면도를 도 11b에 도시한다.

[0241] 다음으로, 레지스트 마스크를 제거한 후, 투광성 도전막을 성막한다. 투광성 도전막의 재료로서는, 산화인듐(In_2O_3), 산화주석(SnO_2), 산화아연(ZnO), 산화인듐산화주석합금($In_2O_3-SnO_2$, ITO라 약칭함), 산화인듐산화아연 합금(In_2O_3-ZnO) 또는 실리콘 또는 산화실리콘을 함유하는 금속 산화물 재료 중 임의의 것을 이용할 수 있다.

[0242] 다음으로, 제 5 포토리소그래피 공정을 행하여 레지스트 마스크를 형성한다. 그 후, 불필요한 부분이 에칭으로 제거되어, 화소 전극층(110)을 형성한다.

[0243] 이 제 5 포토리소그래피 공정에 있어서, 용량부에 있어서의 게이트 절연층(102) 및 절연층(107)을 유전체로서 이용하는, 용량 배선(108)과 화소 전극층(110)으로 유지 용량 소자가 형성된다.

[0244] 또한, 제 5 포토리소그래피 공정에 있어서, 제 1 단자(121) 및 제 2 단자(122)를 레지스트 마스크로 덮어 단자부에 투명 도전막(128, 129)을 남긴다. 투명 도전막(128, 129)은 FPC와 접속되는 전극 또는 배선으로서의 기능을 한다. 제 1 단자(121) 위에 형성된 투명 도전막(128)은, 게이트 배선의 입력 단자로서 역할을 하는 접속용의 단자 전극이다. 제 2 단자(122) 위에 형성된 투명 도전막(129)은, 소스 배선의 입력 단자로서 기능하는 접속용의 단자 전극이다.

[0245] 다음으로, 레지스트 마스크를 제거한다. 이 단계에서의 단면도를 도 11c에 도시한다. 또한, 이 단계에서의 평면도가 도 12에 대응한다.

[0246] 도 13a1 및 도 13a2는 이 단계에서의 게이트 배선 단자부의 평면도 및 단면도를 각각 도시하고 있다. 도 13a1

은 도 13a2의 E1-E2 선을 따른 단면도에 대응한다. 도 13a1에 있어서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은 입력 단자로서 기능하는 접속용의 단자 전극이다. 또한, 도 13a1의 단자부에서는, 게이트 배선과 동일한 재료를 이용하여 형성되는 제 1 단자(151)와, 소스 배선과 동일한 재료를 이용하여 형성되는 접속 전극층(153)이 게이트 절연층(152)을 그 사이에 개재하여 서로 겹치고, 투명 도전막(155)을 통해 서로 전기적으로 접속된다. 또한, 도 11c에 도시한 투명 도전막(128)이 제 1 단자(121)가 접촉하고 있는 부분이, 도 13a1의 투명 도전막(155)이 제 1 단자(151)와 접촉하고 있는 부분에 대응한다.

[0247] 도 13b1 및 도 13b2는, 각각 도 11c에 도시하는 것과는 다른 소스 배선 단자부의 평면도 및 단면도이다. 도 13b1은 도 13b2의 F1-F2 선을 따른 단면도에 대응한다. 도 13b1에 있어서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은, 입력 단자로서 역할을 하는 접속용의 단자 전극이다. 또한, 도 13b1에 있어서, 단자부에서는, 게이트 배선과 동일한 재료를 이용하여 형성되는 전극층(156)이 소스 배선과 전기적으로 접속되는 제 2 단자(150)의 아래쪽에 위치하고 게이트 절연층(152)을 그 사이에 개재하여 겹친다. 전극층(156)은 제 2 단자(150)에 전기적으로 접속되지 않고, 전극층(156)의 전위를 플로팅, GND 또는 0V와 같은, 제 2 단자(150)와 다른 전위로 설정하면, 노이즈 또는 정전기를 방지하기 위한 용량을 형성할 수 있다. 제 2 단자(150)는, 보호 절연막(154)을 그 사이에 개재하여 투명 도전막(155)과 전기적으로 접속된다.

[0248] 복수의 게이트 배선, 소스 배선, 및 용량 배선은 화소 밀도에 따라서 설치된다. 또한, 단자부에서는, 게이트 배선과 동전위의 제 1 단자, 소스 배선과 동전위의 제 2 단자, 용량 배선과 동전위의 제 3 단자 등이 복수로 각각 배열된다. 각각의 단자의 수는 임의의 수일 수 있고, 단자의 수는 실시자에 의해 적절히 결정될 수 있다.

[0249] 이러한 5회의 포토리소그래피 공정에 의해, 5매의 포토마스크를 사용하여, 보텀 게이트형의 스태거 박막 트랜지스터인 박막 트랜지스터(170)를 갖는 화소 박막 트랜지스터부 및 유지 용량 소자를 완성시킬 수 있다. 화소가 매트릭스 형태로 배열되는 화소부의 각각의 화소에 박막 트랜지스터 및 유지 용량 소자를 배치해서, 액티브 매트릭스형의 표시 장치를 제작하기 위한 한 쪽의 기판을 얻을 수 있다. 본 명세서에서는, 편의상 이러한 기판을 액티브 매트릭스 기판이라 칭한다.

[0250] 액티브 매트릭스형의 액정 표시 장치를 제작하는 경우에는, 액티브 매트릭스 기판과, 대향 전극이 설치된 대향 기판이 그 사이에 액정층을 개재하여 서로 결합된다. 또한, 대향 기판 상의 대향 전극과 전기적으로 접속하는 공통 전극을 액티브 매트릭스 기판 위에 설치하고, 공통 전극과 전기적으로 접속하는 제 4 단자를 단자부에 설치한다. 제 4 단자는, 공통 전극을 GND 또는 0V와 같은 고정 전위로 설정하기 위하여 설치된다.

[0251] 대안적으로, 용량 배선을 설치하지 않고, 화소 전극은 인접하는 화소의 게이트 배선과 보호 절연막 및 게이트 절연층을 그 사이에 개재하여 중첩하여 유지 용량 소자를 형성할 수 있다.

[0252] 본 명세서에 개시하는 박막 트랜지스터는, 채널 형성 영역에 이용되는 산화물 반도체막을 포함하고, 양호한 동적 특성을 가져, 이를 구동 방법과 조합될 수 있다.

[0253] 발광 표시 장치를 제작하는 경우, 유기 발광 소자의 한 쪽의 전극(캐소드라고도 칭함)은, GND 또는 0V와 같은 저전원 전위로 설정되어, 단자부에, 캐소드를 GND 또는 0V와 같은 저전원 전위로 설정하기 위한 제 4 단자가 설치된다. 또한, 발광 표시 장치를 제작하는 경우에는, 소스 배선 및 게이트 배선 외에 전원 공급선을 설치한다. 따라서, 단자부에는, 전원 공급선과 전기적으로 접속하는 제 5 단자를 설치한다.

[0254] 산화물 반도체층에 탈수화 또는 탈수소화의 가열 처리를 행함으로써 산화물 반도체층을 산소 결핍형으로서 변화시켜, n형(n^- 형, n^+ 형 등) 산화물 반도체층을 얻는다. 그 후, 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기 하에서 얻어진 산화물 반도체층이 냉각됨으로써 산화물 반도체층에 산소를 공급한다. 따라서, 산화물 반도체층이 고순도화되어, i형 산화물 반도체층을 얻는다. 이렇게 얻어진 i형 산화물 반도체층을 이용하여, 우수한 전기 특성을 갖는 신뢰성이 높은 박막 트랜지스터를 갖는 반도체 장치를 제공할 수 있다.

[0255] 본 실시형태는, 다른 실시형태에 기재된 구성 중 임의의 것과 적절히 조합해서 실현할 수 있다.

[0256] (실시형태 5)

[0257] 본 실시형태에서는, 반도체 장치의 제작 방법의 다른 예를 설명한다.

[0258] 도 38은 산화물 반도체의 탈수화, 탈수소화와 산소 공급 처리를 행하기 위한 열처리 장치의 일례를 나타낸다. 열처리 장치는, 산화물 반도체막이 형성된 기판(250)을 유지하는 기판 카세트(260a)가 출입되는 로드실(251)

과, 기판 카세트(260b)가 출입되는 언로드(unload)실(254) 사이에, 탈수, 탈수소화 처리를 행하는 처리실(252), 산소 공급 처리를 행하는 처리실(253)을 포함한다. 또한, 처리실(252)에는 가열 수단으로서 램프 광원(258)이 설치되어 있다.

[0259] 로드실(251), 처리실(252), 처리실(253)에는 진공 배기 수단(259)이 접속되어 있어, 배기관을 통해 로드실(251), 처리실(252), 처리실(253) 내의 기체가 배기된다. 로드실(251), 처리실(252), 처리실(253)의 선택은 벨브를 개폐해서 전환하는 것으로 이루어진다. 로드실(251), 처리실(252), 처리실(253), 언로드실(254)에는 급기관을 통해, 가스 공급 수단으로부터 수소 및 수분이, 농도 레벨이 "ppb" 단위로 표현되는 정도까지 저감된 고순도의 가스가 공급된다.

[0260] 로드실(251)과 처리실(252) 사이에는 셔터(256a)가 설치되고, 처리실(252)과 처리실(253) 사이에는 셔터(256b)가 설치되고 처리실(253)과 언로드실(254) 사이에는 셔터(256c)가 설치되어 있다. 셔터는 챔버로/로부터의 기판(250)의 반출입에 따라 개폐한다.

[0261] 기판을 유지한 기판 카세트(260a)를 로드실(251)에 반입한다. 로드실(251)을 진공 배기 장치(259)로 배기하여, 압력을 내린다. 그 후, 질소 가스 또는 불활성 가스를 로드실(251)에 공급한다. 마찬가지로, 처리실(252)이 진공 배기 장치(259)로 배기하여 압력을 내린다. 그 후, 처리실(252)에 질소 가스 또는 불활성 가스를 공급한다.

[0262] 기판 카세트(260a)로부터 기판(250)을 취출하고, 셔터(256a)를 열어서 질소 분위기 또는 불활성 가스 분위기 하의 처리실(252)에 반송한다. 램프 광원(258)을 이용해서 질소 분위기, 또는 불활성 기체 분위기하에서의 200°C 내지 700°C, 바람직하게는 350°C 내지 700°C, 보다 바람직하게는 450°C 내지 700°C의 가열 처리(탈수화 또는 탈수소화를 위한 가열 처리)를 행한다. 이렇게 산화물 반도체막의 함유 수분과 같은 불순물을 저감시킨다. 또한, 탈수화 또는 탈수소화를 위한 가열 처리는 감압하에서 행할 수 있다.

[0263] 다음으로, 처리실(253)을 진공 배기 장치(259)로 배기하고, 압력을 내린다. 그 후, 처리실(253)에 산소 가스, 산소 및 질소를 포함하는 가스(예를 들면, N₂O 가스), 또는 초건조 에어(노점이 -40°C 이하, 바람직하게는 -50°C 이하의 노점을 가짐)를 공급한다. 다음으로, 셔터(256a)를 열어, 가열 처리된 기판(250)을, 산소 분위기, 산소 및 질소 분위기, 또는 초건조 에어 분위기하의 처리실(253)에 반송하고, 산소 분위기, 산소 및 질소 분위기, 또는 초건조 에어 분위기하에서 냉각한다. 산소 분위기, 산소 및 질소 분위기, 또는 초건조 에어 분위기하에서 냉각함으로써, 산화물 반도체막에 산소를 공급한다. 이렇게, 전기적으로 i형(진성)인 고순도 산화물 반도체막을 얻을 수 있다.

[0264] 다음으로, 산소 공급 처리를 행한 기판(250)은 셔터(256c)가 개방된 후에 언로드실(254)에 반송된다. 기판(250)은 기판 카세트(260b)에 유지된다. 언로드실(254)에도 처리실(253)과 마찬가지로 산소 및 질소를 포함하는 가스(예를 들면, N₂O가스) 또는 초건조 에어(노점이 -40°C 이하, 바람직하게는 -50°C 이하의 노점을 가짐)가 공급되는, 산소, 산소 및 질소, 또는 초건조 에어 분위기하에 둔다.

[0265] 이러한 방식으로, 도 38에 도시된 열처리 장치를 이용하여, 산화물 반도체층의 탈수, 탈수소화를 위한 가열 처리 및 산소 공급 처리를 행할 수 있다.

[0266] 이렇게 고순도화된 산화물 반도체막을 이용하는 것으로, 안정된 전기 특성을 갖고 높은 신뢰성의 반도체 장치를 제공할 수 있다.

[0267] 본 실시형태는, 다른 실시형태에 기재된 구성 중 임의의 것과 적절히 조합해서 실시하는 것이 가능하다.

[0268] (실시형태 6)

[0269] 본 실시형태는 반도체 장치의 제작 방법의 다른 예를 설명한다.

[0270] 도 39에는, 산화물 반도체의 탈수화, 탈수소화와 산소 공급 처리를 행하기 위한 열처리 장치의 일례를 나타낸다. 열처리 장치는, 카세트 반출입실(200)과 열처리실(201)을 포함한다. 산화물 반도체막이 설치된 기판(208)을 유지하는 기판 카세트(206)는 챔버로/로부터 반출입된다. 열처리실(201)에는 복수매의 기판(208)이 유지된 기판 카세트(206)에 저장된 상태에서 청정화된 기체가 도입되어 열처리를 행한다.

[0271] 카세트 반출입실(200)에는 진공 배기 장치(214)가 접속되고 있어, 배기관(210)을 통해 카세트 반출입실(200) 내의 기체가 배기된다. 카세트 반출입실(200)에는 급기관(212)을 통해, 가스 공급 수단(1)(216)으로부터 질소 가스 또는 불활성 가스가 공급된다.

- [0272] 카세트 반출입실(200)과 열처리실(201) 사이에는 게이트 밸브(204)가 설치되어 있다. 챔버로/로부터의 기관 카세트(206)의 반출입에 따라 슬루스(sluice) 밸브가 개폐된다. 열처리실(201)에 반송된 기관 카세트(206)는, 크린 조(202) 내에 유지된다.
- [0273] 열처리실(201)에는 급기관(220)이 접속되어, 가스 공급 수단(1)(216)으로부터 질소 가스 또는 불활성 가스가 공급되고, 가스 공급 수단(2)(218)으로부터 산소 가스가 공급된다. 가스 공급 수단(1)(216) 및 가스 공급 수단(2)(218)으로부터 수소 및 수분이, 농도 레벨이 "ppb" 단위로 표현되는 정도까지 저감된 고순도 가스가 공급된다.
- [0274] 열처리실(201)에 공급된 가스는, 히터(222)로 가열되어, 송풍기(224)에 의해 크린 조(202)에 보내진다. 크린 조(202)에 유입되는 가스 내의 미립자는 필터(226)에 의해 제거된다.
- [0275] 열처리실(201)은 내부에서 가스가 순환하도록 설계되어 있지만, 가스 일부가 배기관(228)을 통해 열처리실(201)로부터 배기된다. 배기되는 가스의 양은 배기관(228)에 부착되어 있는 덕트(232)의 개방도에 따라 제어된다. 배기된 가스 내의 수분과 같은 불순물은 가스 정제 장치(230)에 의해, 다시 제거되어, 급기관(220)으로 복귀된다. 또한, 일부의 가스는 배기 수단(234)에 의해 배출된다.
- [0276] 도 39에 도시된 열처리 장치를 이용하여, 산화물 반도체층의 탈수, 탈수소화를 위한 가열 처리 및 산소 공급 처리를 행할 수 있다.
- [0277] 이렇게 고순도화된 산화물 반도체막을 이용하는 것으로, 안정된 전기 특성을 갖고 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0278] 본 실시형태는, 다른 실시형태에 기재된 임의의 구성과 적절히 조합해서 실현하는 것이 가능하다.
- [0279] (실시형태 7)
- [0280] 본 실시형태에서는, 실시형태 1과 일부 공정이 다른 일례를 나타낸다. 본 실시형태는, 소스 전극층(405a), 드레인 전극층(405b)의 형성 후에 탈수화 또는 탈수소화의 가열 처리를 행하는 예를 도 31a 내지 도 31d에 나타낸다. 또한, 도 1a 내지 도 1d와 동일한 부분에는 같은 참조 부호로 표기한다.
- [0281] 실시형태 1과 마찬가지로, 절연 표면을 갖는 기관(400) 위에 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(430)을 형성한다(도 31a 참조).
- [0282] 산화물 반도체층(430) 위에 소스 전극층(405a), 드레인 전극층(405b)을 형성한다(도 31b 참조).
- [0283] 다음에, 산화물 반도체층(430) 및 소스 전극층(405a), 드레인 전극층(405b)에 대하여 불활성 가스 분위기(질소, 헬륨, 네온, 아르곤과 같은)하 또는 감압하에서 탈수화 처리 또는 탈수소화 처리로서 가열 처리를 행한다. 이 가열 처리는, 산화물 반도체층(430)을 저저항화시키고, 저저항 산화물 반도체층을 얻는다. 그 후, 가열된 산화물 반도체층에 산소 공급 처리로서 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 서냉(徐冷)을 행한다. 산소 공급 처리는 산화물 반도체층의 노출 영역에 행해지므로, 반도체층(495)의 일부가 산소 파악 상태로 된다. 그 결과, 게이트 전극층(401)과 겹치는 채널 형성 영역(496)은 i형이 되고, 소스 전극층(405a)과 겹치는 고저항 소스 영역(497a)과, 드레인 전극층(405b)과 겹치는 고저항 드레인 영역(497b)이 자기 정합적으로 형성된다(도 31c 참조).
- [0284] 또한, 소스 전극층(405a), 드레인 전극층(405b)의 재료는, 텅스텐 또는 몰리브덴과 같이 가열 처리에 견디기에 충분한 내열성을 갖는 재료를 이용하는 것이 바람직하다.
- [0285] 다음으로, 반도체층(495)에 접해서 스퍼터링법 또는 PCVD법에 의해 절연층(407)이 형성된다. 보호 절연층(499)이 절연층(407) 위에 적층된다. 본 실시형태에서는, 절연층(407)으로서 스퍼터링법에 의해 산화실리콘층을 형성하고, 보호 절연층(499)으로서 스퍼터링법에 의해 질화실리콘층을 형성한다.
- [0286] 이상의 공정에서 박막 트랜지스터(494)가 형성된다(도 31d 참조).
- [0287] 드레인 전극층(405b)(및 소스 전극층(405a))과 중첩된 산화물 반도체층에 있어서 고저항 드레인 영역(497b)(또는 고저항 소스 영역(497a))을 형성하는 것에 의해, 박막 트랜지스터의 신뢰성을 향상시킬 수 있다. 구체적으로는, 고저항 드레인 영역(497b)을 형성하는 것으로, 드레인 전극층(405b)으로부터 고저항 드레인 영역(497b), 채널 형성 영역(496)에 걸쳐, 도전성을 단계적으로 변화시킬 수 있다. 그 때문에, 드레인 전극층(405b)에 고전원 전위 V_{DD} 를 공급하는 배선에 접속해서 동작시킬 경우, 게이트 전극층(401)과 드레인 전극층

(405b) 사이에 고전계가 인가되어도 고저항 드레인 영역이 버퍼로서의 역할을 하여 국소적으로 고전계가 인가되지 않고, 트랜지스터의 내압을 향상시킬 수 있다.

[0288] 이렇게 고순도화된 산화물 반도체층을 이용하는 것으로, 안정된 전기 특성을 갖고 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0289] 본 실시형태는, 다른 실시형태 중 임의의 것과 적절히 조합해서 실시하는 것이 가능하다.

[0290] (실시형태 8)

[0291] 반도체 장치 및 반도체 장치의 제작 방법을, 도 32를 이용하여 설명한다. 실시형태 1과 동일 부분 또는 동일 기능을 갖는 부분은, 실시형태 1과 마찬가지로 행할 수 있으며, 실시형태 1과 동일한 공정도 실시형태 1과 마찬가지로 행할 수 있으므로, 반복 설명은 생략한다.

[0292] 도 32에 나타내는 박막 트랜지스터(471)는 게이트 전극층(401) 및 산화물 반도체층(403)의 채널 영역에 중첩되도록 절연막을 그 사이에 개재하여 도전층(409)을 설치하는 예이다.

[0293] 도 32는 반도체 장치에 포함되는 박막 트랜지스터(471)의 단면도이다. 박막 트랜지스터(471)는 보텀 게이트형의 박막 트랜지스터이며, 절연 표면을 갖는 기판인 기판(400) 위에, 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 소스 전극층(405a), 드레인 전극층(405b), 절연층(407), 보호 절연층(499) 및 도전층(409)을 포함한다. 도전층(409)은, 게이트 전극층(401)과 중첩되도록, 보호 절연층(499) 위에 설치되어 있다.

[0294] 도전층(409)은, 게이트 전극층(401), 소스 전극층(405a), 드레인 전극층(405b)과 마찬가지인 재료와 마찬가지의 방법을 이용해서 형성할 수 있다. 화소 전극층을 설치하는 경우에는, 화소 전극층과 마찬가지인 재료와 마찬가지의 방법을 이용해서 형성할 수 있다. 본 실시형태에서는, 도전층(409)은 티타늄막, 알루미늄막 및 티타늄막의 적층을 이용하여 형성된다.

[0295] 도전층(409)은, 게이트 전극층(401)과 동일한 전위를 가질 수도 있고, 게이트 전극층(401)의 전위와 다른 전위를 가질 수도 있고, 제 2 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층(409)이 플로팅 상태일 수도 있다.

[0296] 도전층(409)을 산화물 반도체층(403)과 겹치는 위치에 설치함으로써, 박막 트랜지스터의 신뢰성을 조사하기 위한 바이어스-열 스트레스 시험(BT 시험)에 있어서, BT 시험 전후 사이에 있어서의 박막 트랜지스터(471)의 임계값 전압의 변화량을 저감시킬 수 있다. 특히, 기판 온도를 150°C까지 상승시킨 후에 게이트에 인가하는 전압을 -20V로 한 마이너스 BT 시험에 있어서, 임계값 전압의 변화를 억제할 수 있다.

[0297] 본 실시형태는, 다른 실시형태와 적절히 조합해서 실시하는 것이 가능하다.

[0298] (실시형태 9)

[0299] 반도체 장치 및 반도체 장치의 제작 방법을, 도 33을 이용하여 설명한다. 실시형태 1과 동일 부분 또는 동일 기능을 갖는 부분은, 실시형태 1과 마찬가지로 행할 수 있으며, 실시형태 1과 동일한 공정도 실시형태 1과 마찬가지로 행할 수 있으므로, 반복 설명은 생략한다.

[0300] 도 33에 나타내는 박막 트랜지스터(472)는, 게이트 전극층(401) 및 산화물 반도체층(403)의 채널 영역에 중첩되도록, 절연층(407), 보호 절연층(499) 및 절연층(410)을 사이에 개재하여 도전층(419)이 설치된다.

[0301] 도 33은, 반도체 장치에 포함되는 박막 트랜지스터(472)의 단면도이다. 박막 트랜지스터(472)는 보텀 게이트형의 박막 트랜지스터이며, 절연 표면을 갖는 기판인 기판(400) 위에, 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 소스 전극층(405a), 드레인 전극층(405b), 절연층(407), 절연층(410) 및 도전층(419)을 포함한다. 도전층(419)은, 게이트 전극층(401)과 중첩되도록, 절연층(410) 위에 설치되어 있다.

[0302] 본 실시형태의 박막 트랜지스터에서는, 보호 절연층(499) 위에 평탄화 막으로서 역할을 하는 절연층(410)을 적층하고, 절연층(407), 보호 절연층(499) 및 절연층(410)에 형성된 드레인 전극층(405b)에 도달하는 개구에 도전막을 형성하고, 원하는 형상으로 에칭해서 도전층(419) 및 화소 전극층(411)을 형성한다. 이렇게, 화소 전극층(411)을 형성하는 공정에서, 도전층(419)을 형성할 수 있다. 본 실시형태에서는, 화소 전극층(411), 도전층(419)으로서 산화규소를 포함하는 산화인듐산화주석 합금(산화규소를 포함하는 In-Sn-O계 산화물)을 이용한다.

[0303] 대안적으로, 도전층(419)은, 게이트 전극층(401), 소스 전극층(405a), 드레인 전극층(405b)과 마찬가지인 재

료 및 제작 방법을 이용해서 형성할 수 있다.

[0304] 도전층(419)은, 게이트 전극층(401)과 동일한 전위를 가질 수도 있고, 게이트 전극층(401)과 상이한 전위를 가질 수도 있다. 대안적으로, 도전층(419), 및 401은 상이한 전위를 가질 수도 있다. 도전층(419)은 제 2 게이트 전극층으로서 기능할 수 있다. 또한, 도전층(419)이 플로팅 상태일 수도 있다.

[0305] 또한, 도전층(419)을 산화물 반도체층(403)과 겹치는 위치에 설치함으로써, 박막 트랜지스터의 신뢰성을 조사하기 위한 바이어스-열 스트레스 시험에 있어서, BT 시험 전후 사이에 있어서의 박막 트랜지스터(472)의 임계값 전압의 변화량을 저감시킬 수 있다.

[0306] 본 실시형태는, 다른 실시형태 중 임의의 것과 적절히 조합해서 실시하는 것이 가능하다.

[0307] (실시형태 10)

[0308] 반도체 장치 및 반도체 장치의 제작 방법을, 도 35a 및 도 35b를 이용하여 설명한다. 실시형태 3과 동일 부분 또는 동일 기능을 갖는 부분은, 실시형태 3과 마찬가지로 행할 수 있고, 실시형태 3과 동일한 공정도 실시형태 3과 마찬가지로 행할 수 있으므로, 반복 설명은 생략한다.

[0309] 도 35a 도시하는 박막 트랜지스터(1431)는 게이트 전극층(1401) 및 산화물 반도체층(1403)의 채널 영역에 중첩되도록 채널 보호층(1418) 및 절연층(1407)을 사이에 개재해서 도전층(1409)을 설치하는 구성을 갖는 예이다.

[0310] 도 35a는 반도체 장치에 포함되는 박막 트랜지스터(1431)의 단면도이다. 박막 트랜지스터(1431)는 보텀 게이트형의 박막 트랜지스터이며, 절연 표면을 갖는 기판인 기판(1400) 위에, 게이트 전극층(1401), 게이트 절연층(1402), 산화물 반도체층(1403) 및 소스 전극층(1405a), 드레인 전극층(1405b), 절연층(1407), 도전층(1409)을 포함한다. 도전층(1409)은, 게이트 전극층(1401)과 중첩되도록, 절연층(1407)을 사이에 개재하여 설치되어 있다.

[0311] 도전층(1409)은, 게이트 전극층(1401), 소스 전극층(1405a), 드레인 전극층(1405b)과 마찬가지인 재료 및 방법을 이용해서 형성할 수 있다. 화소 전극층을 설치하는 경우에는, 화소 전극층과 마찬가지인 재료 및 방법을 이용해서 도전층(1409)을 형성할 수 있다. 본 실시형태에서는, 도전층(1409)으로서 티타늄막, 알루미늄막 및 티타늄막의 적층을 이용한다.

[0312] 도전층(1409)은, 게이트 전극층(1401)과 같은 전위를 가질 수 있거나, 게이트 전극층(1401)과 다른 전위를 가질 수 있거나 제 2 게이트 전극층으로서 기능할 수 있다. 또한, 도전층(1409)이 플로팅 상태일 수도 있다.

[0313] 또한, 도전층(1409)을 산화물 반도체층(1403)과 겹치는 위치에 설치함으로써, 박막 트랜지스터의 신뢰성을 조사하기 위한 바이어스-열 스트레스 시험(이하, BT 시험이라 칭함)에 있어서, BT 시험 전후 사이에 있어서의 박막 트랜지스터(1431)의 임계값 전압의 변화량을 저감시킬 수 있다.

[0314] 도 35b는 도 35a와 일부 다른 예를 나타낸다. 도 35a와 동일 부분 또는 동일 기능을 갖는 부분은, 도 35a와 마찬가지로 행할 수 있으므로, 반복 설명은 생략한다.

[0315] 도 35b에 도시하는 박막 트랜지스터(1432)는 게이트 전극층(1401) 및 산화물 반도체층(1403)의 채널 영역에 중첩되도록 채널 보호층(1418), 절연층(1407) 및 절연층(1408)을 사이에 개재하여 도전층(1409)을 설치하는 구성을 갖는 예이다.

[0316] 도 35b에서는, 절연층(1407) 위에 평탄화 막으로서 기능하는 절연층(1408)을 적층한다.

[0317] 도 35a와 마찬가지로, 도 35b의 구조에 있어서도, 도전층(1409)을 산화물 반도체층(1403)과 겹치는 위치에 설치함으로써, 박막 트랜지스터의 신뢰성을 조사하기 위한 BT 시험에 있어서, BT 시험 전후 사이에 있어서의 박막 트랜지스터(1432)의 임계값 전압의 변화량을 저감시킬 수 있다.

[0318] 본 실시형태는, 다른 실시형태에 기재한 구성 중 임의의 것과 적절히 조합해서 실시하는 것이 가능하다.

[0319] (실시형태 11)

[0320] 본 실시형태에서는, 실시형태 1과 구조가 일부 다른 예를 도 36에 나타낸다. 실시형태 1과 동일 부분 또는 동일 기능을 갖는 부분은, 실시형태 1과 마찬가지로 행할 수 있고, 실시형태 1과 동일한 공정도 실시형태 1과 마찬가지로 행할 수 있으므로, 반복 설명은 생략한다.

- [0321] 도 36의 구조에 있어서, 산화물 반도체층(403)과 소스 전극층의 사이에 소스 영역(N^+ 층, 또는 베퍼층이라고도 칭함)을, 산화물 반도체층과 드레인 전극층 사이에 드레인 영역(N^+ 층, 또는 베퍼층이라고도 칭함)을 설치하는 예를 설명한다. 예를 들면, 소스 영역 및 드레인 영역에, n형의 도전형을 갖는 산화물 반도체층을 이용한다. 본 실시형태에서는, 소스 영역 또는 드레인 영역(404a, 404b)이 In-Ga-Zn-O계 막을 이용하여 형성된다.
- [0322] 또한, 박막 트랜지스터(473)의 소스 영역 또는 드레인 영역(404a, 404b)으로서, 산화물 반도체층을 이용하는 경우에는, 채널 형성 영역으로서 이용하는 산화물 반도체층(403)의 두께보다도 얇고, 보다 높은 도전율(전기 전도도)을 갖는 것이 바람직하다.
- [0323] 또한, 소스 영역 또는 드레인 영역으로서, 산화물 반도체층과 소스 전극층 및 드레인 전극층의 사이에, 산화물 도전층을 형성할 수 있다. 산화물 도전층과 소스 전극 및 드레인 전극을 형성하기 위한 금속층은 연속하여 성막될 수 있다.
- [0324] 소스 영역 및 드레인 영역으로서, 산화물 도전층을 산화물 반도체층과 소스 전극층 및 드레인 전극층 사이에 설치하면, 소스 영역 및 드레인 영역이 저저항화되어, 트랜지스터가 고속 동작할 수 있다. 소스 영역 및 드레인 영역으로서 산화물 도전층을 이용하는 것은, 주변 회로(구동 회로)의 주파수 특성을 향상시키기 위해서 유익하다. 이는, 금속 전극(예를 들면, Ti)과 산화물 반도체층 사이의 접촉에 비해, 금속 전극(예를 들면, Ti)과 산화물 도전층 사이의 접촉은, 접촉 저항을 감소시킬 수 있기 때문이다.
- [0325] 본 실시형태에서는, 섬 형상의 산화물 반도체층으로 산화물 반도체층을 가공한 후에, 산화물 반도체층에 질소 분위기, 또는 희가스(예를 들면, 아르곤, 헬륨)와 같은 불활성 기체 분위기하, 또는 감압하에서 200°C 내지 700°C, 바람직하게는 350°C 내지 700°C, 보다 바람직하게는 450°C 내지 700°C의 가열 처리를 행한다. 그 후, 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 냉각을 행한다. 산화물 반도체층을 상기 분위기하에서 가열 처리 및 냉각함으로써, 산화물 반도체층의 탈수화 또는 탈수소화 처리, 및 산소 공급 처리를 행할 수 있다. 따라서, 전기적으로 i형(진성)인 고순도 산화물 반도체층(403)을 얻을 수 있다. 이러한 방식으로, 산화물 반도체층(403)을 형성할 수 있다.
- [0326] 또한, 절연층(407)을 형성한 후, 질소 분위기하, 또는 대기 분위기하(대기 중)에서 박막 트랜지스터(473)에 가열 처리(바람직하게는 150°C 이상 350°C 미만)를 행할 수 있다. 예를 들면, 질소 분위기하에서 250°C, 1시간의 가열 처리를 행한다. 가열 처리에 의해, 산화물 반도체층(403)이 절연층(407)에 접한 상태에서 가열된다. 따라서, 박막 트랜지스터(470)의 전기적 특성의 변동을 경감시킬 수 있다.
- [0327] 본 실시형태는, 다른 실시형태에 기재된 구성 중 임의의 것과 적절히 조합해서 실시하는 것이 가능하다.
- [0328] (실시형태 12)
- [0329] 본 실시형태에서는, 단면으로부터 보아서 산화물 반도체층을 질화물 절연층으로 둘러싸는 예를 도 23을 참조하여 설명한다. 도 23에 도시된 박막 트랜지스터는, 실시형태 1에 나타낸 박막 트랜지스터와 산화물 절연층의 상면 형상 및 단부의 위치, 게이트 절연층의 구성 이외에는 동일하다. 따라서, 실시형태 1과 동일 부분 또는 동일 기능을 갖는 부분은, 실시형태 1과 마찬가지로 행할 수 있고, 실시형태 1과 동일 공정도 실시형태 1과 마찬가지로 행할 수 있으므로, 반복 설명은 생략한다.
- [0330] 도 23에 나타내는 박막 트랜지스터(650)는 보텀 게이트형의 박막 트랜지스터이며, 절연 표면을 갖는 기판(394) 위에, 게이트 전극층(391), 질화물 절연층을 이용한 게이트 절연층(652a), 산화물 절연층을 이용한 게이트 절연층(652b), 산화물 반도체층(392), 소스 전극층(395a) 및 드레인 전극층(395b)을 포함한다. 또한, 박막 트랜지스터(650)는, 산화물 반도체층(392)에 접하여 산화물 절연층(656)으로 덮여진다. 산화물 절연층(656) 위에는 질화물 절연층을 이용한 보호 절연층(653)이 추가적으로 설치되어 있다. 보호 절연층(653)은 질화물 절연층을 이용하여 형성된 게이트 절연층(652a)에 접한다.
- [0331] 본 실시형태에서의 박막 트랜지스터(650)에 있어서, 게이트 절연층은, 게이트 전극층 위에 질화물 절연층과 산화물 절연층이 적층되는 적층 구조를 갖는다. 또한, 질화물 절연층을 이용하여 형성된 보호 절연층(653)의 형성 전에, 산화물 절연층(656)과, 게이트 절연층(652b)을 선택적으로 제거하여, 질화물 절연층을 이용하여 형성된 게이트 절연층(652a)을 노출시킨다.
- [0332] 적어도 산화물 절연층(656), 게이트 절연층(652b)의 상면 면적은, 산화물 반도체층(392)의 상면 면적보다도

넓고, 산화물 절연층(656), 게이트 절연층(652b)의 상면은 박막 트랜지스터(650)를 덮는 것이 바람직하다.

[0333] 또한, 질화물 절연층인 보호 절연층(653)은, 산화물 절연층(656)의 상면과, 산화물 절연층(656) 및 게이트 절연층(652b)의 측면을 덮고, 질화물 절연층을 이용하여 형성된 게이트 절연층(652a)에 접한다.

[0334] 질화물 절연층을 이용하여 각각 형성된 보호 절연층(653) 및 게이트 절연층(652a)으로서는, 스퍼터링법이나 플라즈마 CVD법으로 얻어지는, 예를 들어, 질화실리콘막, 산화질화실리콘막, 질화알루미늄막, 또는 산화질화알루미늄막과의 수분, 수소 이온, OH⁻와 같은 불순물을 포함하지 않고, 불순물이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용한다.

[0335] 본 실시형태에서는, 질화물 절연층을 이용하여 형성된 보호 절연층(653)으로서, 산화물 반도체층(392)의 하면, 상면 및 측면을 둘러싸도록 RF 스퍼터링법을 이용하여, 두께 100nm의 질화실리콘층을 형성한다.

[0336] 도 23에 나타내는 구조로 함으로써, 산화물 반도체층에 접해서 둘러싸도록 설치되는 게이트 절연층(652b) 및 산화물 절연층(656)에 의해, 산화물 반도체층 내의 수소, 수분, 수산기 또는 수소화물과 같은 불순물은 저감되어, 질화물 절연층을 이용하여 각각 형성된 게이트 절연층(652a) 및 보호 절연층(653)에 의해 산화물 반도체층이 둘러싸여져 있으므로, 보호 절연층(653)의 형성 후의 제조 프로세스에 있어서, 외부로부터의 수분의 침입을 방지할 수 있다. 또한, 터치 패널, 예를 들면 표시 장치로서 디바이스가 완성된 후에도 장기적으로, 외부로부터의 수분의 침입을 방지할 수 있어 디바이스의 장기간 신뢰성을 향상시킬 수 있다.

[0337] 본 실시형태에서는, 하나의 박막 트랜지스터를 질화물 절연층으로 둘러싸는 구성을 설명했지만, 본 발명의 일 실시형태는 이 구성에 한정되지 않는다. 복수의 박막 트랜지스터를 질화물 절연층으로 둘러쌀 수도 있고, 화소부의 복수의 박막 트랜지스터를 통합해서 질화물 절연층으로 둘러쌀 수도 있다. 적어도 액티브 매트릭스 기판의 화소부의 주변을 둘러싸도록 보호 절연층(653)과 게이트 절연층(652a)이 서로 접하는 영역을 형성할 수도 있다.

[0338] 본 실시형태는, 다른 실시형태 중 임의의 것과 적절히 조합해서 실시하는 것이 가능하다.

[0339] (실시형태 13)

[0340] 본 실시형태에서는, 하나의 기판 위에 적어도 구동 회로의 일부와, 화소부에 배치되는 박막 트랜지스터를 형성하는 예에 대해서 후술한다.

[0341] 화소부에 배치되는 박막 트랜지스터는, 실시형태 1 내지 실시형태 4에 따라서 형성할 수 있다. 또한, 실시형태 1 내지 실시형태 10 중 임의의 것에 나타내는 박막 트랜지스터는 n채널형 TFT이다. 따라서, 구동 회로 중, n채널형 TFT를 이용하여 형성될 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일 기판 위에 형성한다.

[0342] 액티브 매트릭스형 표시 장치의 블록도의 일례를 도 19a에 도시한다. 표시 장치의 기판(5300) 위에는, 화소부(5301), 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303), 신호선 구동 회로(5304)가 형성된다. 화소부(5301)에는, 복수의 신호선이 신호선 구동 회로(5304)로부터 연장해서 배치되고, 복수의 주사선이 제 1 주사선 구동 회로(5302) 및 제 2 주사선 구동 회로(5303)로부터 연장해서 배치되어 있다. 또한, 주사선과 신호선이 서로 교차하는 각각의 영역에는, 표시 소자를 갖는 화소가 매트릭스 형상으로 배치되어 있다. 또한, 표시 장치의 기판(5300)은 FPC(Flexible Printed Circuit)와 같은 접속부를 통하여, 타이밍 제어 회로(5305) (컨트롤러, 또는 컨트롤러 IC라고도 칭함)에 접속되어 있다.

[0343] 도 19a에서는, 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303) 및 신호선 구동 회로(5304)는, 화소부(5301)와 같은 기판(5300) 위에 형성된다. 그 때문에, 외부에 설치되는 구동 회로 등의 부품의 수가 감소하므로, 비용의 저감을 달성할 수 있다. 또한, 기판(5300) 외부에 구동 회로를 설치했을 경우, 배선을 연장시킬 필요가 생기고, 배선 접속수가 증가할 것이지만, 기판(5300) 위에 구동 회로를 설치했을 경우, 그 배선 접속수를 줄일 수 있다. 따라서, 신뢰성의 향상 및 수율의 향상을 달성할 수 있다.

[0344] 또한, 타이밍 제어 회로(5305)는, 제 1 주사선 구동 회로(5302)에 대하여, 일례로서, 제 1 주사선 구동 회로 용 스타트 신호(GSP1), 주사선 구동 회로용 클럭 신호(GCK1)를 공급한다. 타이밍 제어 회로(5305)는, 제 2 주사선 구동 회로(5303)에 대하여, 일례로서, 제 2 주사선 구동 회로용 스타트 신호(GSP2)(스타트 펄스라고도 칭함), 주사선 구동 회로용 클럭 신호(GCK2)를 공급한다. 또한, 타이밍 제어 회로(5305)는, 신호선 구동 회로 용 스타트 신호(SSP), 신호선 구동 회로용 클럭 신호(SCK), 비디오 신호용 데이터(DATA)(간단히 비디오 신호라고도 칭함), 래치 신호(LAT)를 신호선 구동 회로(5304)에 공급한다. 또한, 각 클럭 신호는, 주기가 상이한

복수의 클럭 신호일 수도 있고, 클럭 신호를 반전시킨 신호(CKB)와 함께 공급될 수도 있다. 또한, 제 1 주사선 구동 회로(5302)와 제 2 주사선 구동 회로(5303) 중 한 쪽을 생략하는 것이 가능하다.

[0345] 도 19b에서는, 구동 주파수가 낮은 회로(예를 들면, 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303))를 화소부(5301)에 설치된 기판(5300) 위에 형성하고, 신호선 구동 회로(5304)를 화소부(5301)가 설치된 기판과 다른 기판 위에 형성하는 구성에 대해서 나타내고 있다. 이 구성에 의해, 단결정 반도체를 이용하여 형성된 트랜지스터와 비교하면 전계 효과 이동도가 낮은 박막 트랜지스터를 이용하여 기판(5300) 위에 형성되는 구동 회로를 구성할 수 있다. 따라서, 표시 장치의 대형화, 공정수의 약간, 비용의 저감, 또는 수율의 향상 등을 달성할 수 있다.

[0346] 실시형태 1 내지 실시형태 10에 나타내는 박막 트랜지스터는 n채널형 TFT이다. 도 20a 및 도 20b에서는, n채널형 TFT를 이용하여 형성된 신호선 구동 회로의 구성 및 동작의 일례를 설명한다.

[0347] 신호선 구동 회로는, 시프트 레지스터(5601) 및 스위칭 회로(5602)를 갖는다. 스위칭 회로(5602)는, 복수의 스위칭 회로(5602_1?5602_N)(N은 자연수)를 갖는다. 스위칭 회로(5602_1?5602_N)는 각각 복수의 박막 트랜지스터(5603_1?5603_k)(k는 자연수)를 갖는다. 박막 트랜지스터(5603_1?5603_k)가 n채널형 TFT인 경우를 설명한다.

[0348] 신호선 구동 회로의 접속 관계에 대해서, 스위칭 회로(5602_1)를 예로 들어 설명한다. 박막 트랜지스터(5603_1?5603_k)의 제 1 단자는, 각각 배선(5604_1?5604_k)과 접속된다. 박막 트랜지스터(5603_1?5603_k)의 제 2 단자는, 각각 신호선 S1?Sk와 접속된다. 박막 트랜지스터(5603_1?5603_k)의 게이트는 배선(5604_1)에 접속된다.

[0349] 시프트 레지스터(5601)는, 배선(5605_1?5605_N)에 순서대로 H 레벨 신호(H 신호, 또는 고전원 전위 레벨이라고도 칭함)를 출력하고, 스위칭 회로(5602_1?5602_N)를 순서대로 선택하는 기능을 갖는다.

[0350] 스위칭 회로(5602_1)는, 배선(5604_1?5604_k)과 신호선 S1?Sk와의 전기적 도통 상태(제 1 단자와 제 2 단자 사이의 전기적 도통)를 제어하는 기능, 즉 배선(5604_1?5604_k)의 전위를 신호선 S1?Sk에 공급할지 여부를 제어하는 기능을 갖는다. 이렇게, 스위칭 회로(5602_1)는 셀렉터로서 기능한다. 또한, 박막 트랜지스터(5603_1?5603_k)는 각각 배선(5604_1?5604_k)과 그 각각의 신호선 S1?Sk와의 전기적 도통을 제어하는 기능, 즉 배선(5604_1?5604_k)의 전위를 신호선 S1?Sk에 공급하는 기능을 갖는다. 이렇게, 박막 트랜지스터(5603_1?5603_k)는 각각 스위치로서의 기능한다.

[0351] 또한, 배선(5604_1?5604_k)에는, 각각 비디오 신호용 데이터(DATA)가 입력된다. 비디오 신호용 데이터(DATA)는 화상 데이터 또는 화상 신호에 대응하는 아날로그 신호일 경우가 많다.

[0352] 다음으로, 도 20a의 신호선 구동 회로의 동작에 대해서, 도 20b의 타이밍 차트를 참조하여 설명한다. 도 20b에는, 신호 Sout_1?Sout_N, 및 신호 Vdata_1?Vdata_k의 예들을 나타낸다. 신호 Sout_1?Sout_N은, 시프트 레지스터(5601)의 출력 신호의 예들이며, 신호 Vdata_1?Vdata_k는, 배선(5604_1?5604_k)에 입력되는 신호의 예들이다. 또한, 신호선 구동 회로의 일 동작 기간은, 표시 장치에 있어서의 일 게이트 선택 기간에 대응한다. 일 게이트 선택 기간은, 일례로서, 기간 T1?기간 TN으로 분할된다. 기간 T1?TN은, 선택된 행에 속하는 화소에 비디오 신호용 데이터(DATA)를 기입하기 위한 기간이다.

[0353] 기간 T1?기간 TN에 있어서, 시프트 레지스터(5601)는, H 레벨의 신호를 배선(5605_1?5605_N)에 순차적으로 출력한다. 예를 들면, 기간 T1에 있어서, 시프트 레지스터(5601)는, H 레벨의 신호를 배선(5605_1)에 출력한다. 그러면, 박막 트랜지스터(5603_1?5603_k)는 온이 되므로, 배선(5604_1?5604_k)과, 신호선 S1?Sk가 전기적으로 도통된다. 이 경우에, 배선(5604_1?5604_k)에는, Data(S1)?Data(Sk)가 각각 입력된다. Data(S1)?Data(Sk)는 각각 박막 트랜지스터(5603_1?5603_k)를 통하여, 선택되는 행에 속하는 화소 중, 1열째?k열째의 화소에 입력된다. 이렇게 해서, 기간 T1?TN에 있어서, 선택된 행에 속하는 화소에, k열씩 순서대로 비디오 신호용 데이터(DATA)가 기입된다.

[0354] 비디오 신호용 데이터(DATA)를 복수의 열씩 화소에 기입되는 것에 의해, 비디오 신호용 데이터(DATA)의 수 또는 배선의 수를 줄일 수 있다. 따라서, 외부 회로와의 접속을 줄일 수 있다. 비디오 신호를 복수의 열씩 화소에 기입하는 것에 의해, 기입 시간을 연장할 수 있고, 비디오 신호의 기입 부족을 방지할 수 있다.

[0355] 또한, 시프트 레지스터(5601) 및 스위칭 회로(5602)로서는, 실시형태 1 내지 실시형태 10에 나타낸 박막 트랜지스터를 포함하는 회로를 이용하는 것이 가능하다. 이 경우, 시프트 레지스터(5601)에 포함된 모든 트랜지스

터가 N채널형 또는 P채널형 중 어느 한쪽만을 갖도록 형성될 수 있다.

[0356] 다음으로, 주사선 구동 회로의 구성에 대해서 설명한다. 주사선 구동 회로는, 시프트 레지스터를 갖는다. 또한, 몇몇 경우에 레벨 시프터, 버퍼 등을 가질 수 있다. 주사선 구동 회로에 있어서, 시프트 레지스터에 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력되면, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 의해 완충되고 증폭되어, 대응하는 주사선에 공급된다. 주사선에는, 1라인의 화소의 트랜지스터의 게이트 전극이 접속되어 있다. 1라인의 화소의 트랜지스터를 일제히 온으로 하여야 하므로, 큰 전류를 공급할 수 있는 버퍼가 사용된다.

[0357] 주사선 구동 회로 및 / 또는 신호선 구동 회로의 일부에 이용되는 시프트 레지스터의 실시형태에 대해서 도 21a 내지 도 21c 및 도 22a 및 도 22b를 참조하여 설명한다.

[0358] 주사선 구동 회로 및/또는 신호선 구동 회로의 시프트 레지스터에 대해서, 도 21a 내지 도 21d 및 도 22a 및 도 22b를 참조하여 설명한다. 시프트 레지스터는, 제 1 펄스 출력 회로(10_1) 내지 제 n 펄스 출력 회로(10_N)(N은 3이상 자연수)를 갖는다(도 21a 참조). 도 21a에 도시하는 시프트 레지스터의 제 1 펄스 출력 회로(10_1) 내지 제 n 펄스 출력 회로(10_N)에는, 제 1 배선(11)으로부터 제 1 클럭 신호 CK1, 제 2 배선(12)으로부터 제 2 클럭 신호 CK2, 제 3 배선(13)으로부터 제 3 클럭 신호 CK3, 제 4 배선(14)으로부터 제 4 클럭 신호 CK4가 공급된다. 또한, 제 1 펄스 출력 회로(10_1)에서는, 제 5 배선(15)으로부터의 스타트 펄스 SP1(제 1 스타트 펄스)이 입력된다. 2단째 이후의 제 n 펄스 출력 회로(10_n)(n은, 2이상 N 이하의 자연수)에서는, 또한 전단의 펄스 출력 회로로부터의 신호(전단 신호 OUT(n-1)이라 칭해지는 신호와 같음)(n은 2 이상의 자연수)가 입력된다. 제 1 펄스 출력 회로(10_1)에는, 2단 후단의 제 3 펄스 출력 회로(10_3)로부터의 신호가 입력된다. 마찬가지로, 2단째 이후의 제 n 펄스 출력 회로(10_n)에는, 다음 단에 후속하는 단의 제 n+2의 펄스 출력 회로(10_n+2)로부터의 신호(후단 신호 OUT(n+2)라 칭해지는 신호와 같음)가 입력된다. 따라서, 각 단의 펄스 출력 회로는, 후단 및 / 또는 이전 단 전의 단의 펄스 출력 회로의 각각에 입력하기 위한 제 1 출력 신호(OUT(1)(SR)?OUT(N)(SR)), 다른 배선 등에 전기적으로 접속되는 제 2 출력 신호(OUT(1)?OUT(N))가 출력된다. 또한, 도 21a에 도시한 바와 같이, 시프트 레지스터의 최종 2개의 단에는, 후단 신호 OUT(n+2)이 입력되지 않지만, 일례로서는, 추가적으로 제 6 배선(16) 및 제 7 배선(17)으로부터 제 2 스타트 펄스 SP2, 및 제 3 스타트 펄스 SP3을 각각 입력할 수도 있다. 대안적으로, 추가적으로 시프트 레지스터의 내부에서 생성된 신호가 사용될 수 있다. 예를 들면, 화소부에의 펄스 출력에 기여하지 않는 제 n+1의 펄스 출력 회로(10_n+1), 제 n+2의 펄스 출력 회로(10_n+2)를 설치해(더미 단이라고도 칭하는 회로임), 해당 더미 단에서 제 2 스타트 펄스 SP2 및 제 3 스타트 펄스 SP3에 대응하는 신호를 생성될 수 있다.

[0359] 또한, 클럭 신호(CK)는, 일정한 간격에서 H 레벨과 L 레벨(L 신호, 또는 저전원 전위 레벨이라고도 칭함)을 반복하는 신호이다. 제 1 클럭 신호(CK1)?제 4 클럭 신호(CK4)는 순서대로 1/4주기만큼 지연된다(즉, 서로 90° 만큼 위상이 어긋남). 본 실시형태에서는, 제 1 클럭 신호(CK1)?제 4 클럭 신호(CK4)를 이용하여, 펄스 출력 회로의 구동의 제어 등을 행한다. 또한, 클럭 신호는, 클럭 신호가 입력되는 구동 회로에 따라서, GCLK 또는 SCLK라 칭하기도 하지만, 클럭 신호로서 CK를 이용하여 설명한다. 본 실시형태에서는 제 1(CK1) 내지 제 4 클럭 신호(CK4)를 이용하여 펄스 출력 회로의 구동의 제어 등을 수행한다. 클럭 신호는 클럭 신호가 입력되는 구동 회로에 따라서 GCK 또는 SCK로서 이용되지만, 여기에서는 클럭 신호가 CK로서 설명된다.

[0360] 제 1 입력 단자(21), 제 2 입력 단자(22) 및 제 3 입력 단자(23)는 제 1 배선(11)?제 4 배선(14) 중 어느 하나와 전기적으로 접속된다. 예를 들면, 도 21a에 있어서, 제 1 펄스 출력 회로(10_1)의 제 1 입력 단자(21)가 제 1 배선(11)과 전기적으로 접속되고, 제 1 펄스 출력 회로(10_1)의 제 2 입력 단자(22)가 제 2 배선(12)과 전기적으로 접속되고, 제 1 펄스 출력 회로(10_1)의 제 3 입력 단자(23)가 제 3 배선(13)과 전기적으로 접속되어 있다. 제 2 펄스 출력 회로(10_2)의 제 1 입력 단자(21)가 제 2 배선(12)과 전기적으로 접속되고, 제 2 펄스 출력 회로(10_2)의 제 2 입력 단자(22)가 제 3 배선(13)과 전기적으로 접속되고, 제 2 펄스 출력 회로(10_2)의 제 3 입력 단자(23)가 제 4 배선(14)과 전기적으로 접속된다.

[0361] 제 1 펄스 출력 회로(10_1)?제 n 펄스 출력 회로(10_N) 각각은, 제 1 입력 단자(21), 제 2 입력 단자(22), 제 3 입력 단자(23), 제 4 입력 단자(24), 제 5 입력 단자(25), 제 1 출력 단자(26), 제 2 출력 단자(27)를 갖는다(도 21b 참조). 제 1 펄스 출력 회로(10_1)에 있어서, 제 1 입력 단자(21)에 제 1 클럭 신호 CK1이 입력되고, 제 2 입력 단자(22)에 제 2 클럭 신호 CK2가 입력되고, 제 3 입력 단자(23)에 제 3 클럭 신호 CK3이 입력되고, 제 4 입력 단자(24)에 스타트 펄스가 입력되고, 제 5 입력 단자(25)에 후단 신호 OUT(3)이 입력되고, 제 1 출력 단자(26)로부터 제 1 출력 신호 OUT(1)(SR)이 출력되고, 제 2 출력 단자(27)로부터 제 2 출력 신호

OUT(1)이 출력된다.

[0362] 다음으로, 펄스 출력 회로의 구체적인 회로 구성의 일례에 대해서, 도 21c를 참조하여 설명한다.

[0363] 제 1 펄스 출력 회로(10_1)는, 제 1 트랜지스터(31)?제 11 트랜지스터(41)를 갖는다(도 21c 참조). 전술한 제 1 입력 단자(21)?제 5 입력 단자(25), 및 제 1 출력 단자(26), 제 2 출력 단자(27) 외에 제 1 고전원 전위 VDD가 공급되는 전원선(51), 제 2 고전원 전위 VCC가 공급되는 전원선(52), 저전원 전위 VSS가 공급되는 전원선(53)으로부터, 제 1 트랜지스터(31)?제 11 트랜지스터(41)에 신호 또는 전원 전위가 공급된다. 도 21c의 전원선의 전원 전위의 관계는, 이하와 같다: 제 1 고전원 전위 VDD > 제 2 고전원 전위 VCC > 저전원 전위 VSS로 한다. 또한, 제 1 클럭 신호(CK1)?제 4 클럭 신호(CK4)는 각각 일정한 간격에서 H 레벨과 L 레벨 사이에서 반복하는 신호이지만, H 레벨일 때 클럭 신호는 VDD이고, L 레벨일 때 클럭 신호는 VSS이다. 또한, 전원선(52)의 전위 VCC를, 전원선(51)의 전위 VDD보다 낮게 설정하면, 동작에 영향을 주지 않고, 트랜지스터의 게이트 전극에 인가되는 전위를 감소시킬 수 있으므로, 트랜지스터의 임계값의 변화를 저감시킬 수 있고, 열화를 억제할 수 있다.

[0364] 도 21c에 있어서, 제 1 트랜지스터(31)의 제 1 단자가 전원선(51)에 전기적으로 접속되고, 제 1 트랜지스터(31)의 제 2 단자가 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되고, 제 1 트랜지스터(31)의 게이트 전극이 제 4 입력 단자(24)에 전기적으로 접속된다. 제 2 트랜지스터(32)의 제 1 단자가 전원선(53)에 전기적으로 접속되고, 제 2 트랜지스터(32)의 제 2 단자가 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되고, 제 2 트랜지스터(32)의 게이트 전극이 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되어 있다. 제 3 트랜지스터(33)의 제 1 단자가 제 1 입력 단자(21)에 전기적으로 접속되고, 제 3 트랜지스터(33)의 제 2 단자가 제 1 출력 단자(26)에 전기적으로 접속되어 있다. 제 4 트랜지스터(34)의 제 1 단자가 전원선(53)에 전기적으로 접속되고, 제 4 트랜지스터(34)의 제 2 단자가 제 1 출력 단자(26)에 전기적으로 접속되어 있다. 제 5 트랜지스터(35)의 제 1 단자가 전원선(53)에 전기적으로 접속되고, 제 5 트랜지스터(35)의 제 2 단자가 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제 5 트랜지스터(35)의 게이트 전극이 제 4 입력 단자(24)에 전기적으로 접속되어 있다. 제 6 트랜지스터(36)의 제 1 단자가 전원선(52)에 전기적으로 접속되고, 제 6 트랜지스터(36)의 제 2 단자가 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제 6 트랜지스터(36)의 게이트 전극이 제 5 입력 단자(25)에 전기적으로 접속되어 있다. 제 7 트랜지스터(37)의 제 1 단자가 전원선(52)에 전기적으로 접속되고, 제 7 트랜지스터(37)의 제 2 단자가 제 8 트랜지스터(38)의 제 2 단자에 전기적으로 접속되어 있다. 제 8 트랜지스터(38)의 제 1 단자가 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제 8 트랜지스터(38)의 게이트 전극이 제 2 입력 단자(22)에 전기적으로 접속되어 있다. 제 9 트랜지스터(39)의 제 1 단자가 제 1 트랜지스터(31)의 제 2 단자 및 제 2 트랜지스터(32)의 제 2 단자에 전기적으로 접속되고, 제 9 트랜지스터(39)의 제 2 단자가 제 3 트랜지스터(33)의 게이트 전극 및 제 10 트랜지스터(40)의 게이트 전극에 전기적으로 접속되고, 제 9 트랜지스터(39)의 게이트 전극이 전원선(52)에 전기적으로 접속되어 있다. 제 10 트랜지스터(40)의 제 1 단자가 제 1 입력 단자(21)에 전기적으로 접속되고, 제 10 트랜지스터(40)의 게이트 전극이 제 9 트랜지스터(39)의 제 2 단자에 전기적으로 접속되어 있다. 제 11 트랜지스터(41)의 제 1 단자가 전원선(53)에 전기적으로 접속되고, 제 11 트랜지스터(41)의 제 2 단자가 제 2 출력 단자(27)에 전기적으로 접속되어 있다. 제 11 트랜지스터(41)의 게이트 전극이 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되어 있다.

[0365] 도 21c에 있어서, 제 3 트랜지스터(33)의 게이트 전극, 제 10 트랜지스터(40)의 게이트 전극 및 제 9 트랜지스터(39)의 제 2 단자가 접속되는 부분을 노드 A라 칭한다. 또한, 제 2 트랜지스터(32)의 게이트 전극, 제 4 트랜지스터(34)의 게이트 전극, 제 5 트랜지스터(35)의 제 2 단자, 제 6 트랜지스터(36)의 제 2 단자, 제 8 트랜지스터(38)의 제 1 단자 및 제 11 트랜지스터(41)의 게이트 전극이 접속하는 부분을 노드 B라 칭한다(도 22a 참조).

[0366] 도 22a에서, 도 21d에서 설명한 펄스 출력 회로가 제 1 펄스 출력 회로(10_1)에 적용되는 경우에, 제 1 입력 단자(21) 내지 제 5 입력 단자(25)와 제 1 출력 단자(26) 및 제 2 출력 단자(27)에 입력 또는 출력되는 신호를 나타내고 있다.

[0367] 구체적으로는, 제 1 입력 단자(21)에 제 1 클럭 신호 CK1이 입력되고, 제 2 입력 단자(22)에 제 2 클럭 신호 CK2가 입력되고, 제 3 입력 단자(23)에 제 3 클럭 신호 CK3이 입력되고, 제 4 입력 단자(24)에 스타트 펄스가

입력되고, 제 5 입력 단자(25)에 후단 신호 OUT(3)이 입력되고, 제 1 출력 단자(26)로부터 제 1 출력 신호 OUT(1)(SR)이 출력되고, 제 2 출력 단자(27)로부터 제 2 출력 신호 OUT(1)이 출력된다.

[0368] 또한, 박막 트랜지스터는, 게이트와 드레인과 소스의 적어도 세개의 단자를 갖는 소자이다. 박막 트랜지스터는 게이트와 중첩된 영역에 채널 영역이 형성되는 반도체를 갖고 있어, 게이트의 전위를 제어하는 것으로, 채널 영역을 통해서 드레인과 소스 사이에 흐르는 전류를 제어할 수 있다. 여기에서, 박막 트랜지스터의 소스와 드레인은, 박막 트랜지스터의 구조, 동작 조건 등에 따라 변하므로, 어느 쪽이 소스이고 어느 쪽이 드레인인지 판정하는 것이 곤란하다. 따라서, 소스 또는 드레인으로서 기능하는 영역을, 몇몇 경우에 소스 또는 드레인이라 칭하지 않는다. 그 경우, 예를 들어, 이러한 영역은 제 1 단자 및 제 2 단자로 칭해질 수 있다.

[0369] 여기에서, 도 22a에 도시한 복수의 펄스 출력 회로를 포함하는 시프트 레지스터의 타이밍 차트를 도 22b에 도시한다. 또한, 시프트 레지스터가 주사선 구동 회로에 포함되는 경우, 도 22b의 기간(61) 및 기간(62)은 각각 수직 귀선 기간 및 게이트 선택 기간에 대응한다.

[0370] 또한, 도 22a에 도시한 바와 같이, 게이트에 제 2 전원 전위 VCC가 인가되는 제 9 트랜지스터(39)를 설치하는 것에 의해, 부트스트랩 동작의 전후에 있어서, 이하와 같은 이점이 얻어진다.

[0371] 게이트 전극에 제 2 전원 전위 VCC가 인가되는 제 9 트랜지스터(39)가 없을 경우, 부트스트랩 동작에 의해 노드 A의 전위가 상승하면, 제 1 트랜지스터(31)의 제 2 단자인 소스의 전위가 상승해서, 제 1 전원 전위 VDD보다 커진다. 그리고, 제 1 트랜지스터(31)의 소스가 제 1 단자, 즉 전원선(51)측의 단자로 전환된다. 그 때문에, 제 1 트랜지스터(31)에서는, 게이트와 소스 사이, 게이트와 드레인 사이에 큰 바이어스 전압이 인가되어 상당한 스트레스가 걸리고, 이는 트랜지스터의 열화를 야기할 수 있다. 게이트 전극에 제 2 전원 전위 VCC가 인가되는 제 9 트랜지스터(39)를 설치하는 것에 의해, 부트스트랩 동작에 의해 노드 A의 전위는 상승하지만, 제 1 트랜지스터(31)의 제 2 단자의 전위의 상승은 방지될 수 있다. 즉, 제 9 트랜지스터(39)를 설치함으로써, 제 1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 부 바이어스 전압을 감소시킬 수 있다. 따라서, 본 실시형태의 회로 구성으로, 제 1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 부 바이어스 전압이 감소될 수 있어, 스트레스에 의한 제 1 트랜지스터(31)의 열화를 추가적으로 억제할 수 있다.

[0372] 또한, 제 9 트랜지스터(39)는, 제 1 트랜지스터(31)의 제 2 단자와 제 3 트랜지스터(33)의 게이트 사이에 제 1 단자와 제 2 단자를 통해서 접속되도록 설치된다. 본 실시형태에서 설명한 복수의 펄스 출력 회로를 구비하는 시프트 레지스터가 사용되는 경우, 주사선 구동 회로보다 단수가 많은 신호선 구동 회로에서는, 제 9 트랜지스터(39)를 생략할 수 있고, 이는 트랜지스터 수를 감소시키는 점에서 유리하다.

[0373] 제 1 트랜지스터(31) 내지 제 11 트랜지스터(41)의 반도체층에 산화물 반도체가 사용되면, 박막 트랜지스터의 오프 전류를 저감시킬 수 있고, 온 전류 및 전계 효과 이동도를 높일 수 있고, 열화의 정도를 저감시킬 수 있으므로, 회로 내의 오동작을 저감시킬 수 있다. 산화물 반도체를 이용하여 형성된 트랜지스터는, 비정질 실리콘을 이용하여 형성된 트랜지스터에 비해, 게이트 전극에 고전위가 인가되는 것에 의한 트랜지스터의 열화의 정도가 작다. 그 때문에, 제 2 전원 전위 VCC를 공급하는 전원선에, 제 1 전원 전위 VDD를 공급할 때에도 마찬가지의 동작이 수행될 수 있고, 회로에 설치되는 전원선의 수를 저감시킬 수 있으므로, 회로가 소형화될 수 있다.

[0374] 또한, 제 7 트랜지스터(37)의 게이트 전극에 제 3 입력 단자(23)에 의해 공급되는 클럭 신호, 제 8 트랜지스터(38)의 게이트 전극에 제 2 입력 단자(22)에 의해 공급되는 클럭 신호는 제 7 트랜지스터(37)의 게이트 전극에 제 2 입력 단자(22)에 의해 공급되는 클럭 신호, 제 8 트랜지스터(38)의 게이트 전극에 제 3 입력 단자(23)에 의해 공급되는 클럭 신호가 되도록, 배선 접속이 변해도 마찬가지의 효과를 얻을 수 있다. 또한, 도 22a에 도시하는 시프트 레지스터에 있어서, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38)가 모두 온으로 된 후에, 제 7 트랜지스터(37)가 오프되고, 제 8 트랜지스터(38)는 여전히 온이고, 다음으로 제 7 트랜지스터(37)가 여전히 오프이고, 제 8 트랜지스터(38)가 오프된다. 따라서, 제 2 입력 단자(22) 및 제 3 입력 단자(23)의 전위가 저하하는 것으로 생기는, 노드 B의 전위의 저하가 제 7 트랜지스터(37)의 게이트 전극의 전위의 저하 및 제 8 트랜지스터(38)의 게이트 전극의 전위의 저하에 기인해서 2회 발생된다. 한편, 도 22a에 도시하는 시프트 레지스터에 있어서, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38)의 상태가 변하여 제 7 트랜지스터(37) 및 제 8 트랜지스터(38) 모두가 온이고, 그 후, 제 7 트랜지스터(37)가 온, 제 8 트랜지스터(38)가 오프, 다음으로, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38)가 오프로 됨으로써, 제 2 입력 단자(22) 및 제 3 입력 단자(23)의 전위가 저하하는 것으로 생기는 노드 B의 전위의 저하의 수가 1회로 감소될 수 있으며, 이는 제 8 트랜지스터(38)의 게이트 전극의 전위의 저하에 의해 유발된 것이다. 따라서, 제 7 트랜지스터(3

7)의 게이트 전극에 제 3 입력 단자(23)로부터 클럭 신호 CK3이 공급되고, 제 8 트랜지스터(38)의 게이트 전극에 제 2 입력 단자(22)로부터 클럭 신호 CK2가 공급되는 접속 관계가 바람직하다. 이는, 노드 B의 전위의 변동 횟수가 저감될 수 있어, 노이즈를 저감시킬 수 있기 때문이다.

[0375] 이렇게, 제 1 출력 단자(26) 및 제 2 출력 단자(27)의 전위를 L 레벨로 유지하는 기간에, 노드 B에 정기적으로 H 레벨의 신호가 공급되어, 펄스 출력 회로의 오동작을 억제할 수 있다.

[0376] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 표시 장치를 제작할 수 있다.

[0377] 본 실시형태는, 다른 실시형태에 설명한 구성 중 임의의 것과 적절히 조합해서 실시하는 것이 가능하다.

[0378] (실시형태 14)

[0379] 박막 트랜지스터를 제작하고, 박막 트랜지스터를 화소부에서, 또한 구동 회로에서 이용해서 표시 기능을 갖는 반도체 장치(표시 장치라고도 칭함)를 제작할 수 있다. 또한, 박막 트랜지스터를 이용하여, 구동 회로의 일부 또는 전체를, 화소부와 같은 기판 위에 형성할 수 있어, 시스템-온-패널을 달성을 달성할 수 있다.

[0380] 표시 장치는 표시 소자를 포함한다. 표시 소자로서는, 액정 소자(액정 표시 소자라고도 칭함), 발광 소자(발광 표시 소자라고도 칭함)를 이용할 수 있다. 발광 소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는 무기 EL(electroluminescence), 유기 EL 등을 포함한다. 또한, 전자 잉크와 같은 전기적 작용에 의해 콘트라스트가 변하는 표시 매체가 사용될 수 있다.

[0381] 또한, 표시 장치는, 표시 소자가 밀봉된 패널과, 컨트롤러를 포함하는 IC 등이 패널에 실장된 모듈을 포함한다. 표시 장치를 제작하는 과정에 있어서의, 표시 소자가 완성되지 않은 일 실시형태에 대응하는 소자 기판에는, 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기판은, 구체적으로는, 표시 소자의 화소 전극만이 형성된 상태일 수도 있고, 화소 전극이 되는 도전막을 성막한 후이며, 도전막이 에칭되어 화소 전극을 형성하기 전의 상태일 수도 있고, 임의의 다른 상태일 수도 있다.

[0382] 또한, 본 명세서에 있어서의 표시 장치는, 화상 표시 장치, 표시 장치, 또는 광원(조명 장치 포함)을 의미한다. 또한, 표시 장치는 그 범주 내에 이하의 모듈 중 임의의 것을 포함한다: FPC(Flexible Printed Circuit), TAB(Tape Automated Bonding) 테이프 또는 TCP(Tape Carrier Package)와 같은 커넥터가 부착되는 모듈; 그 단부에 인쇄 배선 보드가 설치되는 TAB 테이프나 TCP를 갖는 모듈; 및 표시 소자에 COG(Chip On Glass) 방식에 의해 직접 실장될 수 있는 IC(접속 회로)를 갖는 모듈.

[0383] 반도체 장치의 일 실시형태인 액정 표시 패널의 외관 및 단면에 대해서, 도 15a 내지 도 15c를 참조하여 설명한다. 도 15a 및 도 15c는, 박막 트랜지스터(4010, 4011) 및 액정 소자(4013)를, 제 1 기판(4001)과 제 2 기판(4006) 사이에 씰재(4005)에 의해 각각 밀봉한 패널의 평면도이다. 도 15b는, 도 15a 또는 도 15c의 M-N 선에 따른 단면도이다.

[0384] 제 1 기판(4001) 위에 설치된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록, 씰재(4005)가 설치되어 있다. 화소부(4002)와 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 설치되어 있다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는, 제 1 기판(4001)과 씰재(4005)와 제 2 기판(4006)에 의해, 액정층(4008)과 함께 밀봉되어 있다. 제 1 기판(4001) 위의 씰재(4005)에 의해 둘러싸여져 있는 영역과는 상이한 영역에, 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성된 신호선 구동 회로(4003)가 실장되어 있다.

[0385] 또한, 별도로 형성된 구동 회로의 접속 방법은, 특별히 한정되는 것이 아니라, COG 방법, 와이어 본딩 방법, TAB 방법 등을 이용할 수 있다. 도 15a는, COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이며, 도 15c는, TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예를 나타낸다.

[0386] 제 1 기판(4001) 위에 설치된 화소부(4002)와 주사선 구동 회로(4004)는, 각각 복수의 박막 트랜지스터를 갖고 있어, 도 15b에서는, 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시하고 있다. 박막 트랜지스터(4010, 4011) 위에는 절연층(4041, 4042, 4021)이 설치되어 있다.

[0387] 박막 트랜지스터(4010, 4011)는, 실시형태 1 내지 실시형태 10의 어느 하나의 박막 트랜지스터를 적절히 이용할 수 있고, 실시형태 1 내지 실시형태 10의 박막 트랜지스터와 동일한 공정 및 재료를 이용하여 형성할 수 있다. 탈수화 또는 탈수소화 처리로서, 질소 분위기하 또는 불활성 기체 분위기하, 또는 감압하에서의 가열 처리가 수행되어 막 내의 함유 수분을 저감시킨다. 그 후, 산소 공급 처리로서, 산소 분위기, 산소 및 질소

분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기하에서 냉각이 행해진다. 이렇게 얹어진 산화물 반도체막을 박막 트랜지스터(4010, 4011)에 이용하고 있다. 따라서, 박막 트랜지스터(4010, 4011)는 안정된 전기적 특성을 갖는 신뢰성이 높은 박막 트랜지스터이다.

[0388] 절연층(4021) 위에, 구동 회로용의 박막 트랜지스터(4011)의 산화물 반도체층의 채널 형성 영역과 겹치도록 도전층(4040)이 설치되어 있다. 도전층(4040)을 산화물 반도체층의 채널 형성 영역과 겹치도록 설치함으로써, BT 시험 전후 사이에 있어서의 박막 트랜지스터(4011)의 임계값 전압의 변화량을 저감시킬 수 있다. 또한, 도전층(4040)의 전위는 박막 트랜지스터(4011)의 게이트 전극층의 전위와 같거나 상이할 수 있다. 또한, 도전층(4040)은 제 2 게이트 전극층으로서 기능할 수도 있다. 대안적으로, 도전층(4040)의 전위가 GND 또는 0V일 수 있거나, 도전층(4040)이 플로팅 상태일 수 있다.

[0389] 또한, 액정 소자(4013)의 화소 전극층(4030)은, 박막 트랜지스터(4010)의 소스 전극층 또는 드레인 전극층과 전기적으로 접속되어 있다. 액정 소자(4013)의 대향 전극층(4031)은 제 2 기판(4006) 상에 형성되어 있다. 화소 전극층(4030)과 대향 전극층(4031)과 액정층(4008)이 서로 겹치고 있는 부분은 액정 소자(4013)에 대응한다. 또한, 화소 전극층(4030), 대향 전극층(4031)에는 배향막으로서 기능하는 절연층(4032)과 절연층(4033)이 설치되고, 액정층(4008)은 절연층(4032, 4033)을 사이에 두고 화소 전극층(4030)과 대향 전극층(4031) 사이에 협진된다.

[0390] 또한, 제 1 기판(4001) 및 제 2 기판(4006)으로서는, 투광성 기판을 이용할 수 있고, 글래스, 세라믹스 또는 플라스틱을 이용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(polyvinyl fluoride)막, 폴리에스테르막 또는 아크릴수지막을 이용할 수 있다.

[0391] 참조 부호 4035는 절연막을 선택적으로 예칭하는 것으로 얹어지는 주상의 스페이서를 나타내며, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 캡)를 제어하기 위해서 설치되어 있다. 대안적으로, 구형의 스페이서를 이용할 수도 있다. 또한, 대향 전극층(4031)은, 박막 트랜지스터(4010)와 동일 기판 위에 형성되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 이용하여, 한쌍의 기판 사이에 배치되는 도전성 입자를 통해서 대향 전극층(4031)과 공통 전위선을 서로 전기적으로 접속할 수 있다. 또한, 도전성 입자는 씰재(4005)에 함유된다.

[0392] 대안적으로, 배향막이 불필요한 블루 상을 나타내는 액정을 이용할 수 있다. 블루 상은 액정 상의 하나이며, 이는 콜레스테릭 액정을 승온하면서, 콜레스테릭 상으로부터 등방상으로 전이하기 직전에 생성되는 상이다. 블루 상은 좁은 온도 범위에서 생성되므로, 온도 범위를 개선하기 위해서 5중량% 이상의 키랄체를 함유하는 액정 조성물을 액정층(4008)에 이용한다. 블루 상을 나타내는 액정과 키랄체를 포함하는 액정 조성물은, 응답 시간이 1msec 이하로 짧고, 광학적 등방성을 갖는다. 따라서, 배향 처리가 불필요하고 시야각 의존성이 작다. 또한, 배향막을 설치할 필요가 없으므로 러빙 처리도 불필요해진다. 따라서, 러빙 처리에 의해 야기되는 정전 파괴를 방지할 수 있고, 제작 공정 중에서 액정 표시 장치의 불량이나 손상을 경감시킬 수 있다. 따라서, 액정 표시 장치의 생산성을 향상시키는 것이 가능하게 된다. 특히, 산화물 반도체층을 이용하는 박막 트랜지스터는, 정전기의 영향에 의해 박막 트랜지스터의 전기적인 특성이 현저하게 변동해서 설계 범위를 벗어날 수 있다. 따라서, 산화물 반도체층을 이용하는 박막 트랜지스터를 갖는 액정 표시 장치에 블루 상을 나타내는 액정 재료를 이용하는 것은 보다 효과적이다.

[0393] 또한, 투파형 액정 표시 장치의 이외에, 반투파형 액정 표시 장치에도 본 실시형태를 적용할 수 있다.

[0394] 액정 표시 장치의 예들은, 기판의 외측(뷰어측)에 편광판을 설치하고, 기판의 내측에 착색층, 및 표시 소자에 이용하는 전극층을 설치하는 것으로 설명하였지만, 편광판은 기판의 내측에 설치될 수 있다. 편광판과 착색층의 적층 구조도 본 실시형태에 한정되지 않고, 편광판 및 착색층의 재료나 제작 공정의 조건에 따라 적절히 설정될 수 있다. 또한, 표시부 이외의 부분에 블랙 매트릭스로서 역할을 하는 차광막을 설치할 수 있다.

[0395] 박막 트랜지스터(4011, 4010) 위에는, 산화물 반도체층에 접해서 절연층(4041)이 형성되어 있다. 절연층(4041)은, 실시형태 1에서 나타낸 절연층(407)과 마찬가지인 재료 및 방법으로 형성될 수 있다. 본 실시형태에서는, 절연층(4041)으로서, 실시형태 1를 참조하여 스퍼터링법에 의해 산화실리콘층을 형성한다. 절연층(4041)과 접해서 보호 절연층(4042)이 그 위에 형성된다. 보호 절연층(4042)은 실시형태 1에서 나타낸 보호 절연층(499)과 마찬가지로 형성할 수 있고, 예를 들면, 질화실리콘층을 이용할 수 있다. 또한, 박막 트랜지스터로 인한 표면 요철을 저감시키기 위해서, 보호 절연층(4042)이 평탄화 절연막으로서 기능하는 절연층(4021)으로 덮인다.

- [0396] 평탄화 절연막으로서 절연층(4021)이 형성된다. 절연층(4021)으로서는, 폴리아미드, 아크릴, 벤조시클로부텐, 폴리아미드, 또는 에폭시와 같은 내열성을 갖는 유기 재료를 이용할 수 있다. 또한, 이러한 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 이용할 수 있다. 또한, 이를 재료로 이용하여 형성되는 복수의 절연막을 적층시킴으로써, 절연층(4021)을 형성할 수 있다.
- [0397] 절연층(4021)의 형성법은, 특별히 한정되지 않고, 그 재료에 따라서, 스퍼터링법, SOG법, 스판 코트, 디핑, 스프레이 도포, 또는 액적 토출법(예를 들어, 잉크젯법, 스크린 인쇄, 또는 오프셋 인쇄), 또는 닥터 나이프, 룰 코터(coater), 커튼 코터, 또는 나이프 코터와 같은 툴을 이용하여 형성될 수 있다. 또한, 절연층(4021)의 소성 공정은 반도체층의 어닐링으로서의 역할도 하므로, 효율적으로 반도체 장치를 제작할 수 있다.
- [0398] 화소 전극층(4030) 및 대향 전극층(4031)은, 산화텅스텐을 함유하는 인듐산화물, 산화텅스텐을 함유하는 인듐 아연산화물, 산화티타늄을 함유하는 인듐산화물, 산화티타늄을 함유하는 인듐주석산화물, 인듐주석산화물(이하, ITO라 칭함), 인듐아연산화물, 또는 산화규소를 첨가한 인듐주석산화물과 같은 투광성의 도전성 재료를 이용하여 형성될 수 있다.
- [0399] 화소 전극층(4030) 및 대향 전극층(4031)으로서, 도전성 고분자(도전성 폴리머라고도 칭함)를 포함하는 도전성 조성물을 이용할 수 있다. 도전성 조성물을 이용해서 형성한 화소 전극은, 시트 저항이 $10000\Omega/\square$ 이하, 파장 550nm에 있어서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 $0.1\Omega/cm$ 이하인 것이 바람직하다.
- [0400] 도전성 고분자로서는, 소위 π -전자 공액계 도전성 고분자가 이용될 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 이들의 2종 이상의 공중합체 등을 들 수 있다.
- [0401] 또한, 별도로 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 공급되는 각종 신호 및 전위는, FPC(4018)로부터 공급된다.
- [0402] 접속 단자 전극(4015)이, 액정 소자(4013)에 포함된 화소 전극층(4030)과 같은 도전막을 이용하여 형성되고, 단자 전극(4016)은, 박막 트랜지스터(4010, 4011)에 포함된 소스 전극층 및 드레인 전극층과 같은 도전막을 이용하여 형성된다.
- [0403] 접속 단자 전극(4015)은, FPC(4018)에 포함된 단자와, 이방성 도전막(4019)을 통해서 전기적으로 접속되어 있다.
- [0404] 또한, 도 15a 내지 도 15c에서는, 신호선 구동 회로(4003)를 별도로 형성하고, 제 1 기판(4001) 위에 실장하고 있는 예를 나타내고 있지만 구성은 이에 한정되지 않는다. 주사선 구동 회로는 별도로 형성되어 실장될 수도 있고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만이 별도로 형성되어 실장될 수도 있다.
- [0405] 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 반사 방지 부재와 같은 광학 부재(광학 기판) 등은 적절히 설치된다. 예를 들면, 편광 기판 및 위상차 기판을 이용하여 원편광이 채용될 수 있다. 또한, 광원으로서 백라이트, 사이드 라이트 등을 이용할 수 있다.
- [0406] 액티브 매트릭스형의 액정 표시 장치에서는, 매트릭스 형상으로 배치된 화소 전극을 구동하여, 화면 상에 표시 패턴이 형성된다. 상세하게는, 선택된 화소 전극과 화소 전극에 대응하는 대향 전극 사이에 전압이 인가됨으로써, 화소 전극과 대향 전극 사이에 배치된 액정층의 광학 변조되고, 이 광학 변조가 표시 패턴으로서 관찰자에게 인식된다.
- [0407] 동화상 표시에 있어서, 액정 표시 장치는 액정 문자 자체의 긴 응답 시간이 잔상이나 동화상의 흐려짐을 야기하는 문제가 있다. 액정 표시 장치의 동화상 특성을 개선하기 위해서, 일 프레임 기간 걸러 전체 화면 상에 흑이 표시되는 소위, 흑 삽입이라 칭하는 구동 기술이 채용된다.
- [0408] 또한, 수직 동기 주파수를 통상적인 수직 동기 주파수보다 1.5배 이상 또는 2배 이상으로 함으로써 응답 속도를 증가시키는, 소위, 배속 구동이라 칭하는 구동 기술이 있다.
- [0409] 또한, 대안적으로, 액정 표시 장치의 동화상 특성을 개선하기 위해서, 백라이트로서 복수의 LED(발광 다이오드) 광원 또는 복수의 EL 광원 등을 이용해서 면광원을 구성하고, 면광원의 각 광원을 독립해서 일 프레임 기간 내에 웨일스 방식으로 구동하는 구동 기술을 채용할 수 있다. 면광원으로서, 3종류 이상의 LED를 이용할 수 있고, 백색 발광의 LED도 이용할 수 있다. 독립해서 복수의 LED를 제어할 수 있으므로, 액정층이 광학적으로

변조되는 타이밍에 LED의 발광 타이밍을 동기시킬 수도 있다. 이 구동 기술에 따르면, LED를 부분적으로 오프 시킬 수 있으므로, 특히 흑색이 표시되는 많은 부분을 갖는 화상을 표시하는 경우에, 소비 전력의 절감 효과를 얻을 수 있다.

[0410] 이를 구동 기술을 조합하는 것에 의해, 액정 표시 장치의 동화상 특성과 같은 표시 특성을 종래의 액정 표시 장치에 비해 개선할 수 있다.

[0411] 박막 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 화소부 또는 구동 회로와 동일 기판 위에 추가적으로 보호 회로를 설치하는 것이 바람직하다. 보호 회로는, 산화물 반도체층을 포함하는 비선형 소자를 이용해서 형성하는 것이 바람직하다. 예를 들면, 보호 회로는 화소부와, 주사선 입력 단자 사이 및 화소부와 신호선 입력 단자 사이에 설치되어 있다. 본 실시형태에서는 주사선, 신호선 및 용량 버스선에 정전기 등에 의해 서지 전압이 인가될 때, 화소 트랜지스터 등이 파괴되는 것을 방지하도록, 복수의 보호 회로를 설치한다. 그 때문에, 보호 회로에 서지 전압이 인가되었을 때에, 공통 배선에 전하를 방출하도록 보호 회로가 형성된다. 또한, 보호 회로는, 그 사이에서 주사선에 대하여 서로 병렬로 배치된 비선형 소자를 포함한다. 비선형 소자는, 다이오드와 같은 2단자 소자 또는 트랜지스터와 같은 3단자 소자를 포함한다. 예를 들면, 화소부에 설치된 박막 트랜지스터와 같은 공정을 통해 비선형 소자가 형성될 수 있으며, 비선형 소자의 게이트 단자와 드레인 단자를 접속하는 것에 의해 다이오드와 마찬가지의 특성을 갖게 할 수 있다.

[0412] 도 25는 본 명세서에 개시하는 제작 방법에 의해 제작되는 TFT 기판(2600)을 이용해서 반도체 장치로서 액정 표시 모듈을 형성하는 일례를 나타내고 있다.

[0413] 도 25는 액정 표시 모듈의 일례이며, 여기에서, TFT 기판(2600)과 대향 기판(2601)이 층재(2602)에 의해 서로 고착되어, TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 착색층(2605)이 기판 사이에 설치되어 표시 영역을 형성한다. 또한, TFT 기판(2600) 및 대향 기판(2601)은 편광판(2606) 및 편광판(2607)을 각각 구비하고 있다. 착색층(2605)은 컬러 표시를 행할 경우에 필요하다. RGB 방식의 경우에는, 적, 녹, 청의 색에 대응한 착색층이 화소에 설치된다. TFT 기판(2600)과 대향 기판(2601)의 외측에는 편광판(2606, 2607) 및 확산판(2613)이 설치되어 있다. 광원은 냉음극관(2610)과 반사판(2611)을 포함하고, 회로 기판(2612)은, 플렉시블 배선 기판(2609)에 의해 TFT 기판(2600)의 배선 회로부(2608)와 접속되어, 컨트롤 회로나 전원 회로와 같은 외부 회로를 포함한다. 편광판과 액정층은 그 사이에 위상차판을 갖는 상태에서 적층될 수 있다.

[0414] 액정 표시 모듈에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric Aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Antiferroelectric Liquid Crystal) 모드 등을 이용할 수 있다.

[0415] 이렇게, 본 명세서에 개시되는 반도체 장치는 특별히 한정되지 않고, TN 액정, OCB 액정, STN 액정, VA 액정, ECB형 액정, GH 액정, 고분자 분산형 액정, 디스코틱 액정 등을 이용할 수 있다. 그 중에서도 수직 배향(VA) 모드를 채용한 투과형의 액정 표시 장치와 같은 노멀리 블랙형의 액정 패널이 바람직하다. 수직 배향 모드로서는, 몇 예를 들 수 있다. 예를 들면, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등을 이용할 수 있다.

[0416] 또한, VA형 액정 표시 장치에도 본 발명을 적용할 수 있다. VA형의 액정 표시 장치는, 액정 표시 패널의 액정 분자의 배열을 제어하는 형태의 일종이다. VA형의 액정 표시 장치에서는, 전압이 인가되지 않고 있을 때에 패널면에 대하여 액정 분자가 수직 방향으로 배향된다. 또한, 화소를 몇개의 영역(서브픽셀)으로 나누고, 각 영역에서 액정 분자가 다른 방향으로 배향되는 멀티 도메인화 또는 멀티 도메인 설계라 칭해지는 방법을 이용할 수 있다.

[0417] 상술한 구성으로, 반도체 장치로서 신뢰성이 높은 액정 표시 패널을 제작할 수 있다.

[0418] 본 실시형태는, 다른 실시형태에 기재된 구성 중 임의의 것과 적절히 조합해서 실시하는 것이 가능하다.

[0419] (실시형태 15)

[0420] 반도체 장치로서 전자 페이퍼의 예를 나타낸다.

[0421] 반도체 장치는 스위칭 소자와 전기적으로 접속하는 소자에 의해 전자 잉크를 구동시키는 전자 페이퍼에 이용할 수 있다. 전자 페이퍼는, 전기 영동 표시 장치(전기 영동 디스플레이)라고도 칭해지고, 일반 종이와 같은

읽기 용이함의 레벨을 갖고, 다른 표시 장치에 비교해 저소비 전력을 갖고, 얇고 가볍게 만들 수 있는 이점을 갖고 있다.

[0422] 전기 영동 디스플레이는, 다양한 모드를 가질 수 있다. 전기 영동 디스플레이는 플러스로 대전된 제 1 입자와, 마이너스로 대전된 제 2 입자를 포함하는 복수의 각 마이크로 캡슐이 용매 또는 용질에 분산된 것을 포함한다. 마이크로 캡슐에 전계를 인가함으로써, 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜 한측에 집합한 입자의 색만을 표시한다. 또한, 제 1 입자 및 제 2 입자는 각각 염료를 포함하고, 전계가 없는 경우에 이동하지 않는다. 또한, 제 1 입자와 제 2 입자는 다른 색을 갖는다(무색일 수도 있음).

[0423] 이렇게, 전기 영동 디스플레이는, 유전 상수가 높은 물질이 높은 전계 영역으로 이동하는, 소위 유전 영동적 효과를 이용한 디스플레이이다. 전기 영동 디스플레이는 액정 표시 장치에 필요한 편광판 및 대향 기판도 필요없다.

[0424] 상술한 마이크로 캡슐이 용매 중에 분산되는 용액이 전자 잉크라 칭해진다. 이 전자 잉크는 글래스, 플라스틱, 천, 종이 등의 표면에 인쇄될 수 있다. 또한, 컬러 필터나 색소를 갖는 입자를 이용함으로써 컬러 표시도 가능하다.

[0425] 또한, 액티브 매트릭스 기판 위에 적절히, 두개의 전극의 사이에 끼워져 있도록 복수의 마이크로 캡슐을 배치하면, 액티브 매트릭스형의 표시 장치가 완성될 수 있고, 마이크로 캡슐에 전계를 인가하면 표시를 행할 수 있다. 예를 들면, 실시형태 1 내지 실시형태 4에 기재된 박막 트랜지스터에 의해 얻어지는 액티브 매트릭스 기판을 이용할 수 있다.

[0426] 또한, 마이크로 캡슐 중의 제 1 입자 및 제 2 입자는, 도전체 재료, 절연체, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 전계발광 재료, 일렉트로크로믹 재료, 및 자기 영동 재료로부터 선택된 단일 재료, 또는 이들 재료 중 임의의 것의 복합 재료를 이용하여 형성될 수 있다.

[0427] 도 14는, 반도체 장치의 예로서 액티브 매트릭스형의 전자 페이퍼를 나타낸다. 반도체 장치에 이용되는 박막 트랜지스터(581)는, 실시형태 1에서 나타낸 박막 트랜지스터와 마찬가지로 제작할 수 있다. 또한, 실시형태 2 내지 실시형태 4 중 임의의 것에 나타낸 박막 트랜지스터도 본 실시형태의 박막 트랜지스터(581)로서 이용될 수 있다.

[0428] 탈수화 또는 탈수소화 처리로서, 질소 분위기 또는 불활성 기체 분위기하, 또는 감압하에서의 가열 처리에 의해 막 내의 함유 수분을 저감시킨다. 그 후, 산소 공급 처리로서, 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기 하에서 냉각된다. 이렇게 얻어진 산화물 반도체층이 박막 트랜지스터(581)에 이용된다. 따라서, 박막 트랜지스터(581)는 전기적 특성이 안정되고 신뢰성이 높은 박막 트랜지스터이다.

[0429] 도 14의 전자 페이퍼는, 트위스트 볼 표시 방식을 이용한 표시 장치의 예이다. 트위스트 볼 표시 방식은, 각각 백과 흑으로 착색된 구형 입자를 표시 소자에 이용하는 전극층인 제 1 전극층 및 제 2 전극층의 사이에 배치하고, 제 1 전극층 및 제 2 전극층 사이에 전위차를 발생시켜 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.

[0430] 기판(580) 위에 설치된 박막 트랜지스터(581)는 보텀 게이트형 박막 트랜지스터이며, 산화물 반도체층에 접하는 절연막(583)으로 덮어져 있다. 박막 트랜지스터(581)의 소스 전극층 또는 드레인 전극층은 제 1 전극층(587)과, 절연층(585)에 형성되는 개구를 통해 접하고 있어, 박막 트랜지스터(581)가 제 1 전극층(587)에 전기적으로 접속하고 있다. 제 1 전극층(587)과 제 2 전극층(588) 사이에는 구형 입자(589)가 제공된다. 각 구형 입자(589)는 흑색 영역(590a) 및 백색 영역(590b)과, 흑색 영역(590a) 및 백색 영역(590b) 주위에 액체로 채워져 있는 캐비티(594)를 포함한다. 구형 입자(589)의 주위에는 수지와 같은 충전재(595)로 충전되어 있다(도 14 참조). 제 1 전극층(587)은 화소 전극에 대응하고, 제 2 전극층(588)은 공통 전극에 대응한다. 제 2 전극층(588)은, 박막 트랜지스터(581)와 동일 기판 위에 설치되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 이용하여, 한쌍의 기판 간에 배치되는 도전성 입자를 통해서 제 2 전극층(588)이 공통 전위선에 전기적으로 접속될 수 있다.

[0431] 또한, 트위스트 볼 대신에, 전기 영동 소자를 이용하는 것도 가능하다. 투명한 액체와 양으로 대전된 흰 미립자와 마이너스로 대전된 검은 미립자를 봉입한 직경 10μm~200μm의 마이크로 캡슐을 이용한다. 제 1 전극층과 제 2 전극층 사이에 설치되는 마이크로 캡슐은, 제 1 전극층과 제 2 전극층에 의해 전계가 공급되면, 흰 미립자와, 검은 미립자가 역방향으로 이동하여, 백 또는 흑을 표시할 수 있다. 이 원리를 이용한 표시 소자가 전

기 영동 표시 소자이며, 일반적으로 전자 페이퍼라 칭해진다. 전기 영동 표시 소자는, 액정 표시 소자에 비교해서 반사율이 높기 때문에, 보조 라이트는 불필요하고, 소비 전력이 작고, 어두운 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않는 경우에도, 한번 표시한 상을 유지하는 것이 가능하다. 따라서, 전파원으로부터 표시 기능을 갖는 반도체 장치(간단히 표시 장치, 또는 표시 장치를 구비하는 반도체 장치라고 칭함)가 멀리 있는 경우에도, 표시된 상을 저장할 수 있다.

[0432] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 전자 페이퍼를 제작할 수 있다.

[0433] 본 실시형태는, 다른 실시형태에 기재된 구성 중 임의의 것과 적절히 조합해서 실시하는 것이 가능하다.

[0434] (실시형태 16)

[0435] 반도체 장치로서 발광 표시 장치의 예를 나타낸다. 표시 장치에 포함되는 표시 소자로서, 여기에서는 전계발광을 이용하는 발광 소자를 설명한다. 전계발광을 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 의해 분류된다. 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자로 칭해진다.

[0436] 유기 EL 소자에서는, 발광 소자에 전압을 인가하는 것에 의해, 한쌍의 전극으로부터 전자 및 정공이 별도로 발광성 유기 화합물을 포함하는 층에 주입되어, 전류가 흐른다. 캐리어(전자 및 정공)가 재결합하는 것에 의해, 발광성의 유기 화합물이 여기된다. 발광 유기 화합물은 여기 상태에서 기저 상태로 되돌아갈 때에 발광한다. 이러한 메카니즘에 의해, 이러한 발광 소자를 전류 여기형의 발광 소자라 칭한다.

[0437] 무기 EL 소자는, 그 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산되게 한 발광층을 갖고, 그 발광 메카니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층 사이에 끼우고, 또한 전극들 사이에 끼운 구조이며, 그 발광 메카니즘은 금속 이온의 내각 전자 천이를 이용하는 국재형 발광이다. 또한, 여기에서는, 발광 소자로서 유기 EL 소자를 이용하여 설명한다.

[0438] 도 17은, 반도체 장치의 예로서 디지털 시간 계조 구동이 적용 가능한 화소 구성의 일례를 도시한다.

[0439] 디지털 시간 계조 구동이 적용 가능한 화소의 구성 및 화소의 동작에 대해서 설명한다. 여기에서는 산화물 반도체층을 채널 형성 영역에 이용하는 2개의 n채널형 트랜지스터를 1개의 화소에 이용하는 예를 나타낸다.

[0440] 화소(6400)는, 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404) 및 용량 소자(6403)를 갖고 있다. 스위칭용 트랜지스터(6401)의 게이트가 주사선(6406)에 접속되어, 스위칭 트랜지스터(6401)의 제1 전극(소스 전극 및 드레인 전극의 한 쪽)이 신호선(6405)에 접속되고, 스위칭 트랜지스터(6401)의 제2 전극(소스 전극 및 드레인 전극의 다른 쪽)이 구동용 트랜지스터(6402)의 게이트에 접속되어 있다. 구동용 트랜지스터(6402)의 게이트가 용량 소자(6403)를 통해서 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제1 전극이 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제2 전극이 발광 소자(6404)의 제1 전극(화소 전극)에 접속되어 있다. 발광 소자(6404)의 제2 전극은 공통 전극(6408)에 대응한다. 공통 전극(6408)은, 공통 전극(6408)과 동일한 기판 위에 형성되는 공통 전위선과 전기적으로 접속된다.

[0441] 발광 소자(6404)의 제2 전극(공통 전극(6408))에는 저전원 전위가 설정되어 있다. 또한, 저전원 전위는, 전원선(6407)에 설정되는 고전원 전위를 기준으로 하여 저전원 전위 < 고전원 전위를 만족하는 전위이다. 저전원 전위로서는, 예를 들면 GND, OV 등이 채용될 수 있다. 고전원 전위와 저전원 전위 사이의 전위차를 발광 소자(6404)에 인가하고, 발광 소자(6404)에 전류가 공급되어, 발광 소자(6404)를 발광시킨다. 여기에서, 발광 소자(6404)를 발광시키기 위해서, 고전원 전위와 저전원 전위 사이의 전위차가 발광 소자(6404)의 순방향 임계값 전압 이상으로 되도록 각각의 전위를 설정한다.

[0442] 또한, 구동용 트랜지스터(6402)의 게이트 용량이 용량 소자(6403)를 대체하여 이용될 수 있으므로, 용량 소자(6403)를 생략할 수 있다. 구동용 트랜지스터(6402)의 게이트 용량은 채널 영역과 게이트 전극 사이에서 형성될 수 있다.

[0443] 전압 입력 전압 구동 방식의 경우에는, 구동용 트랜지스터(6402)의 게이트에, 구동용 트랜지스터(6402)가 충분히 온 되거나, 오프되는 두개의 상태 중 어느 하나로 되도록 비디오 신호가 입력된다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작시킨다. 구동용 트랜지스터(6402)는 선형 영역에서 동작하므로, 전원선(6407)의 전압보다도 높은 전압을 구동용 트랜지스터(6402)의 게이트에 인가한다. 또한, 신호선(6405)에는, 전원선 전압 + 구동용 트랜지스터(6402)의 V_{th} 이상의 전압을 인가한다.

- [0444] 디지털 시간 계조 구동 대신에, 아날로그 계조 구동을 행할 경우, 신호 입력을 변화시킴으로써, 도 17과 같은 화소 구성을 이용할 수 있다.
- [0445] 아날로그 계조 구동을 행할 경우, 구동용 트랜지스터(6402)의 게이트에 발광 소자(6404)의 순방향 전압 + 구동용 트랜지스터(6402)의 V_{th} 이상의 전압을 인가한다. 발광 소자(6404)의 순방향 전압은, 원하는 휘도가 얻어지는 전압을 가리키고, 적어도 순방향 임계값 전압을 포함한다. 구동용 트랜지스터(6402)가 포화 영역에서 동작할 수 있도록 비디오 신호를 입력하는 것으로, 발광 소자(6404)에 전류를 공급할 수 있다. 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위해서, 전원선(6407)의 전위는, 구동용 트랜지스터(6402)의 게이트 전위보다도 높게 설정된다. 아날로그 비디오 신호를 이용하면, 발광 소자(6404)에 비디오 신호에 따른 전류를 공급하고, 아날로그 계조 구동을 행할 수 있다.
- [0446] 또한, 도 17에 나타내는 화소 구성은 이에 한정되지 않는다. 예를 들면, 도 17에 나타내는 화소에 스위치, 저항 소자, 용량 소자, 트랜지스터, 논리 회로 등을 추가할 수 있다.
- [0447] 다음으로, 발광 소자의 구성에 대해서, 도 18a 내지 도 18c를 참조하여 설명한다. 여기에서는, n채널 구동용 TFT를 예로 들어, 화소의 단면 구조에 대해서 설명한다. 도 18a 내지 도 18c에 나타낸 반도체 장치에 이용되는 구동용 TFT(7001, 7011, 7021)는, 실시형태 1에서 나타낸 박막 트랜지스터와 마찬가지로 제작될 수 있다. 대안적으로, 실시형태 2 내지 실시형태 4에서 나타낸 박막 트랜지스터 중 임의의 것을 TFT(7001, 7011, 7021)로서 채용할 수도 있다.
- [0448] 탈수화 또는 탈수소화 처리로서, 질소 분위기, 또는 불활성 기체 분위기하, 또는 감압하에서의 가열 처리에 의해 막 내의 함유 수분을 저감시킨다. 그 후, 산소 공급 처리로서, 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기 하에서 냉각된다. 이렇게 얻어진 산화물 반도체층을 TFT(7001, 7011, 7021)로서 이용한다. 따라서, TFT(7001, 7011, 7021)는 전기적 특성이 안정되고 신뢰성이 높은 박막 트랜지스터이다.
- [0449] 발광 소자의 발광을 취출하기 위해서 적어도 애노드 및 캐소드의 한 쪽이 투명할 필요가 있다. 기판 위에 박막 트랜지스터 및 발광 소자를 형성한다. 발광 소자는, 기판과는 반대측의 면을 통해 발광을 취출하는 상면 사출 구조, 기판측의 면을 통해 발광을 취출하는 하면 사출 구조, 또는 기판측 및 기판과는 반대측의 면을 통해 발광을 취출하는 양면 사출 구조를 가질 수 있다. 화소 구성은 어느 사출 구조의 발광 소자에도 적용할 수 있다.
- [0450] 상면 사출 구조를 갖는 발광 소자에 대해서 도 18a를 참조하여 설명한다.
- [0451] 도 18a에는, 구동용 TFT인 TFT(7001)가 n채널형이고, 발광 소자(7002)로부터 애노드(7005)측으로 광이 발광되는 경우의, 화소의 단면도를 나타낸다. 도 18a에서는, 발광 소자(7002)의 캐소드(7003)가 구동용 TFT(7001)에 전기적으로 접속되어 있고, 캐소드(7003) 위에 발광층(7004)과 애노드(7005)가 순서대로 적층되어 있다. 캐소드(7003)가 일함수가 작고, 광을 반사하는 도전막이면 다양한 도전성 재료를 이용하여 형성될 수 있다. 예를 들면, Ca, Al, MgAg, AlLi 등이 바람직하게 이용된다. 발광층(7004)은, 단수의 층으로 형성될 수도 있고, 복수의 층으로 형성될 수도 있다. 발광층(7004)이 복수의 층으로 형성되어 있을 경우, 캐소드(7003) 위에 전자 주입층, 전자 수송층, 발광층, 흘 수송층, 흘 주입층이 순서대로 적층됨으로써 발광층(7004)이 형성된다. 이들 층을 모두 형성할 필요는 없다. 애노드(7005)는 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라 칭함), 인듐아연산화물, 산화규소를 첨가한 인듐주석산화물과 같은 투광성을 갖는 도전성 재료를 이용해서 형성된다.
- [0452] 캐소드(7003) 및 애노드(7005) 사이에 발광층(7004)을 끼우고 있는 영역에 발광 소자(7002)가 대응한다. 도 18a에 도시한 화소의 경우, 발광 소자(7002)로부터 발광된 광은, 화살표로 나타낸 바와 같이 애노드(7005)측으로 향한다.
- [0453] 다음으로, 하면 사출 구조의 발광 소자에 대해서 도 18b를 참조하여 설명한다. 도 18b는 구동용 TFT(7011)가 n채널형이고, 광이 발광 소자(7012)로부터 캐소드(70013)측으로 발광되는 경우의, 화소의 단면도이다. 도 18b에서는, 구동용 TFT(7011)와 전기적으로 접속된 투광성의 도전막(7017) 위에, 발광 소자(7012)의 캐소드(7013)가 형성되고, 캐소드(7013) 위에 발광층(7014) 및 애노드(7015)가 이 순서대로 적층되어 있다. 애노드(7015)가 투광성을 가질 경우, 애노드를 페복하도록, 광을 반사 또는 차폐하기 위한 차광막(7016)이 형성될 수 있다. 도 18a의 경우에서와 같이, 캐소드(7013)가 일함수가 작은 도전성 재료를 이용하여 형성되면, 다양

한 재료가 음극(7013)에 대해 이용될 수 있다. 캐소드(7013)는 광을 투과시킬 수 있는 두께(바람직하게는, 5nm?30nm 정도)를 갖도록 형성된다. 예를 들면, 20nm 두께의 알루미늄막을 캐소드(7013)로서 이용할 수 있다. 도 18a와 마찬가지로, 발광층(7014)은, 단수의 층으로 구성될 수도 있고, 복수의 층으로 적층되어 구성될 수도 있다. 애노드(7015)는 광을 투과시킬 필요는 없지만, 도 18a의 경우와 마찬가지로, 투광성을 갖는 도전성 재료를 이용해서 형성할 수 있다. 차광막(7016)은, 예를 들면 광을 반사하는 금속 등을 이용할 수 있지만, 금 속막에 한정되지는 않는다. 예를 들면, 흑의 안료를 첨가한 수지 등을 이용할 수도 있다.

[0454] 캐소드(7013) 및 애노드(7015) 사이에 발광층(7014)을 끼우고 있는 영역에, 발광 소자(7012)가 대응한다. 도 18b에 도시한 화소의 경우, 광이 발광 소자(7012)로부터 화살표로 나타낸 바와 같이 캐소드(7013)측으로 발광된다.

[0455] 다음으로, 듀얼 발광 구조의 발광 소자에 대해서, 도 18c를 참조하여 설명한다. 도 18c에서는, 구동용 TFT(7021)와 전기적으로 접속된 투광성을 갖는 도전막(7027) 위에, 발광 소자(7022)의 캐소드(7023)가 성막되고, 캐소드(7023) 위에 발광층(7024) 및 애노드(7025)가 이 순서대로 적층되어 있다. 캐소드(7023)는, 도 18a의 경우와 마찬가지로, 캐소드(7023)가 일함수가 작은 도전성 재료이면 다양한 재료를 이용할 수 있다. 캐소드(7023)는 광을 투과시킬 수 있는 두께를 갖도록 형성된다. 예를 들면, 20nm의 두께를 갖는 알루미늄막을 캐소드(7023)로서 이용할 수 있다. 또한, 발광층(7024)은, 도 18a의 경우와 마찬가지로, 단수의 층으로 구성될 수도 있고, 복수의 층이 적층되도록 구성될 수도 있다. 애노드(7025)는, 도 18a의 경우와 마찬가지로, 투광성을 갖는 도전성 재료를 이용해서 형성할 수 있다.

[0456] 캐소드(7023)와, 발광층(7024)과, 애노드(7025)가 서로 겹치고 있는 영역에, 발광 소자(7022)가 대응한다. 도 18c에 도시한 화소의 경우, 광이 발광 소자(7022)로부터 화살표로 나타낸 바와 같이 애노드(7025)측과 캐소드(7023)측 모두로 발광된다.

[0457] 또한, 여기에서는, 발광 소자로서 유기 EL 소자에 대해서 설명했지만, 발광 소자로서 무기 EL 소자를 설치하는 것도 가능하다.

[0458] 또한, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광 소자가 접속되어 있는 예를 나타냈지만, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되어 있는 구성을 채용할 수도 있다.

[0459] 또한, 반도체 장치의 구성은, 도 18에 나타낸 구성에 한정되는 것이 아니라, 본 명세서에 개시하는 기술에 기초하는 다양하게 변형될 수 있다.

[0460] 다음으로, 발광 표시 패널(발광 패널이라고도 칭함)의 외관 및 단면에 대해서, 도 16a 및 도 16b를 참조하여 설명한다. 도 16a는, 제 1 기판 위에 형성된 박막 트랜지스터 및 발광 소자를, 제 1 기판과 제 2 기판 사이에서 셀재에 의해 밀봉한 패널의 평면도이다. 도 16b는 도 16a의 H-I선에 따른 단면도이다.

[0461] 제 1 기판(4501) 위에 설치된 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록 하고, 셀재(4505)가 설치되어 있다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b) 위에 제 2 기판(4506)이 설치되어 있다. 따라서, 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는 제 1 기판(4501)과 셀재(4505)와 제 2 기판(4506)에 의해, 충전재(4507)와 함께 밀봉되어 있다. 이렇게, 패널이 외부 대기에 노출되지 않도록, 기밀성이 높고, 탈가스가 적은 보호 필름(접합 필름, 또는 자외선 경화 수지 필름과 같음) 또는 커버재로 패널을 패키징(봉입)하는 것이 바람직하다.

[0462] 제 1 기판(4501) 위에 설치된 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는 각각 박막 트랜지스터를 복수개 갖고 있어, 도 16b의 예에서는, 화소부(4502)에 포함되는 박막 트랜지스터(4510)와, 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시하고 있다.

[0463] 박막 트랜지스터(4509, 4510)로서, 실시형태 1 내지 실시형태 10 중 어느 하나의 박막 트랜지스터를 적절히 이용할 수 있고, 실시형태 1 내지 실시형태 10의 박막 트랜지스터와 마찬가지인 공정 및 재료를 이용하여 형성할 수 있다. 탈수화 또는 탈수소화 처리로서, 질소 분위기하, 또는 불활성 기체 분위기하, 또는 감압하에서의 가열 처리에 의해 막 내의 함유 수분을 저감시킨다. 그 후, 산소 공급 처리로서, 산소 분위기, 산소 및 질소 분위기, 또는 대기(바람직하게는 노점 -40°C 이하, 보다 바람직하게는 -50°C 이하의 노점을 가짐) 분위기 하에서 냉각된다. 이렇게 얻어진 산화물 반도체막을 박막 트랜지스터(4509, 4510)에 이용한다. 따라서, 박막 트랜지스터(4509, 4510)는 전기적 특성이 안정되고 신뢰성이 높은 박막 트랜지스터이다.

[0464] 또한, 구동 회로용의 박막 트랜지스터(4509)는, 박막 트랜지스터의 산화물 반도체층의 채널 형성 영역과 겹치

는 위치에 도전층을 설치한 구조를 갖는다. 본 실시형태에 있어서, 박막 트랜지스터(4509, 4510)는 n채널형 박막 트랜지스터이다.

[0465] 구동 회로용의 박막 트랜지스터(4509)의 산화물 반도체층의 채널 형성 영역과 겹치도록 절연층(4542) 위에 도전층(4540)이 설치되어 있다. 산화물 반도체층의 채널 형성 영역과 겹치도록 도전층(4540)을 설치함으로써, BT 시험 전후 사이에 있어서 박막 트랜지스터(4509)의 임계값 전압의 변화량을 저감시킬 수 있다. 또한, 도전층(4540)의 전위는 박막 트랜지스터(4509)의 게이트 전극층의 전위와 같을 수도 있고, 상이할 수도 있다. 도전층(4540)은 제 2 게이트 전극층으로서 기능할 수도 있다. 대안적으로, 도전층(4540)의 전위가 GND 또는 0V 일 수 있고, 도전층(4540)이 플로팅 상태일 수도 있다.

[0466] 또한, 도전층(4540)은 외부의 전계를 차폐하도록 기능(특히 정전기 차폐)하여, 외부의 전계가 내부(박막 트랜지스터를 포함하는 회로부)에 영향을 주지 않도록 한다. 도전층(4540)의 차폐 기능에 의해, 정전기와 같은 외부의 전계의 영향에 의해 박막 트랜지스터의 전기적인 특성이 변동하는 것을 방지할 수 있다.

[0467] 또한, 박막 트랜지스터(4510)의 산화물 반도체층을 덮도록 절연층(4542)이 형성되어 있다. 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층은 박막 트랜지스터 위에 설치된 절연층(4542) 및 절연층(4551)에 형성된 개구에 있어서 배선층(4550)과 전기적으로 접속되어 있다. 배선층(4550)은 제 1 전극(4517)에 접해서 형성되고, 박막 트랜지스터(4510)는 제 1 전극(4517)에 배선층(4550)을 통해 전기적으로 접속되어 있다.

[0468] 절연층(4542)은, 실시형태 1에서 나타낸 절연층(407)과 마찬가지인 재료 및 방법으로 형성할 수 있다.

[0469] 발광 소자(4511)의 발광 영역과 중첩되도록 컬러 필터층(4545)이 절연층(4551) 위에 형성된다.

[0470] 또한, 컬러 필터층(4545)의 표면 요철을 저감시키기 위해서, 평탄화 절연막으로서 기능하는 오버코트층(4543)으로 컬러 필터층(4545)이 덮인다.

[0471] 또한, 오버코트층(4543) 위에 절연층(4544)이 형성되어 있다. 절연층(4544)은, 실시형태 1에서 나타낸 보호 절연층(499)과 마찬가지로 형성할 수 있고, 예를 들면 질화실리콘막을 스퍼터링법으로 형성할 수 있다.

[0472] 참조부호 4511은 발광 소자를 나타내고, 발광 소자(4511)에 포함된 화소 전극인 제 1 전극(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층과 배선층(4550)을 통해서 전기적으로 접속되어 있다. 또한, 발광 소자(4511)는 제 1 전극(4517), 전계 발광층(4512), 제 2 전극(4513)의 적층 구조에 한정되지 않는다. 발광 소자(4511)로부터 광이 취출되는 방향 등에 따라, 발광 소자(4511)의 구성은 적절히 변경될 수 있다.

[0473] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용해서 형성한다. 특히, 감광성의 재료를 이용하여, 제 1 전극(4517) 위에 개구부를 갖도록 격벽(4520)을 형성하여, 개구부의 측벽이 연속한 곡률을 갖는 경사면이 되도록 형성하는 것이 바람직하다.

[0474] 전계발광층(4512)은, 단수의 층으로 구성될 수도 있고, 복수의 층으로 적층되어 구성될 수도 있다.

[0475] 발광 소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하는 것을 방지하도록, 제 2 전극(4513) 및 격벽(4520) 위에 보호막을 형성할 수 있다. 보호막으로서는, 질화실리콘막, 질화산화실리콘막, DLC막 등을 형성할 수 있다.

[0476] 또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b), 또는 화소부(4502)에, FPC(4518a, 4518b)로부터 각종 신호 및 전위가 공급된다.

[0477] 접속 단자 전극(4515)은, 발광 소자(4511)에 포함된 제 1전극(4517)과 같은 도전막을 이용하여 형성되고, 단자 전극(4516)은, 박막 트랜지스터(4509)의 소스 전극층 및 드레인 전극층과 같은 도전막을 이용하여 형성된다.

[0478] 접속 단자 전극(4515)은, FPC(4518a)에 포함된 단자와, 이방성 도전막(4519)을 통해서 전기적으로 접속되어 있다.

[0479] 발광 소자(4511)로부터의 광의 취출되는 방향에 위치하는 경우에, 제 1 기판(4501) 및 제 2 기판(4506)은 투광성을 가질 필요가 있다. 그 경우에는, 글래스판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성 재료가 제 1 기판(4501) 및 제 2 기판(4506)에 이용된다.

[0480] 충전재(4507)로서는 질소나 아르곤과 같은 불활성 가스 외에, 자외선 경화 수지 또는 열경화 수지를 이용할 수 있다. 예를 들면, PVC(폴리비닐 클로라이드), 아크릴, 폴리아미드, 에폭시 수지, 실리콘 수지, PVB(폴리비-

닐 부티랄) 또는 EVA(에틸렌 비닐 아세테이트)를 이용할 수 있다. 예를 들면, 충전재로서 질소를 이용할 수 있다.

[0481] 또한, 필요에 따라, 발광 소자의 발광면에 편광판, 원 편광판(타원 편광판을 포함), 위상차판($\lambda/4$ 판, $\lambda/2$ 판)과 같은 광학 필름을 적절히 설치할 수 있다. 또한, 편광판 또는 원 편광판에 반사 방지막을 설치할 수 있다. 예를 들면, 표면의 요철에 의해 반사광을 확산하여 눈부심을 감소시킬 수 있는 안티글레어 처리를 실시할 수 있다.

[0482] 켈재는, 스크린 인쇄법, 잉크젯 장치 또는 디스펜스 장치를 이용해서 형성할 수 있다. 켈재로서는, 대표적으로 가시광 경화성 수지, 자외선 경화성 수지 또는 열경화성의 수지를 포함하는 재료를 이용할 수 있다. 또한, 충전재가 포함될 수 있다.

[0483] 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성된 구동 회로로서 실장될 수도 있다. 대안적으로, 신호선 구동 회로, 또는 그 일부, 또는 주사선 구동 회로, 또는 그 일부만을 별도로 형성해서 실장할 수도 있다. 본 실시형태는 도 16a 및 도 16b에 나타낸 구성에 한정되지 않는다.

[0484] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 발광 표시 장치(표시 패널)를 제작할 수 있다.

[0485] 본 실시형태는, 다른 실시형태에 기재된 임의의 구성과 적절히 조합해서 실시하는 것이 가능하다.

[0486] (실시형태 17)

[0487] 본 명세서에 개시되는 반도체 장치는, 전자 페이퍼에 적용될 수 있다. 전자 페이퍼는, 데이터를 표시하는 것 이면 다양한 분야의 전자 기기에 이용하는 것이 가능하다. 예를 들면, 전자 페이퍼는 전자 서적(전자 북), 포스터, 기차와 같은 차량의 광고, 신용 카드와 같은 각종 카드에 있어서의 표시에 적용될 수 있다. 전자 기기의 일례를 도 26 및 도 27에 도시한다.

[0488] 도 26은, 전자 페이퍼를 이용하여 형성된 포스터(2631)를 나타내고 있다. 광고 매체가 인쇄 용지인 경우에는, 광고가 수작업으로 교체되지만, 본 명세서에 개시되는 전자 페이퍼를 이용하면 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 결함 없이 안정된 화상을 얻을 수 있다. 또한, 포스터는 무선으로 데이터를 송신 및 수신할 수 있다.

[0489] 도 27은, 전자 서적의 일례인 전자 서적(2700)을 나타내고 있다. 예를 들면, 전자 서적(2700)은, 2개의 하우징, 즉 하우징(2701) 및 하우징(2703)을 포함한다. 하우징(2701) 및 하우징(2703)은 축부(hinge)(2711)에 의해 결합되어, 전자 서적(2700)이 축부(2711)를 축으로서 개폐될 수 있다. 이러한 구성에 의해, 전자 서적(2700)은 종이 서적과 같이 동작할 수 있다.

[0490] 하우징(2701) 및 하우징(2703)에는 각각 표시부(2705) 및 표시부(2707)가 내장된다. 표시부(2705) 및 표시부(2707)는 하나의 화상 또는 다른 화상들을 표시할 수 있다. 표시부(2705) 및 표시부(2707)가 다른 화상을 표시하는 경우에, 예를 들면, 우측의 표시부(도 27에서는 표시부(2705))는 텍스트를 표시할 수 있고, 좌측의 표시부(도 27에서는 표시부(2707))는 그래픽을 표시할 수 있다.

[0491] 도 27에서는, 하우징(2701)에 조작부 등이 구비된 예를 나타내고 있다. 예를 들면, 하우징(2701)에는, 전원 스위치(2721), 조작 키(2723), 스파커(2725) 등이 구비된다. 조작 키(2723)에 의해 페이지를 넘길 수 있다. 또한, 키보드, 포인팅 디바이스 등이 표시부가 설치되는 하우징의 면에 설치될 수도 있다. 또한, 하우징의 이면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자, AC 어댑터 및 USB 케이블 등과 같은 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비할 수 있다. 또한, 전자 서적 리더(2700)는 전자 사전의 기능을 가질 수도 있다.

[0492] 전자 서적 리더(2700)는 무선으로 데이터를 송수신할 수 있다. 무선 통신에 의해, 전자 서적 서버로부터, 원하는 서적 데이터 등을 구입하거나 다운로드할 수 있다.

[0493] (실시형태 18)

[0494] 본 명세서에 개시되는 반도체 장치는, 다양한 전자 기기(게임 머신 포함)에 적용할 수 있다. 전자 기기로서는, 예를 들면, 텔레비전 셋(텔레비전 또는 텔레비전 수신기라고도 칭함), 컴퓨터 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라와 같은 카메라, 디지털 포토 프레임, 휴대 전화 핸드셋(휴대 전화, 또는 휴대 전화 장치라고도 칭함), 휴대형 게임 콘솔, 휴대 정보 단말기, 음향 재생 장치, 빠찡꼬 머신과 같은

대형 게임 머신 등을 들 수 있다.

[0495] 도 28a는 텔레비전 셋의 일례를 나타내고 있다. 텔레비전 셋(9600)에서, 하우징(9601)에 표시부(9603)가 내장된다. 표시부(9603)는 화상을 표시할 수 있다. 여기에서는, 스탠드(9605)에 의해 하우징(9601)이 지지된다.

[0496] 텔레비전 셋(9600)은, 하우징(9601)의 조작 스위치나, 별도의 원격 제어기(9610)로 조작될 수 있다. 원격 제어기(9610)의 조작 키(9609)에 의해, 채널 및 볼륨이 제어될 수 있어, 표시부(9603)에 표시되는 화상이 제어될 수 있다. 또한, 원격 제어기(9610)에는, 원격 제어기(9610)로부터 출력되는 데이터를 표시하기 위한 표시부(9607)가 설치될 수 있다.

[0497] 또한, 텔레비전 셋(9600)에는, 수신기, 모뎀 등이 설치된다. 수신기의 사용으로, 일반의 텔레비전 방송을 수신할 수 있다. 또한, 모뎀을 통해서 유선 또는 무선으로 텔레비전 셋(9600)이 통신 네트워크에 접속될 때, 한방향(송신자에게서 수신자) 또는 쌍방향(송신자와 수신자간 또는 수신자간) 정보 통신을 수행할 수 있다.

[0498] 도 28b는, 디지털 포토 프레임의 일례를 나타내고 있다. 예를 들면, 디지털 포토 프레임(9700)에서, 하우징(9701)에 표시부(9703)가 내장된다. 표시부(9703)는 각종 화상을 표시할 수 있다. 예를 들면, 표시부(9703)는 디지털 카메라 등으로 촬영한 화상 데이터를 표시할 수 있고, 통상적인 포토 프레임으로서 기능할 수 있다.

[0499] 또한, 디지털 포토 프레임(9700)에는, 조작부, 외부 접속용 단자(USB 단자, USB 케이블과 같은 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등이 구비된다. 이를 부품은 표시부가 설치되는 표면 상에 설치될 수 있지만, 디지털 포토 프레임(9700)의 디자인을 위해 측면이나 이면에 구비되는 것이 바람직하다. 예를 들면, 디지털 포토 프레임의 기록 매체 삽입부에, 디지털 카메라로 촬영한 화상 데이터를 기억한 메모리가 삽입되어 화상 데이터가 전달될 수 있고, 그 후 표시부(9703)에 표시될 수 있다.

[0500] 디지털 포토 프레임(9700)은, 무선으로 데이터를 송수신할 수 있는 구성으로 할 수도 있다. 무선으로 원하는 화상 데이터를 전달받아 표시하는 구성을 채용할 수도 있다.

[0501] 도 29a는 휴대형 게임 머신이며, 하우징(9881)과 하우징(9891)의 2개의 하우징을 포함하며, 연결부(9893)에 의해, 휴대형 게임 머신이 개폐 가능하게 연결되어 있다. 표시부(9882) 및 표시부(9883)는 하우징(9881)과 하우징(9891)에 각각 내장되어 있다. 또한, 도 29a에 도시하는 휴대형 게임 머신에는, 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전계, 전류, 전압, 전력, 방사선, 유량, 습도, 기울기, 진동, 냄새나 적외선을 측정하는 기능을 포함), 및 마이크로폰(9889)) 등을 구비하고 있다. 물론, 휴대형 게임 머신 구성은 전술한 것에 한정되지 않고, 적어도 본 명세서에 개시되는 반도체 장치를 구비한 구성이 채용될 수 있다. 휴대용 게임 머신은 다른 부속 설비를 적절히 포함할 수 있다. 도 29a에 도시하는 휴대형 게임 머신은 기록 매체에 저장된 프로그램 또는 데이터를 읽어내서 표시부에 이를 표시하는 기능과, 다른 휴대형 게임 머신과 무선 통신을 행해서 정보를 서로 공유하는 기능을 갖는다. 또한, 도 29a에 도시하는 휴대형 게임 머신의 기능은 상술한 것에 한정되지 않고, 휴대용 게임 머신은 다양한 기능을 가질 수 있다.

[0502] 도 29b는 대형 게임 머신인 슬롯 머신의 일례를 나타내고 있다. 슬롯 머신(9900)에서, 하우징(9901)에 표시부(9903)가 내장된다. 또한, 슬롯 머신(9900)은, 스타트 레버나 스탶 스위치와 같은 조작 수단, 코인 투입구, 스피커 등을 구비하고 있다. 물론, 슬롯 머신(9900)의 구성은 전술한 것에 한정되지 않고, 적어도 본 명세서에 개시되는 반도체 장치를 구비한 구성이 채용될 수 있다. 슬롯 머신(9900)은 다른 부속 설비를 적절히 포함할 수 있다.

[0503] 도 30a는 휴대형의 컴퓨터의 일례를 나타내는 사시도이다.

[0504] 도 30a의 휴대형의 컴퓨터에서, 상부 하우징(9301)과 하부 하우징(9302)을 접속하는 축부 수단을 폐쇄 상태로서 표시부(9303)를 갖는 상부 하우징(9301)과, 키보드(9304)를 갖는 하부 하우징(9302)이 서로 겹칠 수 있다. 따라서, 도 30a에 나타낸 휴대용 컴퓨터는 편리하게 운반된다. 또한, 데이터를 입력하기 위해 키보드를 사용하는 경우에는, 축부 수단이 개방되어, 사용자가 표시부(9303)를 보고 데이터를 입력할 수 있다.

[0505] 하부 하우징(9302)은 키보드(9304) 이외에 입력이 수행될 수 있는 포인팅 디바이스(9306)를 갖는다. 또한, 표시부(9303)가 터치 입력 패널이면, 표시부의 일부에 접촉하는 것으로 입력을 행할 수 있다. 하부 하우징(9302)은 CPU나 하드 디스크와 같은 연산 기능부를 갖고 있다. 또한, 하부 하우징(9302)은 다른 장치가 USB의 통신 규격에 준거한 통신 케이블이 삽입되는 외부 접속 포트(9305)를 갖는다.

- [0506] 상부 하우징(9301)은 추가적으로 상부 하우징(9301) 내부에 슬라이드시켜 저장가능한 표시부(9307)를 갖는다. 따라서, 넓은 표시 화면을 실현할 수 있다. 또한, 저장가능한 표시부(9307)의 화면의 방향을 사용자가 조절할 수 있다. 저장가능한 표시부(9307)가 터치 입력 패널인 경우, 저장가능한 표시부의 일부에 접촉하는 것으로 입력을 행할 수 있다.
- [0507] 표시부(9303) 또는 저장가능한 표시부(9307)는, 액정 표시 패널, 유기 발광 소자 또는 무기 발광 소자를 이용한 발광 표시 패널 등의 영상 표시 장치를 이용하여 구성된다.
- [0508] 또한, 도 30a의 휴대형의 컴퓨터는, 수신기 등을 구비할 수 있어, 텔레비전 방송을 수신해서 화상을 표시부에 표시할 수 있다. 상부 하우징(9301)과 하부 하우징(9302)을 접속하는 축부 수단을 폐쇄 상태로 한 채, 표시부(9307)를 슬라이드시켜 화면 전체면을 노출시켜, 그 각도를 조절해서 사용자가 텔레비전 방송을 볼 수 있다. 이 경우에는, 축부 수단이 개방되지 않고, 표시부(9303)에 표시가 수행되지 않는다. 또한, 텔레비전 방송을 표시하기 위한 회로의 기동만이 행해진다. 따라서, 전력이 최소한으로 소비될 수 있으며, 이는 배터리 용량이 한정되어 있는 휴대형 컴퓨터에 있어서 유용하다.
- [0509] 도 30b는, 손목 시계와 같이 사용자가 손목에 장착가능한 휴대 전화의 일례를 나타내는 사지도이다.
- [0510] 이 휴대 전화는, 적어도 전화 기능을 갖는 통신 장치 및 배터리를 갖는 본체, 본체를 손목에 장착하기 위한 밴드부, 손목에 대해 밴드부를 맞도록 조절하는 조절부(9205), 표시부(9201), 스피커(9207) 및 마이크(9208)로 구성되어 있다.
- [0511] 또한, 본체는 조작 스위치(9203)를 갖는다. 조작 스위치(9203)는 전원 입력 스위치나, 표시 전환 스위치나, 활상 개시 지시 스위치 등 외에 예를 들면 스위치를 누르면 인터넷용의 프로그램이 기동되는 버튼으로서의 역할을 하고, 각 기능에 대응되도록 이용될 수 있다.
- [0512] 사용자는, 표시부(9201)에 손가락이나 입력 펜 등으로 접촉하는 것, 조작 스위치(9203)의 조작, 또는 마이크(9208)로의 음성 입력에 의해 휴대 전화에 데이터를 입력할 수 있다. 또한, 도 30b에서는, 표시부(9201)에 표시된 표시 버튼(9202)을 도시하고 있다. 손가락 등으로 표시 버튼(9202)에 접촉하는 것에 의해 입력을 행할 수 있다.
- [0513] 또한, 본체는, 카메라 렌즈를 통해 형성되는 피사체의 화상을 전자 화상 신호로 변환하는 기능을 갖는 활상 수단을 갖는 카메라부(9206)를 갖는다. 또한, 카메라부는 반드시 설치되지는 않는다.
- [0514] 도 30b에 도시하는 휴대 전화에는, 텔레비전 방송의 수신기 등이 구비되고, 텔레비전 방송을 수신해서 화상을 표시부(9201)에 표시할 수 있다. 또한, 도 30b에 도시한 휴대 전화에는, 메모리와 같은 메모리 장치 등이 구비되고, 텔레비전 방송을 메모리에 녹화할 수 있다. 도 30b에 도시하는 휴대 전화는, GPS와 같은 위치 정보를 수집하는 기능을 가질 수 있다.
- [0515] 표시부(9201)로서는, 액정 표시 패널, 유기 발광 소자 또는 무기 발광 소자를 이용한 발광 표시 패널 등의 화상 표시 장치를 이용한다. 도 30b에 도시하는 휴대 전화는, 소형이고 경량이므로 배터리 용량이 한정되어 있다. 따라서, 표시부(9201)에 이용하는 표시 장치로서 저소비 전력으로 구동할 수 있는 패널을 이용하는 것이 바람직하다.
- [0516] 또한, 도 30b에서는 "손목"에 장착하는 전자 기기를 도시했지만, 본 실시형태는, 휴대할 수 있는 형상을 채용하는 한 이에 한정되지 않는다.
- [0517] (실시예 1)
- [0518] 본 실시예에서는, 본 발명의 일 실시형태인 박막 트랜지스터를 제작하고, 그 특성을 평가한 결과를 나타낸다.
- [0519] 본 실시예의 박막 트랜지스터의 제작 방법을 설명한다. 글래스 기판 위에 하지막으로서, CVD법에 의해 두께 150nm의 산화질화실리콘막을 형성한다. 산화질화실리콘막 위에 게이트 전극층으로서 스퍼터링법에 의해 두께 150nm의 텅스텐막을 형성한다. 게이트 전극층 위에 게이트 절연층으로서 CVD법에 의해 두께 100nm의 산화질화 실리콘막을 형성한다.
- [0520] 게이트 절연층 위에, In-Ga-Zn-O계의 산화물 반도체 성막용 타깃($In_2O_3:Ga_2O_3:ZnO=1:1:1$ [몰비], $In:Ga:Zn=1:1:0.5$ [원자비])을 이용하여, 기판과 타깃 사이의 거리를 60mm, 압력을 0.4Pa, RF 전원을 0.5kW로 하고, 아르곤 및 산소(아르곤:산소=30sccm:15sccm) 분위기하에서 두께 50nm의 반도체막을 성막한다. 에칭을 행해서 섬 형상의 반도체층을 형성한다.

- [0521] 반도체층의 온도를 질소 분위기하에서, 1시간 30분 승온하고, 450°C로 1시간 가열한다. 그 후, 대기 분위기하에서 냉각을 수행한다.
- [0522] 반도체층 위에 소스 전극층 및 드레인 전극층으로서 티타늄막(두께 50nm), 알루미늄막(두께 200nm) 및 티타늄막(두께 50nm)이 스퍼터링법에 의해 적층된다.
- [0523] 반도체층, 소스 전극층 및 드레인 전극층 위에, 기판과 타깃 사이의 거리를 60mm, 압력이 0.4Pa, RF 전원이 1.5kW인 조건 하에서, 아르곤 및 산소(아르곤:산소=40sccm:10sccm) 분위기하에서 두께 300nm의 산화실리콘막을 절연층으로서 성막한다.
- [0524] 다음으로, 질소 분위기하에서, 250°C로 1시간 가열한다.
- [0525] 이상의 공정을 통해, 본 실시예의 박막 트랜지스터를 형성했다. 또한, 박막 트랜지스터에 포함된 반도체층의 채널 길이(L)는 3μm이고, 채널폭(W)은 50μm이다.
- [0526] 박막 트랜지스터의 신뢰성을 조사하기 위한 방법으로, 바이어스-열 스트레스 시험(이하, BT 시험이라고 칭함)이 있다. BT 시험은 가속 시험의 일종이며, 장기간 사용에 의해 일어나는 박막 트랜지스터의 특성 변화를, 이 방법에 의해 단시간에 평가할 수 있다. 특히, BT 시험 전후 사이에 있어서의 박막 트랜지스터의 임계값 전압의 변화량은, 신뢰성을 조사하기 위한 중요한 지표이다. BT 시험 전후 사이에 있어서, 임계값 전압의 차이가 적을수록, 박막 트랜지스터가 높은 신뢰성을 갖는다.
- [0527] 구체적으로는, 박막 트랜지스터가 형성되어 있는 기판의 온도(기판 온도)를 일정한 값으로 유지하고, 박막 트랜지스터의 소스 및 드레인을 동일 전위로 설정해서 박막 트랜지스터의 게이트에 소스 및 드레인과는 다른 전위를 일정 기간 인가한다. 기판 온도는 시험 목적에 따라 적절히 결정될 수 있다. 게이트에 인가되는 전위가 소스 및 드레인의 전위보다도 높을 경우의 BT 시험을 +BT 시험이라고 하고, 게이트에 인가되는 전위가 소스 및 드레인의 전위보다도 낮을 경우의 BT 시험을 -BT 시험이라고 한다.
- [0528] BT 시험의 시험 강도는, 기판 온도, 게이트 절연막에 가해지는 전계 강도, 및 전계 인가 시간에 따라 결정될 수 있다. 게이트 절연막에 가해지는 전계 강도는, 게이트와, 소스 및 드레인의 전위차를 게이트 절연막의 두께로 나누어서 얻어지는 값에 따라 결정된다. 예를 들면, 두께가 100nm인 게이트 절연막에 인가되는 전계 강도가 2MV/cm이면, 전위차는 20V로 설정된다.
- [0529] 본 실시예의 박막 트랜지스터의 BT 시험 결과를 설명한다.
- [0530] 또한, 전압은 2점의 전위 사이의 차를 말하며, 전위는 소정의 한 점에 있어서의 정전장 중에 있는 단위 전하의 정전 에너지(전기적인 위치 에너지)를 말한다. 또한, 일반적으로, 한 점의 전위와 기준 전위(예를 들면, 접지 전위) 사이의 차이를 간단히 전위 또는 전압이라 칭하고, 전위와 전압이 동의어로서 사용될 때가 많다. 이 때문에, 본 명세서에서는, 특히 지정하지 않으면, 전위를 전압이라 고쳐 읽을 수도 있고, 전압을 전위라고 쳐 읽을 수도 있다.
- [0531] BT 시험에서, 기판 온도를 150°C, 게이트 절연막에 인가되는 전계 강도를 2MV/cm, 인가 시간을 1시간으로 한 조건에서 -BT 시험을 행하였다.
- [0532] 우선, -BT 시험에 대해서 설명한다. BT 시험 대상으로 되는 박막 트랜지스터의 초기 특성을 측정하기 위해서, 기판 온도를 40°C로 하고 소스와 드레인간 전압(이하, 드레인 전압(V_d))을 1V와 10V로 하고 소스와 게이트간 전압(이하, 게이트 전압)을 -20V?+20V 범위로 변화시키는 조건에서의 소스-드레인 전류(이하, 드레인 전류(I_d)라 칭함)의 변화 특성을 측정하였다. 즉, V_g - I_d 특성을 측정했다. 하지만, 특별한 문제가 없으면, 실온(25°C)에서 측정할 수도 있다.
- [0533] 다음으로, 기판 온도를 150°C까지 상승시킨 후, 박막 트랜지스터의 소스 및 드레인의 전위를 0V로 설정했다. 다음에, 게이트 절연막에 인가되는 전계 강도가 2MV/cm로 되도록 전압을 인가했다. 박막 트랜지스터의 게이트 절연층의 두께가 100nm이기 때문에, 게이트에 인가되는 전압 -20V를 1시간동안 인가했다. 전압 인가 시간을 1시간으로 했지만, 목적에 따라 적절히 시간을 결정할 수 있다.
- [0534] 다음으로, 게이트, 소스 및 드레인 사이에 전압을 인가한 채, 기판 온도를 40°C까지 내렸다. 이 때, 기판 온도가 완전히 내려가기 전에 전압의 인가를 중단하면, 여열로 인해 BT 시험에서 박막 트랜지스터에 생긴 손상이 회복되므로, 전압을 인가한 채 기판 온도를 내려야 한다. 기판 온도가 40°C까지 내린 후, 전압의 인가를 종료시켰다. 엄밀하게는, 장온 시간이 전압 인가 시간에 더해질 필요가 있지만, 실제로는 몇분 동안에 온도를

40°C까지 내릴 수 있기 때문에, 이는 오차 범위 내로 생각되고, 강온 시간은 인가 시간에 더해지지 않는다.

[0535] 다음으로, 초기 특성의 측정과 같은 조건에서 V_g - I_d 특성을 측정하고, -BT 시험 후의 V_g - I_d 특성을 얻었다.

[0536] 또한, BT 시험에서는, 아직 BT 시험을 행하지 않는 박막 트랜지스터에 대해 BT 시험을 행하는 것이 중요하다. 예를 들면, +BT 시험을 행한 박막 트랜지스터에 대해 -BT 시험을 행하면, 먼저 행해진 +BT 시험에 의해, -BT 시험 결과를 올바르게 평가할 수 없다. 또한, +BT 시험을 행한 박막 트랜지스터에 대해 +BT 시험을 행한 경우에도 동일하게 적용된다. 단, 이들 영향을 고려하여, 의도적으로 BT 시험이 반복되는 경우는 동일 사항이 적용되지 않는다.

[0537] 도 24는, BT 시험 전후에 있어서의 박막 트랜지스터의 V_g - I_d 특성을 나타낸다. 도 24에 있어서, 횡축은 로그 스케일로 도시된 게이트 전압(V_g)을 나타내고, 종축은 로그 스케일로 도시된 드레인 전류(I_d)를 나타내고 있다.

[0538] 도 24는, -BT 시험 전후에 있어서의 박막 트랜지스터의 V_g - I_d 특성을 나타내고 있다. 초기 특성($V_d=1V$, 10V)은, -BT 시험 전의 박막 트랜지스터의 V_g - I_d 특성이며, -BT($V_d=1V$, 10V)는, -BT 시험 후의 박막 트랜지스터의 V_g - I_d 특성을 나타낸다.

[0539] 도 24는 -BT($V_d=1V$, 10V)에서의 임계값 전압의 변화가 초기 특성($V_d=1V$, 10V)에서의 임계값 전압의 변화에 비해 거의 관측되지 않는다. 따라서, BT 시험에 있어서 임계값 전압의 변화가 거의 관측되지 않으므로, 본 실시 예의 박막 트랜지스터는, BT 시험에 있어서 신뢰성이 높은 박막 트랜지스터인 것을 확인할 수 있었다.

[0540] 본 출원은 참조로서 본 명세서에 그 전체가 통합되는, 2009년 11월 20일자로 일본 특허청에 출원된 일본 특허 출원 제 2009-264768호를 우선권 주장한다.

부호의 설명

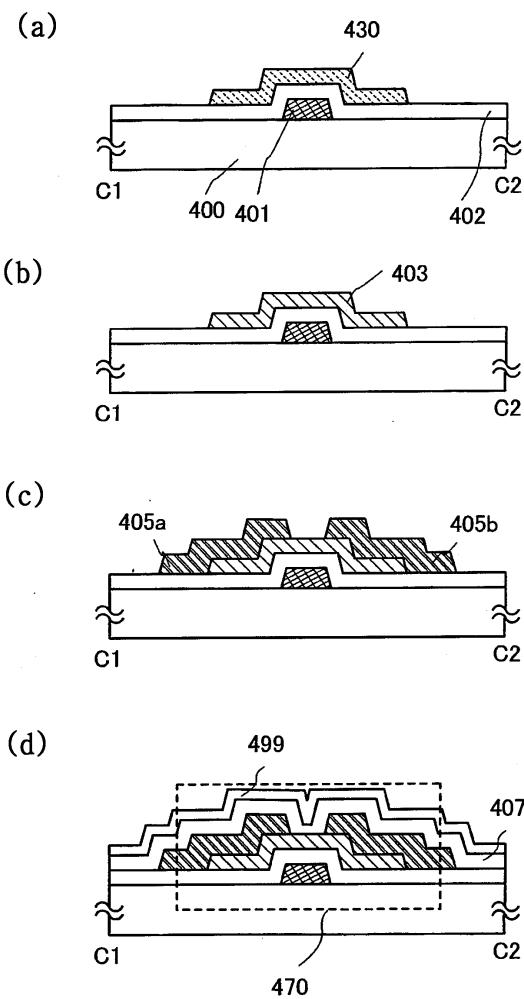
10: 웨尔斯 출력 회로	11~17: 배선
21~25: 입력 단자	26, 27: 출력 단자
31~41: 트랜지스터	51~53: 전원선
61, 62: 기간	100: 기판
101: 게이트 전극층	102: 게이트 절연층
103: 산화물 반도체층	
105a, 105b: 소스 전극층 또는 드레인 전극층	
107: 절연층	108: 용량 배선
110: 화소 전극층	121, 122: 단자
125~127: 콘택트 홀	128, 129: 투명 도전막
132: 도전막	133, 134: 산화물 반도체층
150, 151: 단자	152: 게이트 절연층
153: 접속 전극층	154: 보호 절연층
155: 투명 도전막	156: 전극층
170: 박막 트랜지스터	200: 기판 카세트 반출입실
201: 열 처리실	202: 크리닝 조
204: 게이트 벨브	206: 기판 카세트
208: 기판	210: 배기관
212: 급기판	214: 진공 배기 수단

220: 급기관	222: 히터
224: 송풍기	226: 필터
228: 배기관	230: 가스 정제 장치
232: 덕트	234: 배기 수단
250: 기관	251: 로드실
252, 253: 처리실	254: 언로드실
256a, 256b, 256c: 셔터	258: 램프 광원
259: 진공 배기 수단	260a, 260b: 기관 카세트
300: 기관	330: 산화물 반도체막
331: 산화물 반도체층	391: 게이트 전극층
392: 산화물 반도체층	394: 기관
395a: 소스 전극층	395b: 드레인 전극층
400: 기관	401: 게이트 전극층
402: 게이트 절연층	403: 산화물 반도체층
404a, 404b: 소스 또는 드레인 영역	405a: 소스 전극층
405b: 드레인 전극층	407: 절연층
409: 도전층	410: 절연층
411: 화소 전극층	419: 도전층
430: 산화물 반도체층	450: 기관
451: 게이트 전극층	452: 게이트 절연층
453: 산화물 반도체층	
455a, 455b: 소스 전극층 또는 드레인 전극층	
457: 절연층	460, 470~473: 박막 트랜지스터
483: 산화물 반도체층	494: 박막 트랜지스터
495: 반도체층	496: 채널 형성 영역
497a: 고저항 소스 영역	497b: 고저항 드레인 영역
499: 보호 절연층	580: 기관
581: 박막 트랜지스터	583: 절연막
585: 절연층	587: 전극층
588: 전극층	589: 구형 입자
590a: 흑색 영역	590b: 백색 영역
594: 캐비티	595: 충전재
601: 전기로	602: 챔버
603: 히터	604: 기관
605: 발열체	606: 가스 공급 수단
607: 배기 수단	611a: 가스 공급원

611b: 가스 공급원	612a: 압력 조절 밸브
612b: 압력 조절 밸브	613a: 정제기
613b: 정제기	614a: 매스 플로우 컨트롤러
614b: 매스 플로우 컨트롤러	615a: 스톱 밸브
615b: 스톱 밸브	650: 박막 트랜지스터
653: 보호 절연층	656: 산화물 반도체층
1400: 기판	1401: 게이트 전극층
1402: 게이트 절연층	1403: 산화물 반도체층
1405a: 소스 전극층	1405b: 드레인 전극층
1407, 1408: 절연층	1409: 도전층
1418: 채널 보호층	1430~1432, 1470: 박막 트랜지스터
2600: TFT 기판	2601: 대향 기판
2602: 씰재	2603: 화소부
2604: 표시 소자	2605: 착색층
2606: 편광판	2607: 편광판
2608: 배선 회로부	2609: 플렉시블 배선 기판
2610: 냉음극관	2611: 반사판
2612: 회로 기판	2613: 확산판
2631: 포스터	2700: 전자 서적 리더
2701, 2703: 하우징	2705, 2705: 표시부
2711: 축부	2721: 전원 스위치
2723: 조작 키	2725: 스피커
4001: 기판	4002: 화소부
4003: 신호선 구동 회로	4004: 주사선 구동 회로
4005: 씰재	4006: 기판
4008: 액정층	4010, 4011: 박막 트랜지스터
4013: 액정 소자	4015: 접속 단자 전극
4016: 단자 전극	4018: FPC
4019: 이방성 도전막	4021: 절연층
4030: 화소 전극층	4031: 대향 전극층
4032: 절연층	4040: 도전층
4041: 절연층	4042: 보호 절연층
4501: 기판	4502: 화소부
4503a, 4503b: 신호선 구동 회로	4504a, 4504b: 주사선 구동 회로
4505: 씰재	4506: 기판
4507: 충전재	4509, 4510: 박막 트랜지스터

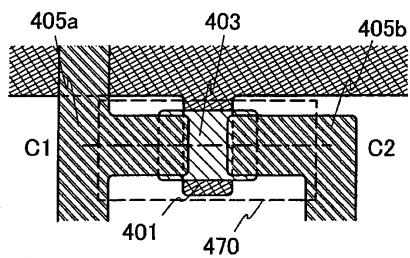
4511: 발광 소자	4512: 전계 발광층
4513: 전극	4515: 발광 소자
4512: 전계 발광층	4513: 전극
4515: 접속 단자 전극	4516: 단자 전극
4517: 전극	4518a, 4518b: FPC
4519: 이방성 도전막	4520: 격벽
4540: 도전층	4542: 절연층
4543: 오버코트층	4544: 절연층
4545: 컬러 필터층	4550: 배선층
4551: 절연층	5300: 기판
5301: 화소부	5302, 5303: 주사선 구동 회로
5304: 신호선 구동 회로	5305: 타이밍 제어 회로
5601: 시프트 레지스터	5602: 스위칭 회로
5603: 박막 트랜지스터	5604, 5605: 배선
6400: 화소	6401: 스위칭 트랜지스터
6402: 구동 트랜지스터	6403: 용량 소자
6404: 발광 소자	6405: 신호선
6406: 주사선	6407: 전원선
6408: 공통 전극	652a, 652b: 게이트 절연층
7001: TFT	7002: 발광 소자
7003: 캐소드	7004: 발광층
7005: 애노드	7011: 구동 TFT
7012: 발광 소자	7013: 캐소드
7014: 발광층	7015: 애노드
7016: 차광막	7017: 도전막
7021: 구동 TFT	7022: 발광 소자
7023: 캐소드	7024: 발광층
7025: 애노드	7027: 도전막
9201: 표시부	9202: 표시된 버튼
9203: 조작 스위치	9205: 조절부
9206: 카메라부	9207: 스파커
9208: 마이크로폰	9301: 상부 하우징
9302: 하부 하우징	9303: 표시부
9304: 키보드	9305: 외부 접속부
9306: 포인팅 장치	9307: 표시부
9600: 텔레비전 셋	9601: 하우징

9603: 표시부	9605: 스탠드
9607: 표시부	9609: 조작 키
9610: 원격 컨트롤러	9700: 디지털 포토 프레임
9701: 하우징	9703: 표시부
9881: 하우징	9882: 표시부
9883: 표시부	9884: 스피커부
9885: 조작 키	9886: 기록 매체 삽입부
9887: 접속 단자	9888: 센서
9889: 마이크로폰	9890: LED 램프
9891: 하우징	9893: 연결부
9900: 슬롯 머신	9901: 하우징
9903: 표시부	

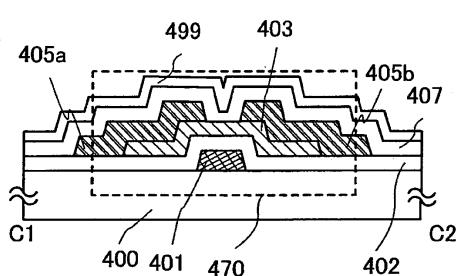
도면**도면1**

도면2

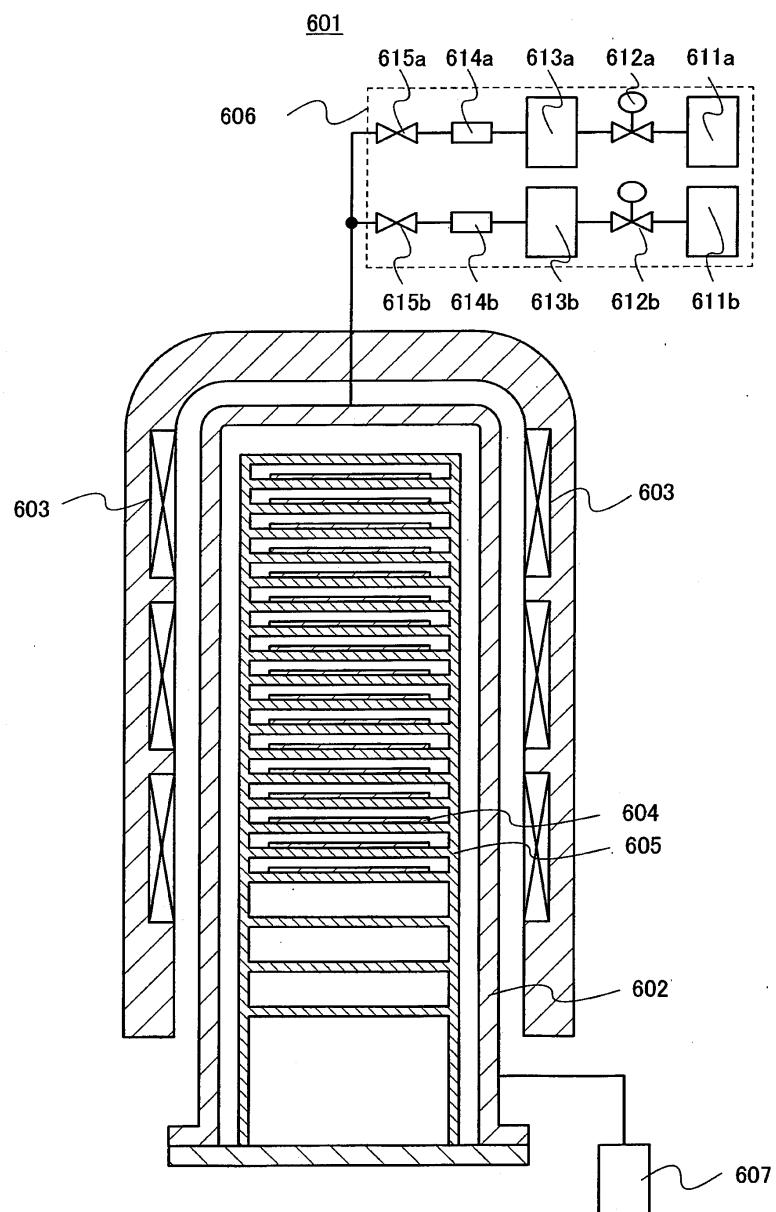
(a)



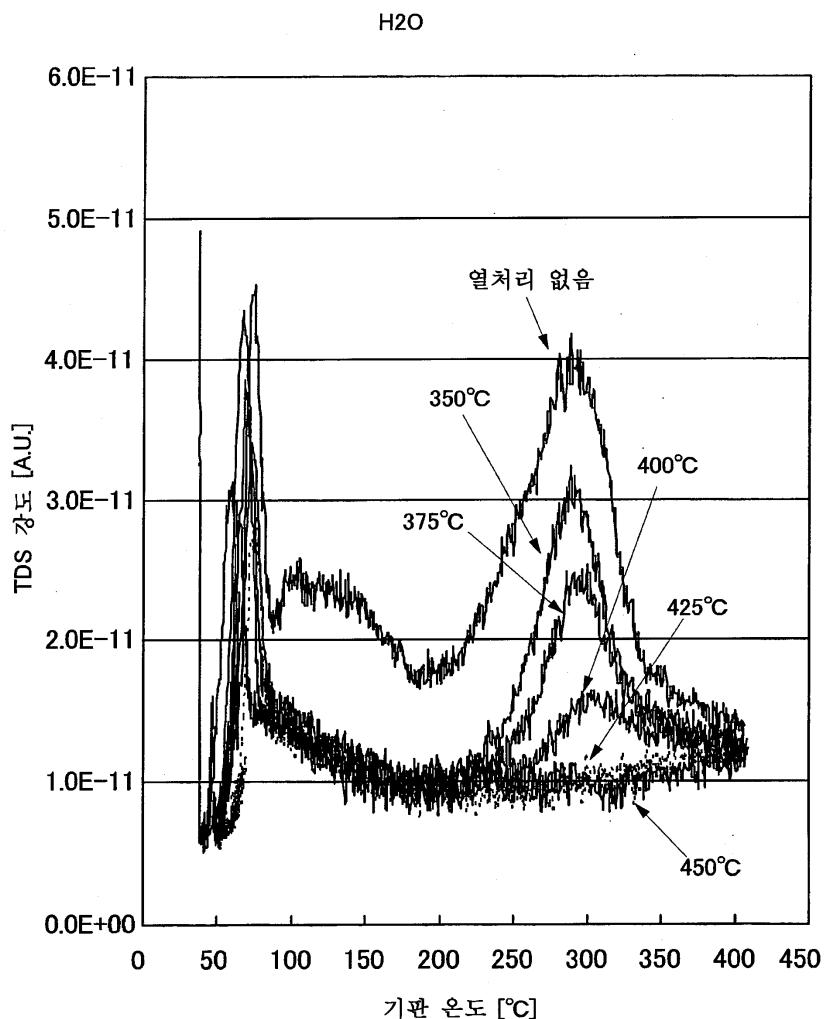
(b)



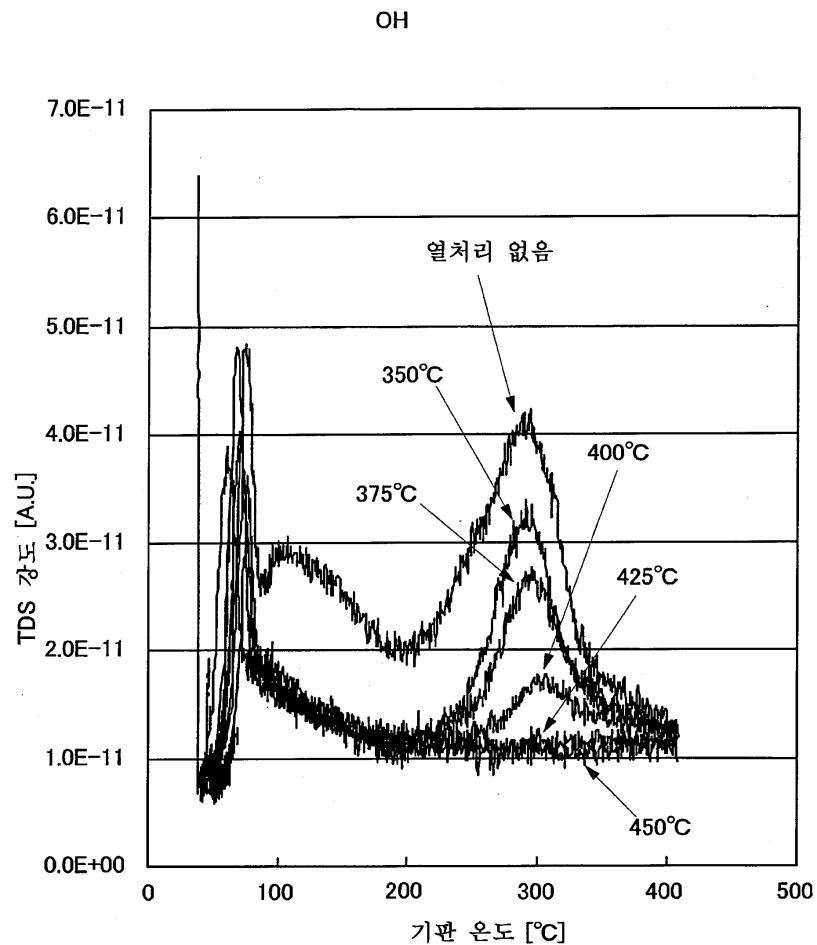
도면3



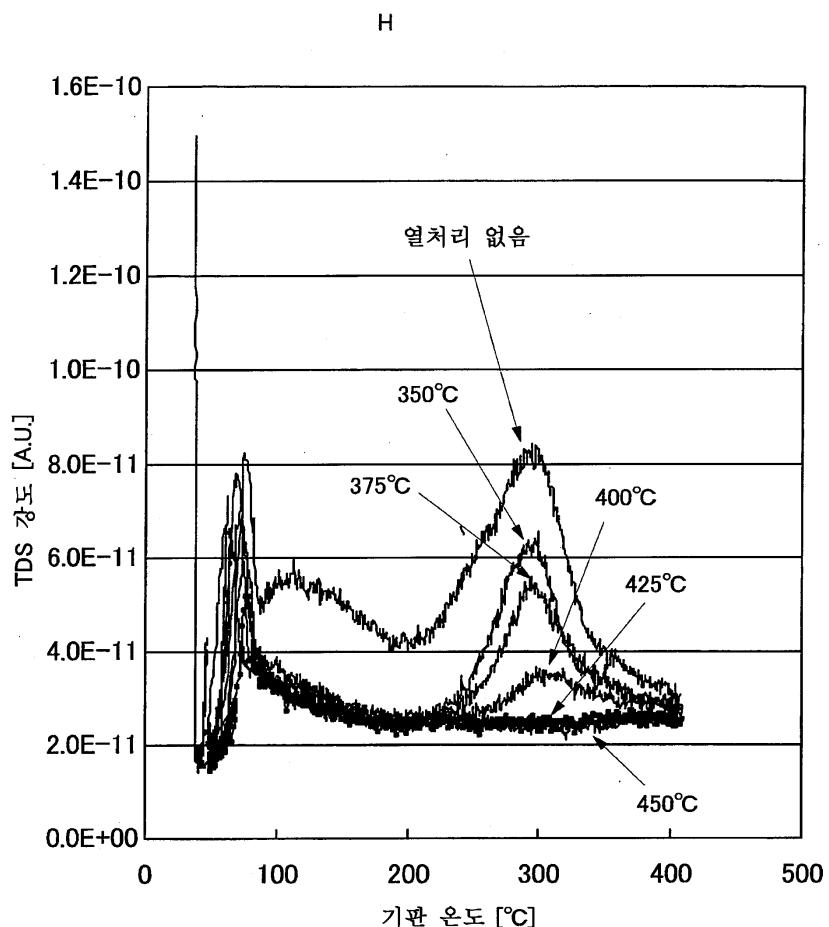
도면4



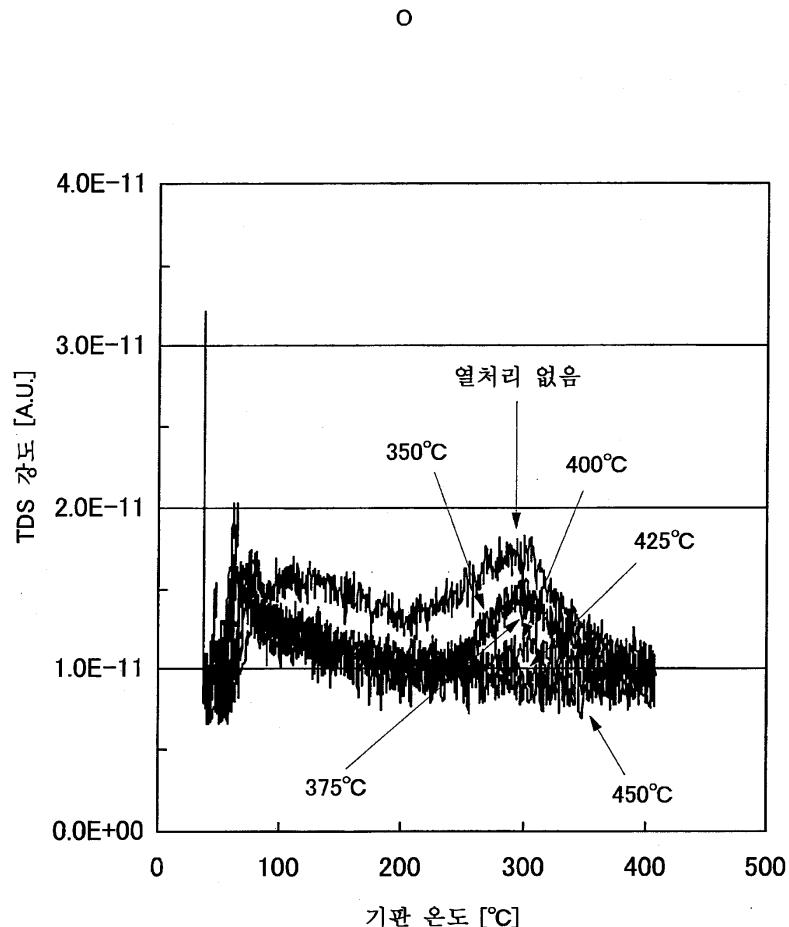
도면5



도면6

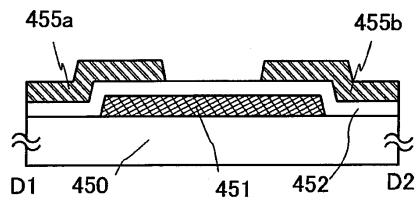


도면7

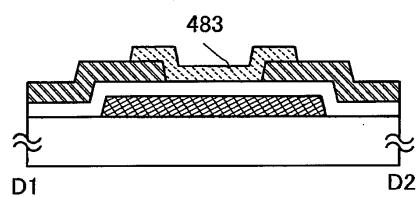


도면8

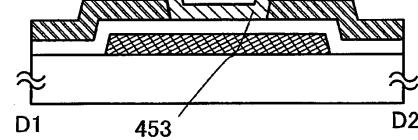
(a)



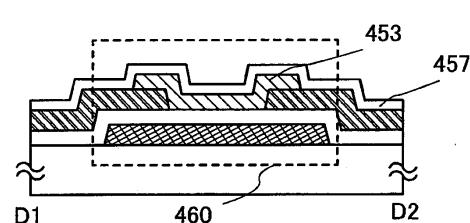
(b)



(c)

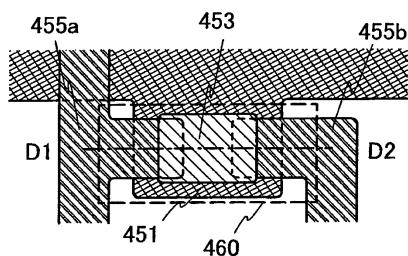


(d)

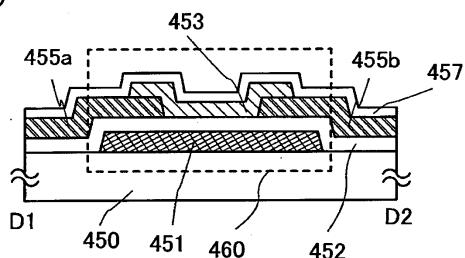


도면9

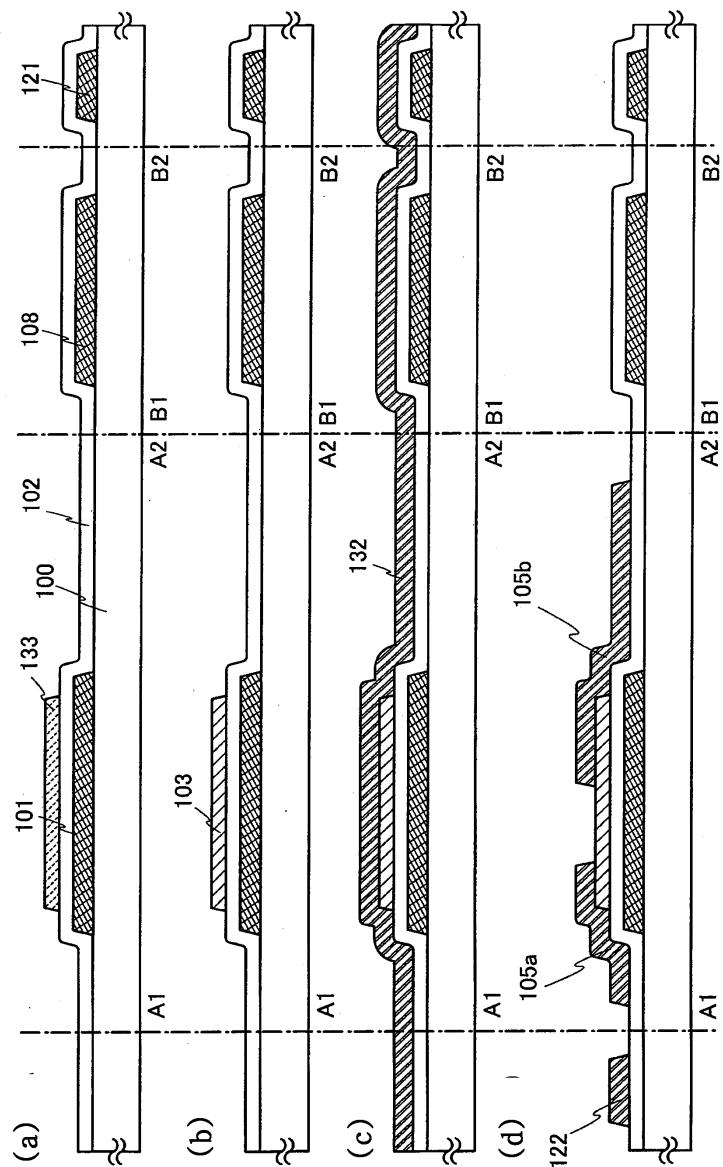
(a)



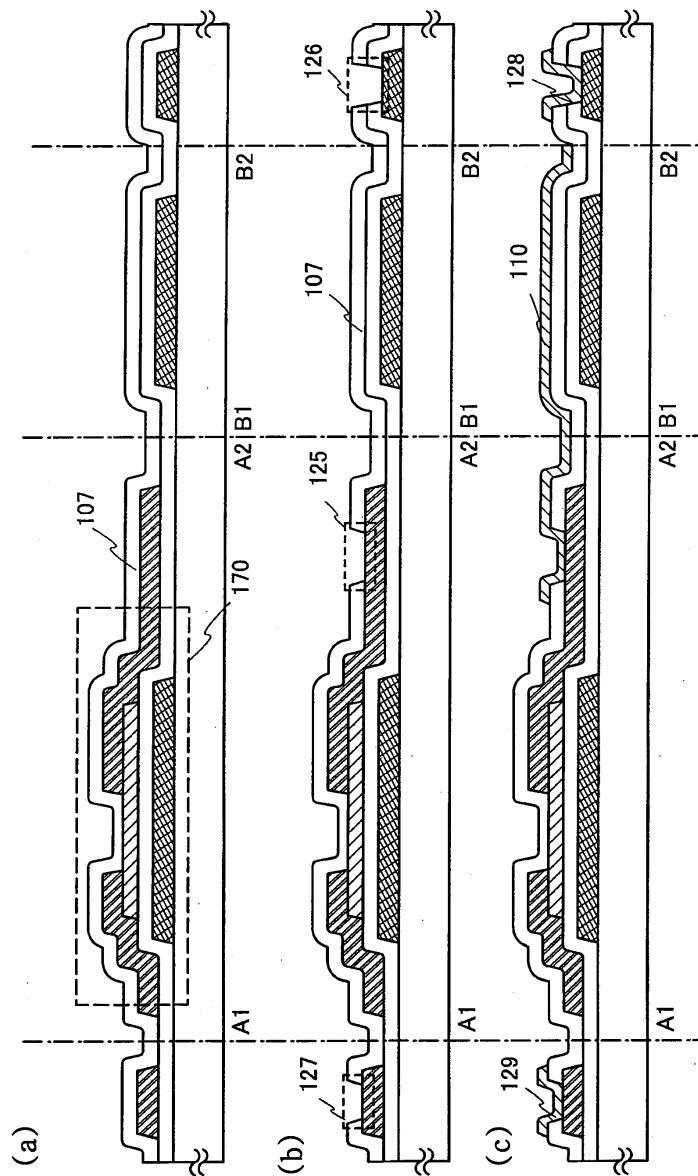
(b)



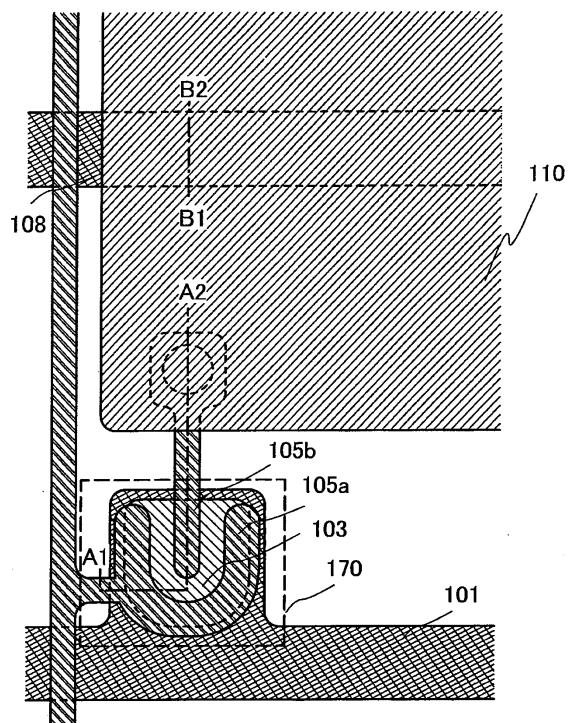
도면10



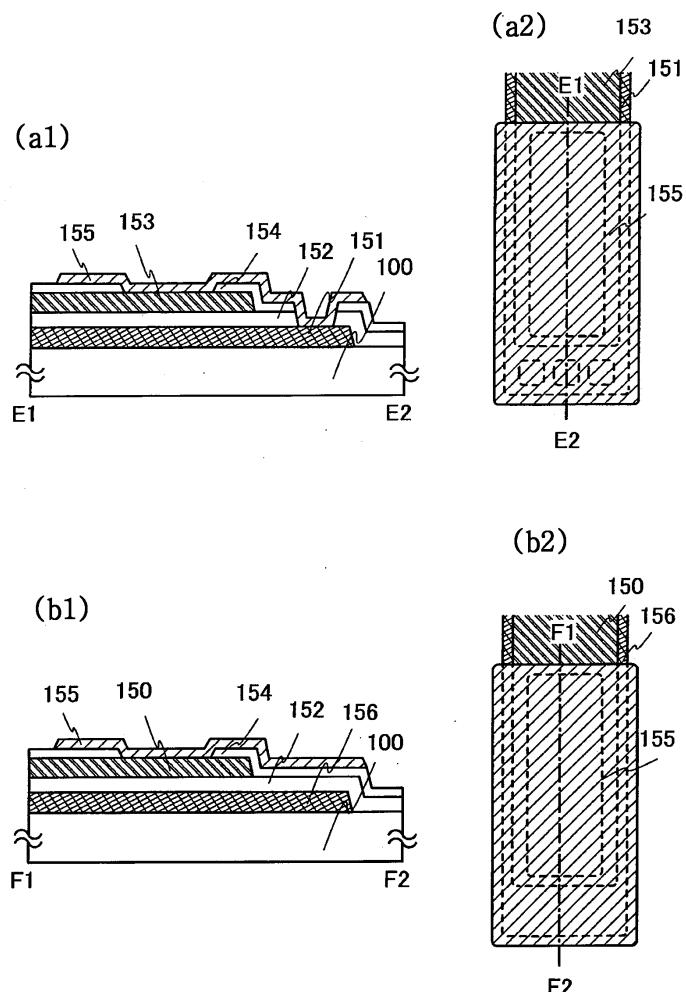
도면11



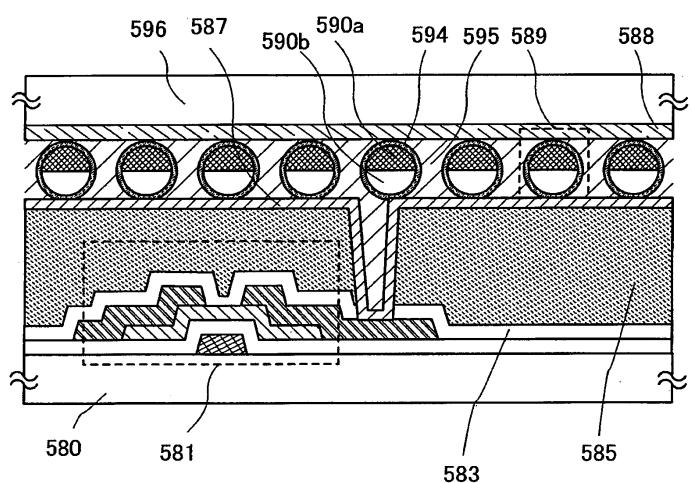
도면12



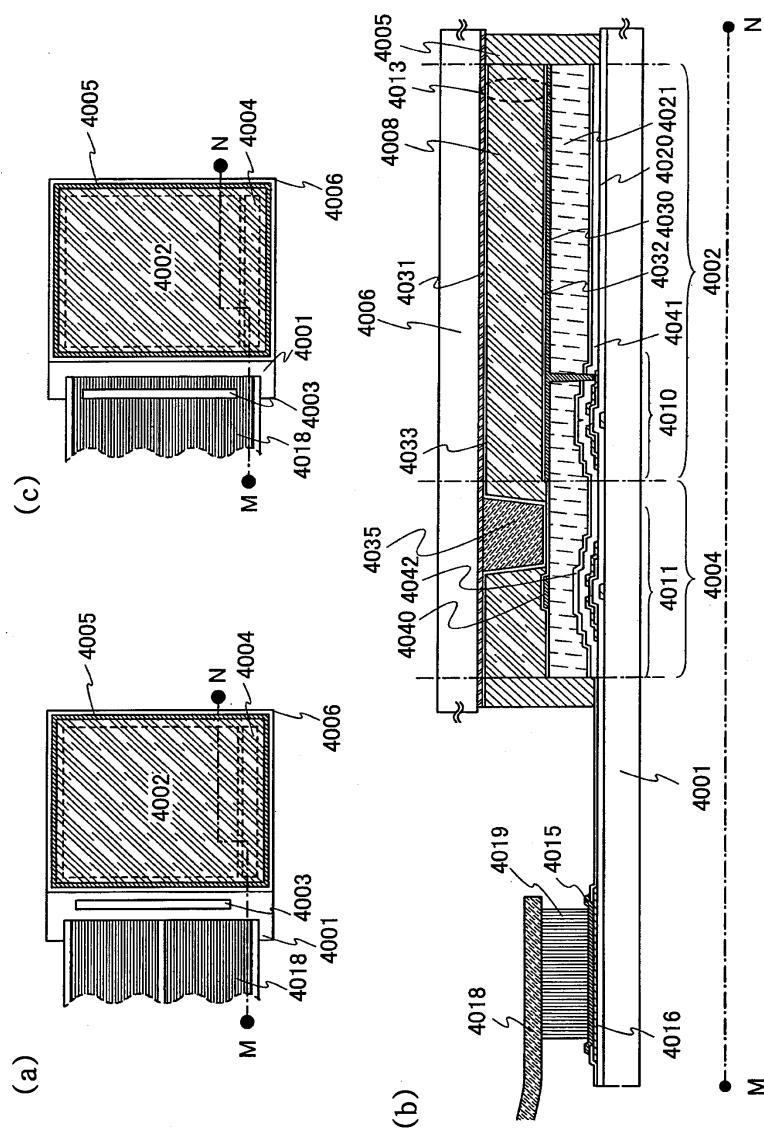
도면13



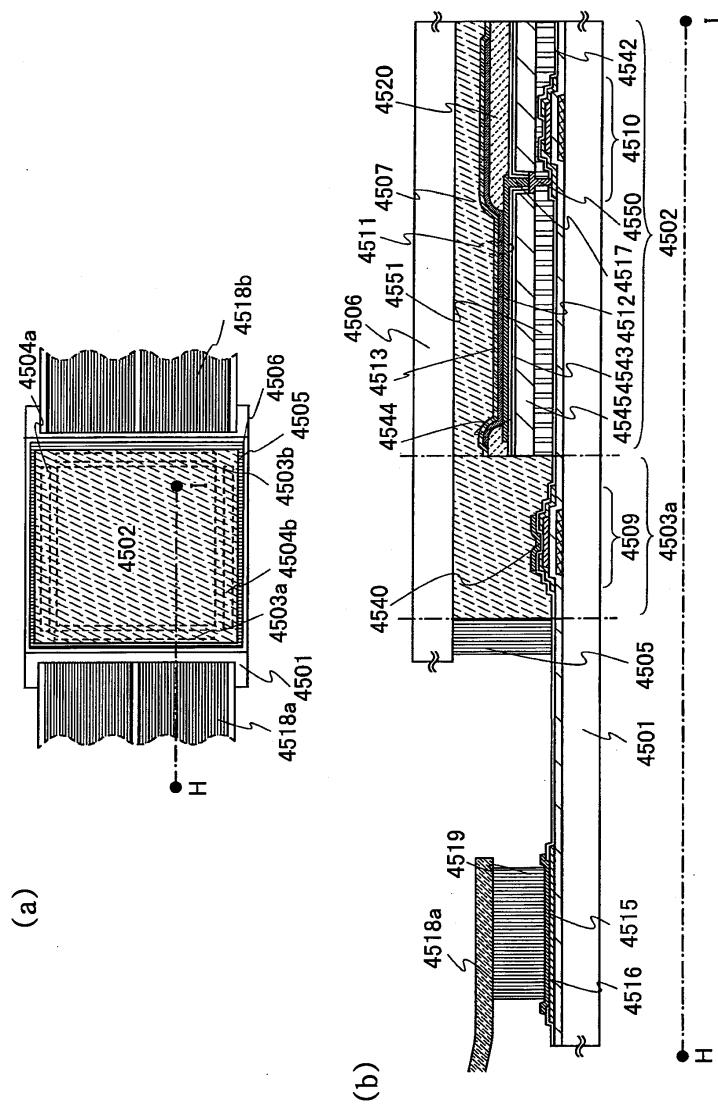
도면14



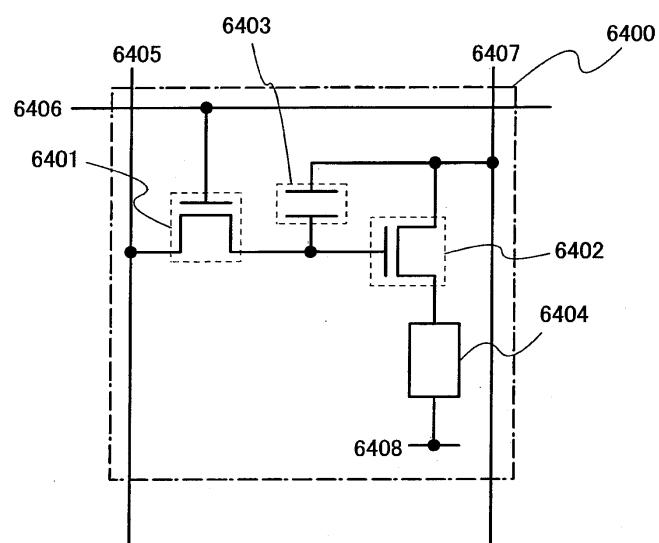
도면15



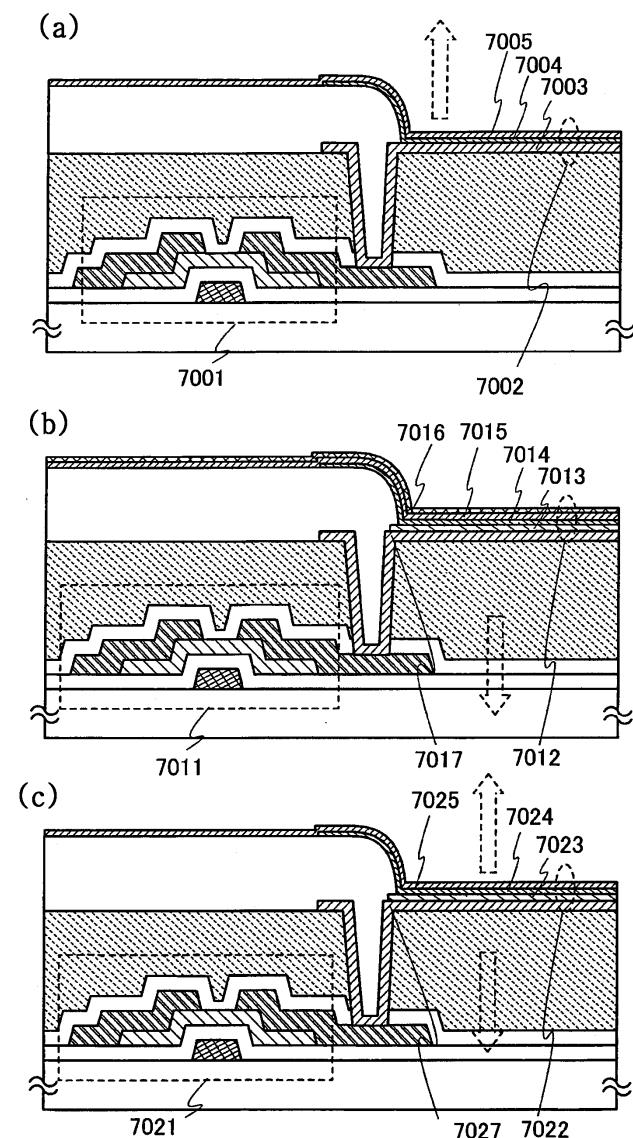
도면16



도면17

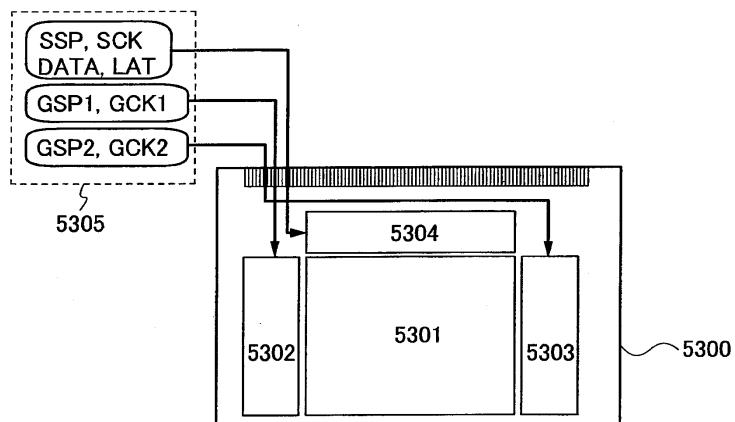


도면18

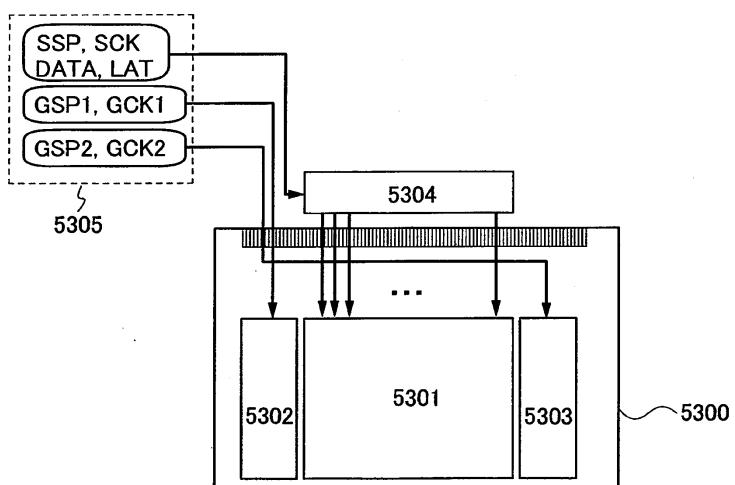


도면19

(a)

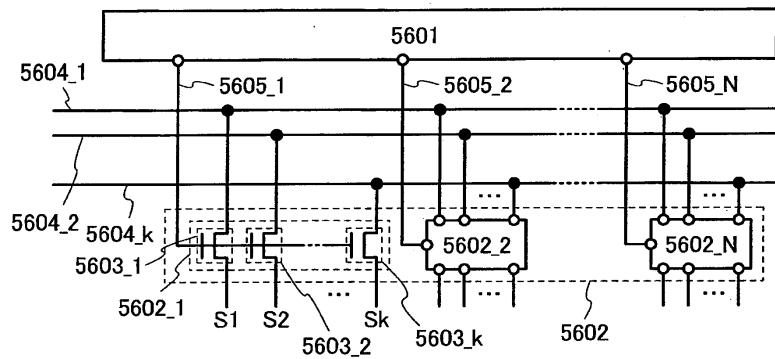


(b)

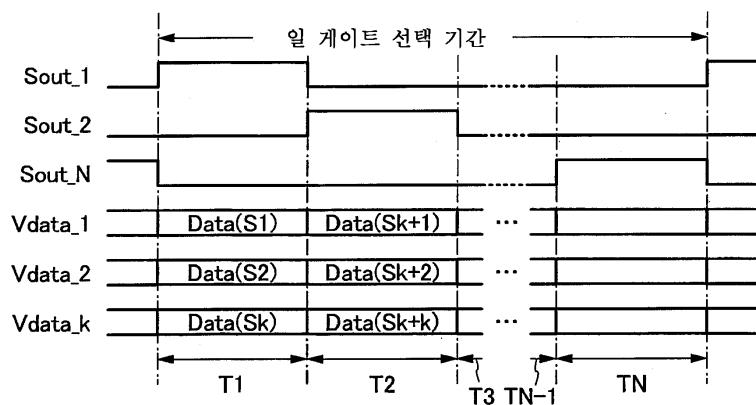


도면20

(a)

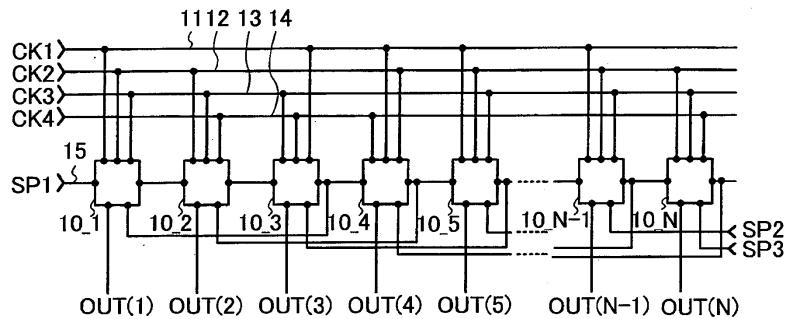


(b)

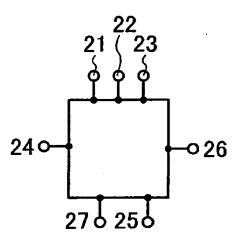


도면21

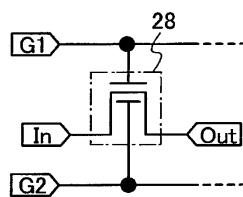
(a)



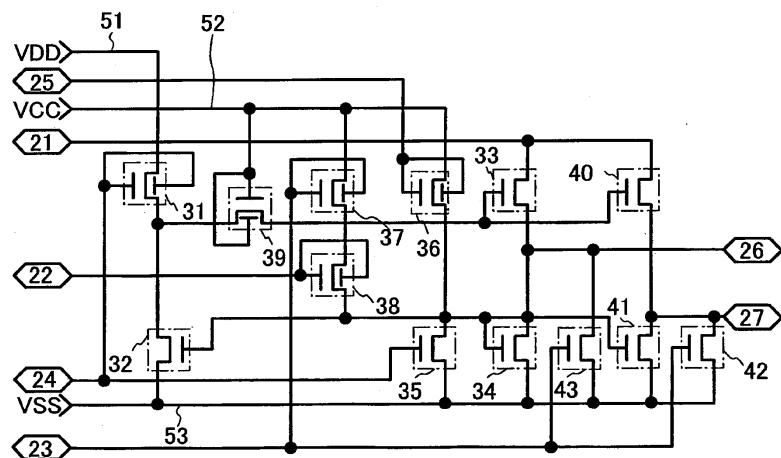
(b)



(c)

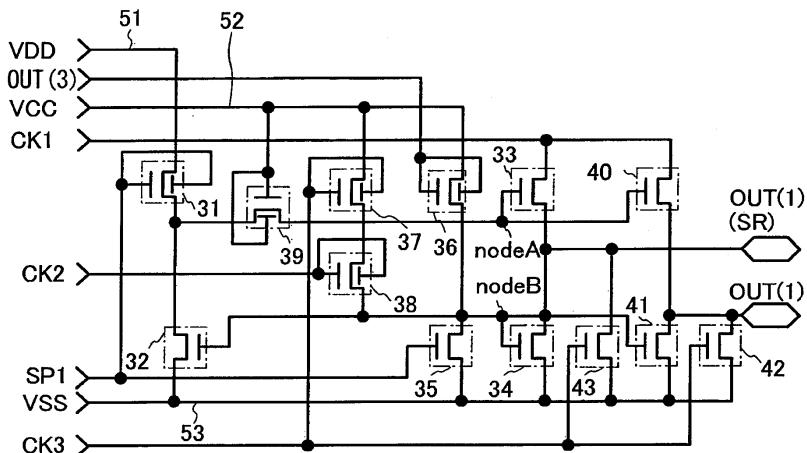


(d)

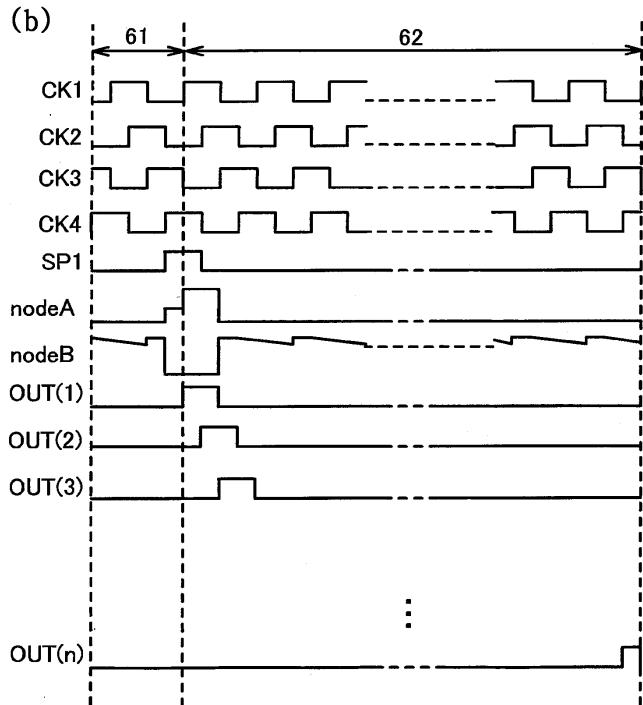


도면22

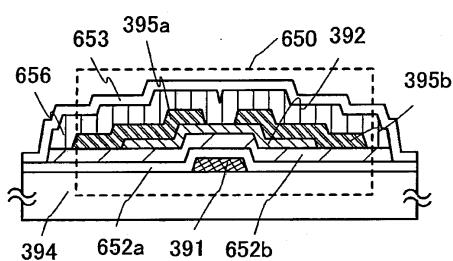
(a)



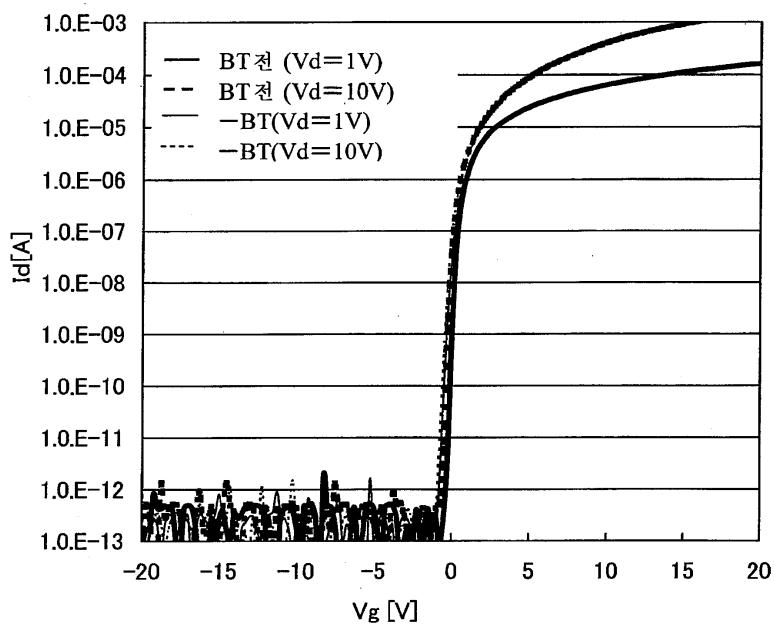
(b)



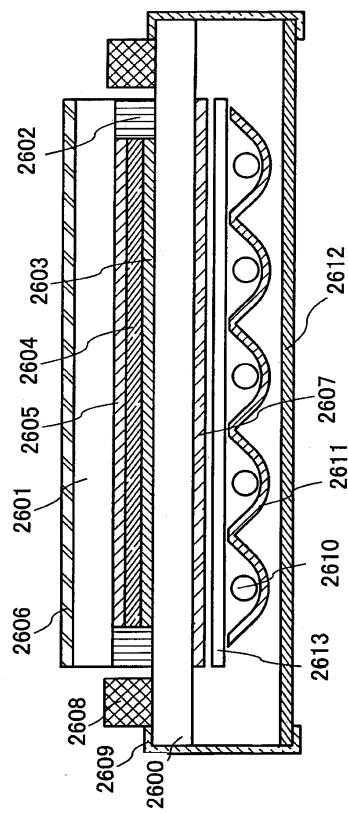
도면23



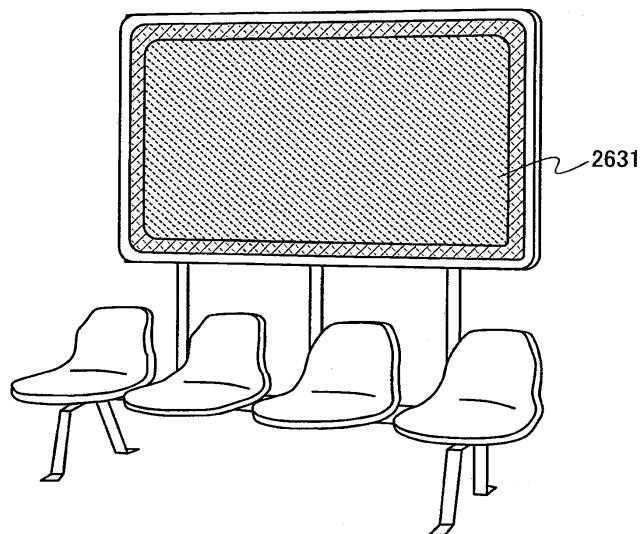
도면24



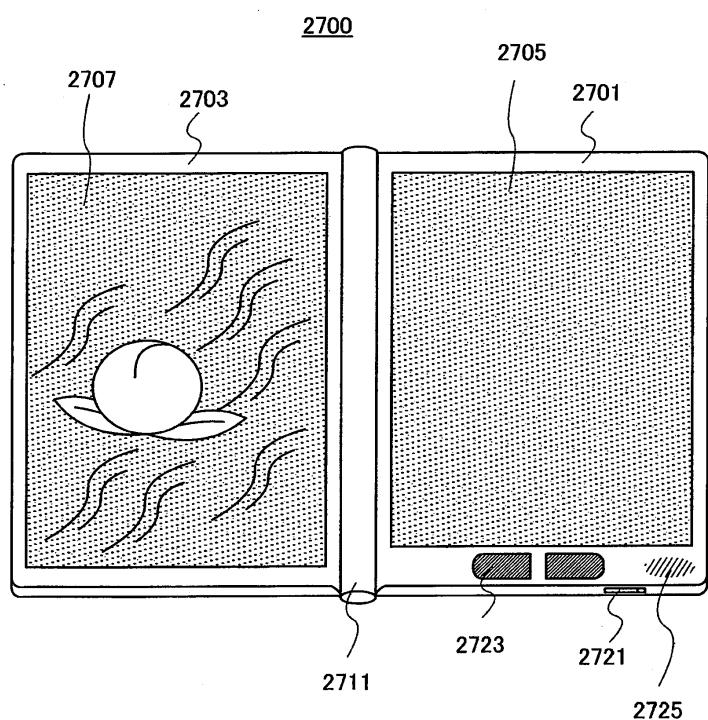
도면25



도면26

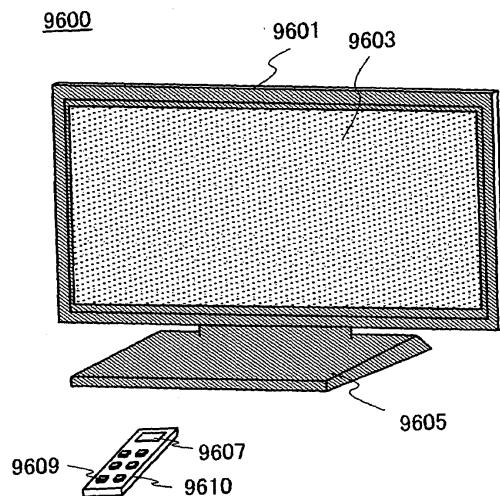


도면27

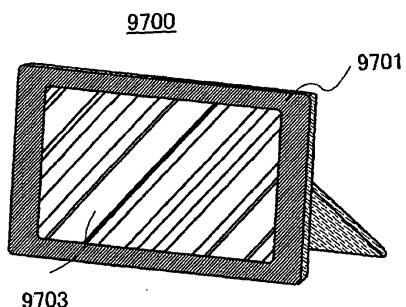


도면28

(a)

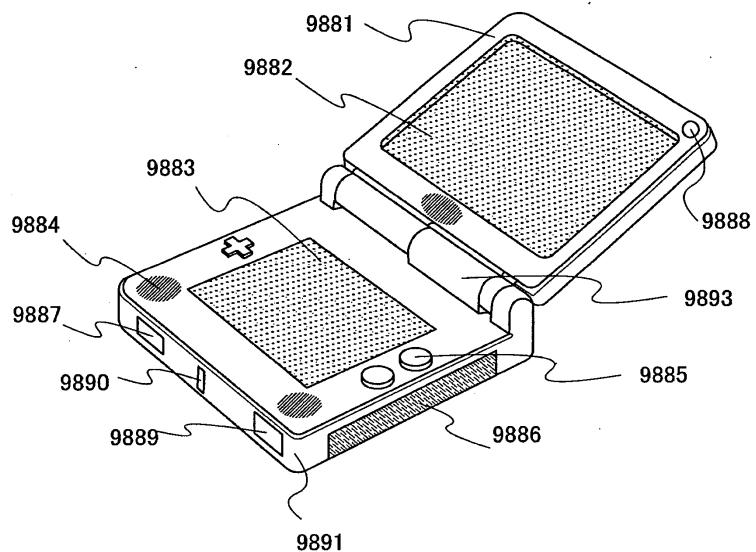


(b)

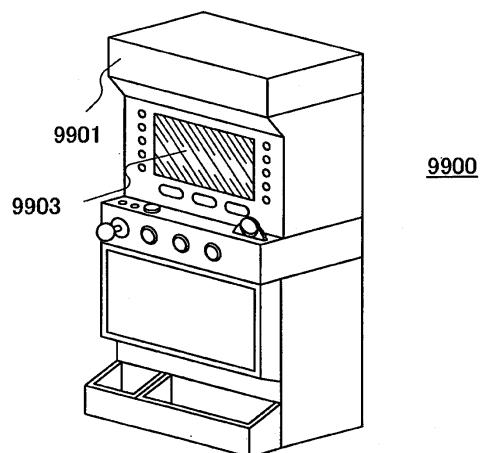


도면29

(a)

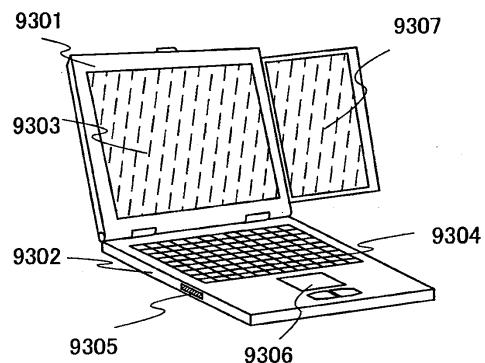


(b)

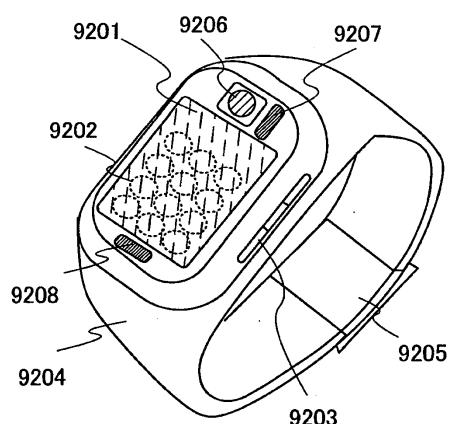


도면30

(a)

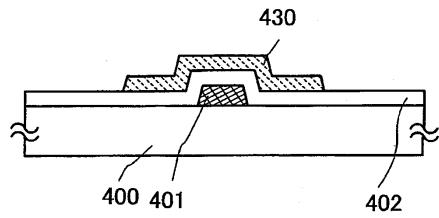


(b)

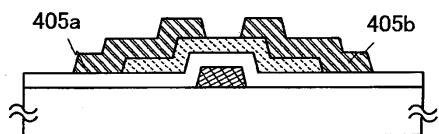


도면31

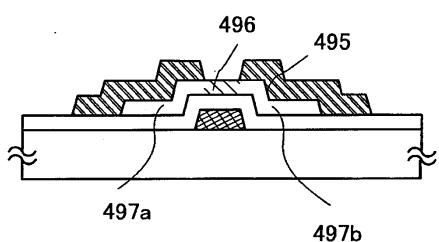
(a)



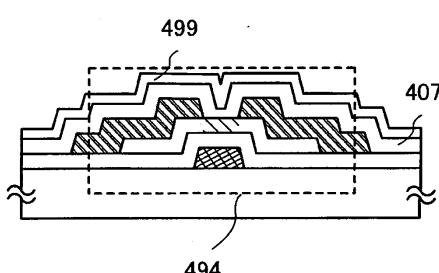
(b)



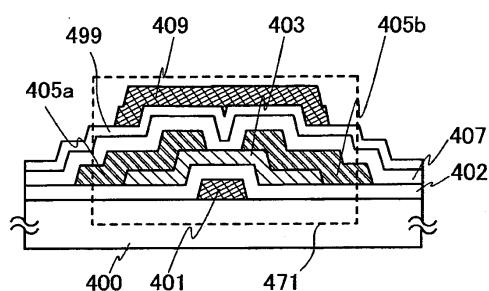
(c)



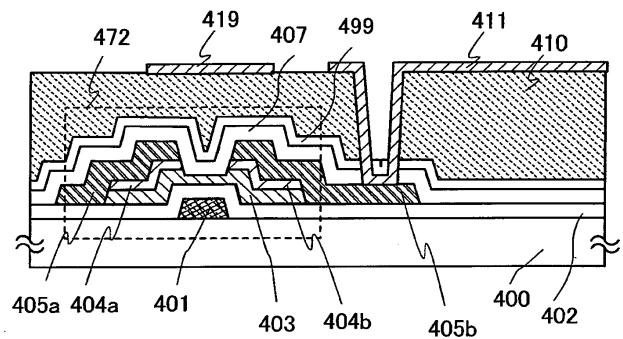
(d)



도면32

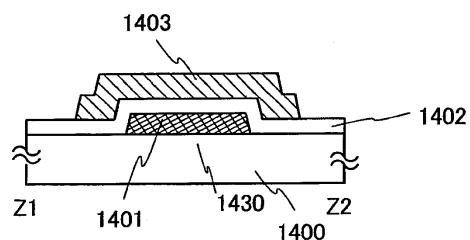


도면33

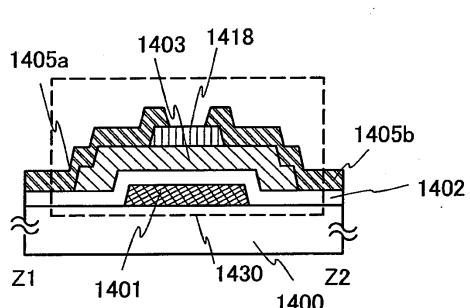


도면34

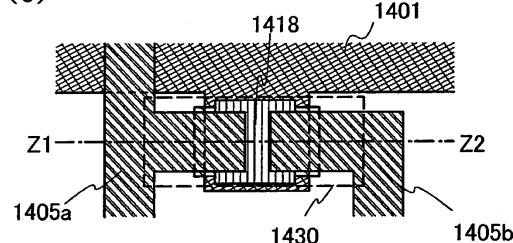
(a)



(b)

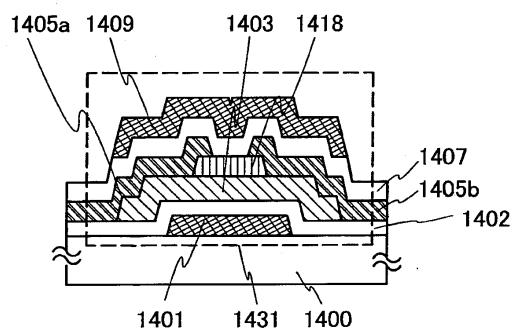


(c)

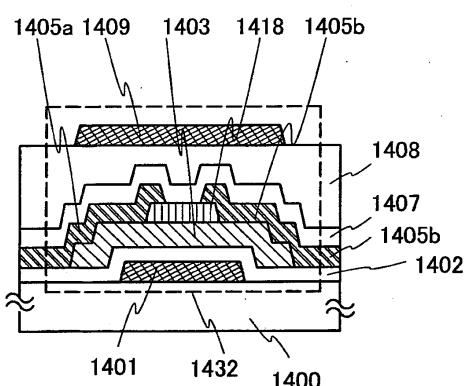


도면35

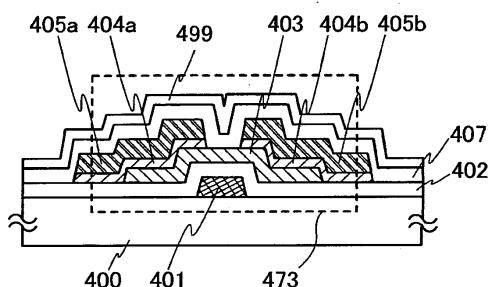
(a)



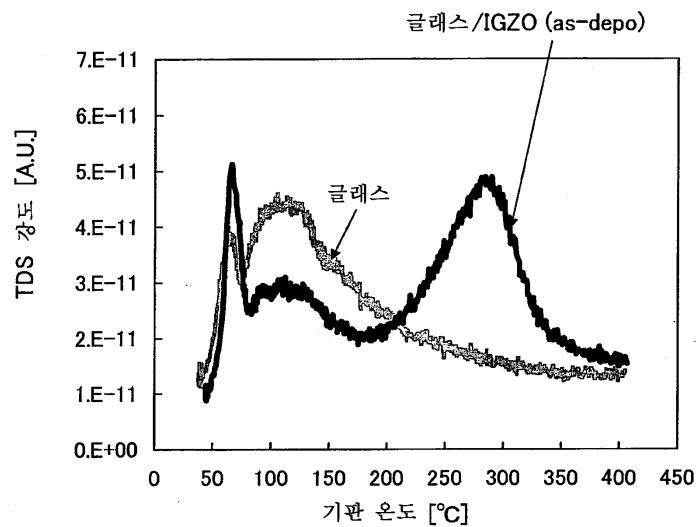
(b)



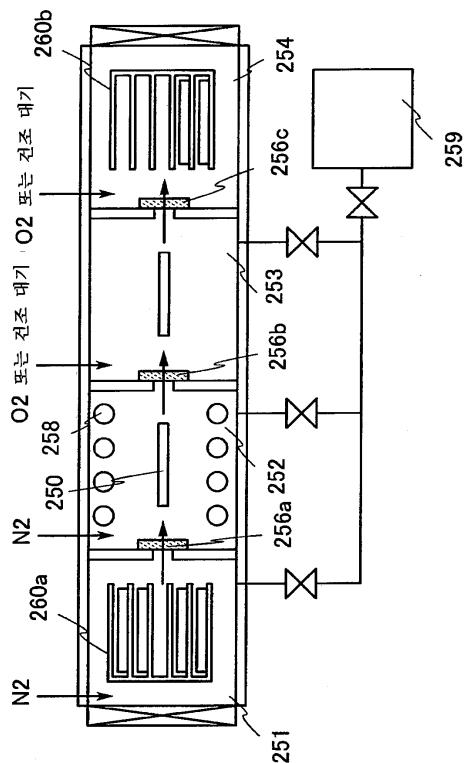
도면36



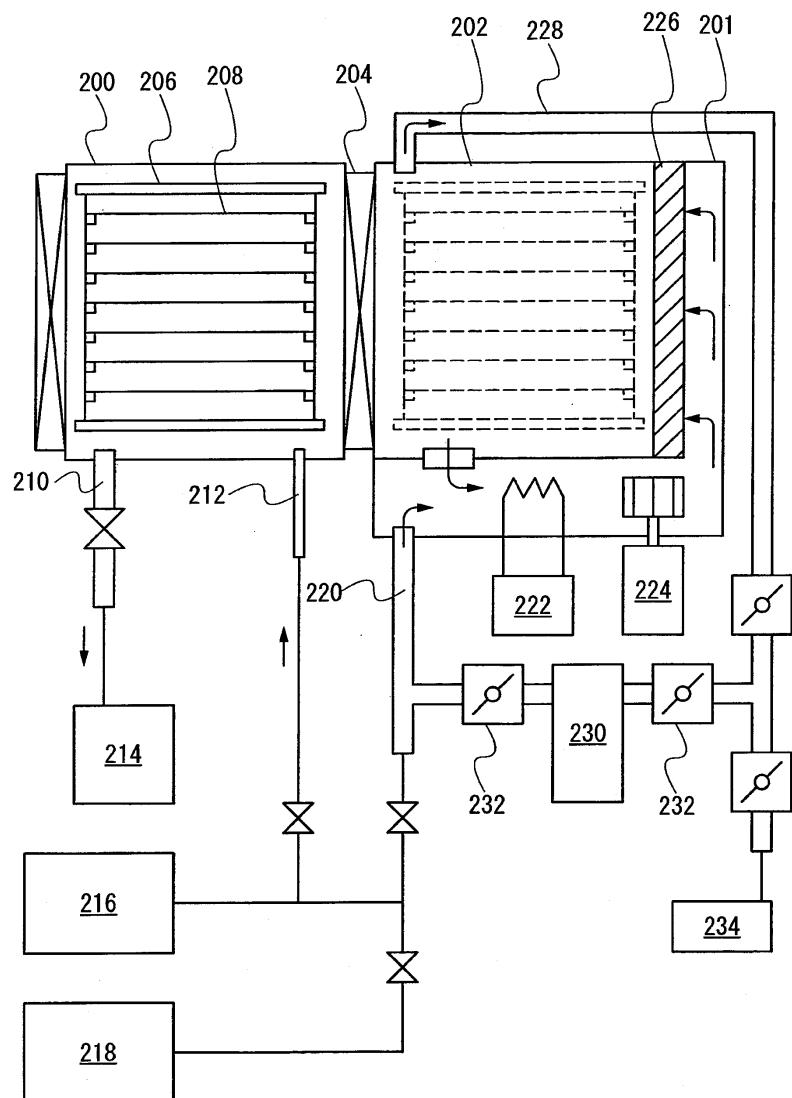
도면37



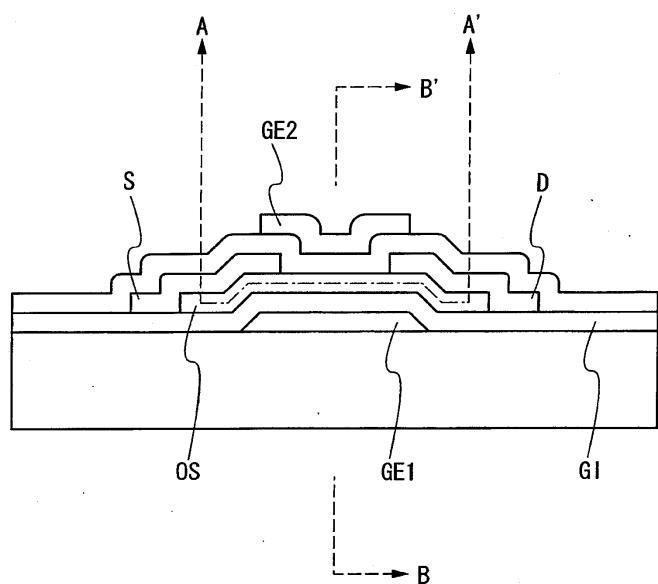
도면38



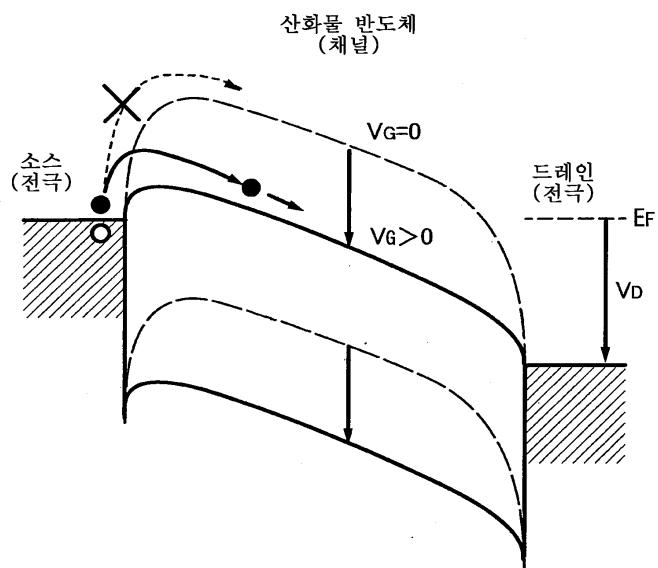
도면39



도면40

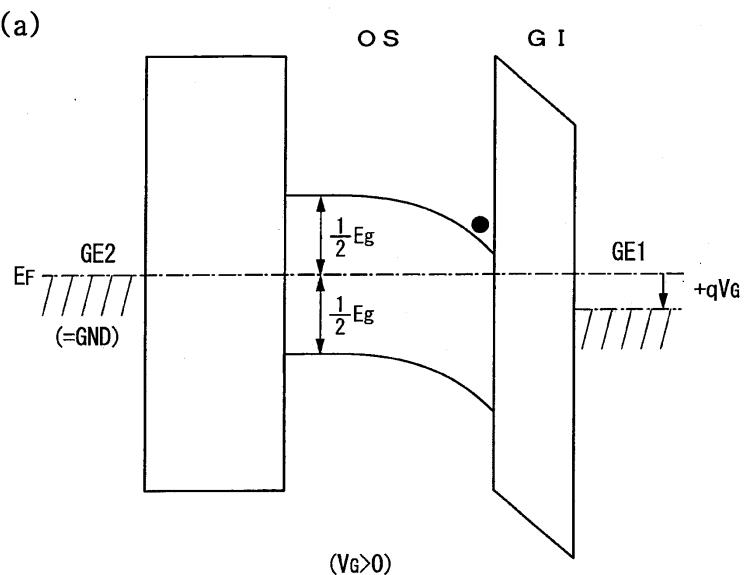


도면41

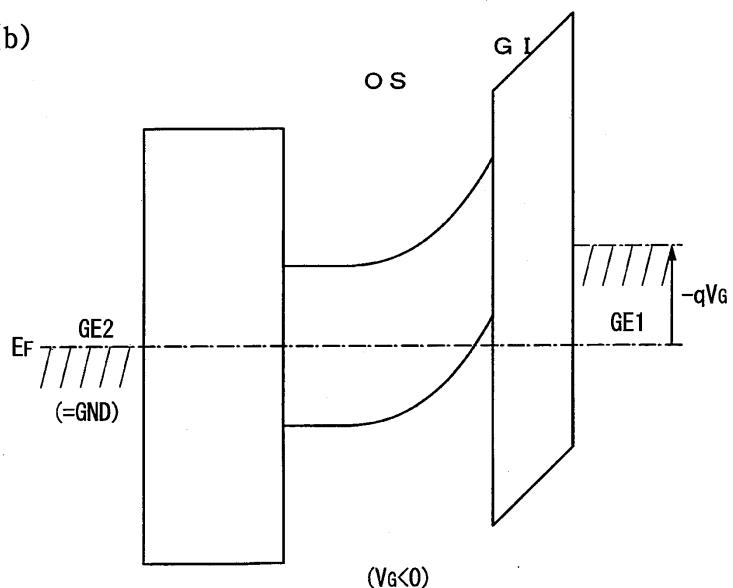


도면42

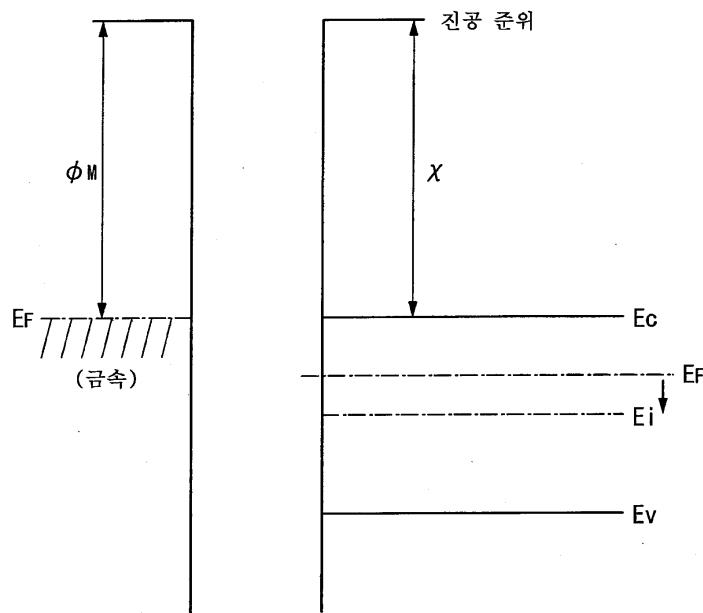
(a)



(b)

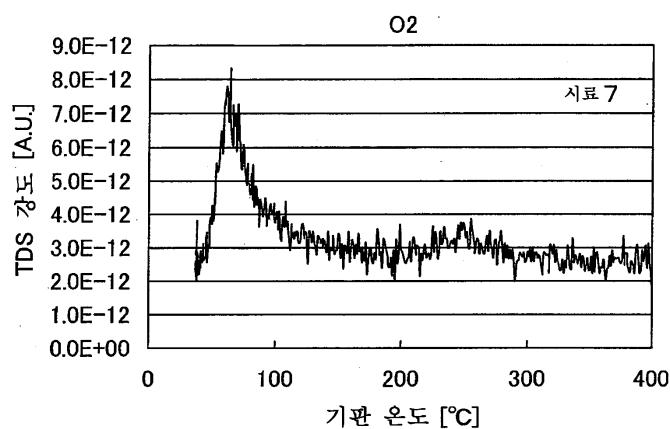


도면43



도면44

(a)



(b)

