

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-113742

(P2012-113742A)

(43) 公開日 平成24年6月14日(2012.6.14)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 1/04 (2006.01)	G06F 1/04 301C	5B005
G06F 1/32 (2006.01)	G06F 1/00 332Z	5B011
G06F 12/08 (2006.01)	G06F 12/08 579	5B079

審査請求 有 請求項の数 3 O L (全 12 頁)

(21) 出願番号	特願2012-43476 (P2012-43476)	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成24年2月29日 (2012. 2. 29)	(74) 代理人	100130029 弁理士 永井 道雄
(62) 分割の表示	特願2009-294412 (P2009-294412) の分割	(74) 代理人	100166338 弁理士 関口 正夫
原出願日	平成15年10月9日 (2003. 10. 9)	(74) 代理人	100152054 弁理士 仲野 孝雅
		(72) 発明者	吉川 恭史 東京都港区芝五丁目7番1号 日本電気株式会社内
		Fターム(参考)	5B005 JJ22 MM01 NN01 5B011 EA08 EB01 KK03 LL13 5B079 AA07 BA01 BC01

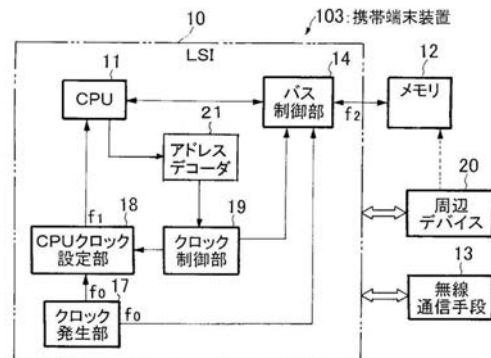
(54) 【発明の名称】 情報処理装置

(57) 【要約】

【課題】装置のクロック信号を停止させることなく消費電力を低減する。

【解決手段】メモリ12の特定の記憶領域へのアクセスの有無をクロック制御部19へ通知する通知部(アドレスデコーダ)21を具備し、クロック制御部19は、メモリ12の特定の記憶領域へのアクセスがないとき、第1のクロック周波数が第2のクロック周波数より高くなるように第1、第2のクロック周波数間の比率を制御し、通知部21からメモリ12の特定の記憶領域へのアクセスがあった旨の通知を受けたとき、第2のクロック周波数をアクセスがない時よりも上昇させる。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

CPUおよび該CPUに接続されたメモリを含む情報処理装置であって、
 所定周波数の基準クロック信号を発生させるクロック発生部と、
 前記基準クロック信号に基づく第1のクロック周波数を前記CPUに設定するCPUク
 ロック設定部と、

前記基準クロック信号に基づく第2のクロック周波数にて前記CPUおよびメモリ間の
 接続を制御するバス制御部と、

前記第1および第2の各クロック周波数間の比率を制御するための制御信号を前記CP
 Uおよびメモリの動作に応じて前記CPUクロック設定部およびバス制御部に供給するク
 ロック制御部と、

前記メモリの特定の記憶領域へのアクセスの有無を前記クロック制御部へ通知する通知
 部とを備え、

前記クロック制御部は、前記メモリの特定の記憶領域へのアクセスがないとき、前記第
 1のクロック周波数が前記第2のクロック周波数より高くなるように前記第1、第2のク
 ロック周波数間の比率を制御し、前記通知部から前記メモリの特定の記憶領域へのアク
 セスがある旨の通知を受けたとき、前記第2のクロック周波数を前記特定の記憶領域への
 アクセスがない時よりも上昇させる制御信号を前記バス制御部へ出力することを特徴とする
 情報処理装置。

【請求項 2】

前記クロック制御部が前記バス制御部へ出力する前記制御信号は、第2のクロック周波
 数を第1のクロック周波数と同一値にするための信号であることを特徴とする請求項1記
 載の情報処理装置。

【請求項 3】

無線通信を行うための無線通信手段を有する携帯端末装置であることを特徴とする請求
 項1又は2記載の情報処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、CPUおよび外部バスの動作クロックを制御する機能を有する情報処理装置
 に関する。

【背景技術】

【0002】

従来、所定のクロック周波数にて動作する情報処理装置において、消費電力の低減を図
 るために、特定の条件下でクロック信号を一時的に停止させる技術が提案されている。こ
 の種の技術として、例えば後述の特許文献1に記載されたものがある。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2002-006979号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、情報処理装置の一種である携帯電話端末や個人向け携帯情報端末のような携
 帯端末装置は、装置の電源がON状態に置かれる間、充電式の2次電池を駆動源として、
 自己端末機への着信判定などを一定時間間隔で行うことが知られている。

【0005】

しかしながら、このような携帯端末装置において、電池の消耗を抑制すべくクロックを
 停止した場合、プログラム処理が不可能となることから装置全体の動作に影響を及ぼすお
 それがある。また、クロックの供給を停止させる技術においては、停止期間の動作を補償

10

20

30

40

50

する機構や、クロックを適正に再開させるための複雑な機構などが必要とされ、低コストおよび省スペース化を図る携帯端末装置には不向きであると考えられる。

【0006】

本発明は、上記の課題に鑑みてなされたものであり、クロックを停止することなく円滑に消費電力の低減を図り得る情報処理端末を提供することを目的とする。

【課題を解決するための手段】

【0007】

CPUおよび該CPUに接続されたメモリを含む情報処理装置であって、所定周波数の基準クロック信号を発生させるクロック発生部と、前記基準クロック信号に基づく第1のクロック周波数を前記CPUに設定するCPUクロック設定部と、前記基準クロック信号に基づく第2のクロック周波数にて前記CPUおよびメモリ間の接続を制御するバス制御部と、前記第1および第2の各クロック周波数間の比率を制御するための制御信号を前記CPUおよびメモリの動作に応じて前記CPUクロック設定部およびバス制御部に供給するクロック制御部と、前記メモリの特定の記憶領域へのアクセスの有無を前記クロック制御部へ通知する通知部とを備え、前記クロック制御部は、前記メモリの特定の記憶領域へのアクセスがないとき、前記第1のクロック周波数が前記第2のクロック周波数より高くなるように前記第1、第2のクロック周波数間の比率を制御し、前記通知部から前記メモリの特定の記憶領域へのアクセスがある旨の通知を受けたとき、前記第2のクロック周波数を前記特定の記憶領域へのアクセスがない時よりも上昇させる制御信号を前記バス制御部へ出力することを特徴とする。

【発明の効果】

【0008】

本発明に係る情報処理装置によれば、CPUおよびメモリの動作に応じて第1および第2の各クロック周波数間の比率を制御することから、一定の周波数にて動作する場合に比べ、消費電力を効率的に抑制することが可能となる。これにより、例えば携帯端末装置の場合、電池の消耗を抑えることができる。

【図面の簡単な説明】

【0009】

【図1】本発明に係る情報処理装置の実施例1の構成を示すブロック図である。

【図2】実施例1の手順を示すフローチャートである。

【図3】実施例1のクロック周波数の遷移を説明するための説明図である。

【図4】本発明に係る情報処理装置の実施例2の構成を示すブロック図である。

【図5】実施例2の手順を示すフローチャートである。

【図6】実施例2のクロック周波数の遷移を説明するための説明図である。

【図7】本発明に係る情報処理装置の実施例3の構成を示すブロック図である。

【図8】実施例3の手順を示すフローチャートである。

【図9】実施例3のクロック周波数の遷移を説明するための説明図である。

【発明を実施するための形態】

【0010】

[実施例1]

図1は、本発明に係る情報処理装置の実施例1の構成を示すブロック図である。実施例1の情報処理装置となる携帯端末装置101は、該装置に搭載された2次電池（図示略）から電源の供給を受ける携帯電話機やPDA（個人向け携帯型情報通信機器）のような装置であり、図1に示すように、演算機能および制御機能等を有するCPUコアの機能を果たすCPU11を含むLSI10と、CPU11が使用するデータを記憶するメインメモリであるメモリ12と、電波の送受信処理および変調処理等の無線通信機能を果たす無線通信手段13とを備える。

【0011】

LSI10には、CPU11およびメモリ12間の接続を制御するインタフェースとなるバス制御部14と、CPU11がメモリ12から読み出したデータをバッファリングす

10

20

30

40

50

るキャッシュメモリ15と、CPU11からキャッシュメモリへのデータ要求に対する成否を検知するキャッシュ検知部16とが設けられている。CPU11は、データ処理を行う際、キャッシュメモリ15のデータをリード、あるいは、バス制御部14を介してメモリ12からデータをリードして処理を実行する。キャッシュ検知部16は、キャッシュメモリ15からデータがリードされたとき、キャッシュヒットとの検知結果を出し、リードすべきデータがキャッシュメモリ15に存在せずメモリ12からリードされたときはキャッシュミスとの検知結果を出す。

【0012】

また、LSI10には、図1に示すように、所定周波数 f_0 ($f_0 > 0$)の基準クロック信号を発生させるクロック発生部17と、基準クロック信号に基づく第1のクロック周波数となる周波数 f_1 ($f_1 > 0$)をCPU11に設定するCPUクロック設定部18とが設けられており、クロック発生部17から出力された基準クロック信号は、CPUクロック設定部18およびバス制御部14へ供給される。CPUクロック設定部18は、周波数 f_1 のクロック信号をCPU11へ供給し、バス制御部14は、第2のクロック周波数となる周波数 f_2 ($f_2 > 0$)にてメモリ12を制御する。

10

【0013】

さらに、LSI10には、クロック周波数 f_1 および f_2 間の比率を制御するための制御信号をCPUクロック設定部18およびバス制御部14に与えるクロック制御部19が設けられている。本実施例のクロック制御部19は、キャッシュ検知部16の検知結果に応じてクロック周波数 f_1 および f_2 間の比率を決定して制御信号を出力し、CPUクロック設定部18およびバス制御部14は、クロック制御部19からの制御信号に基づきクロック周波数 f_1 および f_2 を設定する。

20

【0014】

クロック制御部19は、周波数の比率を決定するにあたり、CPU11に高速動作が要求されるキャッシュヒット時には、このCPU11のクロック周波数 f_1 を他方のクロック周波数 f_2 よりも高い値となるように制御する。また、キャッシュミスによりデータをメモリ12からリードする時は、例えば待ち時間の発生によりCPU11の高速動作が無益になる可能性もあることから、このような事象を考慮して、CPU11のクロック周波数 f_1 をキャッシュヒット時の値よりも下げるように制御する。

【0015】

実施例1の携帯端末装置101の動作例を図2のフローチャートに沿って説明する。以下の例では、クロック発生部17からの基準クロック信号の周波数 f_0 を100MHzとし、CPU11に高速動作が要求される間、クロック周波数 f_1 および f_2 の比率が2:1に設定されるものとする。

30

【0016】

クロック制御部19は、携帯端末装置101の起動当初、あるいは、キャッシュヒットの間は、クロック周波数 f_1 および f_2 の比率が2:1となるように制御信号を出力する(ステップS1)。具体的には、クロック制御部19は、キャッシュ検知部16からキャッシュヒットとの検知結果を受けると、CPUクロック設定部18に対し、CPU11へのクロック信号の周波数 f_1 を基準クロック信号の周波数 f_0 と同一の100MHzに設定するよう指示する制御信号を送る。また、バス制御部14に対しては、メモリ12を制御するためのクロック周波数 f_2 を、周波数 f_0 の1/2である50MHzに設定するよう指示する制御信号を送る。これにより、CPU11のためのクロック周波数 f_1 が100MHz、メモリ12制御のためのクロック周波数 f_2 が50MHzに設定される。

40

【0017】

クロック制御部19は、キャッシュ検知部16からの検知結果がキャッシュヒットである間は(ステップS2:No)、上記の比率2:1を維持するように制御するが、検知結果がキャッシュミスの発生を示すとき(ステップS2:Yes)、CPUクロック設定部18に対し、クロック周波数 f_1 を他方のクロック周波数 f_2 と同一値にするための制御信号、すなわちクロック周波数 f_1 を基準クロック周波数 f_0 の1/2である50MHz

50

に設定するよう指示する制御信号を送る（ステップS3）。CPUクロック設定部18は、前記制御信号を受けると、CPU11に供給すべきクロック信号の周波数 f_1 を100MHzから50MHzへ切り替える。これにより、クロック周波数 f_1 および f_2 の比率が1:1に設定される。

【0018】

クロック制御部19は、キャッシュ検知部16からの検知結果がキャッシュミスである間は（ステップS4:No）、上記の比率1:1を維持するように制御する。そして、メモリ12からリードされたデータがキャッシュメモリ15に格納されることにより、再びキャッシュヒットとの検知結果を受けたとき（ステップS4:Yes）、CPU11の動作を高速化すべく、クロック周波数 f_1 および f_2 の比率が2:1となるような制御信号を出力する（ステップS1）。これにより、クロック周波数 f_1 が50MHzから100MHzに切り替えられる。以降、クロック制御部19は、上述の手順に沿って、携帯端末装置101のクロック周波数を制御する。

10

【0019】

図3に、上述の例に沿ったクロック周波数 f_1 および f_2 の遷移を示す。図示するように、CPU11は、キャッシュヒットの間は基準クロック信号の周波数 f_0 と同じ100MHzで駆動され、キャッシュミスの発生によりデータをメモリ12からリードする間は、それまでより低速の50MHzのクロック周波数にて駆動される。

【0020】

なお、上記例の他に、キャッシュメモリ15への接続がディセーブル(disable)に設定されたときに、クロック周波数 f_1 を下げるように制御することができる。また、キャッシュヒットの間、バス制御部14側のクロック周波数 f_2 を上記例の50MHzより低い値に下げないようにしてもよい。

20

【0021】

以上説明したように、実施例1の携帯端末装置101によれば、キャッシュメモリ15におけるキャッシュミスの間は、CPU11に対するクロック周波数をメモリ12制御のクロック周波数と同一となるように低下させることから、クロックを停止させることなく消費電力を低減することができる。これにより、2次電池の消耗を抑制することができる。

【0022】

[実施例2]

図4は、実施例2の携帯端末装置102の構成を示すブロック図である。本実施例のメモリ12は、図4に示すように、CPU11に要求されたデータのバースト転送を行うバースト処理部12aを有し、このバースト処理部12aは、バースト転送期間中であることを示す信号をクロック制御部19へ出力する。本実施例は、クロック制御部19が、バースト信号の受信を契機にクロック周波数 f_1 を下げるよう制御するものである。

30

【0023】

図5に示すフローチャートに沿って、実施例2の動作例を説明する。クロック制御部19は、携帯端末装置101の起動当初、あるいは、バースト処理部12aからバースト信号を受けるまでの間は、クロック周波数 f_1 が100MHz、クロック周波数 f_2 が50MHz、すなわち両周波数の比率が2:1となるように制御信号を出力する（ステップS11）。

40

【0024】

クロック制御部19は、上記の比率2:1を維持する間、上記バースト信号を受けるとによりバースト転送期間であることを検知したとき（ステップS12:Yes）、実施例1で説明した動作と同様に、CPUクロック設定部18に対し、100MHzのクロック周波数 f_1 を他方の50MHzのクロック周波数 f_2 と同一値にするための制御信号を送る。CPUクロック設定部18は、前記制御信号を受けると、クロック周波数 f_1 を100MHzから50MHzへ切り替える。これにより、クロック周波数 f_1 および f_2 の比率が1:1に設定される（ステップS13）。

50

【 0 0 2 5 】

クロック制御部 1 9 は、バースト処理部 1 2 a からバースト信号を受信する間は（ステップ S 1 4 : N o ）、上記の比率 1 : 1 を維持するように制御する。そして、バースト信号の供給がなくなることによりバースト転送期間の終了を検知すると（ステップ S 1 4 : Y e s ）、CPU 1 1 の動作を高速化すべく、クロック周波数 f_1 と f_2 との比率が 2 : 1 となるような制御信号を出力する（ステップ S 1 1 ）。これにより、CPU 1 1 のためのクロック周波数 f_1 が 5 0 M H z から 1 0 0 M H z に切り替えられる。以降、クロック制御部 1 9 は、上述の手順に沿って、携帯端末装置 1 0 2 のクロック周波数を制御する。

【 0 0 2 6 】

図 6 に、上述の例に沿ったクロック周波数の遷移を示す。図示するように、携帯端末装置 1 0 2 では、メモリ 1 2 からデータのバースト転送が行われる間、CPU 1 1 のクロック周波数 f_1 は、バス制御部 1 4 が制御するクロック周波数 f_2 と同一となるように低速化される。

10

【 0 0 2 7 】

このように、実施例 2 の携帯端末装置 1 0 2 によっても、上述の実施例 1 と同様な効果を奏する。

【 0 0 2 8 】

[実施例 3]

図 7 は、実施例 3 の携帯端末装置 1 0 3 の構成を示すブロック図である。上記実施例 1 および 2 は、クロック周波数を低速化することにより消費電力の抑制を図るものであったが、これに代えて、本実施例では、バス制御部 1 4 側のクロック周波数を一時的に上昇させ、処理時間を短縮させることにより、同様の目的を果たす。

20

【 0 0 2 9 】

本実施例の携帯端末装置 1 0 3 では、LSI 1 0 に外部接続するメモリデバイスのような周辺デバイス 2 0 のアクセスを高速化するために、メモリ 1 2 に当該周辺デバイス 2 0 のための特定のメモリ領域を割り当てておく。そして、この領域へのアクセスがある間、バス制御部 1 4 が制御するクロック周波数 f_2 を上昇させる。

【 0 0 3 0 】

上記の動作を実現するために、メモリ 1 2 の特定のメモリ領域にアクセスがあることをクロック制御部 1 9 に通知する通知部を設ける。この通知部としては、図 7 に示すように、従来知られたアドレスデコーダ 2 1 を使い、これを CPU 1 1 およびクロック制御部 1 9 間に介在させる。アドレスデコーダ 2 1 は、周辺デバイス 2 0 のための前記特定領域へのアクセスがあるとき、その旨を示す信号をクロック制御部 1 9 へ出力する。

30

【 0 0 3 1 】

図 8 に示すフローチャートに沿って、実施例 3 の動作例を説明する。クロック制御部 1 9 は、携帯端末装置 1 0 1 の起動当初、あるいは、周辺デバイス 2 0 のアクセスがない間は、クロック周波数 f_1 が 1 0 0 M H z 、クロック周波数 f_2 が 5 0 M H z 、すなわち両周波数の比率が 2 : 1 となるように制御信号を出力する（ステップ S 2 1 ）。

【 0 0 3 2 】

クロック制御部 1 9 は、上記の比率 2 : 1 を維持する間、アドレスデコーダ 2 1 からの通知により周辺デバイス 2 0 のアクセスがあることを検知したとき（ステップ S 2 2 : Y e s ）、バス制御部 1 4 に対し、現在 5 0 M H z のクロック周波数 f_2 を、他方のクロック周波数 f_1 と同一の 1 0 0 M H z に高速化させるための制御信号を送る。バス制御部 1 4 は、前記制御信号を受けると、クロック周波数 f_2 を 5 0 M H z から 1 0 0 M H z へ切り替える。これにより、クロック周波数 f_1 および f_2 の比率が 2 : 2 、すなわち両周波数が同一値に設定される（ステップ S 2 3 ）。

40

【 0 0 3 3 】

クロック制御部 1 9 は、アドレスデコーダ 2 1 からの通知を受ける間は（ステップ S 2 4 : N o ）、上記の比率 2 : 2 を維持するように制御する。そして、前記通知がなくなることにより周辺デバイス 2 0 のアクセスが終了したことを検知すると（ステップ S 2 4 :

50

Yes)、クロック周波数 f_2 を 50 MHz に戻すべく、バス制御部 14 に対し、クロック周波数 f_1 および f_2 の比率が 2 : 1 となるような制御信号を出力する (ステップ S 21)。

【0034】

図 9 に、上述の例に沿ったクロック周波数 f_1 および f_2 の遷移を示す。図 9 に示すように、クロック制御部 19 は、メモリ 12 に周辺デバイス 20 のアクセスがある間、クロック周波数 f_2 を CPU 11 のクロック周波数 f_1 と同一値に上昇させる。これにより、周辺デバイス 20 に関わるアクセス時間が短縮されることから、携帯端末装置 103 の消費電流の抑制に寄与することができる。

【0035】

なお、クロック制御部 19 が制御するクロック周波数の比率は上記各実施例で説明したものに限らず、例えばクロック周波数 f_1 および f_2 の比率を 3 : 1 にする等、適宜設定可能である。

【0036】

また、上述の各実施例では、消費電力の抑制に好適な情報処理装置として、無線通信を行う携帯電話機や PDA のような 2 次電池を使用する携帯端末装置を挙げたが、本発明の適用範囲はこれに限らず、例えば、無線通信を行わない汎用のパーソナルコンピュータのような情報処理端末に適用しても上述と同様な効果を得ることができる。

【符号の説明】

【0037】

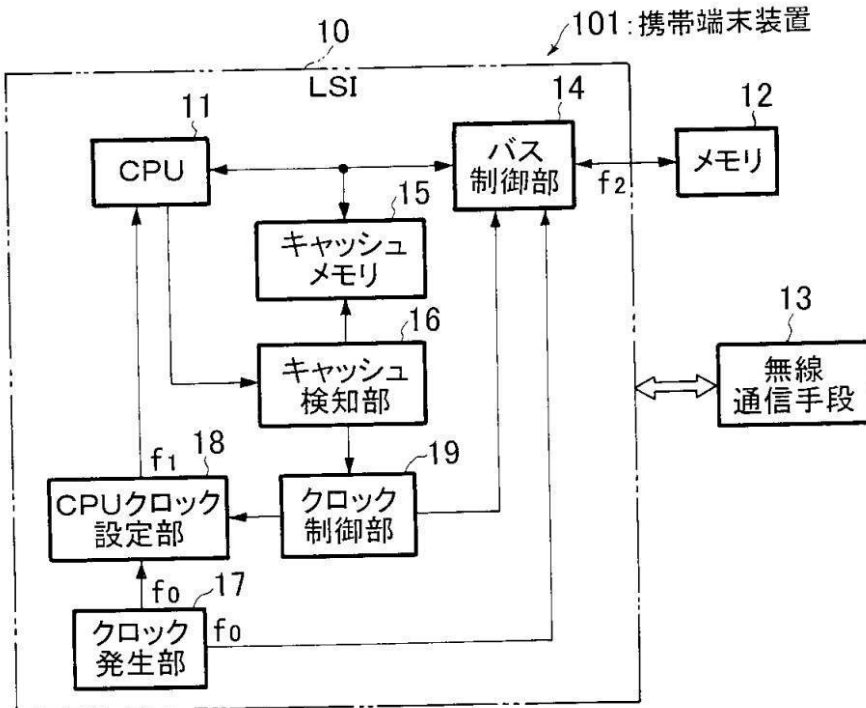
- 101 携帯端末装置
- 10 LSI
- 11 CPU
- 12 メモリ
- 13 無線通信手段
- 14 バス制御部
- 15 キャッシュメモリ
- 16 キャッシュ検知部
- 17 クロック発生部
- 18 CPU クロック設定部
- 19 クロック制御部

10

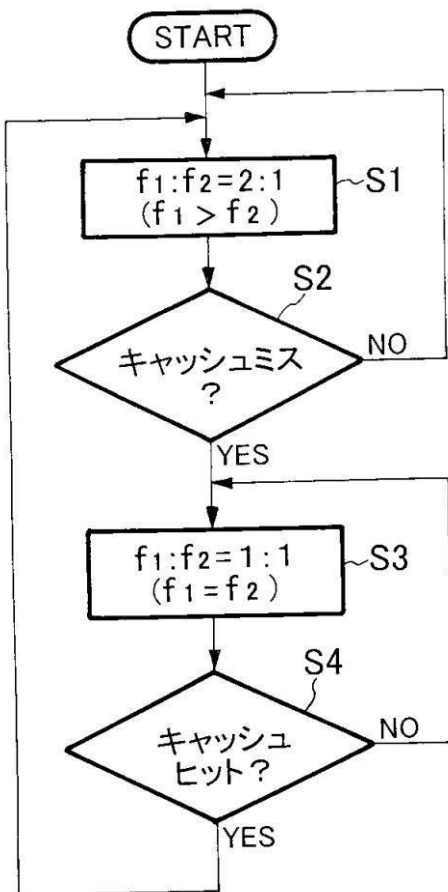
20

30

【図1】



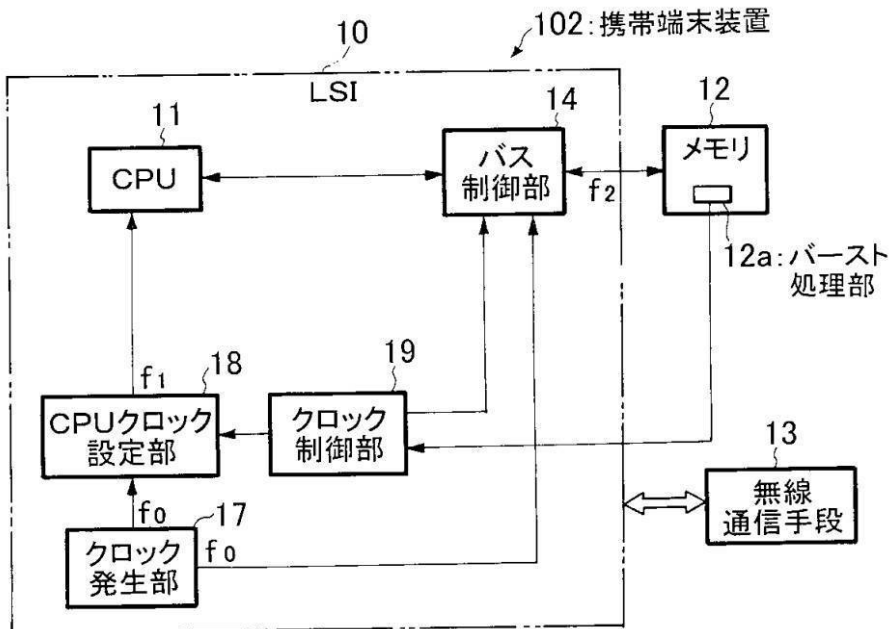
【図2】



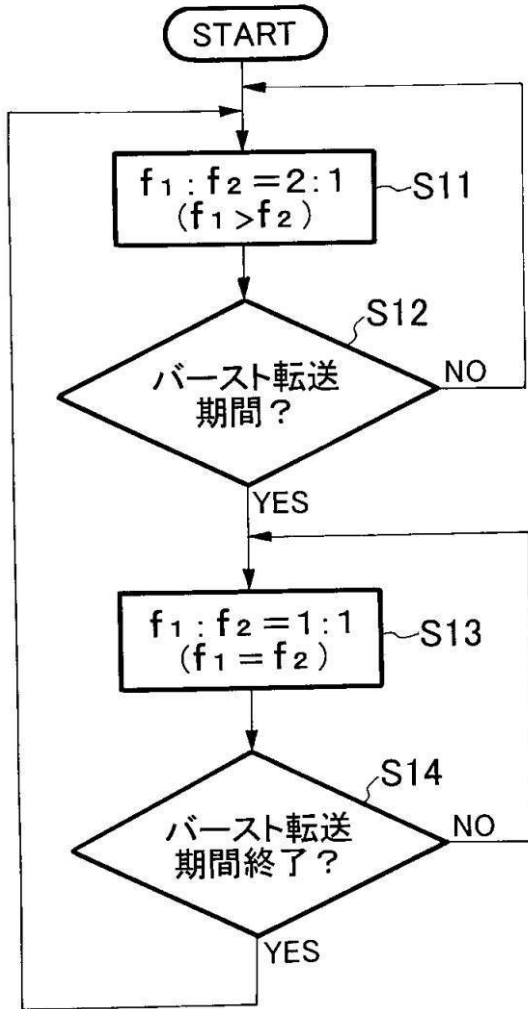
【図3】

キャッシュ	ヒット	ミス	ヒット
CPUクロック(f1)	100MHz	50MHz	100MHz
バスクロック(f2)	50MHz		

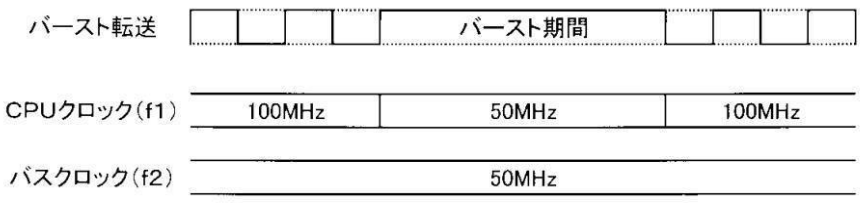
【図4】



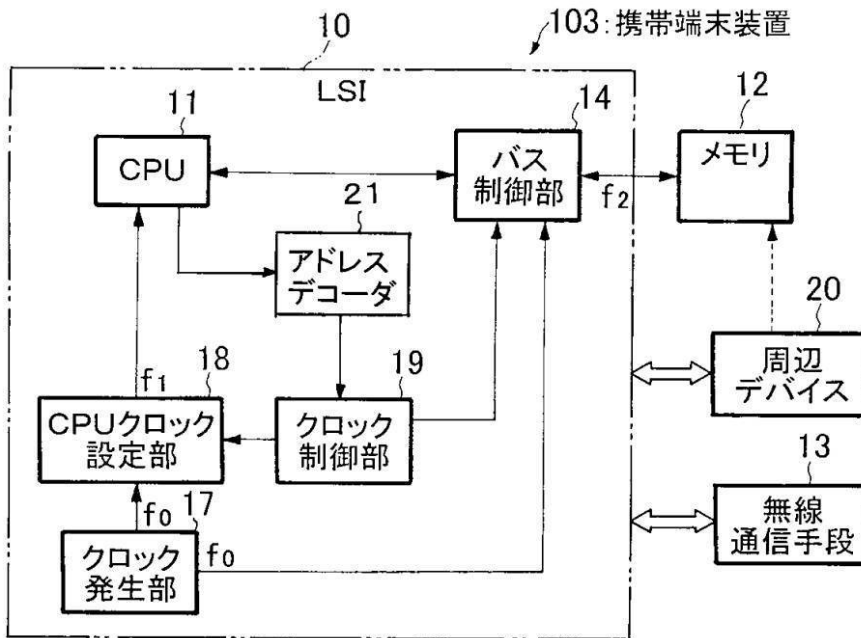
【 図 5 】



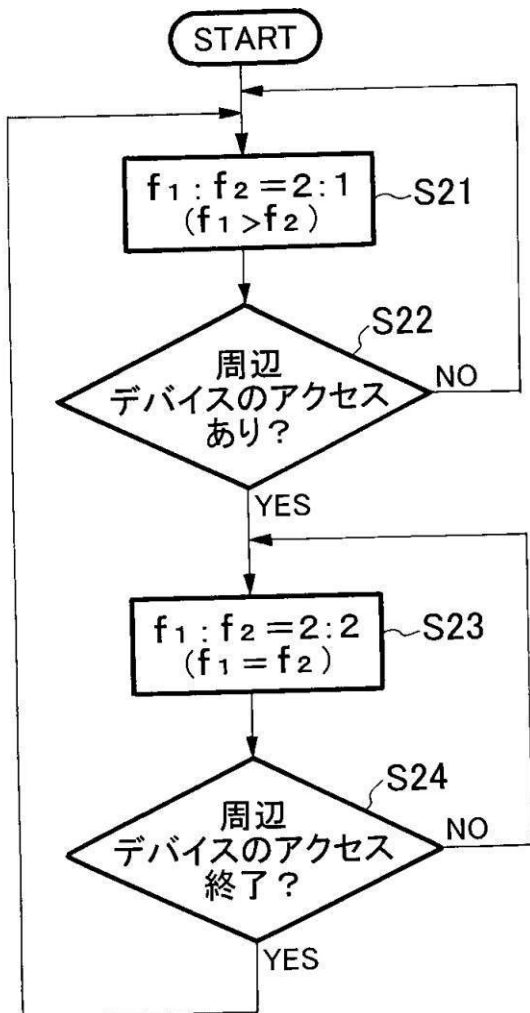
【 図 6 】



【図7】



【図8】



【 図 9 】

周辺アクセス	なし	あり	なし
CPUクロック(f1)	100MHz		
バスクロック(f2)	50MHz	100MHz	50MHz