

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3977920号
(P3977920)

(45) 発行日 平成19年9月19日(2007.9.19)

(24) 登録日 平成19年6月29日(2007.6.29)

(51) Int. Cl.	F I
H O 1 S 5/12 (2006.01)	H O 1 S 5/12
H O 1 L 21/205 (2006.01)	H O 1 L 21/205

請求項の数 5 (全 11 頁)

(21) 出願番号	特願平10-130771	(73) 特許権者	000005223
(22) 出願日	平成10年5月13日(1998.5.13)		富士通株式会社
(65) 公開番号	特開平11-330615		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成11年11月30日(1999.11.30)	(74) 代理人	100091340
審査請求日	平成17年2月1日(2005.2.1)		弁理士 高橋 敬四郎
前置審査		(72) 発明者	江川 満
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	藤井 卓也
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	小滝 裕二
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
			最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

I n P からなる表面層を有する基板の表面上に、I n P と異なる屈折率を有する I I I - V 族化合物半導体からなる化合物半導体層を堆積する工程と、

前記化合物半導体層に、その全厚さ領域を貫き、回折格子を構成する複数の溝を形成する工程と、

I n の原料として有機金属、キャリアガスとして H₂ を用い、基板温度を 400～500℃とした有機金属化学気相成長により、前記溝内を埋め込みかつ前記化合物半導体層を被覆するように、I n P からなる第1の層を堆積する工程と、基板温度を前記第1の層の堆積時の基板温度よりも高くし、前記第1の層の上に、I n P からなる第2の層を堆積する工程と

を含み、

前記第1の層を堆積する工程の前に、さらに、該第1の層の堆積時の P 原料を含む H₂ 雰囲気中で、前記溝の形成された基板を、前記第1の層の成長温度まで昇温する工程を含み、

前記化合物半導体層を堆積する工程の後、さらに、該化合物半導体層の上に、I n P からなる第3の層を堆積する工程を含み、

前記溝を形成する工程において、前記第3の層の上面から少なくとも前記化合物半導体層の下面まで達する前記溝を形成する半導体装置の製造方法。

【請求項2】

前記化合物半導体層を堆積する工程が、複数の薄層を積層する工程を含み、前記複数の薄層のうち少なくとも1つの薄層は、InPと異なる屈折率を有する請求項1に記載の半導体装置の製造方法。

【請求項3】

前記第2の層を堆積する工程において、基板温度を600～700℃として該第2の層を堆積する請求項1または2に記載の半導体装置の製造方法。

【請求項4】

前記第2の層を堆積する工程において、前記第1の層を堆積する工程における成長速度よりも速い成長速度で前記第2の層を堆積する請求項1～3のいずれかに記載の半導体装置の製造方法。

10

【請求項5】

前記第1の層を堆積する工程におけるV/I_{III}比を、前記第2の層を堆積する工程におけるV/I_{III}比よりも大きくする請求項1～4のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に回折格子を有する半導体装置の製造方法に関する。

【0002】

20

【従来の技術】

図6は、従来の分布帰還型半導体レーザ装置（DFBレーザ装置）の断面図を示す。n型InP基板100の主表面に、複数の溝からなる回折格子110が形成されている。回折格子110の上に、n型InGaAsPからなるガイド層101、InGaAsPからなる活性層102、p型InPからなるクラッド層104、p型InGaAsPからなるコンタクト層105が形成されている。

【0003】

コンタクト層105の表面上、及びInP基板100の裏面上に、それぞれ電極106及び107が形成されている。

【0004】

30

屈折率の大きな活性層102やガイド層101、103が、屈折率の小さなInP基板100とInPクラッド層104で挟まれ、導波路を構成する。回折格子110の凹凸の周期に対応する波長の光のみがブラッグ反射し、導波路内で反射を繰り返して発振する。

【0005】

回折格子110は、干涉露光法によってレジストパターンを形成し、そのレジストパターンをマスクとしてInP基板100の表面層を部分的にエッチングすることにより形成される。

【0006】

【発明が解決しようとする課題】

回折格子110を形成する時のエッチングの不均一性により、基板面内で均一な回折格子を形成することが困難な場合がある。また、回折格子110の上にInGaAsPガイド層を形成する際の基板温度の昇温過程において、回折格子110が熱変形し、凹凸形状の制御が困難な場合もある。回折格子110の熱変形を防止するために、回折格子110の表面をGaAsで被覆する方法が知られている。しかし、この場合、GaAs被覆の条件が最適化されていないと、その上に形成されるレーザ構造に結晶欠陥が導入されやすくなる。

40

【0007】

導波路内を伝搬する光が分布帰還を受ける強さを示す結合効率は、回折格子の凹凸の高さに依存する。熱変形を受けやすいInPからなる回折格子を用いると、回折格子の凹凸の高さを高精度に制御することが困難であり、結合効率の制御も困難となる。

50

【0008】

また、近年クーラーレスDFBレーザ装置開発のために、結合効率の大きな回折格子が望まれている。回折格子の結合効率を大きくするためには、凹凸の高さを高くする必要がある。しかし、凹凸の大きなInP表面上にInGaAsPガイド層を成長させると、凹部と凸部とでIII族元素の組成が異なる組成変調が生ずる。組成変調の生じたガイド層の上に活性層を成長させると、活性層の結晶性が低下する。

【0009】

本発明の目的は、再現性良く、かつ高精度に回折格子を形成することができ、その上に高品質の半導体層を堆積することが可能な半導体装置の製造方法を提供することである。

【0010】

【課題を解決するための手段】

本発明の一観点によると、

InPからなる表面層を有する基板の表面上に、InPと異なる屈折率を有するIII-V族化合物半導体からなる化合物半導体層を堆積する工程と、

前記化合物半導体層に、その全厚さ領域を貫き、回折格子を構成する複数の溝を形成する工程と、

Inの原料として有機金属、キャリアガスとしてH₂を用い、基板温度を400～500℃とした有機金属化学気相成長により、前記溝内を埋め込みかつ前記化合物半導体層を被覆するように、InPからなる第1の層を堆積する工程と、基板温度を前記第1の層の堆積時の基板温度よりも高くし、前記第1の層の上に、InPからなる第2の層を堆積する工程と

を含み、

前記第1の層を堆積する工程の前に、さらに、該第1の層の堆積時のP原料を含むH₂雰囲気中で、前記溝の形成された基板を、前記第1の層の成長温度まで昇温する工程を含み、

前記化合物半導体層を堆積する工程の後、さらに、該化合物半導体層の上に、InPからなる第3の層を堆積する工程を含み、

前記溝を形成する工程において、前記第3の層の上面から少なくとも前記化合物半導体層の下面まで達する前記溝を形成する半導体装置の製造方法が提供される。

【0016】

昇温期間中に、P原料を含むH₂雰囲気としていたため、InP表面からのPの脱離を抑制することができる。

【0017】

【発明の実施の形態】

図1を参照して、第1の実施例による半導体装置の製造方法を説明する。

【0018】

図1(A)に示すように、n型InP基板1の主表面上に、n型InPからなる厚さ0.3μmのバッファ層2、波長1.1μmに相当するバンドギャップを有するn型InGaAsPからなる厚さ100nmの回折格子層3を堆積する。n型InPバッファ層2及びn型InGaAsP回折格子層3の堆積は、基板温度630℃、圧力50Torrの条件で減圧有機金属化学気相成長（減圧MOCVD）により行われる。

【0019】

In原料としてトリメチルインジウム（TMIn）、Ga原料としてトリエチルガリウム（TEGa）、As原料としてアルシン（AsH₃）、P原料としてフォスフィン（PH₃）、キャリアガスとしてH₂を用いる。n型InP基板1には、n型不純物としてSnが $2 \times 10^{18} \text{ cm}^{-3}$ 添加されている。n型InPバッファ層2及びn型InGaAsP回折格子層3には、n型不純物としてSiが $5 \times 10^{17} \text{ cm}^{-3}$ 添加されている。不純物原料として、例えばジシラン（Si₂H₆）を用いる。

【0020】

回折格子層3の表面上に、回折格子模様のレジストパターン15を形成する。レジストパ

10

20

30

40

50

ターン15は、例えば干渉露光法により形成される。

【0021】

図1(B)において、レジストパターン15をマスクとして回折格子層3を部分的にエッチングし、回折格子層3の全厚さ部分を貫通する複数の溝3bを形成する。回折格子層3のエッチングは、例えばエッチャントとして H_2SO_4 、 H_2O_2 、及び H_2O の混合液を用いたウェットエッチングにより行う。このウェットエッチングは、混合比を最適化することにより、InPに対してInGaAsPをほぼ選択的に除去することができるため、InPからなるバッファ層2がエッチング停止層として機能する。なお、ドライエッチングによりInGaAsP回折格子層3をエッチングする場合には、InPに対してInGaAsPを選択的にエッチングすることが困難なため、バッファ層2の上層部が若干エッチングされるようにオーバエッチングを行う。溝3bの形成後、レジストパターン15を除去する。

10

【0022】

このようにして、バッファ層2の上に回折格子3aが形成される。回折格子3aのピッチは、発振させるべきレーザ光の活性層内の波長によって決定される。例えば、波長 $1.3\mu\text{m}$ のレーザ光を得る場合には、回折格子3aのピッチを $0.2\mu\text{m}$ とする。

【0023】

図1(C)に示すように、Si濃度 $5 \times 10^{17} \text{cm}^{-3}$ のn型InPからなる第1の層4を、溝3bを埋め込みかつ回折格子3aを被覆し、回折格子3aの上の部分の厚さが 50nm になるように形成する。第1の層4の堆積は、Inの原料としてTMIn、Pの原料として PH_3 、キャリアガスとして H_2 、不純物原料として Si_2H_6 を用い、基板温度 470°C の条件で、MOCVDにより行う。なお、 H_2 ガスの総流量は 6000sccm である。

20

【0024】

基板温度を 470°C まで昇温する工程は、 PH_3 を含む H_2 雰囲気中で行う。 H_2 雰囲気中に PH_3 を含ませておくことにより、溝3bの底面に露出したn型InPバッファ層2からのPの脱離を抑制することができる。また、この昇温工程中に、P以外のV族元素の原料を供給すると、n型InPバッファ層2の表面がP以外のV族元素と反応して表面荒れを起こす。このため、 H_2 雰囲気中には、V族原料としてPの原料のみを添加しておくことが好ましい。

30

【0025】

第1の層4の堆積後、約5分をかけて基板温度を 630°C まで上昇させ、第1の層4の上にSi濃度 $5 \times 10^{17} \text{cm}^{-3}$ のn型InPからなる厚さ 50nm の第2の層5を堆積する。基板温度を 630°C まで昇温する時には、回折格子3aは第1の層4で被覆されている。このため、回折格子3aの熱変形を防止することができ、その厚さ（凹凸の高さ）及びピッチを高精度に制御することが可能になる。また、第1の層4の上に、第1の層4の堆積時よりも高い基板温度で第2の層5を堆積しているため、この時点における基板最表面の結晶性を良好に維持することができる。

【0026】

なお、第1の層4を堆積した後、第2の層の堆積を行いながら基板温度を上昇させてもよいし、一旦結晶成長を停止して基板温度を上昇させ、所定の基板温度に達してから第2の層5の堆積を開始してもよい。前者の方法の場合には、例えば、昇温期間中に厚さ 30nm のn型InP層を堆積し、基板温度を 630°C に維持して、厚さ 20nm のn型InP層を堆積する。この場合、第1の層4と第2の層5との界面の連続性を高めることができる。後者の方法の場合には、第2の層5への不純物の添加量を比較的容易に制御することができる。また、第2の層5の成長時の基板温度を $600 \sim 700^\circ\text{C}$ としてもよい。

40

【0027】

また、回折格子3aの上に、2元のInPを堆積するため、3元以上の混晶を堆積する場合に生ずるような組成変調は生じない。

【0028】

50

図1 (D) に示すように、第2の層5の上に、下側のガイド層6、活性層7、上側のガイド層8、上側のクラッド層9、及びコンタクト層10を順次堆積する。下側のガイド層6と上側のガイド層8は、波長1.1 μm に相当するバンドギャップを有するノンドープのInGaAsPからなる厚さ50 nmの層である。

【0029】

活性層7は、バリア層と井戸層とが10層ずつ交互に積層された多重量子井戸構造を有する。バリア層は、波長1.1 μm に相当するバンドギャップを有する厚さ10 nmのInGaAsP層であり、井戸層は、波長1.3 μm に相当するバンドギャップを有する厚さ5 nmのInGaAsP層である。なお、活性層にInGaAs、AlInGaAsを用いてもよい。

10

【0030】

上側クラッド層9は、Zn濃度 $5 \times 10^{17} \text{ cm}^{-3}$ 、厚さ0.5 μm のp型InP層である。コンタクト層10は、Zn濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ50 nm、波長1.2 μm 相当のバンドギャップを有するp型InGaAsP層である。

【0031】

コンタクト層10の表面上にp側の電極11を形成し、InP基板1の裏面上にn側の電極12を形成する。p側の電極11は、例えばAu/Pt/Tiの積層により形成され、n側の電極は、例えばAu/Ge/Niの積層により形成される。

【0032】

図1 (D) に示すDFBレーザ装置により、結合係数 150 cm^{-1} を得ることができた。これは、設計上の結合係数とほぼ同等である。

20

【0033】

図2は、図1 (D) に示すレーザ構造を、第1の層4の堆積時の成長速度及びキャリアガスの総流量に対する PH_3 の流量比を変えて形成した場合の活性層7のフォトルミネッセンス強度を示す。なお、フォトルミネッセンスの測定に用いた励起光の波長は0.647 μm である。横軸は第1の層4の成長速度を単位 $\mu\text{m/h}$ で表し、縦軸はキャリアガスの総流量に対する PH_3 の流量比を単位%で表す。図中の記号○は、比較的大きなフォトルミネッセンス強度が得られた場合を示し、記号×は、小さなフォトルミネッセンス強度しか得られなかった場合を示す。各記号に付した数値は、フォトルミネッセンス強度の測定装置で検出された電圧であり、この電圧はフォトルミネッセンス強度にほぼ比例する。

30

【0034】

図2に示す境界線aよりも左上の領域で、比較的大きなフォトルミネッセンス強度が得られている。この境界線aを左から右に跨ぐと、フォトルミネッセンス強度が2桁近く急激に低下する。また、この境界線aの左上の領域の条件で第1の層4を堆積した場合のレーザ構造の表面は鏡面であったが、右下の領域の条件で第1の層4を堆積した場合のそれは粗面であった。図1 (C) に示す第1の層4の堆積条件を、図2の境界線aよりも左上の領域とすることにより、高品質の活性層を得られることがわかる。

【0035】

境界線aは、成長速度を $\text{DR} [\mu\text{m/h}]$ 、キャリアガスの層流量に対する PH_3 の流量比を $\text{FR} [\%]$ としたとき、

40

【0036】

【数3】

$$\log_{10} \text{FR} = 4.4 \text{DR} - 1.3$$

で表されるから、

【0037】

【数4】

$$\log_{10} \text{FR} \geq 4.4 \text{DR} - 1.3$$

を満たす条件で第1の層4を堆積することが好ましい。

【0038】

なお、図2は、第1の層4の成長時の基板温度を470 $^{\circ}\text{C}$ とした場合を示しているが、基

50

基板温度 400～500℃の条件で堆積を行っても、ほぼ同様の結果が得られるであろう。

【0039】

図3は、第1の層の堆積時の基板温度を異ならせた場合の第1の層の堆積後の基板断面図を示す。図3(A)～図3(C)は、それぞれ第1の層4a～4cの堆積時の基板温度を380℃、450℃、及び520℃とした場合を示す。図3(A)に示すように、基板温度を380℃とすると、第1の層4aの表面に回折格子3aの表面の凹凸に応じた凹凸が形成される。これは、基板温度が低く、第1の層4aの堆積中に回折格子3aの凸部から凹部への質量移動が生じにくいためと考えられる。図3(C)に示すように、基板温度を520℃とすると、第1の層4cの成長時に、回折格子3aが薄くなり、その上面が丸みを帯びる。これは、回折格子3aが高温に晒されることにより熱変形するためと考えられる。

10

【0040】

図3(B)に示すように、基板温度を450℃とすると、回折格子3aの熱変形を防止しつつ、第1の層4bの表面を平坦にすることができる。従って、第1の層4の堆積時に基板温度を400～500℃とすることが好ましいと考えられる。

【0041】

また、図2から、成長速度0.2μm/hとしたときに、H₂に対するPH₃の流量比FRが0.4%以上の条件で良好な品質の活性層を得られることがわかる。流量比FRを一定に保ち、第1の層4の成長速度を0.2μm/hから徐々に速くしていくと、当該流量比FRに対応する横軸に平行な直線と境界線aとの交点に相当する成長速度近傍において、フォトルミネッセンス強度が、成長速度0.2μm/hとしたときのフォトルミネッセンス強度の少なくとも1/10以下に急激に低下する。フォトルミネッセンス強度が1/10となるときの成長速度よりも遅い成長速度で第1の層4を堆積すると、高品質の活性層を得ることができる。

20

【0042】

PH₃の流量を増やすと、除害装置の能力を大きくするため、流量比FRを20%以下とすることが好ましい。流量比を20%とした場合には、第1の層4の成長速度を0.6μm/hまで速くすることが可能である。

【0043】

図1(C)に示す工程において、第2の層5の成長速度を第1の層4の成長速度よりも速くすることが好ましい。第2の層5の成長初期に、基板温度を徐々に上げながら成長を行う場合には、基板温度の上昇に伴って成長速度も徐々に速くする。例えば成長速度0.2μm/hから1μm/hまで徐々に速くする。一般に基板温度を高温とし、かつ成長速度を極度に遅くすると、成長した膜の結晶性が低下する。第2の層5の成長速度を速くすることにより、結晶性の低下を防止することができる。

30

【0044】

また、第1の層4の成長時のV/III比を第2の層5の成長時のV/III比よりも大きくすることが好ましい。例えば基板温度450℃で成長を行う場合のV/III比を1500とし、基板温度630℃で成長を行う場合のV/III比を100とする。低温成長時には、V族原料の熱分解効率が低下する。第1の層4の低温成長時のV族原料の供給量を増加させることにより、第1の層4の結晶性の低下を防止することができる。

40

【0045】

上記実施例では、n型不純物としてSiを用い、Si原料としてSi₂H₆を用いた。n型不純物として、その他にSe、S等を用いてもよい。Se原料として、例えばH₂Se、S原料として、例えばH₂Sを用いることができる。これらの不純物原料を用いることにより、不純物濃度1×10¹⁷cm⁻³以上の範囲で、不純物濃度を比較的容易に制御することができる。

【0046】

上記実施例では、回折格子3aをInGaAsPで形成したが、InPと異なる屈折率を有するその他のIII-V族化合物半導体で形成してもよい。例えば、InGaAs、I

50

nAlAs、InGaAlAsで形成してもよい。III族元素としてAlを含む層を堆積する場合は、例えばAl原料としてトリメチルアルミニウム(TMAI)を用い、基板温度を680℃程度とする。

【0047】

上記第1の実施例の図1(A)の工程において、n型InGaAsP回折格子層3を堆積した後、その上にInPからなる保護層を堆積してもよい。この保護層は、レジストパターン15を形成するまでの保管中に回折格子層3を保護する。レジストパターン15を形成する直前にこの保護層を除去することにより、回折格子層3の表面の劣化を防止することができる。

【0048】

また、第1の実施例では、Pの原料としてPH₃を用いたが、有機リン原料、例えばジテトラヒドロホスフィン(TBP)を用いても同様の現象が生じる。

【0049】

次に、図4を参照して、第2の実施例について説明する。

図4(A)に示すように、InP基板1の上に、図1(A)の工程と同様の方法で、n型InPバッファ層2及びn型InGaAsP回折格子層3を堆積する。第1の実施例においては、図1(A)に示すn型InGaAsP回折格子層3の上に直接レジストパターン15を形成したが、第2の実施例においては、厚さ80nmの回折格子層3の上に、さらにn型InPからなる厚さ20nmのキャップ層20を堆積し、その上にレジストパターン15を形成する。

【0050】

レジストパターン15をマスクとして、キャップ層20と回折格子層3を部分的にエッチングする。このエッチングは、例えば、エッチングガスとしてC₂H₆とH₂との混合ガスを用いたドライエッチングにより行う。なお、n型InPバッファ層2の一部をエッチングしてもよい。このエッチング後、レジストパターン15を剥離する。

【0051】

図4(B)は、レジストパターン15を剥離した後の基板の断面図を示す。回折格子3aの凸部の各々の上に、n型InPキャップ層20aが配置される。

【0052】

図4(C)に示すように、回折格子3a及びその上に残っているn型InPキャップ層20aを覆うように、第1の層4を堆積する。この堆積は、第1の実施例の図1(C)に示す第1の層4の堆積と同様の方法で行う。図4(C)以降の工程は、第1の実施例の図1(C)以降の工程と同様である。

【0053】

n型InGaAsP回折格子3aの凸部の上に形成されたn型InPキャップ層20aが、InGaAsP回折格子3aの熱変形を防止するのに有効である。通常は、基板温度が第1の層4の成長温度に達したら、第1の層4の成長を開始する。n型InPキャップ層20aを形成した効果を評価するために、第1の層4の成長温度470℃に達してから30分間放置し、その後第1の層4の成長を開始した。この場合、第1の層4の堆積終了時において、回折格子3aの熱変形はほとんど見られなかった。

【0054】

これに対し、n型InPキャップ層20aを形成しない場合には、第1の層4の堆積終了時に、回折格子3aの高さが約10%低くなり、その凸部の角が丸みを帯びていた。回折格子3aの形状を保存するためには、基板温度が470℃に到達して直ちに第1の層4の堆積を開始しなければならない。

【0055】

第2の実施例のように、n型InPキャップ層20aを形成しておくことにより、第1の層4の成長開始時期のマージンが大きくなり、再現性よく回折格子3aを形成することができる。

【0056】

10

20

30

40

50

次に、図5を参照して、第3の実施例について説明する。上記第1及び第2の実施例では、回折格子3aをInGaAsPで形成した。第3の実施例では、回折格子を多層構造とする。

【0057】

図5(A)に示すように、n型InPバッファ層2の上に、多層構造を有する回折格子層30を堆積する。回折格子層30は、n型InGaAsからなる厚さ10nmの薄層とn型InPからなる厚さ10nmの薄層とが、各々5層ずつ交互に積層された多層構造を有する。これらの薄層の不純物濃度は、図1(A)に示す回折格子層3の不純物濃度と同様である。

【0058】

図5(B)に示すように、多層構造の回折格子層30をパターニングして回折格子30aを形成する。回折格子層30のパターニングは、例えばエッチングガスとしてC₂H₆とH₂との混合ガスを用いたドライエッチングにより行う。図5(B)以降の工程は、第1の実施例の図1(B)以降の工程と同様である。

【0059】

回折格子30aを熱変形の起こりにくい材料からなる層を含む多層構造とすることにより、その熱変形を抑制することができる。なお、図5では、InGaAsとInPで回折格子30aを構成した場合を説明したが、その他の材料で多層構造を構成してもよい。このとき、回折格子を構成する複数の薄層のうち少なくとも1つの薄層は、InPと異なる屈折率とする。

【0060】

上記実施例では、DFBレーザ装置を例に本発明の実施例を説明したが、本発明は、DFBレーザ装置のみならず、回折格子を有する半導体装置に適用することが可能である。例えば、分布ブラッグ反射器型半導体レーザ装置(DBRレーザ装置)やグレーティングフィルタ等に適用することができる。

【0061】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0062】

【発明の効果】

以上説明したように、本発明によれば、III-V族化合物半導体からなる回折格子上に、まず比較的低温でInP層を堆積して回折格子を被覆する。このため、回折格子の熱変形を抑制することができる。回折格子をInP層で被覆した後、さらに、比較的高温でInP層を堆積するため、結晶性の良好なInP層を得ることができる。低温成長のInP層の成長条件を好適化しているため、InP層の上に、結晶性の良い活性層、導波路層等を堆積することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体装置の製造方法を説明するための基板の断面図である。

【図2】回折格子を埋め込むInP層の成長速度、キャリアガスの層流量に対するPH₃の流量比を変えたときの、InP層上の活性層のフォトルミネッセンス強度を示すグラフである。

【図3】回折格子を埋め込むInP層の成長温度を380℃、450℃、520℃としたときの基板の断面図である。

【図4】本発明の第2の実施例による半導体装置の製造方法を説明するための基板の断面図である。

【図5】本発明の第3の実施例による半導体装置の製造方法を説明するための基板の断面図である。

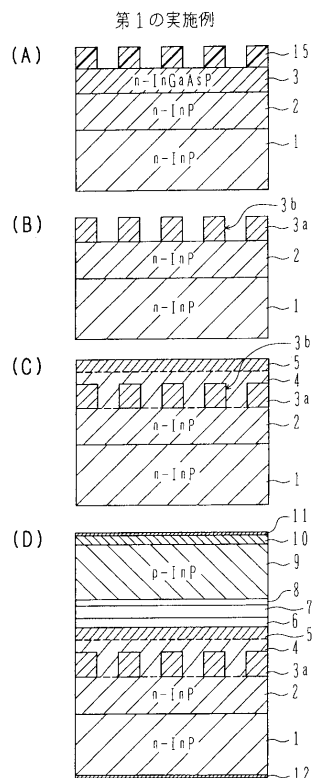
【図6】従来のDFBレーザ装置の断面図である。

【符号の説明】

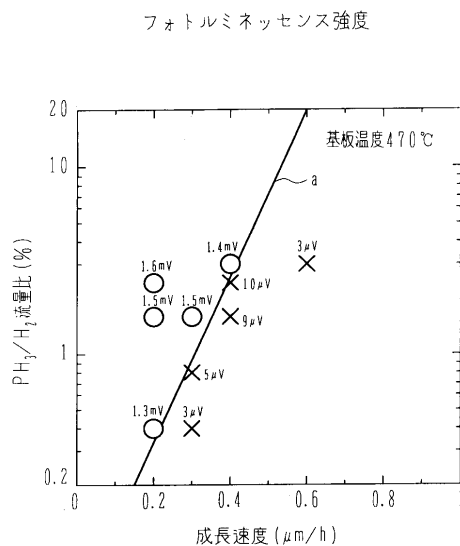
- 1 n型InP基板
- 2 n型InPバッファ層
- 3 n型InGaAsP回折格子層
- 3a 回折格子
- 3b 溝
- 4 n型InPからなる第1の層
- 5 n型InPからなる第2の層
- 6 InGaAsPガイド層
- 7 多重量子井戸活性層
- 8 InGaAsPガイド層
- 9 p型InPクラッド層
- 10 p型InGaAsPコンタクト層
- 11 p側電極
- 12 n側電極
- 15 レジストパターン
- 20 n型InP層
- 30 多層回折格子層
- 30a 多層回折格子

10

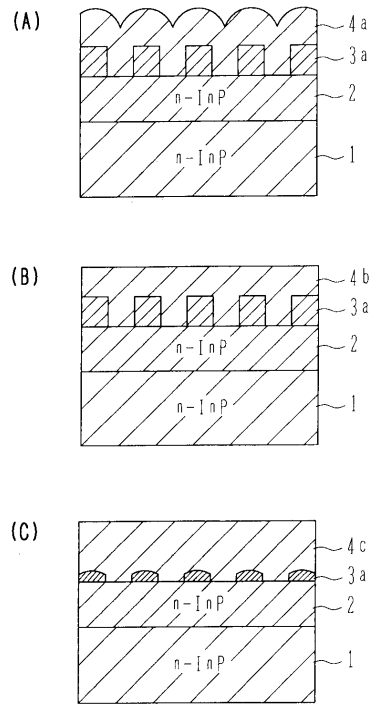
【図1】



【図2】

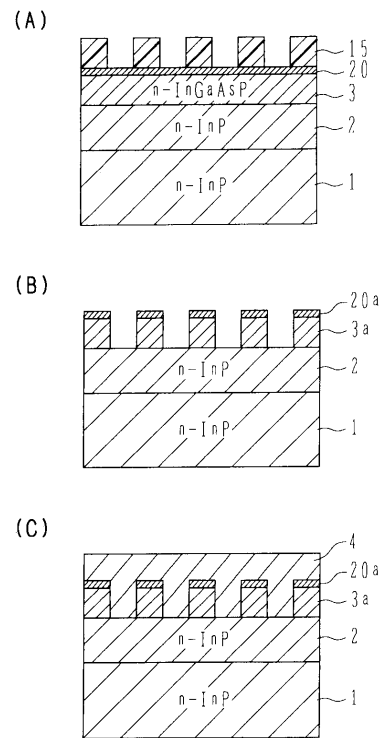


【図 3】



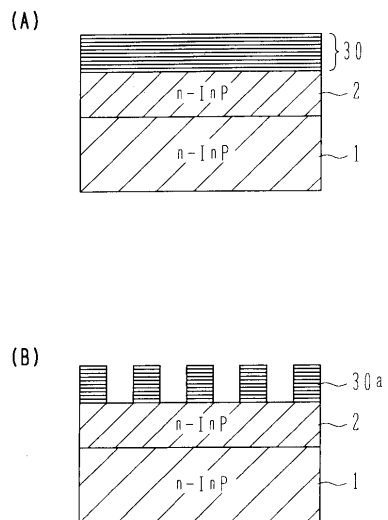
【図 4】

第2の実施例



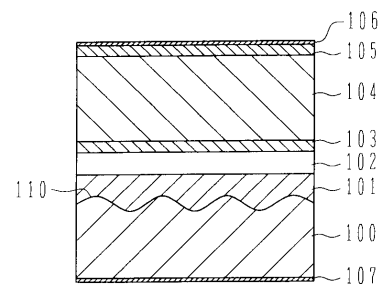
【図 5】

第3の実施例



【図 6】

従来例



フロントページの続き

(72)発明者 松田 学
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 土屋 知久

(56)参考文献 特開平04-216693 (JP, A)
特開昭61-179525 (JP, A)
特開平06-132229 (JP, A)
特開平03-179731 (JP, A)
特開平07-321058 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H01L 33/00
H01S 5/00- 5/50
H01L 21/205
H01L 21/31
H01L 21/365
H01L 21/469
H01L 21/86