



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년09월14일
(11) 등록번호 10-0916552
(24) 등록일자 2009년09월02일

- (51) Int. Cl.
G01R 31/28 (2006.01) *G01R 31/26* (2006.01)
- (21) 출원번호 10-2007-7013635
 (22) 출원일자 2005년12월16일
 심사청구일자 2007년06월15일
 (85) 번역문제출일자 2007년06월15일
 (65) 공개번호 10-2007-0073976
 (43) 공개일자 2007년07월10일
 (86) 국제출원번호 PCT/US2005/045705
 (87) 국제공개번호 WO 2006/068966
 국제공개일자 2006년06월29일
- (30) 우선권주장
 11/016,354 2004년12월17일 미국(US)
- (56) 선행기술조사문헌
 US6828775 B2
 US5101153 A
 US6885213 A
 US5617035 A

- (73) 특허권자
테라다인 인코퍼레이티드
 미국 매사추세츠 01864 노스 리딩 엠에스
 엔알700-2-3 리버 파크 드라이브 700
- (72) 발명자
월커 어니스트 피.
 미국 매세츄세츠주 02493 웨스턴 코난트 로드 254
살츠제프 로날드 에이.
 미국 매세츄세츠주 01827 던스테이블 파크허스트
 로드 81
- (74) 대리인
김정욱, 박종혁, 송봉식, 정삼영

전체 청구항 수 : 총 22 항

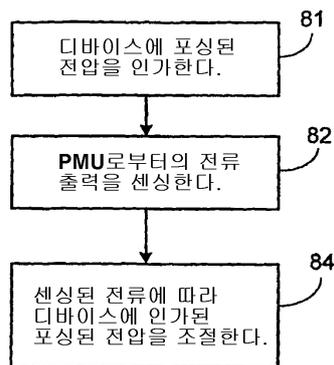
심사관 : 오응기

(54) 피시험 디바이스에서의 전압을 센싱하기 위한 파라미터측정 유닛의 사용

(57) 요약

디바이스를 테스트하기 위한 회로는 디바이스에 포싱된 전압을 인가하기 위한 제1측정 유닛, 및 디스에이블되는 기능부를 가진 제2측정 유닛을 포함한다. 제2측정 유닛은 디바이스로부터 센싱된 전압을 수신하기 위한 센스 경로를 포함하는데, 이 센싱 경로는 제2측정 유닛을 통해 제1측정 유닛에 연결된다. 제1측정 유닛은 이 센싱된 전압을 기초로 포싱된 전압을 조절한다.

대표도 - 도5



특허청구의 범위

청구항 1

디바이스 테스트에 사용하기 위한 회로로서,

상기 디바이스의 핀에 포싱된 신호를 인가할 수 있는 제1측정 유닛; 및

상기 제1측정 유닛으로부터의 상기 포싱된 신호에 응답하여 상기 디바이스의 핀으로부터 센싱된 전압을 수신하기 위한 센스 경로를 제공하도록 구성가능한 제2측정 유닛을 포함하고,

상기 센스 경로는 상기 제2 측정 유닛의 포싱된 신호 공급 경로를 통해 상기 제1측정 유닛에 연결되고,

상기 제1측정 유닛은 상기 센싱된 전압을 기초로 상기 포싱된 신호를 조절할 수 있는 것을 특징으로 하는 디바이스 테스트에 사용하기 위한 회로.

청구항 2

제 1 항에 있어서, 상기 제2측정 유닛은 상기 센스 경로를 제공하도록 구성되고, 상기 제2측정 유닛의 기능부는 디스에이블되고, 상기 디스에이블된 기능부는 상기 디바이스에 포싱된 신호를 인가할 수 있는 능력을 포함하는 것을 특징으로 하는 디바이스 테스트에 사용하기 위한 회로.

청구항 3

제 1 항 또는 제 2 항에 있어서, 상기 제2측정 유닛은 상기 기능부를 디스에이블하기 위한 3상태일 수 있는 드라이버를 포함하는 것을 특징으로 하는 디바이스 테스트에 사용하기 위한 회로.

청구항 4

제 1 항 또는 제 2 항에 있어서, 상기 센스 경로는 실질적으로 전압 강하가 일어나지 않는 고임피던스 경로를 포함하는 것을 특징으로 하는 디바이스 테스트에 사용하기 위한 회로.

청구항 5

제 1 항 또는 제 2 항에 있어서, 상기 제1측정 유닛은

상기 포싱된 신호를 제공하기 위한 드라이버; 및

상기 포싱된 신호가 상기 디바이스에 인가되는 출력 경로를 포함하고, 상기 출력 경로는 전압 강하를 발생시키는 임피던스를 가지고, 상기 제1측정 유닛은 상기 전압 강하를 실질적으로 보상하기 위해 상기 포싱된 신호를 조절하는 것을 특징으로 하는 디바이스 테스트에 사용하기 위한 회로.

청구항 6

제 5 항에 있어서, 상기 제1측정 유닛의 상기 출력 경로는 상기 제2측정 유닛의 센스 경로와 일치하는 것을 특징으로 하는 디바이스 테스트에 사용하기 위한 회로.

청구항 7

제 1 항 또는 제 2 항에 있어서, 상기 제1측정 유닛은

상기 포싱된 신호를 제공하기 위한 드라이버; 및

상기 드라이버와 상기 디바이스 사이의 전압 강하를 센싱하기 위한 피드백 경로를 포함하는 것을 특징으로 하는 디바이스 테스트에 사용하기 위한 회로.

청구항 8

제 1 항 또는 제 2 항에 있어서, 상기 센스 경로는 상기 제2측정 유닛을 통한 회로 경로를 포함하는 것을 특징으로 하는 디바이스 테스트에 사용하기 위한 회로.

청구항 9

제 1 항 또는 제 2 항에 있어서, 상기 포싱된 신호는 포싱된 전압을 포함하는 것을 특징으로 하는 디바이스 테스트에 사용하기 위한 회로.

청구항 10

제 1 항 또는 제 2 항에 있어서, 상기 디바이스를 위한 전류원으로서 동작하는 제3측정 유닛을 더 포함하고, 상기 제3측정 유닛은 상기 제1측정 유닛과 상기 제2측정 유닛내의 회로와 실질적으로 유사한 회로를 포함하는 것을 특징으로 하는 디바이스 테스트에 사용하기 위한 회로.

청구항 11

제 1 항 또는 제 2 항에 있어서,

상기 디바이스의 제2핀에 제2 포싱된 신호를 인가할 수 있는 제3측정 유닛; 및

상기 제3측정 유닛으로부터의 제2 포싱된 신호에 응답하여 상기 디바이스의 제2핀으로부터 제2 센싱된 전압을 수신하기 위한 제2센스 경로를 제공하도록 구성가능한 제4측정 유닛을 더 포함하고,

상기 제2센스 경로는 상기 제4측정 유닛을 통해 상기 제3측정 유닛에 연결되고,

상기 제3측정 유닛은 상기 제2 센싱된 전압을 기초로 상기 제2 포싱된 신호를 조절할 수 있는 것을 특징으로 하는 디바이스 테스트에 사용하기 위한 회로.

청구항 12

디바이스를 테스트하는 방법으로서,

상기 디바이스의 핀과 제1측정 유닛 사이에 있는 센스 경로로서, 제2측정 유닛의 포싱된 신호 공급 경로를 따라 있는 상기 센스 경로를 제공하도록 제2측정 유닛을 구성하는 단계;

상기 제1측정 유닛을 통해 상기 디바이스의 핀에 포싱된 신호를 인가하는 단계;

상기 센스 경로를 통해 상기 디바이스의 핀에서 전압을 센싱하는 단계; 및

상기 센싱된 전압에 따라 상기 포싱된 신호를 조절하는 단계를 포함하고, 상기 센싱된 전압은 상기 포싱된 신호와 상기 포싱된 신호를 상기 디바이스에 인가한 결과 발생된 전압 강하 사이의 차이와 일치하고,

상기 제1측정 유닛과 상기 제2 측정 유닛은 상이한 기능을 수행하기 위해 상이하게 구성된 실질적으로 유사한 회로를 포함하는 것을 특징으로 하는 디바이스를 테스트하는 방법.

청구항 13

제 12 항에 있어서, 상기 제1측정 유닛 및 상기 제2측정 유닛은 각각 제1 및 제2파라미터 측정 유닛을 포함하는 것을 특징으로 하는 디바이스를 테스트하는 방법.

청구항 14

제 12 항 또는 제 13 항에 있어서, 상기 제2 측정 유닛은 회로 경로 사이의 연결을 유효하게 하기 위해 상기 제2 측정 유닛 내의 회로를 컨트롤함으로써 구성되는 것을 특징으로 하는 디바이스를 테스트하는 방법.

청구항 15

제 12 항 또는 제 13 항에 있어서, 상기 포싱된 신호는 포싱된 전압을 포함하는 것을 특징으로 하는 디바이스를 테스트하는 방법.

청구항 16

피시험 디바이스와 함께 사용하기 위한 자동 테스트 장치로서, 상기 자동 테스트 장치는,

피시험 디바이스에 인가되는 전압을 조절하기 위해 사용되는 복수의 파라미터 측정 유닛을 포함하고, 상기 복수의 파라미터 측정 유닛은,

상기 피시험 디바이스의 핀에 포싱된 신호를 인가하도록 구성된 제1파라미터 측정 유닛; 및

제2파라미터 측정 유닛의 포싱된 신호 공급 경로를 따른 상기 제1파라미터 측정 유닛에 대한 센스 경로를 제공하도록 구성된 제2파라미터 측정 유닛을 포함하고,

상기 센스 경로는 상기 제1파라미터 측정 유닛으로부터의 포싱된 신호에 응답하여 상기 디바이스의 핀으로부터 센싱된 전압을 수신하고, 상기 센싱된 전압을 상기 제1파라미터 측정 유닛에 인가하는 것을 특징으로 하는 피시엄 디바이스와 함께 사용하기 위한 자동 테스트 장치.

청구항 17

제 16 항에 있어서, 복수의 파라미터 측정 유닛은

상기 피시엄 디바이스의 제2 핀에 제2 포싱된 신호를 인가하도록 구성된 제3파라미터 측정 유닛; 및

상기 제3파라미터 측정 유닛에 대한 제2 센스 경로를 제공하도록 구성된 제4파라미터 측정 유닛을 더 포함하고,

상기 제2 센스 경로는 상기 제3 파라미터 측정 유닛으로부터의 포싱된 신호에 응답하여 상기 디바이스의 제2 핀 으로부터 제2 센싱된 전압을 수신하고 상기 제2 센싱된 전압을 상기 제3 파라미터 측정 유닛에 인가하고, 상기 제4파라미터 측정 유닛은 상기 제3파라미터 측정 유닛, 상기 제2파라미터 측정 유닛, 및 상기 제1파라미터 측정 유닛과 실질적으로 동일한 회로를 가진 것을 특징으로 하는 피시엄 디바이스와 함께 사용하기 위한 자동 테스트 장치.

청구항 18

제 16 항 또는 제 17 항에 있어서, 상기 제1 및 제2파라미터 측정 유닛은 하드웨어로만 구현된 것을 특징으로 하는 피시엄 디바이스와 함께 사용하기 위한 자동 테스트 장치.

청구항 19

제 16 항 또는 제 17 항에 있어서, 상기 제1 및 제2파라미터 측정 유닛은 하드웨어와 소프트웨어의 조합을 사용하여 구현된 것을 특징으로 하는 피시엄 디바이스와 함께 사용하기 위한 자동 테스트 장치.

청구항 20

제 16 항 또는 제 17 항에 있어서, 상기 제2파라미터 측정 유닛은 상기 피시엄 디바이스에 전압을 포싱하기 위한 기능부를 디스에이블하기 위한 3상태일 수 있는 것을 특징으로 하는 피시엄 디바이스와 함께 사용하기 위한 자동 테스트 장치.

청구항 21

제 16 항 또는 제 17 항에 있어서, 상기 제1파라미터 측정 유닛은 드라이버를 포함하고, 상기 센싱된 전압은 상기 드라이버에 인가되고, 상기 드라이버는 상기 센싱된 전압에 따라 상기 피시엄 디바이스로의 전압을 조절하는 것을 특징으로 하는 피시엄 디바이스와 함께 사용하기 위한 자동 테스트 장치.

청구항 22

제 16 항 또는 제 17 항에 있어서, 상기 포싱된 신호는 포싱된 전압을 포함하는 것을 특징으로 하는 피시엄 디바이스와 함께 사용하기 위한 자동 테스트 장치.

명세서

기술분야

<1> 본 특허출원은 일반적으로 디바이스를 테스트하는 것에 관한 것이고, 보다 상세하게는 디바이스에서의 전압을 센싱하기 위해 파라미터 측정 유닛을 사용하는 방법에 관한 것이다.

배경기술

<2> 자동 테스트 장비(ATE)는 반도체, 전자 회로, 및 인쇄회로기판 어셈블리와 같은, 디바이스를 테스트하기 위한, 자동의, 통상적으로 컴퓨터로 구동되는 접근법을 나타낸다. 파라미터 측정 유닛(PMU)은 ATE의 일부분인 것이 전형적이다. PMU는 디바이스 핀에서, 전압 및 전류와 같은 파라미터를 측정하고, 이 파라미터를 조절하기 위해

디바이스 테스트 동안에 사용된다. PMU는, 테스트 동안에, 적합한 파라미터 값이 피시험 디바이스(DUT)에 인가되었는지 보장하려 한다.

<3> PMU는 DUT로 전압 및/또는 전류를 포싱하는 회로를 포함한다. 이 회로로부터 DUT로 리딩하는 회로 경로 내의 임피던스(예컨대, 저항)은 전압 강하를 일으킨다. 이 전압 강하는 DUT에 인가되는 전압의 양을 감소시킨다. 지금까지, 예컨대, 50mA 정도의 고전류 PMU의 출현으로, DUT로의 회로 경로 상의 전압 강하가 매우 중요해지고 있다. 고전류 PMU의 경우에서 처럼, 전압 강하가 상당히 높을 때, 이 전압 강하는 DUT가 테스트 동안 바람직하게 수행하지 못하게 할 수 있고, 부정확한 테스트 결과를 초래할 수 있다.

발명의 상세한 설명

<4> 본 특허출원은 DUT용 파워 소스로써 PMU를 사용하기 위한, 컴퓨터 프로그램 프로덕트를 포함하는 장치 및 방법을 서술한다.

<5> 일반적으로, 일 형태에서, 본 발명은 디바이스를 테스트하는데 사용하기 위한 회로로 다이렉팅된다. 이 회로는 디바이스로 포싱된 전압을 인가하는 제1측정 유닛, 디스에이블된 기능부를 가진 제2측정 유닛을 포함한다. 센스 경로는 제2측정 유닛을 통해 제1측정 유닛과 연결된다. 제1측정 유닛은 센싱된 전압을 기초로 포싱된 전압을 조절한다. 센스 경로는 디바이스로부터 온 것이기 때문에, 센스 경로는 디바이스에 연결 포인트로의 회로 경로 상에 일어나는 전압 강하를 고려할 수 있다. 이 전압 강하는 포싱된 전압을 조절함으로써, 예컨대, 보상함으로써, 고려될 수 있다.

<6> 앞선 형태는 다음의 피쳐 중 하나 이상을 포함할 수 있다. 제1측정 유닛은 제2측정 유닛과 실질적으로 동일할 수 있다. 제2측정 유닛 내에서 디스에이블된 기능부는 디바이스로 포싱된 전압을 인가할 수 있는 부분이다. 제2측정 유닛은 그 기능부를 디스에이블시키는 3상태인 드라이버를 포함할 수 있다. 제2측정 유닛 내의 센스 경로는 실질적으로 전압 강하가 발생하지 않는 고임피던스 경로일 수 있다.

<7> 제1측정 유닛은 포싱된 전압을 제공하기 위한 드라이버, 포싱된 전압이 디바이스에 인가되는 출력 경로를 포함할 수 있다. 출력 경로는 전압 강하를 생성하는 임피던스를 가질 수 있다. 제1측정 유닛은 이 전압 강하를 실질적으로 보상하기 위해 포싱된 전압을 조절할 수 있다. 제1측정 유닛의 출력 경로는 제2측정 유닛의 센스 경로와 일치할 수 있다.

<8> 제1측정 유닛은 드라이버와 디바이스 사이의 전압 강하를 센싱하기 위한 피드백 경로를 포함할 수 있다. 이 센스 경로는 제2측정 유닛을 통한 회로 경로를 포함할 수 있다.

<9> 일반적으로, 다른 형태에서, 본 발명은 디바이스를 테스트하는 방법으로 다이렉팅된다. 본 방법은 디바이스에 제1전압을 인가하는 단계, 및 디바이스에 제2전압을 센싱하는 단계를 포함한다. 제2전압은 제1전압과 디바이스에 제1전압을 인가한 결과 발생한 전압 강하 사이의 차이와 일치한다. 본 방법은, 또한, 제2전압에 따라 제1전압을 조절하는 단계를 포함한다. 이 방법에서, 인가하는 단계 및 센싱하는 단계는 실질적으로 동일하게 설계된 제1디바이스 및 제2디바이스를 사용하여 수행된다.

<10> 앞선 형태는 다음 피쳐 중 하나 이상을 포함할 수 있다. 제1디바이스 및 제2디바이스는 각각 제1 및 제2PMU일 수 있다. 제2전압을 센싱하는 단계는 제2전압이 센싱되는 센스 경로로써 역할하도록 제2PMU를 구성하는 단계를 포함할 수 있다. 제2PMU는 회로 경로 사이의 연결을 유효하게 하도록 제2PMU 내의 회로를 컨트롤 함으로써 구성될 수 있다. 제2전압은 디바이스의 핀에서의 전압과 일치할 수 있다.

<11> 일반적으로, 다른 형태에서, 본 발명은 DUT와 함께 사용하기 위한 ATE로 다이렉팅된다. ATE는 DUT에 인가될 전압을 조절하는데 사용하기 위한 복수의 PMU를 포함한다. 이 복수의 PMU는 DUT로 전압을 포싱하도록 구성된 제1PMU, 제1PMU에 대한 센스 경로를 제공하도록 구성된 제2PMU를 포함할 수 있다. 제2PMU는 제1PMU와 실질적으로 동일한 구조를 가진다. 본 발명의 본 형태는, 또한, 다음 피쳐 중 하나 이상을 포함할 수 있다.

<12> 복수의 PMU는 DUT에 전압을 포싱하도록 구성된 제3PMU, 및 제3PMU에 대한 센스 경로를 제공하도록 구성된 제4PMU를 포함할 수 있고, 제4PMU는 제3PMU, 제2PMU, 및 제1PMU와 실질적으로 동일한 구조를 가진다. 제1, 제2, 제3, 및 제4PMU는 하드웨어로만 구현될 수 있고, 또는 하드웨어와 소프트웨어의 조합을 사용하여 구현될 수 있다. 제2PMU는 DUT에 전압을 포싱하기 위한 기능부를 디스에이블하기 위한 3상태일 수 있다.

<13> 제2PMU를 통한 센스 경로는 DUT에서의 센스 전압을 태핑할 수 있다. 이 센스 전압은 제1PMU로의 센스 경로로부터 제1PMU에 인가될 수 있다. 제1PMU는 드라이버를 포함할 수 있다. 센스 전압은 드라이버에 인가될 수 있고,

드라이버는 센스 전압에 따라 DUT로의 전압을 조절할 수 있다.

<14> 하나 이상의 예의 세부사항은 하기 서술된 내용과 첨부된 도면에 서술되어 있다. 본 발명의 다른 피처, 형태, 장점은 명세서, 도면, 및 청구항으로부터 명백해질 것이다.

실시예

<21> 도 1은 DUT(11)를 테스트하기 위한 ATE(10)의 블록 다이어그램이다. 도 1에 도시된 바와 같이, ATE(10)은 4개의 테스트 채널에 대응하는 4개의 PMU(14-17)를 포함한다. PMU(14-17)의 일 기능은 DUT에서, 전압 및 전류를 포함하는 직류(DC) 파라미터를 테스트하는 것이다. PMU(14-17)는, 또한, DUT(11)에 대한 파워 소스로써 기능한다. 즉, 둘 이상의 PMU(14-17)의 전류 출력은 DUT(11)의 파워 핀에 인가되고, 그로 인해 테스트 동안 DUT(11)를 파워링한다.

<22> PMU(14-17)는 실질적으로 동일한 구조를 가지는데, 이는 회로 엘리먼트들이 상이하게 구성될 수 있다 할지라도, 기본적으로 동일한 회로 엘리먼트를 포함한다는 의미이다. 그러므로, 하나의 PMU만 상세하게 설명된다.

<23> 도 2는 (여기서, 제1PMU(14), 및 제2PMU(15)로 언급되는) PMU(14 및 15)의 일 실시예를 도시하는 회로 다이어그램이다. 도 2에 도시된 바와 같이, 제1PMU(14)는 드라이버(19), 저항(20), DUT(11)로의 회로 경로(21), 및 피드백 경로(22)를 포함한다.

<24> 드라이버(19)는 전압을 수신하고, 저항(20) 및 회로 경로(21)를 통해 DUT(11)로 전압 또는 전류를 출력(또는 "포싱")하는 연산 증폭기(op-amp), 또는 그와 유사한 디바이스일 수 있다. "포스 전압" 모드에서, 드라이버(19)는 제1PMU(14)의 전압 출력을 조정하고, "포스 전류" 모드에서, 드라이버(19)는 제1PMU(14)의 전류 출력을 조정한다. 그러나, 포스 전압 모드 및 포스 전류 모드 모두에서, 드라이버(19)로부터의 출력은 전류이다.

<25> 이 실시예에서, 제1PMU(14)는 고전류 디바이스이고, 이는 (또한, PMU(14)가 더 낮은 전류에서 동작할 수 있지만), 50mA 정도의 전류를 출력한다는 것을 의미한다. 드라이버(19)는 두 입력부(24 및 25)를 가진다. 이 예에서, 제1입력부(24)는 (도시되지 않은) 외부 소스로부터의 입력 전압(Vin) 수신용이고, 제2입력부(25)는 (아래 서술된) 센스 전압 수신용이다. 드라이버(19)는 Vin과 이 센스 전압 사이의 차이를 기초로 그것의 출력 전압 및 전류를 조정한다.

<26> 저항(20)은 드라이버(19)의 출력 경로에 있고, 드라이버(19)의 전류 출력을 측정하기 위한 피드백 경로(22)와 연결되는데 사용된다. 보다 상세하게, 저항(20)에 걸린 전압은 피드백 경로(22) 내의 차동 증폭기(26)를 통해 측정된다. 측정된 전압은 포인트(27)에서의 출력이다. 거기서 부터, (아래 서술된) 스위치(29)는 포트(30)로 전압을 출력하도록 구성된다. (도시되지 않은) PMU 외부에 있는 ATE 내의 회로는 저항(20)의 저항, 차동 증폭기(26)의 비추어, 저항(20)에 걸친 전압 강하를 알고 있다. 이 정보로부터, 외부 회로는 드라이버(19)의 전류 출력을 결정할 수 있다.

<27> 피드백 경로(22)는, 또한, 전압 센스 경로(31)를 포함한다. 전압 센스 경로(31)는 회로 경로(21) 앞단의 PMU(14)내의 포인트(32)에서의 전압을 센싱하기 위해 사용된다. 즉, 포인트(32)에서의 전압은 스위치(29)가 적절히 구성되어 있을 때, 드라이버(19)의 입력부(25)로 피드백한다. 전압 강하에 대한 그 출력을 보상하도록, 예컨대, 전압 강하를 보상하기 위해 그 출력 전압을 증가시키도록 입력부(25)를 통해, 드라이버(19)는 포인트(32)까지 발생하는 전압 강하를 고려할 수 있다. 그러나, 포인트(32)가 회로 경로(21) 앞단에 있기 때문에, 회로 경로(21)를 통해 발생하는 전압 강하는 피드백 경로(22)에 의해 보상되지 않는다. 기존의 PMU를 사용하여 이 전압 강하를 보상하는 방법이 아래에 서술된다.

<28> PMU(14)에서, 각각의 스위치(29)는 회로 경로 사이의 적절한 연결을 이룰 수 있는 임의의 전기적 및/또는 기계적 메카니즘에 의해 구현될 수 있다. 이 실시예에서, 스위치(29)는 스위치(29a), 스위치(29b), 및 스위치(29c)를 포함한다. 스위치(29a)는 회로경로(34 및 35) 사이를 연결하고, 스위치(29b)는 회로경로(36 및 37) 사이를 연결하고, 스위치(29c)는 회로경로(50 및 31) 사이를 연결한다. 경로(34)에 연결된 때(제1PMU(14) 내에 도시된 구성), 스위치(29a)는 증폭기(26)의 출력부("전류 피드백 경로")와 포트(30)를 연결한다. 그것이 드라이버(19)의 전류 출력을 측정하기 위해 사용되는 지표를 제1PMU(14)가 제공할 수 있는 구성이기 때문에, 이것은 전류 센스 구성이라 불린다. 그 출력(즉, 증폭기(26)의 전압 출력)은 저항(20)을 통한 전류를 판정하는데 사용되기 때문에 전류 피드백 경로라 불린다.

<29> 스위치(29)는, 또한, 전압 센스 구성을 정의하기 위해 구성될 수 있다. 제1전압 센스 구성에서, 스위치(29b)는 경로(36)에 연결되고(제1PMU(14)에 도시된 구성), 스위치(29c)는 경로(31)에 연결되고, 그리고 스위치(29a)는

경로(35)에 연결된다. 이러한 구성에서, 경로(31, "전압 피드백 경로")는 (스위치(29)를 통해) 포트(30) 및 드라이버(19)의 입력부(25)로 패싱되는 포인트(32)의 전압으로 인출된다. 상기 언급한 바와 같이, 포인트(32)에서의 전압은 저항(20)의 전압 강하를 고려하지만, 회로 경로(21)의 임피던스로 인한 전압 강하는 고려하지 못한다.

- <30> 도 2에 도시된 바와 같이, 회로 경로(21)는 포인트(32)에서부터 DUT(11)로 확장된다. 이 실시예에서, 회로 경로(21)는 약 1Ω 내지 4Ω의 임피던스를 가진다(다른 실시예에서, 회로 경로(21)를 따른 임피던스는 이보다 크거나 작을 수 있다). 이 임피던스는 증폭기(19)가 DUT(11)에 인가하는 전압을 감소시킨다. 즉, 드라이버(19)로부터의 전류는 회로 경로(21)를 통과하고, 이러한 회로 경로(21)의 임피던스는 전압강하를 유발하고, 이러한 전압강하로 인해 DUT(11)에 인가되는 전압이 감소한다. 50mA 전류에 대하여, 전압 강하는 DUT(11)의 테스트에 심각한 역효과를 일으킬 수 있는 약 50mV 내지 200mV이다. 회로 경로(21)의 전압 강하를 감안하여 보상하기 위해, 제2PMU(15)가 센스 경로로써 역할하도록 구성된다. 이 구성에서, 제2PMU(15)의 일부 기능은 제2PMU(15)가 PMU 기능을 수행하지 않음을 보장하기 위해 디스에이블된다.
- <31> 보다 상세하게, 제2PMU(15)의 드라이버(40)는 드라이버(40)가 DUT(11)에 전압 및/또는 전류를 출력하는 것을 막는 3상태이다. 이에 대하여, 드라이버(40)와 같은 3상태(tri-state) 회로는 "이네이블" 입력이라 불리는 추가 입력(41)을 가진 것을 제외하고, 통상의 회로와 유사하다. 이네이블 입력이 "1"이면, 3상태 회로는 대응 정상(비 3상태: non-tri-state) 회로와 같이 작동한다. 이네이블 입력이 "0"이면, 3상태 회로(이 경우에 드라이버(40))의 출력은 회로의 나머지 부분과 연결해제된다. 그러므로, 여기서와 같이, 드라이버(40)가 3상태일 때, 그 출력은 저항(42)과 연결해제되어, 드라이버(40)가 DUT(11)에 전류 및/또는 전압을 공급하는 것을 방지한다.
- <32> 드라이버(40)가 3상태일 때, 제2PMU(15)는 DUT(11)에 대한 센스 경로로써 역할하도록 구성될 수 있다. (도시되지 않은) 회로는 스위치(44)에 인가된 하나 이상의 컨트롤 신호를 통해 제2PMU(15)를 구성한다. 제2PMU(15)가 그렇게 구성되어 있을 때, 스위치(44a 및 44b)는 증폭기(49)의 출력부에 오픈 회로를 형성하기 위해 각각 회로 경로(46 및 47)에 연결된다. 스위치(44c)는 회로 경로(50)에 연결되거나, 스위치(44c)는 회로 경로(50)과 연결해제될 수 있다. 회로 경로(50)는 DUT(11)로부터 제1PMU(14)로의 직접적인 센스 경로로써 역할한다. 즉, 회로 경로(50)는 제1PMU(14)로부터의 포싱된 전압이 수신된 DUT 핀에서의 전압을 태핑한다. 회로 경로(50) 비교적 높은 임피던스를 가지고, 그 센싱 커패시티에서, 상당한 전류양을 드로우하지 않는다. 결국, 회로 경로(50)를 따른 비교적 작은 전압 강하가 있다. 그러므로, 회로 경로(50)를 따른 전압은 DUT(11)에서의 전압과 실질적으로 대응한다.
- <33> 제1PMU(14)는 스위치(29b 및 29c)를 통해 DUT 센스 경로(즉, 회로 경로(50))의 전압을 태핑한다. 즉, 스위치(29b 및 29c)는 드라이버(19)의 입력부(25)와 회로 경로(50)를 연결하도록 (제1PMU(14)에 도시된 바와 같이) 구성된다(또한, 스위치(29a)는 포트(30)에 연결되어 포트(30)에 DUT 전압을 출력하도록 구성될 수 있다). 이러한 방법으로, DUT(11)로부터의 전압은 드라이버(19)의 입력부(25)에 인가된다. 따라서, 드라이버(19)는 (포인트(32) 앞단의 임의의 전압 강하를 포함한) 회로 경로(21)내에서 발생하는 전압 강하를 보상하기 위해 그 출력을 조절할 수 있다. 도 2에 도시된 바와 같이, 전압 증폭기(51)는 회로 경로(50)에 버퍼 신호를 위해 제공될 수 있다.
- <34> 앞선 내용과 함께, PMU(14 내지 17)는 테스트 동안 DUT(11)에 파워를 공급하기 위한 전류 소스로써 함께 동작될 수 있다. 이러한 구성에서, PMU(14)는 포스 전압 모드이고, PMU(16 및 17)는 포스 전류 모드이다. 이러한 구성에서, 전류는 제1PMU(14)의 출력 회로 경로(21)를 통해, 제3PMU(16)의 회로 경로(61)를 통해, 그리고, 제4PMU(17)의 회로 경로(62)를 통해 DUT(11)에 제공된다. PMU로부터의 전류는 DUT(11)상의 핀에 파워를 제공하기 위해 공급되는데 DUT(11)에 파워를 제공하기 위해 결합되어 사용된다.
- <35> 각각의 PMU로부터의 전류는 상술한 방법으로 DUT(11)에 공급된다. 도 3의 실시예에서, 제2PMU(15)는 상술한 바와 같이 DUT(11)에 전압 센스 라인을 제공하도록 구성된다. 이것은 소정의 레벨에서 파워 핀에서의 전압을 유지하기 위해 이루어진다. 파워 핀에서의 전압 안정도가 실질적으로 걱정되지 않으면, 제2PMU(15)는 DUT(11)의 파워핀에 전류를 공급하기 위해 사용될 수 있다(즉, 제2PMU(15)는 전압 센스 경로로써 역할하도록 구성되지 않을 수 있다).
- <36> 도 3의 실시예에서, 회로 경로(50, DUT 센스 경로)는 상술한 바와 같이, DUT(11)에서의 전압을 다시 드라이버(19)로 피딩한다. PMU(14)내의 증폭기(26)는 드라이버(19)의 출력부에서의 저항(20)내의 전류를 측정하고, 이 전류를 전압으로 변환하기 위해 사용된다. 그 결과적인 출력 전압은, 또한, 회로 경로(66)를 통해 PMU(17)의 입력부(65) 및 PMU(16)의 입력부(64)에 인가된다. 그러므로, 메인 포스 PMU(14)내의 전류는 PMU(16 및 17)에

서 미러된다. (도시되지 않은) 하나 이상의 증폭기는 입력부(64 및 65)에 인가된 신호를 버퍼링하기 위해 회로 경로(66)를 따라 설치될 수 있다. PMU(16 및 17)의 스위치(67 및 69)는 상술한 바와 같이, 센스 경로(70 및 71)를 연결해제하고, 포인트(72 및 74)로부터의 피드백을 통해 드라이버 전류 조절을 허용하도록 구성된다.

- <37> (도시되지 않은) 컨트롤 회로는 도 3에 도시된 구성에서 PMU(14 내지 17)를 연결하기 위해 사용될 수 있다. 예를 들어, 이 컨트롤 회로는 PMU(14)내의 Vin에 대응부인 전압 입력(73 및 75) 보다는 회로 경로(66)에 연결을 위해 PMU(16 및 17)의 컨트롤 스위치(63 및 68)를 컨트롤할 수 있다. 상기 경우에서, 스위치(63 및 68)은 회로 경로들사이에 적절한 연결을 이루기 위해 사용될 수 있는 임의의 전기적 및/또는 기계적 메카니즘에 의해 구현될 수 있다.
- <38> 도 3의 실시예에서, PMU(14, 16, 및 17)은 DUT(11) 상의 단일 파워 핀에 각각 연결된다. 그러므로, 각각의 PMU로부터의 전류는 파워 핀에 공급되는 전체 전류를 증가시킨다. 그러므로, 예를 들어, 각각의 PMU(14, 16, 및 17)는 50mA를 공급할 수 있고, 파워 핀에 공급된 총 전류는 150mA이다. 파워 핀에 공급된 전류량은 각 PMU가 공급 가능한 전류량, 및 전류 공급이 가능한 PMU의 수를 포함한 다수의 요소에 따른다. 예를 들어, PMU(15)가 센스 경로로써 역할하기보다 전류를 공급하기 위해 구성되어 있다면, DUT(11)에 공급될 수 있는 전체 전류는 200mA이다. 한편, 파워 핀에 파워를 공급하기 위해 PMU(16 및 17)만 남겨두고, PMU(14 및 15)는 DUT(11)상의 비전력핀과 함께 사용되도록 요구될 수 있다.
- <39> PMU(16 및 17)에서, 스위치(67 및 69)는 드라이버(87 및 88)로의 그 각각의 전류 피드백을 연결하기 위해, 도시된 바와 같이, 구성된다. 이와 마찬가지로, 회로 경로(66)는 PMU(14)의 전류 피드백 경로에 도시된 바와 같이 연결된다. 이러한 구성은 PMU에서 DUT(11)로의 전류 출력의 비교적 효과적인 조절을 제공한다. 즉, 각각의 PMU(14, 16, 및 17)에 의한 전류 출력량은 대략 동일하다.
- <40> 도 4는 도 3의 회로의 대안의 구성을 도시한다. 이 실시예에서, PMU(14, 16, 및 17)은 모두 포스 전압 모드이다. 도 4의 회로에서, 도시된 바와 같이, 스위치(67 및 69)는 드라이버(87 및 88)를 그 각각의 전압 피드백 경로에 연결하고, 스위치(29)는 회로 경로(50)를 연결한다. 회로 경로(66)는, 또한, 회로 경로(50)에 의해 제공된 전압 피드백에 연결된다. 이러한 구성에서, 각각의 PMU(14, 16, 및 17)에 의한 전류 출력량의 편차가 있을 수 있다.
- <41> 4개의 PMU가 도 3에 도시되어 있으나, 임의의 수의 PMU가 ATE 내에 구현될 수 있고, DUT에 파워를 공급하기 위해 사용될 수 있음을 알아야 한다.
- <42> 이 실시예에서, PMU(14 내지 16)는 ATE의 일부인 단일 칩 상에 구현될 수 있고, ATE는 PMU(14 내지 17) 외의 다른 파워 서플라이를 포함하지 않는다. ATE 상에 별도의 파워 서플라이를 제거하는 것은 ATE를 구현하기 위해 필요한 회로판 공간 및 ATE 생산에 필요한 비용을 줄인다.
- <43> 도 2 내지 4는 제1PMU(14)에 대한 센스 경로로써 사용된 제2PMU(15)를 도시하지만, ATE는 이러한 경우로 제한되지 않는다. 즉, 제2PMU(15)는 DUT(11)로 전압을 포싱하도록 구성될 수 있고, 제1PMU(14)는 제2PMU(15)를 위한 센스 경로로써 역할하도록 구성될 수 있다. 제1 및 제2PMU(14 및 15)의 기능은 그 스위치(29 및 44)를 재구성하고, DUT(11)로부터 회로 경로(66)로의 피드백 경로를 연결함으로써 변경될 수 있다. 도 2를 참조하면, 이 대안의 구성에 있어서, 드라이버(19)는 3상태이고, 스위치(29a)는 회로 경로(35)에 연결되고, 스위치(29b)는 전류 경로(36)에 연결된다. 스위치(29c)는 제1PMU(14)로부터 회로 경로(50)를 연결해제하기 위해서 회로 경로(31)에 연결된다. 스위치(44c)는 회로 경로(54)에 연결되고, DUT 센스 라인), 스위치(44b)는 그것으로부터 드라이버(40)의 입력부(52)로 전압을 인가하기 위해 연결된다. 그러므로, 드라이버(40)의 입력부(52)는 DUT(11)로부터 전압을 수신하고, 드라이버(40)는 이 전압을 기초로 회로 경로(55)를 따른 전압 강하를 보상한다.
- <44> 센스 경로로써 제2PMU(15) 사용을 대신하여, 제3PMU(16) 및/또는 제4PMU(17)가 센스 경로로써 사용될 수 있다. 제3PMU(16) 및 제4PMU(17)는 제2PMU(15)와 같이 동일한 방법으로 구성될 수 있다.
- <45> 앞선 실시예는 하드웨어만 사용하여 구현된 PMU를 서술한다. 다른 실시예에서, 각 PMU의 적어도 일부는 소프트웨어를 사용하여 구현될 수 있다. 예를 들어, 드라이버(19 및 40)는 소프트웨어 기반의 컨트롤 프로세서에 의해 컨트롤될 수 있다. 이 예에서, 소프트웨어는 DUT(11)로의 출력인 전압을 조절하기 위해 사용될 수 있다. 즉, 소프트웨어는 센스 전압을 수신하고, 이 수신된 센스 전압을 기초로 제1PMU(14)에 의한 회로 경로(21)에 전압 출력을 컨트롤할 수 있다. 그러므로, DUT(11)에서 40V가 요구되고, 센싱된 전압이 80mV의 전압 강하를 나타내면, 이 소프트웨어는 회로 경로(21)에 걸친 전압 강하를 보상하기 위해 40V + 80mV로 전압 출력을 증가시키도록 제1PMU(14)를 컨트롤할 수 있다.

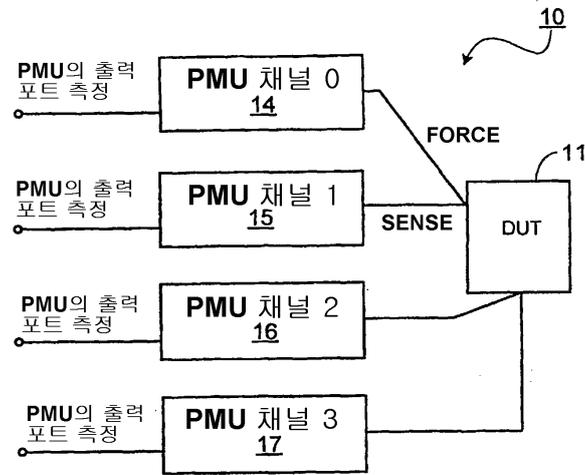
- <46> 도 5는 전압 포싱 및 조정을 컨트롤하기 위해 소프트웨어를 사용하는 ATE를 구현하기 위한 프로세스(80)를 도시하는 플로우차트이다. 프로세스(80)는 디바이스에 제1전압을 인가함으로써 개시한다(81). 이것은 DUT(11)에 전압을 포싱함으로써 수행된다. 이 전압은 전압 소스에 컨트롤 신호를 인가함으로써, 또는 임의의 다른 메커니즘에 의해 포싱될 수 있다. 소프트웨어는 회로 경로(21)의 임피던스를 알고 있다. 예컨대, 소프트웨어는 그 임피던스로 이미 프로그래밍될 수 있다. 프로세스(80)는 PMU(14)의 전류 피드백 경로로부터의 전압을 사용하여 PMU(14)의 전류 출력을 센싱한다(82). 프로세스(40)는 회로 경로(21)를 통한 전압 강하를 보상하기 위해 드라이버(19)에 인가된 입력 전압을 조절한다(84). 즉, 프로세스(40)는 회로 경로(21)의 임피던스 및 드라이버(19)의 전류 출력을 기초로 전압 강하를 판정하고, 드라이버의 입력 전압을 그에 따라 조절한다.
- <47> 본 명세서에 서술된 ATE는 상술된 하드웨어 및 소프트웨어를 사용하는 것에 제한되지 않는다. ATE는 디지털 전자 회로, 또는 컴퓨터 하드웨어, 펌웨어, 소프트웨어, 또는 이들의 조합으로 구현될 수 있다.
- <48> ATE는 컴퓨터 적어도 일부분이, 프로그램 프로덕트, 즉, 데이터 프로세싱 장치, 예컨대, 프로그래밍 가능한 프로세서, 컴퓨터, 또는 복수의 컴퓨터의 동작을 컨트롤하기 위해서, 또는, 이에 의한 실행을 위해, 정보 전달자, 예컨대, 전파된 신호 또는 기계판독가능 저장 디바이스에 실제적으로 포함된 컴퓨터 프로그램을 통해 구현될 수 있다. 컴퓨터 프로그램은 컴파일된 또는 번역된 언어를 포함한 임의의 형태의 프로그래밍 언어로 쓰여질 수 있고, 스탠드-얼론 프로그램 또는 모듈, 컴포넌트, 서브루틴, 컴퓨팅 환경에서 사용에 적합한 다른 유닛을 포함하는 임의의 형태로 개발될 수 있다. 하나의 컴퓨터, 또는 하나의 사이트의, 또는 컴퓨터 프로그램은 통신 네트워크에 의해 연결되고, 복수의 사이트로 분산된 다수의 컴퓨터 상에서 실행되도록 개발될 수 있다.
- <49> ATE 구현에 연관된 방법 단계는 ATE의 기능을 수행하기 위한 하나 이상의 컴퓨터 프로그램을 실행하는 하나 이상의 프로그래밍 가능한 프로세서에 의해 수행될 수 있다. ATE의 일부 또는 모든 부분은 특수용 논리회로, 예컨대 FPGA(field programmable gate array) 및/또는 ASIC(application-specific intergrated circuit)로 구현될 수 있다.
- <50> 컴퓨터 프로그램의 실행에 적합한 프로세서는, 예시적 방법으로, 범용 및 특수용 마이크로프로세서, 및 임의의 종류의 하나 이상의 프로세서의 디지털 컴퓨터를 포함한다. 일반적으로, 프로세서는 ROM 또는 RAM 또는 이 둘로부터 명령 및 데이터를 수신할 것이다. 컴퓨터의 엘리먼트는 명령을 실행하기 위한 프로세서, 및 명령 및 데이터를 저장하기 위한 하나 이상의 메모리 디바이스를 포함한다.
- <51> 상술한 실시예에서, 드라이버 및 버퍼를 구현하기 위해 사용된 증폭기는 다른 이득이 사용될 수도 있으나, 하나의 이득을 가질 수도 있다.
- <52> 본 명세서에 서술된 다양한 실시예의 엘리먼트들은 상기에 특별히 서술되지 않으면 다른 실시예를 형성하기 위해 결합될 수 있다. 본 명세서에 특별히 서술되지 않은 다른 실시예, 또한, 첨부된 청구항의 범위 내에 속한다.

도면의 간단한 설명

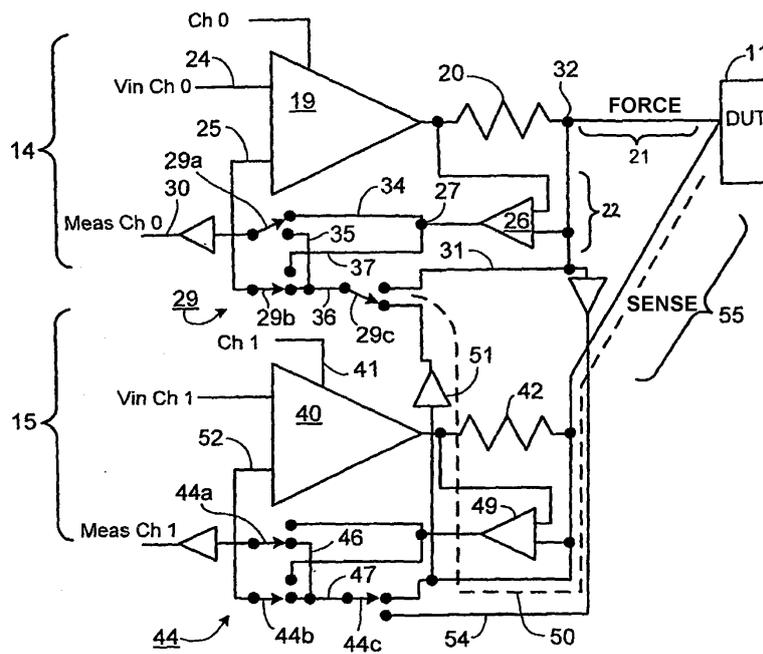
- <15> 도 1은 ATE 내 PMU의 블록 다이어그램이다.
- <16> 도 2는 두 개의 도1의 PMU를 도시하는 회로 다이어그램이다.
- <17> 도 3은 DUT에 파워를 공급하는 도 1의 PMU를 도시하는 회로 다이어그램이다.
- <18> 도 4는 도3에 도시된 회로 다이어그램의 대안의 구성이다.
- <19> 도 5는 전압 포싱 및 제한을 컨트롤하기 위해 소프트웨어를 사용하는 ATE를 구현하는 프로세스를 도시하는 플로우 차트이다.
- <20> 상이한 도면에서의 유사한 참조 번호는 유사한 엘리먼트를 나타낸다.

도면

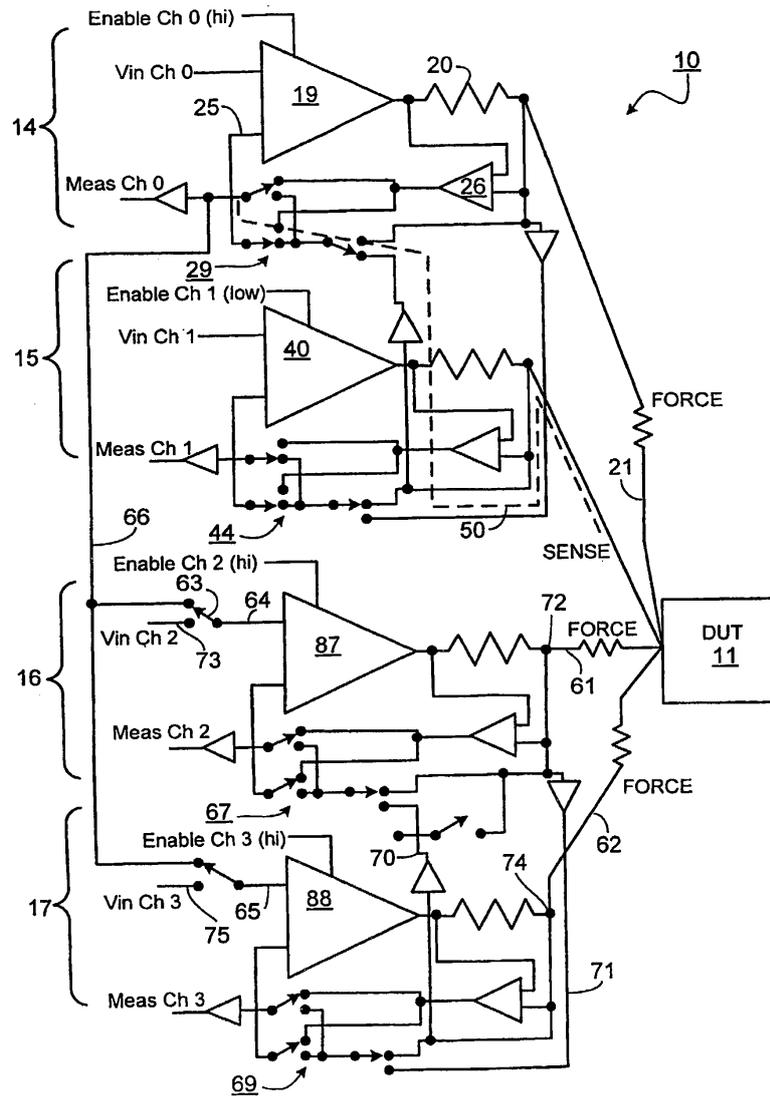
도면1



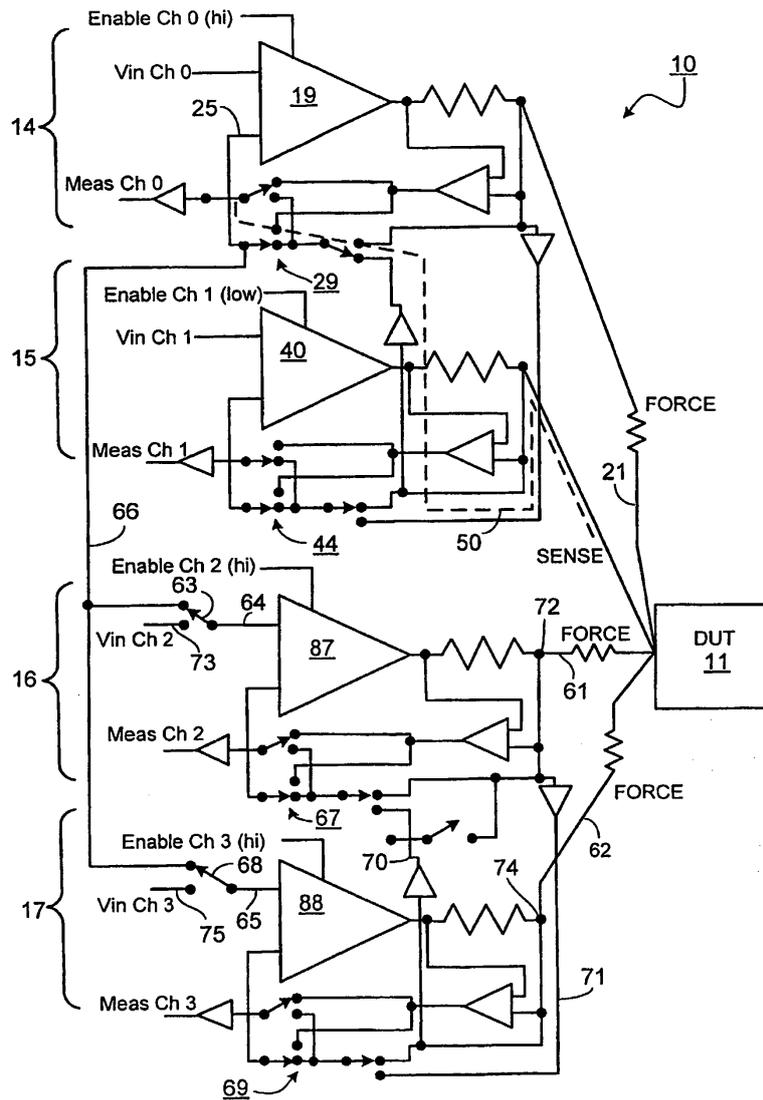
도면2



도면3



도면4



도면5

