

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4987896号  
(P4987896)

(45) 発行日 平成24年7月25日(2012.7.25)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl. F 1  
**G 1 1 C 11/417 (2006.01)** G 1 1 C 11/34 3 0 5  
**G 1 1 C 11/419 (2006.01)** G 1 1 C 11/34 3 1 1

請求項の数 5 (全 13 頁)

<p>(21) 出願番号 特願2009-66369(P2009-66369)                  (22) 出願日 平成21年3月18日(2009.3.18)                  (65) 公開番号 特開2010-218649(P2010-218649A)                  (43) 公開日 平成22年9月30日(2010.9.30)                  審査請求日 平成23年3月14日(2011.3.14)</p>	<p>(73) 特許権者 000003078                  株式会社東芝                  東京都港区芝浦一丁目1番1号                  (74) 代理人 100089118                  弁理士 酒井 宏明                  (72) 発明者 榑田 桂一                  東京都港区芝浦一丁目1番1号 株式会社                  東芝内                  審査官 園田 康弘</p>
---	--

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

データを記憶するメモリセルと、  
 前記メモリセルから読み出された信号を増幅するローカルセンスアンプと、  
 前記メモリセルから読み出された信号を前記ローカルセンスアンプに伝送するビット線と、

前記ビット線をプリチャージする第1のプリチャージ回路と、  
 前記ローカルセンスアンプにて増幅された信号を伝送するグローバルビット線と、  
 前記グローバルビット線をプリチャージする第2のプリチャージ回路と、  
 前記グローバルビット線にて伝送された信号を増幅するグローバルセンスアンプと、  
 前記ローカルセンスアンプにて増幅された信号に基づいて、前記グローバルビット線を  
 駆動する駆動回路と、

前記第1のプリチャージ回路にて前記ビット線がプリチャージされた後に、前記駆動回路および前記ローカルセンスアンプを動作させる電源の電圧を切り替える第1の電源電圧切替回路とを備えることを特徴とする半導体記憶装置。

【請求項2】

前記第2のプリチャージ回路にて前記グローバルビット線がプリチャージされた後に、前記グローバルセンスアンプを動作させる電源の電圧を切り替える第2の電源電圧切替回路をさらに備えることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

10

20

前記第 1 の電源電圧切替回路は、前記第 1 のプリチャージ回路によるプリチャージ時の電圧よりも大きくなるように、前記駆動回路および前記ローカルセンスアンプを動作させる電源の電圧を切り替えることを特徴とする請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】

前記メモリセルおよび前記ローカルセンスアンプを動作させる電源は高電圧電源が用いられ、前記第 1 のプリチャージ回路の電源は低電圧電源が用いられることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の半導体記憶装置。

【請求項 5】

前記第 1 の電源電圧切替回路は、前記ローカルセンスアンプの動作を許容するセンスアンプイネーブル信号がオフの時には、前記第 1 のプリチャージ回路によるプリチャージ時の電圧を前記駆動回路および前記ローカルセンスアンプに供給し、前記センスアンプイネーブル信号がオンの時には、前記第 1 のプリチャージ回路によるプリチャージ時の電圧よりも大きな電圧を前記駆動回路および前記ローカルセンスアンプに供給することを特徴とする 1 から 4 のいずれか 1 項に記載の半導体記憶装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体記憶装置に関し、特に、複数の電圧を発生させる電源を用いることにより S R A M の低消費電力化を図る方法に適用して好適なものである。

【背景技術】

20

【0002】

近年のシステム L S I の低消費電力化の進展に伴って、S R A M の低消費電力化も進められている。S R A M の低消費電力化する一つの方法として、S R A M セルと一部のワードライン制御回路にのみ高電圧電源を使用し、それ以外の回路では低電圧電源を使用する方法がある。この方法では、ビット線の電圧電源を低電圧化することが可能となることから、高い電力削減効果が得られる。

【0003】

また、例えば、特許文献 1 には、S R A M に印加される第 1 電圧をさらに高電圧である第 2 電圧に昇圧し、メモリセルアレイおよびデコーダを第 1 電圧で動作させるとともに、センスアンプを第 2 電圧で動作させる方法が開示されている。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 9 - 2 8 2 8 9 0 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、S R A M の低消費電力化を図るために、ビット線の電圧電源を低電圧化する方法では、ビット線に接続されるセンスアンプについてもプリチャージ電源を共有化させる必要があるため、センスアンプの電圧電源も低電圧化される。このため、センスアンプのセンス速度が大幅に低下し、S R A M の低速化を招くという問題があった。

40

【0006】

また、特許文献 1 が開示された方法では、高電圧電源がセンスアンプに使用されるため、センスアンプに接続されるビット線の電圧電源も高電圧化され、消費電力の増大を招くという問題があった。

【0007】

本発明の目的は、消費電力の増大を抑制しつつ、読み出し動作速度を向上させることが可能な半導体記憶装置を提供することである。

【課題を解決するための手段】

【0009】

50

本発明の一態様によれば、データを記憶するメモリセルと、前記メモリセルから読み出された信号を増幅するローカルセンスアンプと、前記メモリセルから読み出された信号を前記ローカルセンスアンプに伝送するビット線と、前記ビット線をプリチャージする第1のプリチャージ回路と、前記ローカルセンスアンプにて増幅された信号を伝送するグローバルビット線と、前記グローバルビット線をプリチャージする第2のプリチャージ回路と、前記グローバルビット線にて伝送された信号を増幅するグローバルセンスアンプと、

前記ローカルセンスアンプにて増幅された信号に基づいて、前記グローバルビット線を駆動する駆動回路と、前記第1のプリチャージ回路にて前記ビット線がプリチャージされた後に、前記駆動回路および前記ローカルセンスアンプを動作させる電源の電圧を切り替える第1の電源電圧切替回路とを備えることを特徴とする半導体記憶装置を提供する。

10

【発明の効果】

【0010】

本発明によれば、半導体記憶装置の消費電力の増大を抑制しつつ、読み出し動作速度を向上させることが可能となる。

【図面の簡単な説明】

【0011】

【図1】図1は、本発明の第1実施形態に係る半導体記憶装置の概略構成を示すブロック図。

【図2】図2は、図1のバンクBAの概略構成を示すブロック図。

【図3】図3は、図2のローカルセンスアンプLAの動作を示すタイミングチャート。

20

【図4】図4は、本発明の第2実施形態に係る半導体記憶装置の概略構成を示すブロック図。

【図5】図5は、図4のローカルセンスアンプLAおよびグローバルセンスアンプGAの動作を示すタイミングチャート。

【発明を実施するための形態】

【0012】

以下、本発明の実施形態に係る半導体記憶装置について図面を参照しながら説明する。

【0013】

(第1実施形態)

図1は、本発明の一実施形態に係る半導体記憶装置の概略構成を示すブロック図、図2は、図1のバンクBAの概略構成を示すブロック図である。

30

図2において、半導体記憶装置には、1ビット分のデータを記憶するメモリセルMCが設けられ、メモリセルMCが行方向および列方向にマトリクス状に配列されている。

【0014】

ここで、メモリセルMCには、Pチャンネル電界効果トランジスタM41、M42およびNチャンネル電界効果トランジスタM43～M46が設けられている。そして、Pチャンネル電界効果トランジスタM41と、Nチャンネル電界効果トランジスタM43とは直列接続され、Pチャンネル電界効果トランジスタM41のゲートとNチャンネル電界効果トランジスタM43のゲートが互いに接続されることでインバータが構成されている。また、Pチャンネル電界効果トランジスタM42と、Nチャンネル電界効果トランジスタM44とは直列接続され、Pチャンネル電界効果トランジスタM42のゲートとNチャンネル電界効果トランジスタM44のゲートが互いに接続されることでインバータが構成されている。そして、これら1対のインバータの一方の出力が他方のインバータの入力にそれぞれ接続されることでフリップフロップが構成されている。

40

【0015】

そして、Pチャンネル電界効果トランジスタM41のゲートと、Nチャンネル電界効果トランジスタM43のゲートと、Pチャンネル電界効果トランジスタM42のドレインと、Nチャンネル電界効果トランジスタM44のドレインは、Nチャンネル電界効果トランジスタM45を介してビット線BL<sub>i</sub>に接続されている。また、Pチャンネル電界効果トランジスタM42のゲートと、Nチャンネル電界効果トランジスタM44のゲートと

50

、Pチャンネル電界効果トランジスタM41のドレインと、Nチャンネル電界効果トランジスタM43のドレインは、Nチャンネル電界効果トランジスタM46を介してビット線BLB<sub>i</sub>に接続されている。

また、Nチャンネル電界効果トランジスタM45のゲートと、Nチャンネル電界効果トランジスタM46のゲートは、ワード線WLに接続されている。

ここで、各メモリセルMCを動作させる電源として高電圧電源VCSが用いられ、Pチャンネル電界効果トランジスタM41、M42のソースは、高電圧電源VCSに接続されている。

#### 【0016】

そして、ビット線BL<sub>i</sub>、BLB<sub>i</sub>を1対として、このビット線BL<sub>i</sub>、BLB<sub>i</sub>に接続されたメモリセルMCにてクラスタCLが構成されている。そして、

ビット線BL<sub>i</sub>、BLB<sub>i</sub>の横には、ビット線BL<sub>i+1</sub>、BLB<sub>i+1</sub>が配置されることで、クラスタCLが行方向に配列されている。そして、図1に示すように、これらの行方向に配列されたクラスタCLにてバンクBAが構成され、バンクBAは列方向および行方向に配列されている。

#### 【0017】

ここで、各クラスタCLには、図2に示すように、そのクラスタCLのビット線BL<sub>i</sub>、BLB<sub>i</sub>をプリチャージするプリチャージ回路PC1が設けられている。このプリチャージ回路PC1には、Pチャンネル電界効果トランジスタM11～M13が設けられている。そして、Pチャンネル電界効果トランジスタM11～M13のゲートは互いに接続されている。また、ビット線BL<sub>i</sub>、BLB<sub>i</sub>間には、Pチャンネル電界効果トランジスタM11が接続されている。また、Pチャンネル電界効果トランジスタM11のドレインは、ビット線BL<sub>i</sub>に接続され、Pチャンネル電界効果トランジスタM12のドレインは、ビット線BLB<sub>i</sub>に接続されている。

#### 【0018】

ここで、プリチャージ回路PC1を動作させる電源として低電圧電源VDDが用いられ、Pチャンネル電界効果トランジスタM11、M12のソースは、低電圧電源VDDに接続されている。なお、低電圧電源VDDは、高電圧電源VCSよりも低い電圧電源に設定される。

#### 【0019】

また、プリチャージ回路PC1の後段には、バンクBAの中からクラスタCLを選択するPチャンネル電界効果トランジスタM14、M15が設けられている。ここで、Pチャンネル電界効果トランジスタM14はビット線BL<sub>i</sub>に挿入されるとともに、Pチャンネル電界効果トランジスタM15はビット線BLB<sub>i</sub>に挿入されている。そして、Pチャンネル電界効果トランジスタM14のゲートと、Pチャンネル電界効果トランジスタM15のゲートは互いに接続されている。

#### 【0020】

そして、各クラスタCLのビット線BL<sub>i</sub>、BLB<sub>i</sub>、BL<sub>i+1</sub>、BLB<sub>i+1</sub>・・・は、Pチャンネル電界効果トランジスタM16、M17をそれぞれ介してセンス用ビット線SABL、SABL Bに接続されている。

そして、センス用ビット線SABL、SABL Bには、メモリセルMCから読み出された信号を増幅するローカルセンスアンプLAおよびセンス用ビット線SABL、SABL Bをプリチャージするプリチャージ回路PC2が接続されている。

#### 【0021】

ここで、ローカルセンスアンプLAには、Pチャンネル電界効果トランジスタM20、M21およびNチャンネル電界効果トランジスタM22～M24が設けられている。そして、Pチャンネル電界効果トランジスタM20と、Nチャンネル電界効果トランジスタM22とは直列接続され、Pチャンネル電界効果トランジスタM20のゲートとNチャンネル電界効果トランジスタM22のゲートが互いに接続されることでインバータが構成されている。また、Pチャンネル電界効果トランジスタM21と、Nチャンネル電界効果トラン

10

20

30

40

50

ンジスタM23とは直列接続され、Pチャンネル電界効果トランジスタM21のゲートとNチャンネル電界効果トランジスタM23のゲートが互いに接続されることでインバータが構成されている。そして、これら1対のインバータの一方の出力が他方のインバータの入力にそれぞれ接続されることでフリップフロップが構成されている。

【0022】

そして、Pチャンネル電界効果トランジスタM21のゲートと、Nチャンネル電界効果トランジスタM23のゲートと、Pチャンネル電界効果トランジスタM20のドレインと、Nチャンネル電界効果トランジスタM22のドレインは、センス用ビット線SABLに接続されている。また、Pチャンネル電界効果トランジスタM20のゲートと、Nチャンネル電界効果トランジスタM22のゲートと、Pチャンネル電界効果トランジスタM21のドレインと、Nチャンネル電界効果トランジスタM23のドレインは、センス用ビット線SABL Bに接続されている。また、Nチャンネル電界効果トランジスタM22、M23のソースは、Nチャンネル電界効果トランジスタM24のドレインに接続されている。

10

【0023】

また、プリチャージ回路PC2には、Pチャンネル電界効果トランジスタM25～M27が設けられている。そして、Pチャンネル電界効果トランジスタM25～M27のゲートは互いに接続されている。また、センス用ビット線SABL、SABL B間には、Pチャンネル電界効果トランジスタM27が接続されている。また、Pチャンネル電界効果トランジスタM25のドレインは、センス用ビット線SABLに接続され、Pチャンネル電界効果トランジスタM26のドレインは、センス用ビット線SABL Bに接続されている。

20

【0024】

ここで、プリチャージ回路PC2を動作させる電源として低電圧電源VDDが用いられ、Pチャンネル電界効果トランジスタM25、M26のソースは、低電圧電源VDDに接続されている。

また、センス用ビット線SABL、SABL Bは、駆動回路R1、R2をそれぞれ介してグローバルビット線GBL k、GBL B kに接続されている。

【0025】

ここで、駆動回路R1、R2は、ローカルセンスアンプLAにて増幅された信号に基づいて、グローバルビット線GBL k、GBL B kをそれぞれ駆動することができる。この駆動回路R1には、Pチャンネル電界効果トランジスタM28およびNチャンネル電界効果トランジスタM1、M29が設けられている。そして、Pチャンネル電界効果トランジスタM28と、Nチャンネル電界効果トランジスタM29とは直列接続され、Pチャンネル電界効果トランジスタM28のゲートと、Nチャンネル電界効果トランジスタM29のゲートとが互いに接続されることで、インバータが構成されている。

30

【0026】

また、Pチャンネル電界効果トランジスタM28のゲートと、Nチャンネル電界効果トランジスタM29のゲートは、センス用ビット線SABLに接続されている。また、Pチャンネル電界効果トランジスタM28のドレインと、Nチャンネル電界効果トランジスタM29のドレインは、Nチャンネル電界効果トランジスタM1のゲートに接続されている。また、Nチャンネル電界効果トランジスタM1のドレインは、グローバルビット線GBL kに接続されている。

40

【0027】

また、駆動回路R2には、Pチャンネル電界効果トランジスタM30およびNチャンネル電界効果トランジスタM2、M31が設けられている。そして、Pチャンネル電界効果トランジスタM30と、Nチャンネル電界効果トランジスタM31とは直列接続され、Pチャンネル電界効果トランジスタM30のゲートと、Nチャンネル電界効果トランジスタM31のゲートとが互いに接続されることで、インバータが構成されている。

【0028】

また、Pチャンネル電界効果トランジスタM30のゲートと、Nチャンネル電界効果ト

50

ランジスタM31のゲートは、センス用ビット線SABL Bに接続されている。また、Pチャンネル電界効果トランジスタM30のドレインと、Nチャンネル電界効果トランジスタM31のドレインは、Nチャンネル電界効果トランジスタM2のゲートに接続されている。また、Nチャンネル電界効果トランジスタM2のドレインは、グローバルビット線GBLB<sub>k</sub>に接続されている。

【0029】

そして、グローバルビット線GBL<sub>k</sub>、GBLB<sub>k</sub>には、図1に示すように、グローバルビット線GBL<sub>k</sub>、GBLB<sub>k</sub>にて伝送された信号を増幅するグローバルセンスアンプGAおよびグローバルビット線GBL<sub>k</sub>、GBLB<sub>k</sub>をプリチャージするプリチャージ回路PC3が接続されている。

10

【0030】

このプリチャージ回路PC3には、Pチャンネル電界効果トランジスタM3～M5が設けられている。そして、Pチャンネル電界効果トランジスタM3～M5のゲートは互いに接続されている。また、グローバルビット線GBL<sub>k</sub>、GBLB<sub>k</sub>間には、Pチャンネル電界効果トランジスタM5が接続されている。また、Pチャンネル電界効果トランジスタM3のドレインは、グローバルビット線GBL<sub>k</sub>に接続され、Pチャンネル電界効果トランジスタM4のドレインは、グローバルビット線GBLB<sub>k</sub>に接続されている。

ここで、プリチャージ回路PC3を動作させる電源として低電圧電源VDDが用いられ、Pチャンネル電界効果トランジスタM3、M4のソースは、低電圧電源VDDに接続されている。

20

【0031】

また、図2において、半導体記憶装置には、プリチャージ回路PC2にてセンス用ビット線SABL、SABL Bがプリチャージされた後に、ローカルセンスアンプLAおよび駆動回路R1、R2を動作させる電源の電圧を切り替える電源電圧切替回路SL1が設けられている。そして、電源電圧切替回路SL1は、ローカルセンスアンプLAの動作を許容するセンスアンプイネーブル信号SAE1がオフの時には、ローカルセンスアンプLAおよび駆動回路R1、R2に低電圧電源VDDを供給し、センスアンプイネーブル信号SAE1がオンの時には、ローカルセンスアンプLAおよび駆動回路R1、R2に高電圧電源VCSを供給することができる。

30

【0032】

ここで、電源電圧切替回路SL1には、Pチャンネル電界効果トランジスタM18、M19およびインバータIV1が設けられている。そして、Pチャンネル電界効果トランジスタM18のソースには、低電圧電源VDDが接続され、Pチャンネル電界効果トランジスタM19のソースには、高電圧電源VCSが接続されている。また、Pチャンネル電界効果トランジスタM18、M19のドレインは、Pチャンネル電界効果トランジスタM20、M21、M28、M30のドレインに接続されている。

【0033】

また、Pチャンネル電界効果トランジスタM16～M18およびNチャンネル電界効果トランジスタM24のゲートには、バッファBA1を介してセンスアンプイネーブル信号SAE1が入力され、Pチャンネル電界効果トランジスタM19のゲートには、バッファBA1およびインバータIV1を介してセンスアンプイネーブル信号SAE1が入力される。

40

【0034】

図3は、図2のローカルセンスアンプLAの動作を示すタイミングチャートである。

図3において、図2のメモリセルMCからのデータの読み出し前には、プリチャージ信号Preがロウレベルに維持される。そして、プリチャージ信号Preがロウレベルの場合、Pチャンネル電界効果トランジスタM11～M13がオンし、ビット線BL<sub>i</sub>、BLB<sub>i</sub>に低電圧電源VDDが接続されることで、ビット線BL<sub>i</sub>、BLB<sub>i</sub>の電位が低電圧電源VDDの電圧になるようにプリチャージされる。

50

## 【 0 0 3 5 】

また、プリチャージ信号  $P r e$  がロウレベルの場合、Pチャンネル電界効果トランジスタ  $M 2 5 \sim M 2 7$  がオンし、センス用ビット線  $S A B L$ 、 $S A B L B$  に低電圧電源  $V D D$  が接続されることで、センス用ビット線  $S A B L$ 、 $S A B L B$  の電位が低電圧電源  $V D D$  の電圧になるようにプリチャージされる。

## 【 0 0 3 6 】

また、プリチャージ信号  $P r e$  がロウレベルの場合、図 1 の Pチャンネル電界効果トランジスタ  $M 3 \sim M 5$  がオンし、グローバルビット線  $G B L k$ 、 $G B L B k$  に低電圧電源  $V D D$  が接続されることで、グローバルビット線  $G B L k$ 、 $G B L B k$  の電位が低電圧電源  $V D D$  の電圧になるようにプリチャージされる。

10

## 【 0 0 3 7 】

また、メモリセル  $M C$  からのデータの読み出し前には、センスアンプイネーブル信号  $S A E 1$  はロウレベルに維持される。そして、センスアンプイネーブル信号  $S A E 1$  がロウレベルに維持されると、Nチャンネル電界効果トランジスタ  $M 2 4$  はオフし、ローカルセンスアンプ  $L A$  の動作が停止されるとともに、Pチャンネル電界効果トランジスタ  $M 1 6$ 、 $M 1 7$  がオンし、メモリセル  $M C$  から読み出された信号がビット線  $B L i$ 、 $B L B i$  をそれぞれ介してセンス用ビット線  $S A B L$ 、 $S A B L B$  に伝送できる状態に維持される。

## 【 0 0 3 8 】

また、センスアンプイネーブル信号  $S A E 1$  がロウレベルに維持されている場合、Pチャンネル電界効果トランジスタ  $M 1 8$  がオンするとともに、センスアンプイネーブル信号  $S A E 1$  はインバータ  $I V 1$  にて反転され、Pチャンネル電界効果トランジスタ  $M 1 9$  がオフする。このため、電源電圧切替回路  $S L 1$  から出力される電源電圧  $V i r\_S u p p$  は低電圧電源  $V D D$  に切り替えられ、Pチャンネル電界効果トランジスタ  $M 2 0$ 、 $M 2 1$ 、 $M 2 8$ 、 $M 3 0$  に低電圧電源  $V D D$  が供給されることで、ローカルセンスアンプ  $L A$  および駆動回路  $R 1$ 、 $R 2$  は低電圧電源  $V D D$  にて動作される。

20

## 【 0 0 3 9 】

そして、図 2 のメモリセル  $M C$  からのデータの読み出しが行われる場合、クロック信号  $C L K$  がロウレベルからハイレベルに変化する（時刻  $t 1$ ）。そして、クロック信号  $C L K$  がロウレベルからハイレベルに変化すると、プリチャージ信号  $P r e$  がロウレベルからハイレベルに変化し、Pチャンネル電界効果トランジスタ  $M 1 1 \sim M 1 3$ 、 $M 2 5 \sim M 2 7$ 、 $M 3 \sim M 5$  がオフする。

30

## 【 0 0 4 0 】

そして、Pチャンネル電界効果トランジスタ  $M 1 1 \sim M 1 3$  がオフすると、ビット線  $B L i$ 、 $B L B i$  のプリチャージが停止され、Pチャンネル電界効果トランジスタ  $M 2 5 \sim M 2 7$  がオフすると、センス用ビット線  $S A B L$ 、 $S A B L B$  のプリチャージが停止され、Pチャンネル電界効果トランジスタ  $M 3 \sim M 5$  がオフすると、グローバルビット線  $G B L k$ 、 $G B L B k$  のプリチャージが停止される。

## 【 0 0 4 1 】

また、クロック信号  $C L K$  がロウレベルからハイレベルに変化すると、図 2 のワード線  $W L$  の電位がロウレベルからハイレベルに変化する（時刻  $t 2$ ）。そして、ワード線  $W L$  の電位がロウレベルからハイレベルに変化すると、Nチャンネル電界効果トランジスタ  $M 4 5$ 、 $M 4 6$  がオンし、メモリセル  $M C$  に記憶されているデータに応じて、ビット線  $B L i$ 、 $B L B i$  のいずれか一方が放電され、ビット線  $B L i$ 、 $B L B i$  のいずれか一方の電位が低下する。

40

## 【 0 0 4 2 】

また、クロック信号  $C L K$  がロウレベルからハイレベルに変化すると、クラスタ選択信号  $C S L i$  がハイレベルからロウレベルに変化し、センス用ビット線  $S A B L$ 、 $S A B L B$  の接続対象になるビット線  $B L i$ 、 $B L B i$ 、 $B L i + 1$ 、 $B L B i + 1$  ……の中から、ビット線  $B L i$ 、 $B L B i$  が選択される。

50

## 【 0 0 4 3 】

そして、ビット線  $BL_i$ 、 $BLB_i$  の電位は、Pチャンネル電界効果トランジスタ  $M14 \sim M17$  を介してセンス用ビット線  $SABL$ 、 $SABLB$  に伝送され、ビット線  $BL_i$ 、 $BLB_i$  のいずれか一方の電位の低下に伴ってセンス用ビット線  $SABL$ 、 $SABLB$  のいずれか一方の電位も低下する。

## 【 0 0 4 4 】

そして、例えば、 $BLB_i$  の放電が開始されてから所定の時間の経過後に、センスアンプイネーブル信号  $SAE1$  がロウレベルからハイレベルに変化する（時刻  $t3$ ）。そして、センスアンプイネーブル信号  $SAE1$  がロウレベルからハイレベルに変化すると、Nチャンネル電界効果トランジスタ  $M24$  はオンし、ローカルセンスアンプ  $LA$  が動作されるとともに、Pチャンネル電界効果トランジスタ  $M16$ 、 $M17$  がオフし、ビット線  $BL_i$ 、 $BLB_i$  とセンス用ビット線  $SABL$ 、 $SABLB$  とが切断される。

10

## 【 0 0 4 5 】

また、センスアンプイネーブル信号  $SAE1$  がロウレベルからハイレベルに変化すると、Pチャンネル電界効果トランジスタ  $M18$  がオフするとともに、センスアンプイネーブル信号  $SAE1$  はインバータ  $IV1$  にて反転され、Pチャンネル電界効果トランジスタ  $M19$  がオンする。このため、電源電圧切替回路  $SL1$  から出力される電源電圧  $V_{ir\_Supp}$  は高電圧電源  $VCS$  に切り替えられ、Pチャンネル電界効果トランジスタ  $M20$ 、 $M21$ 、 $M28$ 、 $M30$  に高電圧電源  $VCS$  が供給されることで、ローカルセンスアンプ  $LA$  および駆動回路  $R1$ 、 $R2$  は高電圧電源  $VCS$  にて動作される。

20

## 【 0 0 4 6 】

ここで、ローカルセンスアンプ  $LA$  が高電圧電源  $VCS$  にて動作されると、低電圧電源  $VDD$  にて動作される場合に比べて、センス用ビット線  $SABL$ 、 $SABLB$  の電圧の検出が高速に行われる。また、駆動回路  $R1$ 、 $R2$  が高電圧電源  $VCS$  にて動作されると、低電圧電源  $VDD$  にて動作される場合に比べて、グローバルビット線  $GBL_k$ 、 $GBLB_k$  の放電が高速に行われる。

## 【 0 0 4 7 】

そして、ローカルセンスアンプ  $LA$  にて増幅されたセンス用ビット線  $SABL$ 、 $SABLB$  の電圧は、駆動回路  $R1$ 、 $R2$  にそれぞれ入力される（時刻  $t4$ ）。そして、センス用ビット線  $SABL$  の電圧が駆動回路  $R1$  に入力されると、Pチャンネル電界効果トランジスタ  $M28$  とNチャンネル電界効果トランジスタ  $M29$  からなるインバータにて反転され、その反転電圧  $GBL_h$  がNチャンネル電界効果トランジスタ  $M1$  のゲートに入力される。また、センス用ビット線  $SABLB$  の電圧が駆動回路  $R2$  に入力されると、Pチャンネル電界効果トランジスタ  $M30$  とNチャンネル電界効果トランジスタ  $M31$  からなるインバータにて反転され、その反転電圧  $GBLB_h$  がNチャンネル電界効果トランジスタ  $M2$  のゲートに入力される。

30

## 【 0 0 4 8 】

そして、反転電圧  $GBL_h$ 、 $GBLB_h$  がNチャンネル電界効果トランジスタ  $M1$ 、 $M2$  のゲートにそれぞれ入力されると、その反転電圧  $GBL_h$ 、 $GBLB_h$  に従ってグローバルビット線  $GBL_k$ 、 $GBLB_k$  が放電され、センス用ビット線  $SABL$ 、 $SABLB$  のいずれか一方の電位の低下に伴ってグローバルビット線  $GBL_k$ 、 $GBLB_k$  のいずれか一方の電位も低下する。そして、グローバルビット線  $GBL_k$ 、 $GBLB_k$  の電位は、グローバルセンスアンプ  $GA$  に入力され、グローバルセンスアンプ  $GA$  にて増幅される。

40

## 【 0 0 4 9 】

ここで、ビット線  $BL_i$ 、 $BLB_i$ 、センス用ビット線  $SABL$ 、 $SABLB$  およびグローバルビット線  $GBL_k$ 、 $GBLB_k$  を低電圧電源  $VDD$  にてプリチャージさせた後に、ローカルセンスアンプ  $LA$  および駆動回路  $R1$ 、 $R2$  を高電圧電源  $VCS$  にて動作させることにより、ビット線  $BL_i$ 、 $BLB_i$ 、センス用ビット線  $SABL$ 、 $SABLB$  およびグローバルビット線  $GBL_k$ 、 $GBLB_k$  にて消費

50

される電力を増大させることなく、ローカルセンスアンプLAおよび駆動回路R1、R2の高速化を図ることが可能となり、SRAMの消費電力の増大を抑制しつつ、読み出し動作速度を向上させることができる。

【0050】

また、ビット線BL<sub>i</sub>、BLB<sub>i</sub>とセンス用ビット線SABL、SABL<sub>B</sub>との間にPチャンネル電界効果トランジスタM16、M17を挿入し、ローカルセンスアンプLAを動作させる時にビット線BLB<sub>i</sub>、BLB<sub>i</sub>とセンス用ビット線SABL、SABL<sub>B</sub>とを切断させることにより、ローカルセンスアンプLAにてビット線BLB<sub>i</sub>、BLB<sub>i</sub>を放電させる必要がなくなる。このため、メモリセルMCから読み出された信号をローカルセンスアンプLAにて増幅させる時に、ローカルセンスアンプLAの負荷を減少させることが可能となり、ローカルセンスアンプLAの動作の高速化を図ることができる。

10

【0051】

なお、上述した実施形態では、ビット線BL<sub>i</sub>、BLB<sub>i</sub>、センス用ビット線SABL、SABL<sub>B</sub>およびグローバルビット線GBL<sub>k</sub>、GBLB<sub>k</sub>を低電圧電源VDDにてプリチャージさせた後に、ローカルセンスアンプLAおよび駆動回路R1、R2を高電圧電源VCSにて動作させる方法について説明したが、ローカルセンスアンプLAおよび駆動回路R1、R2のいずれか一方を高電圧電源VCSにて動作させるようにしてもよい。

【0052】

また、ビット線BL<sub>i</sub>、BLB<sub>i</sub>の上位にグローバルビット線GBL<sub>k</sub>、GBLB<sub>k</sub>が設けられた階層ビット線構造に適用する方法について説明したが、ビット線BL<sub>i</sub>、BLB<sub>i</sub>の上位にグローバルビット線GBL<sub>k</sub>、GBLB<sub>k</sub>が設けられていない単層ビット線構造に適用するようにしてもよい。

20

【0053】

また、上述した実施形態では、ビット線BL<sub>i</sub>、BLB<sub>i</sub>と切断可能なセンス用ビット線SABL、SABL<sub>B</sub>に接続されたローカルセンスアンプLAの電源を切り替える方法について説明したが、ビット線BL<sub>i</sub>、BLB<sub>i</sub>に直接接続されたセンスアンプの電源を切り替える方法に適用するようにしてもよい。

【0054】

(第2実施形態)

図4は、本発明の第2実施形態に係る半導体記憶装置の概略構成を示すブロック図である。

図4において、この半導体記憶装置には、図1および図2の構成に加え、プリチャージ回路PC3にてグローバルビット線GBL<sub>k</sub>、GBLB<sub>k</sub>がプリチャージされた後に、グローバルセンスアンプGAを動作させる電源の電圧を切り替える電源電圧切替回路SL2が設けられている。

30

【0055】

ここで、グローバルセンスアンプGAには、Pチャンネル電界効果トランジスタM60、M61およびNチャンネル電界効果トランジスタM62、M63が設けられている。そして、Pチャンネル電界効果トランジスタM60と、Nチャンネル電界効果トランジスタM62とは直列接続され、Pチャンネル電界効果トランジスタM60のゲートとNチャンネル電界効果トランジスタM62のゲートが互いに接続されることでインバータが構成されている。また、Pチャンネル電界効果トランジスタM61と、Nチャンネル電界効果トランジスタM63とは直列接続され、Pチャンネル電界効果トランジスタM61のゲートとNチャンネル電界効果トランジスタM63のゲートが互いに接続されることでインバータが構成されている。そして、これら1対のインバータの一方の出力が他方のインバータの入力にそれぞれ接続されることでフリップフロップが構成されている。

40

【0056】

そして、Pチャンネル電界効果トランジスタM61のゲートと、Nチャンネル電界効果

50

トランジスタM63のゲートと、Pチャンネル電界効果トランジスタM60のドレインと、Nチャンネル電界効果トランジスタM62のドレインは、グローバルビット線GBLkに接続されている。また、Pチャンネル電界効果トランジスタM60のゲートと、Nチャンネル電界効果トランジスタM62のゲートと、Pチャンネル電界効果トランジスタM61のドレインと、Nチャンネル電界効果トランジスタM63のドレインは、グローバルビット線GBL B kに接続されている。また、Nチャンネル電界効果トランジスタM62、M63のソースは、Nチャンネル電界効果トランジスタM64のドレインに接続されている。

【0057】

また、電源電圧切替回路SL2は、グローバルセンスアンプGAの動作を許容するセンスアンプイネーブル信号SAE2がオフの時には、グローバルセンスアンプGAに低電圧電源VDDを供給し、センスアンプイネーブル信号SAE2がオンの時には、グローバルセンスアンプGAに高電圧電源VCSを供給することができる。

10

【0058】

ここで、電源電圧切替回路SL2には、Pチャンネル電界効果トランジスタM58、M59およびインバータIV2が設けられている。そして、Pチャンネル電界効果トランジスタM58のソースには、低電圧電源VDDが接続され、Pチャンネル電界効果トランジスタM59のソースには、高電圧電源VCSが接続されている。また、Pチャンネル電界効果トランジスタM58、M59のドレインは、Pチャンネル電界効果トランジスタM60、M61のドレインに接続されている。

20

【0059】

また、Pチャンネル電界効果トランジスタM58のゲートおよびNチャンネル電界効果トランジスタM64のゲートには、バッファBA2を介してセンスアンプイネーブル信号SAE2が入力され、Pチャンネル電界効果トランジスタM59のゲートには、バッファBA2およびインバータIV2を介してセンスアンプイネーブル信号SAE2が入力される。

【0060】

図5は、図4のローカルセンスアンプLAおよびグローバルセンスアンプGAの動作を示すタイミングチャートである。

図5において、ローカルセンスアンプLAにて増幅されたセンス用ビット線SABL、SABLBの電圧が駆動回路R1、R2にそれぞれ入力されると、センス用ビット線SABL、SABLBのいずれか一方の電位の低下に伴ってグローバルビット線GBLk、GBL B kのいずれか一方の電位も低下するまでは(時刻t1~t4)、図3の動作と同様である。

30

【0061】

そして、例えば、GBL B iの放電が開始されてから所定の時間の経過後に、センスアンプイネーブル信号SAE2がロウレベルからハイレベルに変化する(時刻t5)。そして、センスアンプイネーブル信号SAE2がロウレベルからハイレベルに変化すると、Nチャンネル電界効果トランジスタM64はオンし、グローバルセンスアンプGAが動作される。

40

【0062】

また、センスアンプイネーブル信号SAE2がロウレベルからハイレベルに変化すると、Pチャンネル電界効果トランジスタM58がオフするとともに、センスアンプイネーブル信号SAE2はインバータIV2にて反転され、Pチャンネル電界効果トランジスタM59がオンする。このため、Pチャンネル電界効果トランジスタM60、M61の電源が低電圧電源VDDから高電圧電源VCSに切り替えられ、グローバルセンスアンプGAは高電圧電源VCSにて動作される。

【0063】

ここで、グローバルセンスアンプGAが高電圧電源VCSにて動作されると、低電圧電源VDDにて動作される場合に比べて、グローバルビット線GBLk、GBL B k

50

の電圧の検出が高速に行われる。

【0064】

これにより、ビット線  $BL_i$ 、 $BLB_i$ 、センス用ビット線  $SABL$ 、 $SABL B$  およびグローバルビット線  $GBL_k$ 、 $GBLB_k$  を低電圧電源  $VDD$  にてプリチャージさせた後に、ローカルセンスアンプ  $LA$ 、駆動回路  $R1$ 、 $R2$  およびグローバルセンスアンプ  $GA$  を高電圧電源  $VCS$  にて動作させることが可能となり、ビット線  $BL_i$ 、 $BLB_i$ 、センス用ビット線  $SABL$ 、 $SABL B$  およびグローバルビット線  $GBL_k$ 、 $GBLB_k$  にて消費される電力を増大させることなく、ローカルセンスアンプ  $LA$ 、駆動回路  $R1$ 、 $R2$  およびグローバルセンスアンプ  $GA$  の高速化を図ることが可能となり、階層ビット線構造を用いた場合においても、 $SRAM$  の消費電力の増大を抑制しつつ、読み出し動作速度を向上させることができる。

10

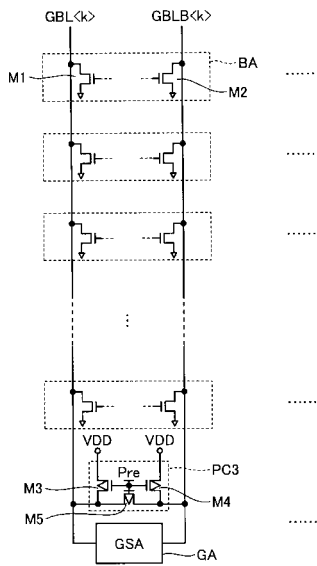
【符号の説明】

【0065】

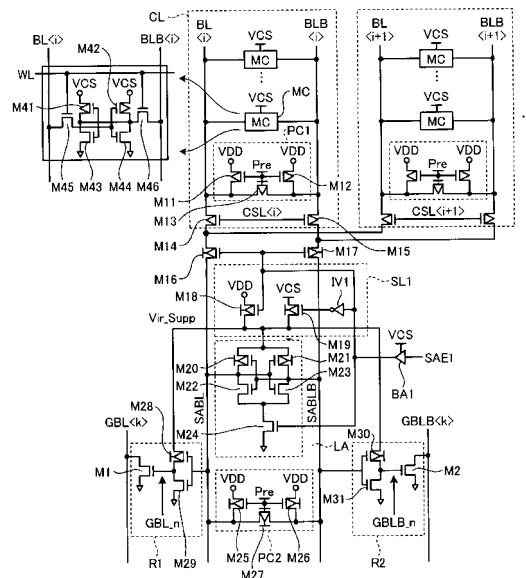
$BA$  バンク、 $PC1 \sim PC3$  プリチャージ回路、 $GA$  グローバルセンスアンプ、 $M1$ 、 $M2$ 、 $M22 \sim M24$ 、 $M29$ 、 $M31$ 、 $M43 \sim M46$ 、 $M62 \sim M64$   $N$ チャンネル電界効果トランジスタ、 $M3 \sim M5$ 、 $M11 \sim M21$ 、 $M25 \sim M28$ 、 $M30$ 、 $M41$ 、 $M42$ 、 $M58 \sim M61$   $P$ チャンネル電界効果トランジスタ、 $GBL_k$ 、 $GBLB_k$  グローバルビット線、 $BL_i$ 、 $BLB_i$ 、 $BL_{i+1}$ 、 $BLB_{i+1}$  ビット線、 $WL$  ワード線、 $CL$  クラスタ、 $MC$  メモリセル、 $LA$  ローカルセンスアンプ、 $R1$ 、 $R2$  駆動回路、 $SL1$  電源電圧切替回路、 $SABL$ 、 $SABL B$  センス用ビット線、 $BA1$ 、 $BA2$  バッファ、 $IV1$ 、 $IV2$  インバータ

20

【図1】



【図2】





---

フロントページの続き

- (56)参考文献 特開平 1 1 - 2 8 8 5 9 2 ( J P , A )  
特開 2 0 0 1 - 1 5 5 4 8 9 ( J P , A )  
特開平 1 1 - 3 1 7 0 9 9 ( J P , A )  
特開 2 0 0 5 - 1 5 8 0 9 6 ( J P , A )  
特開平 0 2 - 0 1 0 5 9 3 ( J P , A )

(58)調査した分野(Int.Cl. , DB名)

G 1 1 C 1 1 / 4 1 7  
G 1 1 C 1 1 / 4 0 9 6  
G 1 1 C 1 1 / 4 1 9