



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I738380 B

(45)公告日：中華民國 110 (2021) 年 09 月 01 日

(21)申請案號：109119583

(22)申請日：中華民國 109 (2020) 年 06 月 11 日

(51)Int. Cl. : H01L27/105 (2006.01)

H01L29/78 (2006.01)

G11C8/14 (2006.01)

(30)優先權：2020/04/17 世界智慧財產權組織 PCT/CN2020/085356

(71)申請人：大陸商長江存儲科技有限責任公司(中國大陸) YANGTZE MEMORY TECHNOLOGIES CO., LTD. (CN)

中國大陸

(72)發明人：湯強 TANG, QIANG (CN)；侯春源 HOU, CHUNYUAN (CN)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

TW I530953

TW 202002179A

US 7867822B2

US 10510738B2

US 2019/0043836A1

WO 2020/034152A1

審查人員：劉漢胤

申請專利範圍項數：20 項 圖式數：10 共 42 頁

(54)名稱

記憶體元件

(57)摘要

一種記憶體元件包括第一基底、第一儲存陣列、第二基底和至少一個第一垂直電晶體。第一儲存陣列設置在第一基底上。第一儲存陣列包括至少一個第一字元線結構。第一儲存陣列在垂直方向上設置在第一基底與第二基底之間。第一垂直電晶體與第一字元線結構電連接。至少一個第一垂直電晶體的至少一部分設置在第二基底中。

A memory element includes a first substrate, a first storage array, a second substrate, and at least one first vertical transistor. The first storage array is disposed on the first substrate. The first storage array includes at least one first word line structure. The first storage array is disposed between the first substrate and the second substrate in a vertical direction. The first vertical transistor is electrically connected to the first word line structure. At least a portion of at least one first vertical transistor is disposed in the second substrate.

指定代表圖：

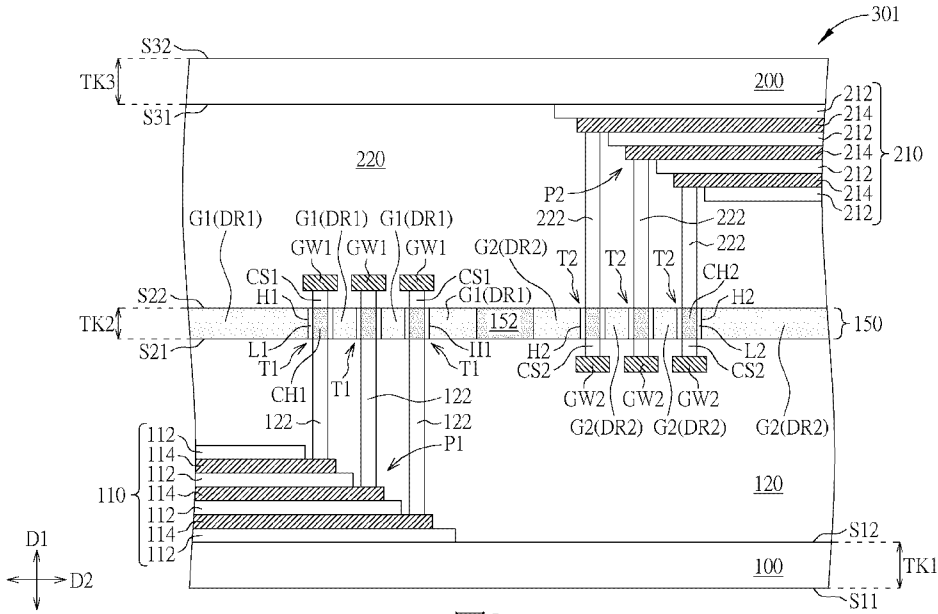


圖2

符號簡單說明：

- 100:第一基底
- 110:第一儲存陣列
- 110A:儲存塊
- 112:第一介電質層
- 114:第一字元線結構
- 120:第一層間介電質
- 122:第一字元線接觸結構
- 150:第二基底
- 152:第一隔離結構
- 200:第三基底
- 210:第二儲存陣列
- 212:第二介電質層
- 214:第二字元線結構
- 220:第二層間介電質
- 222:第二字元線接觸結構
- 301 記憶體元件
- CH1:第一半導體溝道
- CH2:第二半導體溝道
- CS1:第一連接結構
- D1:第一方向
- D2:第二方向
- DR1:第一摻雜區
- DR2:第二摻雜區
- G1:第一閘極
- G2:第二閘極
- GW1:第一導電線
- GW2:第二導電線
- H1:第一孔
- H2:第二孔
- L1:第一閘極介電層
- L2:第二閘極介電層
- P1:第一階梯部分
- P2:第二階梯部分
- S11,S21,S31:第一側
- S12,S22,S32:第二側

I738380

TW I738380 B

T1:第一垂直電晶體

T2:第二垂直電晶體

TK1,TK2,TK3:厚度



I738380

【發明摘要】

【中文發明名稱】記憶體元件

【英文發明名稱】MEMORY ELEMENT

【中文】

一種記憶體元件包括第一基底、第一儲存陣列、第二基底和至少一個第一垂直電晶體。第一儲存陣列設置在第一基底上。第一儲存陣列包括至少一個第一字元線結構。第一儲存陣列在垂直方向上設置在第一基底與第二基底之間。第一垂直電晶體與第一字元線結構電連接。至少一個第一垂直電晶體的至少一部分設置在第二基底中。

【英文】

A memory element includes a first substrate, a first storage array, a second substrate, and at least one first vertical transistor. The first storage array is disposed on the first substrate. The first storage array includes at least one first word line structure. The first storage array is disposed between the first substrate and the second substrate in a vertical direction. The first vertical transistor is electrically connected to the first word line structure. At least a portion of at least one first vertical transistor is disposed in the second substrate.

【指定代表圖】第（ 2 ）圖。

【代表圖之符號簡單說明】

100:第一基底

110:第一儲存陣列

110A:儲存塊

112:第一介電質層

114:第一字元線結構

120:第一層間介電質

122:第一字元線接觸結構

150:第二基底

152:第一隔離結構

200:第三基底

210:第二儲存陣列

212:第二介電質層

214:第二字元線結構

220:第二層間介電質

222:第二字元線接觸結構

301記憶體元件

CH1:第一半導體溝道

CH2:第二半導體溝道

CS1:第一連接結構

D1:第一方向

D2:第二方向

DR1:第一摻雜區

DR2:第二摻雜區

G1:第一閘極

G2:第二閘極

GW1:第一導電線

GW2:第二導電線

H1:第一孔

H2:第二孔

L1:第一閘極介電層

L2:第二閘極介電層

P1:第一階梯部分

P2:第二階梯部分

S11, S21, S31:第一側

S12, S22, S32:第二側

T1:第一垂直電晶體

T2:第二垂直電晶體

TK1, TK2, TK3:厚度

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 記憶體元件

【英文發明名稱】 MEMORY ELEMENT

【技術領域】

【0001】 本揭露涉及記憶體元件，並且更具體地涉及包括垂直電晶體的記憶體元件。

【先前技術】

【0002】 通過改善製程技術、電路設計、程式設計演算法和製造技術，將平面儲存單元縮放到較小的尺寸。然而，隨著儲存單元的特徵尺寸接近下限，平面技術和製作技術變得具有挑戰性和昂貴的。結果，平面儲存單元的儲存密度接近上限。

【0003】 三維（3D）記憶體結構可以解決平面儲存單元中的密度限制。3D儲存架構包括儲存陣列和用於控制朝向和來自儲存陣列的信號的週邊元件。隨著記憶體元件的尺寸變小，並且儲存單元密度變高，儲存陣列與週邊元件之間的互連結構變得更複雜，並且影響相關的電路設計及/或相關的製造技術。

【發明內容】

【0004】 在本揭露中提供了記憶體元件。在所述記憶體元件中，設置在基底中的垂直電晶體電連接到設置在另一基底上的儲存陣列的字元線結構。可以減小垂直電晶體在基底上佔據的區域，並且可以相應地簡化垂直電晶體與字元線結構之間的連接結構。

【0005】 根據本揭露的實施例，提供了記憶體元件。所述記憶體元件包括第一基底、第一儲存陣列、第二基底和至少一個第一垂直電晶體。第一儲存陣列設置在第一基底上。第一儲存陣列包括至少一個第一字元線結構。第一儲存陣列在垂直方向上設置在第一基底與第二基底之間。第一垂直電晶體與第一字元線結構電連接。至少一個第一垂直電晶體的至少一部分設置在第二基底中。

【0006】 在一些實施例中，至少一個第一垂直電晶體包括在垂直方向上穿透第二基底的第一半導體溝道。

【0007】 在一些實施例中，至少一個第一垂直電晶體還包括第一閘極，所述第一閘極設置在第二基底中，並且在水平方向上圍繞第一半導體溝道。

【0008】 在一些實施例中，至少一個第一垂直電晶體還包括第一閘極介電層，所述第一閘極介電層設置在第二基底中，並且設置在第一閘極與第一半導體溝道之間。

【0009】 在一些實施例中，第一儲存陣列包括至少一個第一字元線結構中的多個第一字元線結構，並且記憶體元件包括至少一個第一垂直電晶體中的多個第一垂直電晶體，所述多個第一垂直電晶體分別與至少一個第一字元線結構中的多個第一字元線結構電連接。

【0010】 在一些實施例中，至少一個第一垂直電晶體中的多個第一垂直電晶體的第一閘極在第二基底中彼此實體連接和電連接。

【0011】 在一些實施例中，第二基底包括半導體區，並且第一閘極包括設置在第二基底中的摻雜區。

【0012】 在一些實施例中，記憶體元件還包括設置在第二基底中的隔離結構，並且隔離結構設置在半導體區與第一閘極之間。

【0013】 在一些實施例中，記憶體元件還包括設置在至少一個第一垂直電晶體與至少一個第一字元線結構之間的字元線接觸結構，並且至少一個第一字元

線結構經由字元線接觸結構與至少一個第一垂直電晶體電連接。

【0014】 在一些實施例中，至少一個第一垂直電晶體在垂直方向上完全覆蓋字元線接觸結構。

【0015】 在一些實施例中，第二基底在垂直方向上具有第一側和與第一側相對的第二側，並且第一儲存陣列和字元線接觸結構設置在第二基底的第一側處。

【0016】 在一些實施例中，記憶體元件還包括導電線和連接結構。導電線設置在第二基底的第二側處，並且連接結構設置在第二基底的第二側處，並且設置在導電線與至少一個第一垂直電晶體之間。導電線經由連接結構、至少一個第一垂直電晶體和字元線接觸結構與至少一個第一字元線結構電連接。

【0017】 在一些實施例中，記憶體元件還包括第三基底、第二儲存陣列和至少一個第二垂直電晶體。第一儲存陣列在垂直方向上設置在第一基底與第三基底之間。第二儲存陣列包括至少一個第二字元線結構。至少一個第二垂直電晶體與至少一個第二字元線結構電連接。

【0018】 在一些實施例中，第二儲存陣列設置在第三基底上，並且至少一個第二垂直電晶體的至少一部分設置在第二基底中。

【0019】 在一些實施例中，至少一個第二垂直電晶體包括第二半導體溝道和第二閘極。第二半導體溝道在垂直方向上穿透第二基底。第二閘極設置在第二基底中，並且在水平方向上圍繞第二半導體溝道。

【0020】 在一些實施例中，至少一個第一垂直電晶體包括設置在第二基底中的第一閘極，並且第一閘極與第二閘極實體連接和電連接。

【0021】 在一些實施例中，至少一個第一垂直電晶體包括設置在第二基底中的第一閘極，並且第一閘極與第二閘極電性分離。

【0022】 在一些實施例中，第三基底在垂直方向上設置在第一基底與第二基底之間，並且第二儲存陣列在垂直方向上設置在第二基底與第三基底之間。

【0023】 在一些實施例中，第二基底在垂直方向上設置在第一基底與第三基底之間，並且第二儲存陣列在垂直方向上設置在第二基底與第三基底之間。

【0024】 在一些實施例中，第二儲存陣列設置在第二基底上，並且至少一個第二垂直電晶體的至少一部分設置在第三基底中。

【0025】 本領域的技術人員可以根據本揭露的說明書、申請專利範圍和附圖來理解本揭露的其他方面。

【0026】 在閱讀了以下在各個附圖中示出的較佳實施例的詳細說明之後，本揭露的這些和其他目的對於本領域的普通技術人員無疑將變得顯而易見。

【圖式簡單說明】

【0027】

結合在本文中並且形成說明書的一部分的附圖示出了本揭露的實施例，並且與說明書一起進一步用於解釋本揭露的原理，並且用於使相關領域的技術人員能夠製造並且使用本揭露。

圖1是示出根據本揭露的實施例的記憶體元件的示意圖。

圖2是示出根據本揭露的第一實施例的記憶體元件的示意圖。

圖3是示出根據本揭露的實施例的記憶體元件的示意圖。

圖4是示出根據本揭露的實施例的記憶體元件的部分的俯視圖的示意圖。

圖5是示出根據本揭露的第二實施例的記憶體元件的示意圖。

圖6是示出根據本揭露的第三實施例的記憶體元件的示意圖。

圖7是示出根據本揭露的第四實施例的記憶體元件的示意圖。

圖8是示出根據本揭露的第五實施例的記憶體元件的示意圖。

圖9是示出根據本揭露的第六實施例的記憶體元件的示意圖。

圖10是示出根據本揭露的第七實施例的記憶體元件的示意圖。

【實施方式】

【0028】 儘管對具體配置和佈置進行了討論，但應當理解，這只是出於例示性目的而進行的。相關領域中的技術人員將認識到，可以使用其它配置和佈置而不脫離本揭露的精神和範圍。對相關領域的技術人員顯而易見的是，本揭露還可以用於多種其它應用中。

【0029】 要指出的是，在說明書中提到“一個實施例”、“實施例”、“示例性實施例”、“一些實施例”等表示所述的實施例可以包括特定特徵、結構或特性，但未必每個實施例都包括該特定特徵、結構或特性。此外，這種短語未必是指同一個實施例。另外，在結合實施例描述特定特徵、結構或特性時，結合其它實施例（無論是否明確描述）實現這種特徵、結構或特性應在相關領域技術人員的知識範圍內。

【0030】 通常，可以至少部分從上下文中的使用來理解術語。例如，至少部分取決於上下文，本文中使用的術語“一個或多個”可以用於描述單數意義的任何特徵、結構或特性，或者可以用於描述複數意義的特徵、結構或特性的組合。類似地，至少部分取決於上下文，諸如“一”或“所述”的術語同樣可以被理解為傳達單數使用或傳達複數使用。另外，術語“基於”可以被理解為不一定旨在傳達一組排他的因素，並且同樣至少部分地取決於上下文，術語“基於”反而可以允許存在不一定必須明確描述的附加因素。

【0031】 將理解的是，儘管術語第一、第二等在本文中可以用於描述各種元件、部件、區、層及/或區段，但是這些元件、部件、區、層及/或區段應不受這些術語的限制。這些術語僅用於將一個元件、部件、區、層及/或區段彼此區分。因此，在不脫離本揭露的教導的情況下，以下討論的第一元件、部件、區、層或區段可以被稱為第二元件、部件、區、層或區段。

【0032】 應當容易理解，本揭露中的“在...上”、“在...上方”和“在...之上”的含義應當以最寬方式被解讀，以使得“在...上”不僅表示“直接在”某物“上”而且還包括在某物“上”且其間有居間特徵或層的含義，並且“在...上方”或“在...之上”不僅表示“在”某物“上方”或“之上”，而且還可以包括其“在”某物“上方”或“之上”且其間沒有居間特徵或層（即，直接在某物上）的含義。

【0033】 此外，諸如“在...下”、“在...下方”、“下部”、“在...上方”、“上部”等空間相對術語在本文中為了描述方便可以用於描述一個元件或特徵與另一個或多個元件或特徵的如圖中所示的關係。空間相對術語旨在涵蓋除了在附圖中所描繪的取向之外的在器件使用或操作中的不同取向。設備可以以另外的方式被定向（旋轉90度或在其它取向），並且本文中使用的空間相對描述詞可以類似地被相應解釋。

【0034】 在下文中使用術語“形成”或術語“設置”來描述將材料層施加到物體的行為。這種術語旨在描述任何可能的層形成技術，包括但不限於熱生長、濺射、蒸發、化學氣相沉積、磊晶生長、電鍍等。

【0035】 請參考圖1。圖1是示出根據本揭露的實施例的記憶體元件的示意圖。如圖1所示，在記憶體元件中，NAND儲存陣列920可以設置在基底910上，並且被配置為與NAND儲存陣列920電連接的平面電晶體950可以設置在另一基底940上。NAND儲存陣列920可以包括交替的導電/介電質堆疊體，所述交替的導電/介電質堆疊體由在垂直方向（諸如圖1中所示的第一方向D1）上交替堆疊的介電質層922和導電層924組成，並且導電層924中的每個可以被認為是NAND儲存陣列920中的字元線。交替的導電/介電質堆疊體可以具有暴露每個字元線的一部分的階梯部分，並且字元線中的每個可以相應地電連接到對應的驅動單元。例如，平面電晶體950中的每個可以經由用於控制傳輸到字元線的信號的互連結構930來電連接到字元線中的一個，並且平面電晶體950可以被認為是上述

的驅動單元，但不限於此。然而，平面電晶體950中的每個佔據基底940上的特定區域，大部分平面電晶體950不能被定位為在第一方向D1上與字元線的暴露部分準確地對應，並且互連結構930必須相應地變得複雜。另外，由於平面電晶體950在基底940上佔據的總區域，字元線的臺階將被限制在特定範圍，並且因此記憶體元件的儲存容量受到限制。

【0036】 請參考圖2。圖2是示出根據本揭露的第一實施例的記憶體元件301的示意圖。如圖2所示，記憶體元件301包括第一基底100、第一儲存陣列110、第二基底150和至少一個第一垂直電晶體T1。第一儲存陣列110設置在第一基底100上。第一儲存陣列110包括至少一個第一字元線結構114。第一儲存陣列110在垂直方向（諸如圖2中所示的第一方向D1）上設置在第一基底100與第二基底150之間。第一垂直電晶體T1與第一字元線結構114電連接。第一垂直電晶體T1的至少一部分設置在第二基底150中。第一垂直電晶體T1在第二基底150上佔據的區域可以相對小於上述平面電晶體佔據的區域，並且這將有利於解決上述相關的問題。

【0037】 在一些實施例中，第一儲存陣列110可以包括多個第一字元線結構114，並且記憶體元件301可以相應地包括多個第一垂直電晶體T1，但不限於此。第一垂直電晶體T1可以分別與第一字元線結構114電連接。換句話說，第一字元線結構114中的每個可以與第二基底150中的第一垂直電晶體T1中的一個電連接。在一些實施例中，第一儲存陣列110可以包括交替的導電/介電質堆疊體，所述交替的導電/介電質堆疊體由在第一方向D1上交替堆疊的第一介電質層112和第一字元線結構114組成，並且第一儲存陣列110可以在水平方向（諸如圖2所示的第二方向D2）上在第一儲存陣列110的端部處具有第一階梯部分P1，以用於暴露第一字元線結構114中的每個的一部分，但不限於此。第一方向D1可以被認為是第一基底100的厚度方向，及/或第一方向D1可以平行於第一基底100的表面的

法線方向，並且水平方向可以平行於第一基底100的表面，但不限於此。在一些實施例中，記憶體元件301還可以包括多個第一字元線接觸結構122。第一字元線接觸結構122中的每個可以在第一方向D1上設置在第一垂直電晶體T1中的一個與第一字元線結構114中的一個之間，以用於電連接第一垂直電晶體T1和第一字元線結構114。換句話說，第一字元線結構114中的每個可以經由第一字元線接觸結構122中的一個與第一垂直電晶體T1中的一個電連接。

【0038】 在一些實施例中，因為第一垂直電晶體T1在第二基底150上佔據的區域相對較小，所以第一垂直電晶體T1中的每個可以被定位為在第一方向D1上對應於對應的第一字元線結構114的暴露部分，並且可以相應地簡化第一字元線結構114與第一垂直電晶體T1之間的連接結構。例如，在一些實施例中，第一字元線接觸結構122中的每個可以是在第一方向D1上伸長的柱狀結構，第一字元線接觸結構122中的每個在第一方向D1上的一個端部（諸如第一字元線接觸結構122的底部端部）可以直接接觸對應的第一字元線結構114的暴露部分，並且第一字元線接觸結構122在第一方向D1上的另一端部（諸如第一字元線接觸結構122的頂部端部）可以直接接觸對應的第一垂直電晶體T1，但不限於此。在一些實施例中，第一垂直電晶體T1中的每個可以在第一方向D1上完全覆蓋對應的第一字元線接觸結構122，但不限於此。

【0039】 在一些實施例中，第一垂直電晶體T1中的每個可以包括第一半導體溝道CH1、第一閘極介電層L1和第一閘極G1。第一半導體溝道CH1可以在第一方向D1上穿透第二基底150，第一閘極G1可以設置在第二基底150中，並且在水平方向（諸如第二方向D2）上圍繞第一半導體溝道CH1，並且第一閘極介電層L1可以設置在第二基底150中，並且設置在第一閘極G1與第一半導體溝道CH1之間，但不限於此。在一些實施例中，第一半導體溝道CH1可以在第一方向D1上伸長，但不限於此。在一些實施例中，多個第一孔H1可以分別在第一方向D1

上穿透第二基底150，並且相同的第一垂直電晶體T1的第一半導體溝道CH1和第一閘極介電層L1可以設置在第一孔H1中的一個中。另外，第二基底150可以包括半導體基底，並且第一閘極G1中的每個可以包括設置在第二基底150中的第一摻雜區DR1。在一些實施例中，第一孔H1可以在第一方向D1上穿透第一摻雜區DR1，並且第一摻雜區DR1可以彼此實體連接，但不限於此。換句話說，第一垂直電晶體T1的第一閘極G1可以在第二基底150中彼此實體連接和電連接。然而，在一些實施例中，第一閘極G1可以通過設置在第二基底150中的隔離結構來彼此電絕緣。在一些實施例中，第一垂直電晶體T1中的每個可以被認為是環繞閘極電晶體，但不限於此。在一些實施例中，可以通過將合適的摻雜劑注入到第二基底150中來形成第一閘極G1，並且第二基底150可以包括半導體區（未在圖2中示出），而沒有被用於形成第一閘極G1的摻雜劑摻雜，但不限於此。值得注意的是，本揭露的第一垂直電晶體T1不限於上述結構，並且在本揭露中也可以使用其他合適類型的垂直電晶體。

【0040】 在一些實施例中，第一基底100可以在第一方向D1上具有第一側S11和與第一側S11相對的第二側S12，並且第二基底150可以在第一方向D1上具有第一側S21和與第一側S21相對的第二側S22。第一儲存陣列110可以設置在第一基底100上，並且第一儲存陣列和第一字元線接觸結構122可以設置在第一基底100的第二側S12處，並且設置在第二基底150的第一側S21處。第一垂直電晶體T1中的每個的第一半導體溝道CH1可以在第一方向D1上從第二基底150的第一側S21到第二基底150的第二側S22穿透第二基底150，但不限於此。在一些實施例中，記憶體元件301還可以包括多個第一導電線GW1和多個第一連接結構CS1。第一導電線GW1和第一連接結構CS1可以設置在第二基底150的第二側S22處，並且第一連接結構CS1可以在第一方向D1上設置在第一導電線GW1與第二基底150之間。第一導電線GW1中的每個可以經由第一連接結構CS1中的一個、第一

垂直電晶體T1中的一個和第一字元線接觸結構122中的一個與第一字元線結構114中的一個電連接。

【0041】 在一些實施例中，第一導電線GW1可以被認為是用於第一儲存陣列110的全域字元線佈線，並且第一垂直電晶體T1可以被認為是用於控制從第一導電線GW1傳輸到第一字元線結構114的信號的傳遞閘極電晶體（或傳輸閘極電晶體），但不限於此。在一些實施例中，兩個摻雜區（未示出）可以在第一方向D1上設置在第一半導體溝道CH1的兩個相對端部處，第一字元線接觸結構122可以接觸兩個摻雜區中的一個，並且第一連接結構CS1可以接觸兩個摻雜區中的另一個，但不限於此。在一些實施例中，第一字元線接觸結構122和第一連接結構CS1可以分別接觸對應的第一半導體溝道CH1，並且第一字元線接觸結構122的部分和第一連接結構CS1的部分可以被認為是對應的第一垂直電晶體T1的源極/汲極，但不限於此。

【0042】 在一些實施例中，記憶體元件301還可以包括第三基底200、第二儲存陣列210、多個第二字元線接觸結構222、多個第二垂直電晶體T2、多個第二連接結構CS2、和多個第二導電線GW2。第一儲存陣列110可以在第一方向D1上設置在第一基底100與第三基底200之間，第二基底150可以在第一方向D1上設置在第一基底100與第三基底200之間，第二儲存陣列210和第二字元線接觸結構222可以在第一方向D1上設置在第三基底200與第二基底150之間，並且第二垂直電晶體T2中的每個的至少一部分可以設置在第二基底150中，但是不限於此。在一些實施例中，第三基底200可以在第一方向D1上具有第一側S31和與第一側S31相對的第二側S32，並且第二儲存陣列210和第二字元線接觸結構222可以設置在第三基底200上，並且設置在第三基底200的第一側S31處。

【0043】 在一些實施例中，第二儲存陣列210可以包括多個第二字元線結構214，第二垂直電晶體T2可以分別與第二字元線結構214電連接。換句話說，第

二字元線結構214中的每個可以與第二基底150中的第二垂直電晶體T2中的一個電連接。在一些實施例中，第二儲存陣列210可以包括交替的導電/介電質堆疊體，所述交替的導電/介電質堆疊體由在第一方向D1上交替堆疊的第二介電質層212和第二字元線結構214組成，並且第二儲存陣列210可以在水平方向（諸如第二方向D2）上在第二儲存陣列210的端部處具有第二階梯部分P2，以用於暴露第二字元線結構214中的每個的一部分，但不限於此。在一些實施例中，第二字元線接觸結構222中的每個可以在第一方向D1上設置在第二垂直電晶體T2中的一個與第二字元線結構214中的一個之間，以用於電連接第二垂直電晶體T2和第二字元線結構214。換句話說，第二字元線結構214中的每個可以經由第二字元線接觸結構222中的一個與第二垂直電晶體T2中的一個電連接。

【0044】 在一些實施例中，第二垂直電晶體T2中的每個可以包括第二半導體溝道CH2、第二閘極介電層L2和第二閘極G2。在一些實施例中，第二半導體溝道CH2可以在第一方向D1上穿透第二基底150，第二閘極G2可以設置在第二基底150中，並且在水平方向（諸如第二方向D2）上圍繞第二半導體溝道CH2，並且第二閘極介電層L2可以設置在第二基底150中，並且設置在第二閘極G2與第二半導體溝道CH2之間，但不限於此。在一些實施例中，第二半導體溝道CH2可以在第一方向D1上伸長，但不限於此。在一些實施例中，多個第二孔H2可以分別在第一方向D1上穿透第二基底150，並且相同的第二垂直電晶體T2的第二半導體溝道CH2和第二閘極介電層L2可以設置在第二孔H2中的一個中。在一些實施例中，第二閘極G2中的每個可以包括設置在第二基底150中的第二摻雜區DR2，第二孔H2可以在第一方向D1上穿透第二摻雜區DR2，並且第二摻雜區DR2可以彼此實體連接，但不限於此。換句話說，第二垂直電晶體T2的第二閘極G2可以在第二基底150中彼此實體連接和電連接，但不限於此。在一些實施例中，第二閘極G2可以通過設置在第二基底150中的隔離結構彼此電絕緣。在一些實施例中，

第二垂直電晶體T2中的每個可以被認為是環繞閘極電晶體，但不限於此。值得注意的是，本揭露的第二垂直電晶體T2不限於上述結構，並且在本揭露中也可以使用其他合適類型的垂直電晶體。例如，在本揭露中，垂直電晶體也可以用作第一垂直電晶體及/或第二垂直電晶體，所述垂直電晶體包括：半導體溝道，所述半導體溝道在垂直方向上延伸而沒有穿透基底；閘極，所述閘極在水平方向上圍繞半導體溝道；以及連接結構，所述連接結構在垂直方向上穿透基底的位於半導體溝道下方或上方的一部分，以用於接觸半導體溝道。

【0045】 在一些實施例中，可以通過將合適的摻雜劑注入第二基底150中來形成第二閘極G2，並且第二摻雜區DR2的組成可以類似於第一摻雜區DR1的組成，但不限於此。特別是當第一垂直電晶體T1和第二垂直電晶體T2設置在相同的基底中時，為了製程簡化，第二垂直電晶體T2的結構可以類似於第一垂直電晶體T1的結構，但不限於此。在一些實施例中，無論第一垂直電晶體T1和第二垂直電晶體T2設置在何處，第二垂直電晶體T2的結構可以不同於第一垂直電晶體T1的結構。

【0046】 在一些實施例中，第二導電線GW2和第二連接結構CS2可以設置在第二基底150的第一側S21處，並且在第一方向D1上設置在第二基底150與第一基底100之間。第二連接結構CS2可以在第一方向D1上設置在第二導電線GW2與第二基底150之間。第二導電線GW2中的每個可以經由第二連接結構CS2中的一個、第二垂直電晶體T2中的一個和第二字元線接觸結構222中的一個與第二字元線結構214中的一個電連接。在一些實施例中，第二導電線GW2可以被認為是用於第二儲存陣列210的全域字元線佈線，並且第二垂直電晶體T2可以被認為是用於控制從第二導電線GW2傳輸到第二字元線結構214的信號的傳遞閘極電晶體（或傳輸閘極電晶體），但不限於此。在一些實施例中，兩個摻雜區（未示出）可以在第一方向D1上設置在第二半導體溝道CH2的兩個相對端部處，第二字元

線接觸結構222可以接觸兩個摻雜區中的一個，並且第二連接結構CS2可以接觸兩個摻雜區中的另一個，但不限於此。在一些實施例中，第二字元線接觸結構222和第二連接結構CS2可以分別接觸對應的第二半導體溝道CH2，並且第二字元線接觸結構222的部分和第二連接結構CS2的部分可以被認為是對應的第二垂直電晶體T2的源極/汲極，但不限於此。

【0047】 在一些實施例中，因為第二垂直電晶體T2在第二基底150上佔據的區域相對較小，所以第二垂直電晶體T2中的每個可以定位為在第一方向D1上與對應的第二字元線結構214的暴露部分相對應，並且可以相應地簡化設置在第二字元線結構214與第二垂直電晶體T2之間的第二字元線接觸結構222。例如，在一些實施例中，第二字元線接觸結構222中的每個可以是在第一方向D1上伸長的柱狀結構，第二字元線接觸結構222中的每個在第一方向D1上的一個端部可以直接接觸對應的第二字元線結構214的暴露部分，並且第二字元線接觸結構222在第一方向D1上的另一端部可以直接接觸對應的第二垂直電晶體T2，但不限於此。在一些實施例中，第二垂直電晶體T2中的每個可以在第一方向D1上完全覆蓋對應的第二字元線接觸結構222，但不限於此。

【0048】 在一些實施例中，記憶體元件301還可以包括設置在第二基底150中的第一隔離結構152，並且隔離結構152的至少一部分可以設置在第一垂直電晶體T1的第一閘極G1與第二垂直電晶體T2的第二閘極G2之間。在一些實施例中，第一閘極G1可以通過第一隔離結構152與第二閘極G2電性分離，但不限於此。在一些實施例中，第一閘極G1和第二閘極G2可以設置在第二基底150中，並且彼此實體連接和電連接。另外，記憶體元件301還可以包括第一層間介電質120和第二層間介電質220。第一層間介電質120可以設置在第一基底100與第二基底150之間，並且覆蓋第一儲存陣列110，並且第二層間介電質220可以設置在第三基底200與第二基底150之間，並且覆蓋第二儲存陣列210。第一字元線接觸結構

122、第二連接結構CS2和第二導電線GW2可以設置在第一層間介電質120中。第二字元線接觸結構222、第一連接結構CS1和第一導電線GW1可以設置在第二層間介電質220中。

【0049】 在一些實施例中，第一基底100、第二基底150和第三基底200可以分別包括半導體基底，諸如矽基底、矽鍺（SiGe）基底、碳化矽（SiC）基底、絕緣體上矽（SOI）基底、絕緣體上鍺（GOI）基底或其他合適的半導體基底或非半導體基底。在一些實施例中，第二基底150可以相對較薄，以用於形成第一垂直電晶體T1及/或第二垂直電晶體T2，但不限於此。例如，第二基底150的厚度TK2可以小於第一基底100的厚度TK1和第三基底200的厚度TK3。第一介電質層112和第二介電質層212可以包括氧化矽、氮化矽、氮氧化矽或其他合適的介電質材料。第一字元線結構114、第二字元線結構214、第一字元線接觸結構122、第二字元線接觸結構222、第一連接結構CS1、第二連接結構CS2、第一導電線GW1和第二導電線GW2可以分別包括低電阻率材料和圍繞低電阻率材料的阻隔層，但不限於此。上述低電阻率材料可以包括具有相對較低的電阻率的材料，諸如銅、鋁、鈷和鎢，並且上述阻隔層可以包括氮化鈦、氮化鉭或其他合適的阻擋材料。第一閘極介電層L1和第二閘極介電層L2可以包括氧化矽、氮氧化矽、高介電常數（高k）介電質材料或其他合適的介電質材料。第一半導體溝道CH1和第二半導體溝道CH2可以包括非晶矽、多晶矽或其他合適的半導體材料。第一摻雜區DR1和第二摻雜區DR2可以包括形成在半導體基底中的n型摻雜矽或其他合適的摻雜區，以用於增強第一閘極G1和第二閘極G2的導電性。第一層間介電質120和第二層間介電質220可以分別包括在第一方向D1上堆疊的多個介電質層，並且介電質層的材料可以包括氧化矽、氮化矽、氮氧化矽、低介電常數（低k）介電質材料、其任何合適的組合、或其他合適的介電質材料。第一隔離結構152可以包括單層或多層的絕緣材料，諸如氧化矽、氮化矽、氮氧化矽或其他合

適的絕緣材料。

【0050】 在一些實施例中，記憶體元件301的製造方法可以包括但不限於以下步驟。首先，第一儲存陣列110、第一層間介電質120、第一字元線接觸結構122、第二導電線GW2和第二連接結構CS2可以形成在第一基底100上；第二儲存陣列210、第二層間介電質220、第二字元線接觸結構222、第一導電線GW1和第一連接結構CS1可以形成在第三基底200上；並且第一垂直電晶體T1、第二垂直電晶體T2和第一隔離結構152可以形成在第二基底150中。隨後，具有形成在其上的第一儲存陣列110、第一層間介電質120、第一字元線接觸結構122、第二導電線GW2和第二連接結構CS2的第一基底100、具有形成在其上的第二儲存陣列210、第二層間介電質220、第二字元線接觸結構222、第一導電線GW1和第一連接結構CS1的第三基底200、和具有形成在其中的第一垂直電晶體T1和第二垂直電晶體T2的第二基底150可以通過直接鍵合方法(諸如金屬/介電質混合鍵合方法或其他合適的鍵合方式)彼此組合。值得注意的是，可以在鍵合方法之前對第二基底150執行減薄方法，以用於減小第二基底150的厚度TK2，並且在第二基底150的第一側S21和第二側S22處暴露第一垂直電晶體T1和第二垂直電晶體T2，但不限於此。在一些實施例中，可以在上述鍵合方法之前或之後對第一基底100及/或第三基底200執行其他減薄方法，以用於減小記憶體元件301的總厚度。在本揭露中，可以通過上述方法來整合設置在不同基底上的兩個或兩個以上的儲存陣列，以用於增加記憶體元件的總儲存容量，並且簡化相關的佈線設計。

【0051】 在一些實施例中，上述儲存陣列可以包括3D NAND儲存陣列、3D NOR儲存陣列、動態隨機存取儲存(DRAM)陣列、3D XPoint儲存陣列或其他合適的3D儲存結構。在一些實施例中，儲存串(未示出)可以在第一方向D1上穿透儲存陣列的交替的導電/介電質堆疊體。儲存串中的每個可以具有在第一方向D1上伸長的圓柱形狀(例如，柱形狀)，並且儲存串中的每個可以包括溝道層、

隧穿層、儲存層和阻擋層，這些層從柱的中心到外表面按該順序沿徑向佈置，但不限於此。本揭露中的儲存陣列不限於圖2中所示的結構及/或上述結構，並且其他合適的儲存陣列架構也可以應用於本揭露。

【0052】 請參考圖2-圖4。圖3是示出根據本揭露的實施例的記憶體元件的示意圖，並且圖4是示出根據本揭露的實施例的記憶體元件的部分的俯視圖的示意圖。圖3可以被認為是示出上述第一實施例中的記憶體元件301的另一部分的示意圖，並且圖4可以被認為是示出與上述第一實施例中的記憶體元件301類似的記憶體元件的部分的俯視圖的示意圖，但不限於此。如圖2和圖3所示，在一些實施例中，記憶體元件301還可以包括第三連接結構CS3和第三導電線GC，所述第三連接結構CS3和第三導電線GC設置在第二基底150的第二側S22處，並且設置在第二層間介電質220中。第三導電線GC可以經由第三連接結構CS3與第一垂直電晶體T1的第一閘極G1電連接，以用於將信號傳輸到第一閘極G1，並且控制第一垂直電晶體T1的開關條件。在一些實施例中，第三連接結構CS3和第一連接結構CS1可以以相同的組成來形成及/或通過相同的方法來形成，並且第三導電線GC和第一導電線GW1可以以相同的組成來形成及/或通過相同的方法來形成，但不限於此。另外，在一些實施例中，第二基底150可以包括半導體區154，並且第一隔離結構152的至少一部分可以設置在半導體區154與第一閘極G1之間。其他電路結構(未示出)可以形成在半導體區154上及/或形成在半導體區154中，但不限於此。

【0053】 如圖2-圖4所示，在一些實施例中，第一儲存陣列110可以通過縫隙結構(未示出)劃分為儲存塊110A，並且第一導電線GW1中的每個可以在另一個水平方向(諸如圖4所示的第三方向D3)上伸長，並且在第一方向D1上與不同的儲存塊110A的第一階梯部分P1重疊。另外，可以通過第一隔離結構152將與不同的儲存塊110A對應的第一閘極G1彼此分離，並且第三導電線GC可以在基本

上正交於第三方向D3的第二方向D2上伸長，但不限於此。在一些實施例中，半導體區154可以通過第一隔離結構152與第一閘極G1分離，並且半導體區154可以相應地在第一方向D1上不與第一階梯部分P1重疊，但不限於此。值得注意的是，在本揭露中，類似於上述第三導電線GC和第三連接結構CS3的部件可以施加到第二儲存陣列210，並且圖3和圖4所示的特徵也可以應用於本揭露的其他實施例。

【0054】 以下描述將詳細描述本揭露的不同實施例。為了簡化描述，以下實施例中的每個中的相同部件用相同的符號標記。為了使實施例之間的差異更容易理解，下面的描述將詳細描述不同實施例之中的相異性，並且相同的特徵將不再贅述。

【0055】 請參考圖5。圖5是示出根據本揭露第二實施例的記憶體元件302的示意圖。如圖5所示，在記憶體元件302中，第二儲存陣列210可以設置在第二基底150上，第二層間介電質220的一部分可以在第一方向D1上設置在第二儲存陣列210與第三基底200之間，並且第二垂直電晶體T2中的每個的至少一部分可以設置在第三基底200中。在一些實施例中，第二半導體溝道CH2可以在第一方向D1上穿透第三基底200，第二閘極G2可以設置在第三基底200中，並且在水平方向上圍繞第二半導體溝道CH2，並且第二閘極介電層L2可以設置在第三基底200中，並且設置在第二閘極G2與第二半導體溝道CH2之間，但不限於此。在一些實施例中，第二閘極G2中的每個可以包括設置在第三基底200中的第二摻雜區DR2，並且第二孔H2可以在第一方向D1上穿透第二摻雜區DR2，但不限於此。在一些實施例中，第二垂直電晶體T2的第二閘極G2可以在第三基底200中彼此實體連接和電連接，並且第二垂直電晶體T2的第二閘極G2可以與第一垂直電晶體T1的第一閘極G1分離。另外，第二連接結構CS2和第二導電線GW2可以設置在第三基底200的第二側S32處，並且保護層230可以設置在第三基底200上，並且

覆蓋第二連接結構CS2和第二導電線GW2。保護層230可以包括氧化矽、氮化矽或其他合適的絕緣材料。在一些實施例中，第二儲存陣列210可以設置在半導體區154上，並且第一儲存陣列110的一部分可以在第一方向D1上與第二儲存陣列210重疊，但不限於此。

【0056】 記憶體元件302的製造方法可以包括但不限於以下步驟。首先，第一儲存陣列110、第一層間介電質120和第一字元線接觸結構122可以形成在第一基底100上；第一垂直電晶體T1和第一隔離結構152可以形成在第二基底150中；第二儲存陣列210、第二層間介電質220、第二字元線接觸結構222、第一導電線GW1和第一連接結構CS1可以形成在第三基底200上；第二垂直電晶體T2可以形成在第三基底200中；並且第二導電線GW2、第二連接結構CS2和保護層230可以形成在第三基底200上。隨後，具有形成在其上的第一儲存陣列110、第一層間介電質120和第一字元線接觸結構122的第一基底100、具有形成在其中的第一垂直電晶體T1以及形成在其上的第二儲存陣列210、第二層間介電質220、第二字元線接觸結構222、第一導電線GW1和第一連接結構CS1的第二基底150、和具有形成在其中的第二垂直電晶體T2以及形成在其上的第二導電線GW2、第二連接結構CS2和保護層230的第三基底200可以通過直接鍵合方法（諸如金屬/介電質混合鍵合方法或其他合適的鍵合方式）彼此組合。值得注意的是，可以在鍵合方法之前，對第二基底150及/或第三基底200執行減薄方法，以用於減小第二基底150的厚度TK2和第三基底200的厚度TK3，從而在第二基底150的第一側S21和第二側S22處暴露第一垂直電晶體T1，並且在第三基底200的第一側S31和第二側S32處暴露第二垂直電晶體T2，但不限於此。因此，第二基底150的厚度TK2和第三基底200的厚度TK3可以小於第一基底100的厚度，但不限於此。

【0057】 請參考圖6。圖6是示出根據本揭露的第三實施例的記憶體元件303的示意圖。如圖6所示，在記憶體元件303中，第三基底200可以在第一方向D1上設

置在第一基底100與第二基底150之間，並且第二儲存陣列210可以在第一方向D1上設置在第二基底150與第三基底200之間。在一些實施例中，第二儲存陣列210可以設置在第三基底200上，並且設置在第三基底200的第二側S32和第二基底150的第一側S21處，並且第一導電線GW1、第二導電線GW2、第一連接結構CS1、第二連接結構CS2和保護層230可以設置在第二基底150上，並且設置在第二基底150的第二側S22處。在一些實施例中，記憶體元件303還可以包括多個第四連接結構CS4、多個貫穿基底連接結構TS和第二隔離結構240。第二隔離結構240可以設置在第三基底200中，貫穿基底連接結構TS中的每個可以設置在第三基底200中，並且在第一方向D1上穿透第二隔離結構240，並且第四連接結構CS4中的每個可以設置在第二層間介電質220中，並且在第一方向D1上設置在第二垂直電晶體T2中的一個與貫穿基底連接結構TS中的一個之間。貫穿基底連接結構TS中的每個可以與第一字元線接觸結構122中的一個和第四連接結構CS4中的一個電連接，並且第四連接結構CS4中的每個可以與第一垂直電晶體T1中的一個電連接。因此，第一導電線GW1中的每個可以經由第一連接結構CS1中的一個、第一垂直電晶體T1中的一個、第四連接結構CS4中的一個、貫穿基底連接結構TS中的一個、和第一字元線接觸結構122中的一個與第一字元線結構114中的一個電連接。第二隔離結構240可以包括單層或多層的絕緣材料，諸如氧化矽、氮化矽、氮氧化矽或其他合適的絕緣材料。第四連接結構CS4和貫穿基底連接結構TS可以包括低電阻率材料和圍繞低電阻率材料的阻隔層，但不限於此。上述低電阻率材料可以包括具有相對較低的電阻率的材料，諸如銅、鋁、鈷和鎢，並且上述阻隔層可以包括氮化鈦、氮化鉭或其他合適的阻隔材料。

【0058】 記憶體元件303的製造方法可以包括但不限於以下步驟。首先，第一儲存陣列110、第一層間介電質120和第一字元線接觸結構122可以形成在第一基底100上；貫穿基底連接結構TS和第二隔離結構240可以形成在第三基底200中；

第二儲存陣列210、第二層間介電質220、第二字元線接觸結構222和第四連接結構CS4可以形成在第三基底200上；第一垂直電晶體T1、第二垂直電晶體T2和第一隔離結構152可以形成在第二基底150中；並且第一連接結構CS1、第二連接結構CS2、第一導電線GW1、第二導電線GW2和保護層230可以形成在第二基底150上。隨後，具有形成在其上的第一儲存陣列110、第一層間介電質120和第一字元線接觸結構122的第一基底100、具有形成在其中的貫穿基底連接結構TS和第二隔離結構240以及形成在其上的第二儲存陣列210、第二層間介電質220、第二字元線接觸結構222和第四連接結構CS4的第三基底200、以及具有形成在其中的第一垂直電晶體T1、第二垂直電晶體T2和第一隔離結構152以及形成在其上的第一連接結構CS1、第二連接結構CS2、第一導電線GW1、第二導電線GW2和保護層230的第二基底150可以通過直接鍵合方法（諸如金屬/介電質混合鍵合方法或其他合適的鍵合方式）彼此組合。值得注意的是，可以在鍵合方法之前對第二基底150執行減薄方法，以用於減小第二基底150的厚度TK2，並且在第二基底150的第一側S21和第二側S22處暴露第一垂直電晶體T1和第二垂直電晶體T2，但不限於此。

【0059】 請參考圖7。圖7是示出根據本揭露的第四實施例的記憶體元件304的示意圖。如圖7所示，在記憶體元件304中，第一導電線GW1、第二導電線GW2、第一連接結構CS1、第二連接結構CS2和保護層230可以設置在第三基底200上，並且設置在第三基底200的第二側S32處。另外，第二隔離結構240和貫穿基底連接結構TS可以設置在第三基底200中，並且第二基底150中的第一垂直電晶體T1中的每個可以經由第四連接結構CS4中的一個、貫穿基底連接結構TS中的一個和第一連接結構CS1中的一個與第一導電線GW1中的一個電連接。

【0060】 請參考圖8。圖8是示出根據本揭露的第五實施例的記憶體元件305的示意圖。如圖8所示，在記憶體元件305中，第一垂直電晶體T1的第一閘極G1可

以與第二垂直電晶體T2的第二閘極G2實體連接和電連接。在一些實施例中，第一閘極G1和第二閘極G2可以在第二基底150中形成有相同的摻雜區（諸如第一摻雜區DR1），但不限於此。

【0061】 請參考圖9。圖9是示出根據本揭露的第六實施例的記憶體元件306的示意圖。如上述圖9和圖5所示，該實施例中的記憶體元件306與上述記憶體元件302之間的差異在於，在記憶體元件306中，第二儲存陣列210在第一方向D1上可以不與第一儲存陣列110重疊，並且在記憶體元件306的俯視圖中，第二儲存陣列210的第二階梯部分P2可以設置為在第二方向D2上與第一階梯部分P1相鄰，但不限於此。在記憶體元件306的俯視圖中，第二儲存陣列210的形狀可以與第一儲存陣列110的形狀的鏡像圖像相同，並且在一些實施例中，第一儲存陣列110的形狀和第二儲存陣列210的形狀可以是鏡像對稱圖案，但不限於此。值得注意的是，第一儲存陣列110和第二儲存陣列210的相對分配也可以應用於本揭露的其他實施例。

【0062】 請參考圖10。圖10是示出根據本揭露的第七實施例的記憶體元件307的示意圖。如上述圖9和圖6所示，該實施例中的記憶體元件307與上述記憶體元件303之間的差異在於，在記憶體元件307中，第二儲存陣列210可以在第一方向D1上不與第一儲存陣列110重疊，並且在記憶體元件307的俯視圖中，第二儲存陣列210的第二階梯部分P2可以設置為在第二方向D2上與第一階梯部分P1相鄰，但不限於此。在記憶體元件307的俯視圖中，第二儲存陣列210的形狀可以與第一儲存陣列110的形狀的鏡像圖像相同，並且在一些實施例中，第一儲存陣列110的形狀和第二儲存陣列210的形狀可以是鏡像對稱圖案，但不限於此。

【0063】 總結以上描述，在根據本揭露的記憶體元件中，設置在基底中的垂直電晶體分別電連接到設置在另一基底上的儲存陣列的字元線結構。可以減小垂直電晶體在基底上佔據的區域，並且可以相應地簡化位於垂直電晶體與字元

線結構之間的字元線接觸結構。

【0064】 本領域的技術人員將容易地觀察到，在保留本發明的教導的同時，可以對元件和方法進行若干修改和變更。因此，上述公開應被解釋為僅由所附請求項的邊界和界限來限制。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0065】

100:第一基底

110:第一儲存陣列

110A:儲存塊

112:第一介電質層

114:第一字元線結構

120:第一層間介電質

122:第一字元線接觸結構

150:第二基底

152:第一隔離結構

154:半導體區

200:第三基底

210:第二儲存陣列

212:第二介電質層

214:第二字元線結構

220:第二層間介電質

222:第二字元線接觸結構
230:保護層
240:第二隔離結構
301, 302, 303, 304, 305, 306, 307:記憶體元件
910, 940:基底
920:儲存陣列
922:介電質層
924:導電層
930:互連結構
950:平面電晶體
CH1:第一半導體溝道
CH2:第二半導體溝道
CS1:第一連接結構
CS2:第二連接結構
CS3:第三連接結構
CS4:第四連接結構
D1:第一方向
D2:第二方向
D3:第三方向
DR1:第一摻雜區
DR2:第二摻雜區
G1:第一閘極
G2:第二閘極
GC:第三導電線

GW1:第一導電線

GW2:第二導電線

H1:第一孔

H2:第二孔

L1:第一閘極介電層

L2:第二閘極介電層

P1:第一階梯部分

P2:第二階梯部分

S11, S21, S31:第一側

S12, S22, S32:第二側

T1:第一垂直電晶體

T2:第二垂直電晶體

TK1, TK2, TK3:厚度

TS:貫穿基底連接結構

【發明申請專利範圍】

【請求項1】 一種記憶體元件，包括：

第一基底；

第一儲存陣列，所述第一儲存陣列設置在所述第一基底上，其中，所述第一儲存陣列包括至少一個第一字元線結構；

第二基底；其中，所述第一儲存陣列在垂直方向上設置在所述第一基底與所述第二基底之間；以及

至少一個第一垂直電晶體，所述至少一個第一垂直電晶體與所述至少一個第一字元線結構電連接，其中，所述至少一個第一垂直電晶體的至少一部分設置在所述第二基底中。

【請求項2】 根據請求項1所述的記憶體元件，其中，所述至少一個第一垂直電晶體包括：

第一半導體溝道，所述第一半導體溝道在所述垂直方向上穿透所述第二基底。

【請求項3】 根據請求項2所述的記憶體元件，其中，所述至少一個第一垂直電晶體還包括：

第一閘極，所述第一閘極設置在所述第二基底中，並且在水平方向上圍繞所述第一半導體溝道。

【請求項4】 根據請求項3所述的記憶體元件，其中，所述至少一個第一垂直電晶體還包括：

第一閘極介電層，所述第一閘極介電層設置在所述第二基底中，並且設置

在所述第一閘極與所述第一半導體溝道之間。

【請求項5】 根據請求項3所述的記憶體元件，其中，所述第一儲存陣列包括所述至少一個第一字元線結構中的多個第一字元線結構，並且所述記憶體元件包括所述至少一個第一垂直電晶體中的多個第一垂直電晶體，所述多個第一垂直電晶體分別與所述至少一個第一字元線結構中的所述多個第一字元線結構電連接。

【請求項6】 根據請求項5所述的記憶體元件，其中，所述至少一個第一垂直電晶體中的所述多個第一垂直電晶體的所述第一閘極在所述第二基底中彼此實體連接和電連接。

【請求項7】 根據請求項3所述的記憶體元件，其中，所述第二基底包括半導體區，並且所述第一閘極包括設置在所述第二基底中的摻雜區。

【請求項8】 根據請求項7所述的記憶體元件，還包括設置在所述第二基底中的隔離結構，其中，所述隔離結構設置在所述半導體區與所述第一閘極之間。

【請求項9】 根據請求項1所述的記憶體元件，還包括：

字元線接觸結構，所述字元線接觸結構設置在所述至少一個第一垂直電晶體與所述至少一個第一字元線結構之間，並且所述至少一個第一字元線結構經由所述字元線接觸結構與所述至少一個第一垂直電晶體電連接。

【請求項10】 根據請求項9所述的記憶體元件，其中，所述至少一個第一垂直

電晶體在所述垂直方向上完全覆蓋所述字元線接觸結構。

【請求項11】 根據請求項9所述的記憶體元件，其中，所述第二基底在所述垂直方向上具有第一側和與所述第一側相對的第二側，並且所述第一儲存陣列和所述字元線接觸結構設置在所述第二基底的所述第一側處。

【請求項12】 根據請求項11所述的記憶體元件，還包括：

導電線，所述導電線設置在所述第二基底的所述第二側處；以及
連接結構，所述連接結構設置在所述第二基底的所述第二側處，並且設置在所述導電線與所述至少一個第一垂直電晶體之間，其中，所述導電線經由所述連接結構、所述至少一個第一垂直電晶體和所述字元線接觸結構與所述至少一個第一字元線結構電連接。

【請求項13】 根據請求項1所述的記憶體元件，還包括：

第三基底，其中，所述第一儲存陣列在所述垂直方向上設置在所述第一基底與所述第三基底之間；

第二儲存陣列，其中，所述第二儲存陣列包括至少一個第二字元線結構；
以及

至少一個第二垂直電晶體，所述至少一個第二垂直電晶體與所述至少一個第二字元線結構電連接。

【請求項14】 根據請求項13所述的記憶體元件，其中，所述第二儲存陣列設置在所述第三基底上，並且所述至少一個第二垂直電晶體的至少一部分設置在所述第二基底中。

【請求項15】 根據請求項14所述的記憶體元件，其中，所述至少一個第二垂直電晶體包括：

第二半導體溝道，所述第二半導體溝道在所述垂直方向上穿透所述第二基底；以及

第二閘極，所述第二閘極設置在所述第二基底中，並且在水平方向上圍繞所述第二半導體溝道。

【請求項16】 根據請求項15所述的記憶體元件，其中，所述至少一個第一垂直電晶體包括設置在所述第二基底中的第一閘極，並且所述第一閘極與所述第二閘極實體連接和電連接。

【請求項17】 根據請求項15所述的記憶體元件，其中，所述至少一個第一垂直電晶體包括設置在所述第二基底中的第一閘極，並且所述第一閘極與所述第二閘極電性分離。

【請求項18】 根據請求項14所述的記憶體元件，其中，所述第三基底在所述垂直方向上設置在所述第一基底與所述第二基底之間，並且所述第二儲存陣列在所述垂直方向上設置在所述第二基底與所述第三基底之間。

【請求項19】 根據請求項13所述的記憶體元件，其中，所述第二基底在所述垂直方向上設置在所述第一基底與所述第三基底之間，並且所述第二儲存陣列在所述垂直方向上設置在所述第二基底與所述第三基底之間。

【請求項20】 根據請求項19所述的記憶體元件，其中，所述第二儲存陣列設置在所述第二基底上，並且所述至少一個第二垂直電晶體的至少一部分設置在所述第三基底中。

【發明圖式】

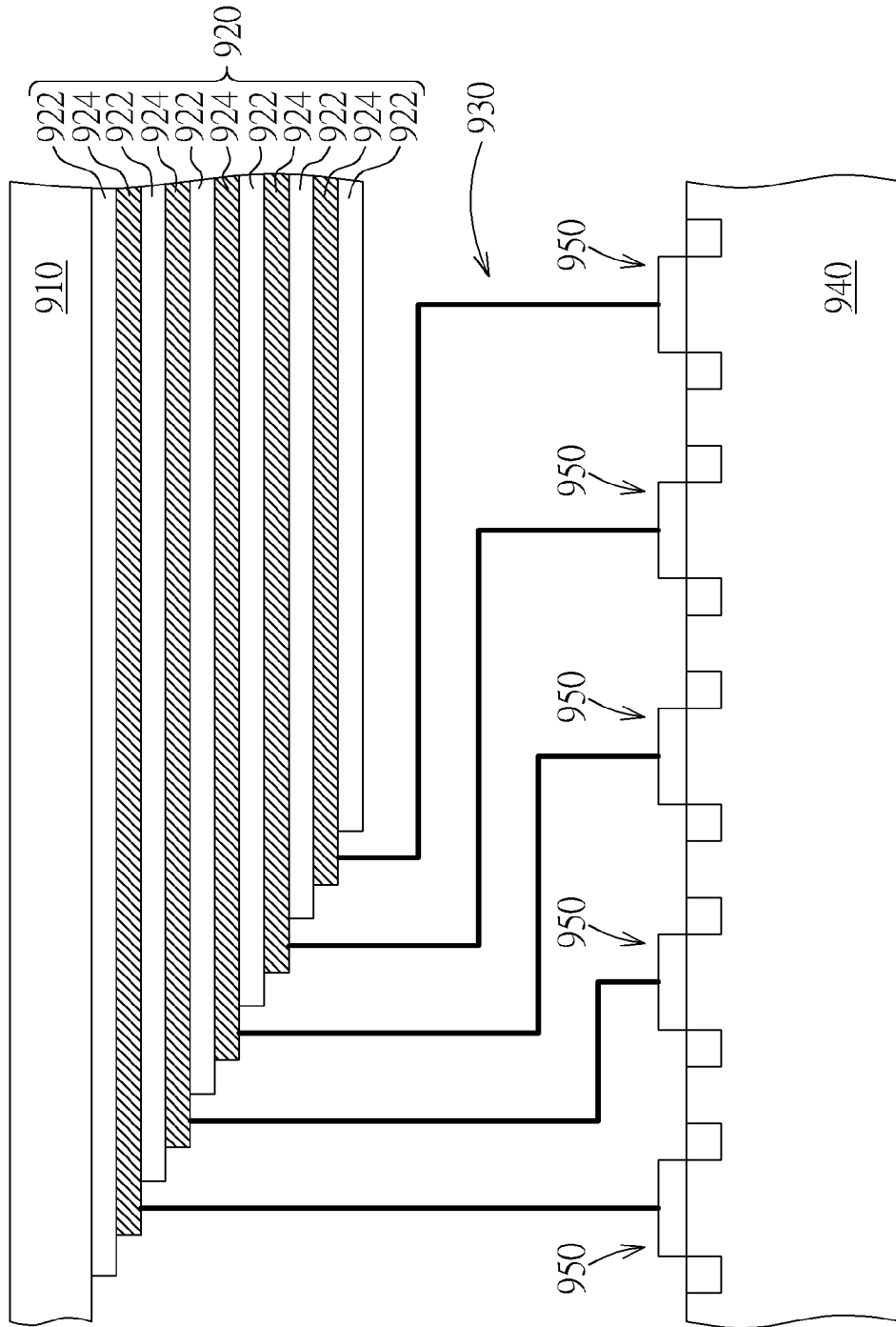


圖1

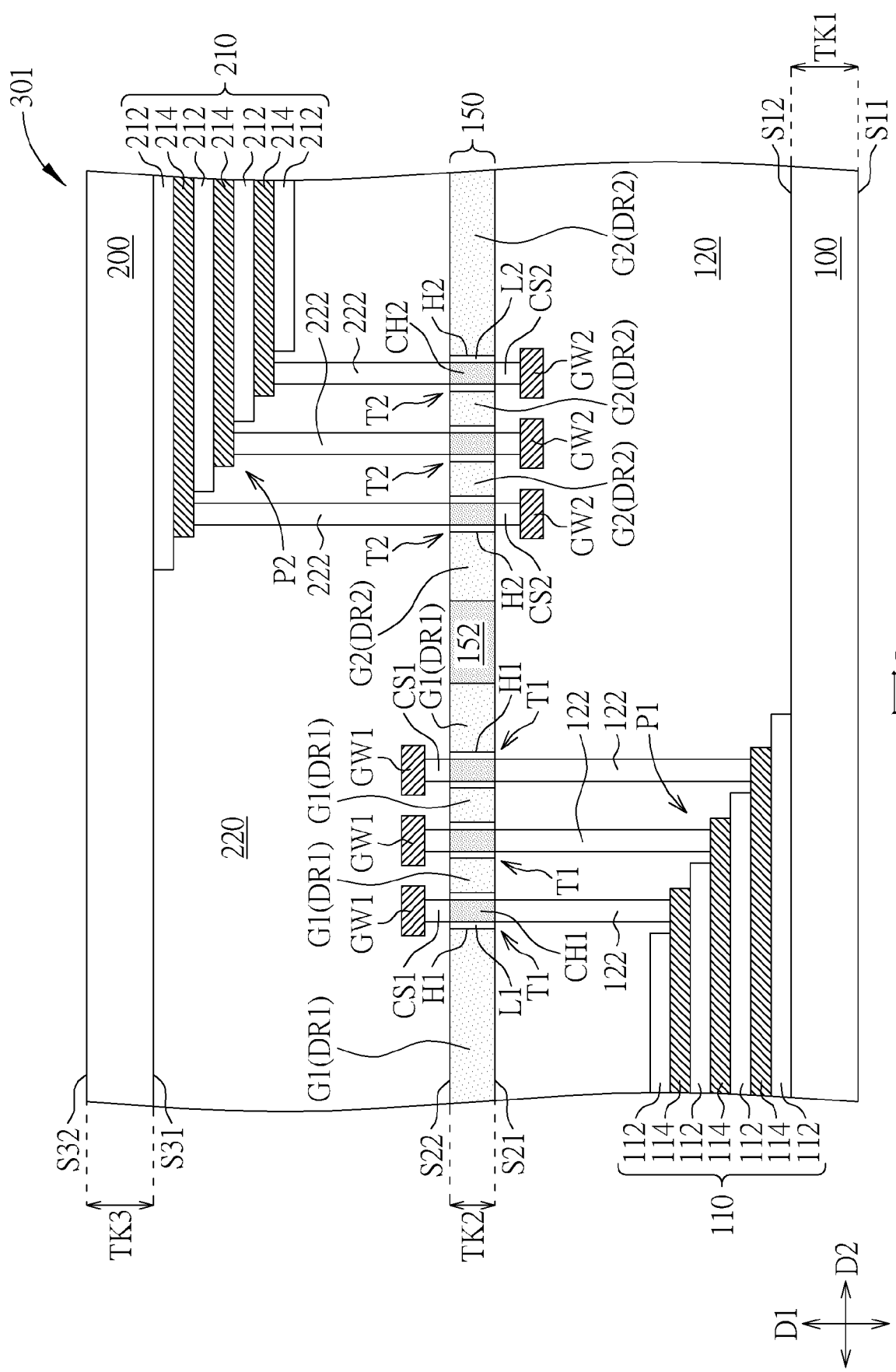


圖2

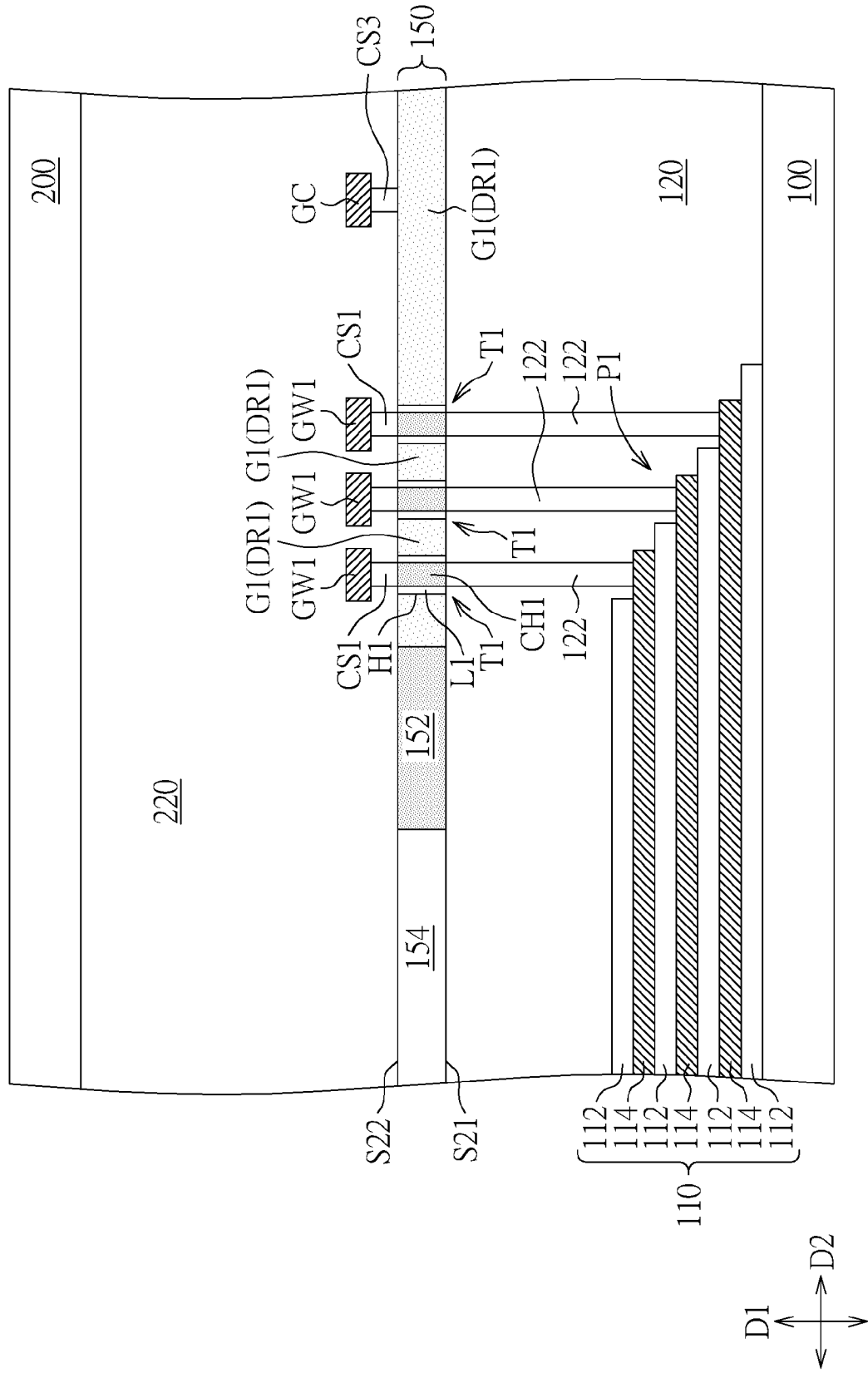


圖3

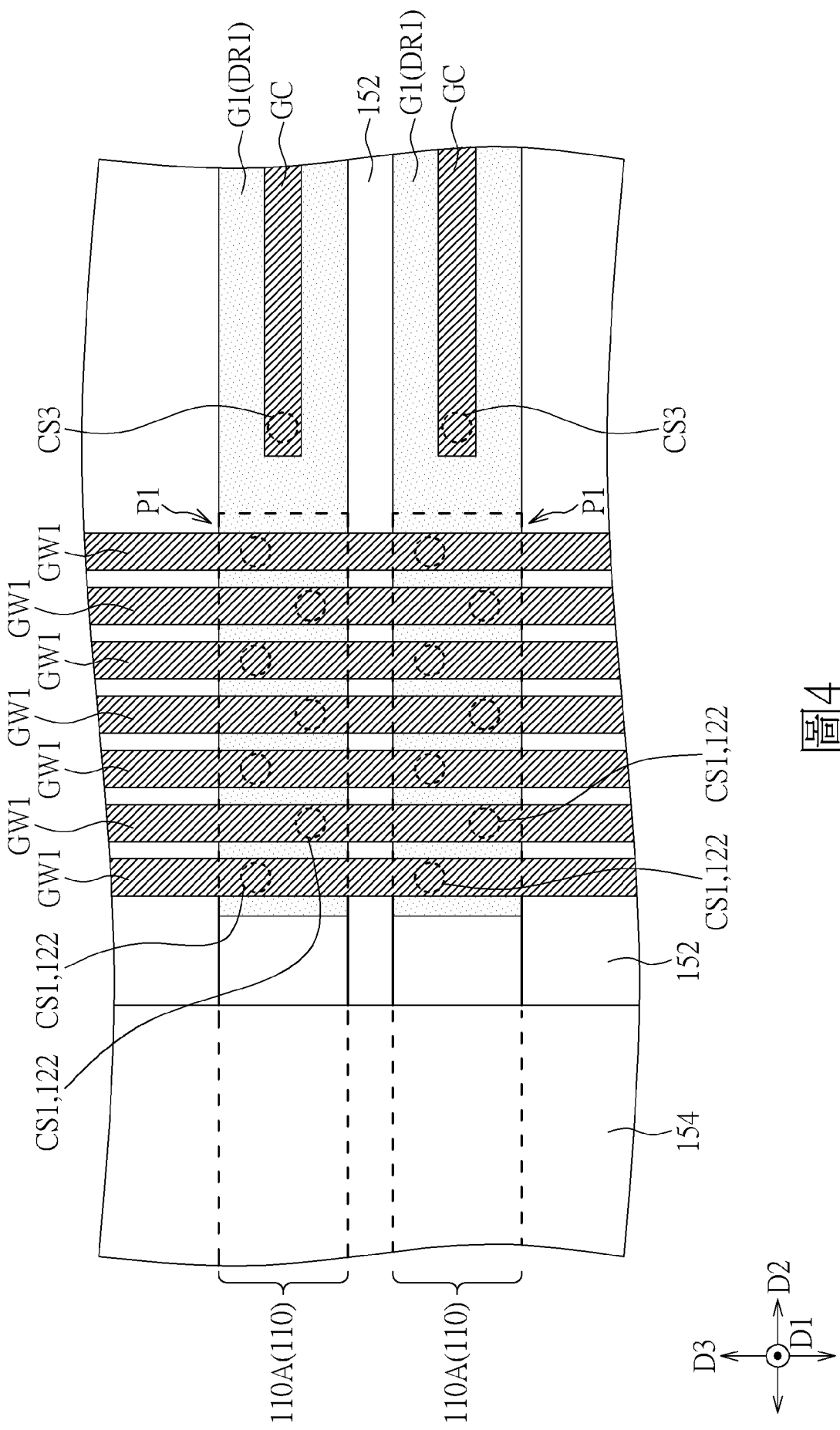


圖4

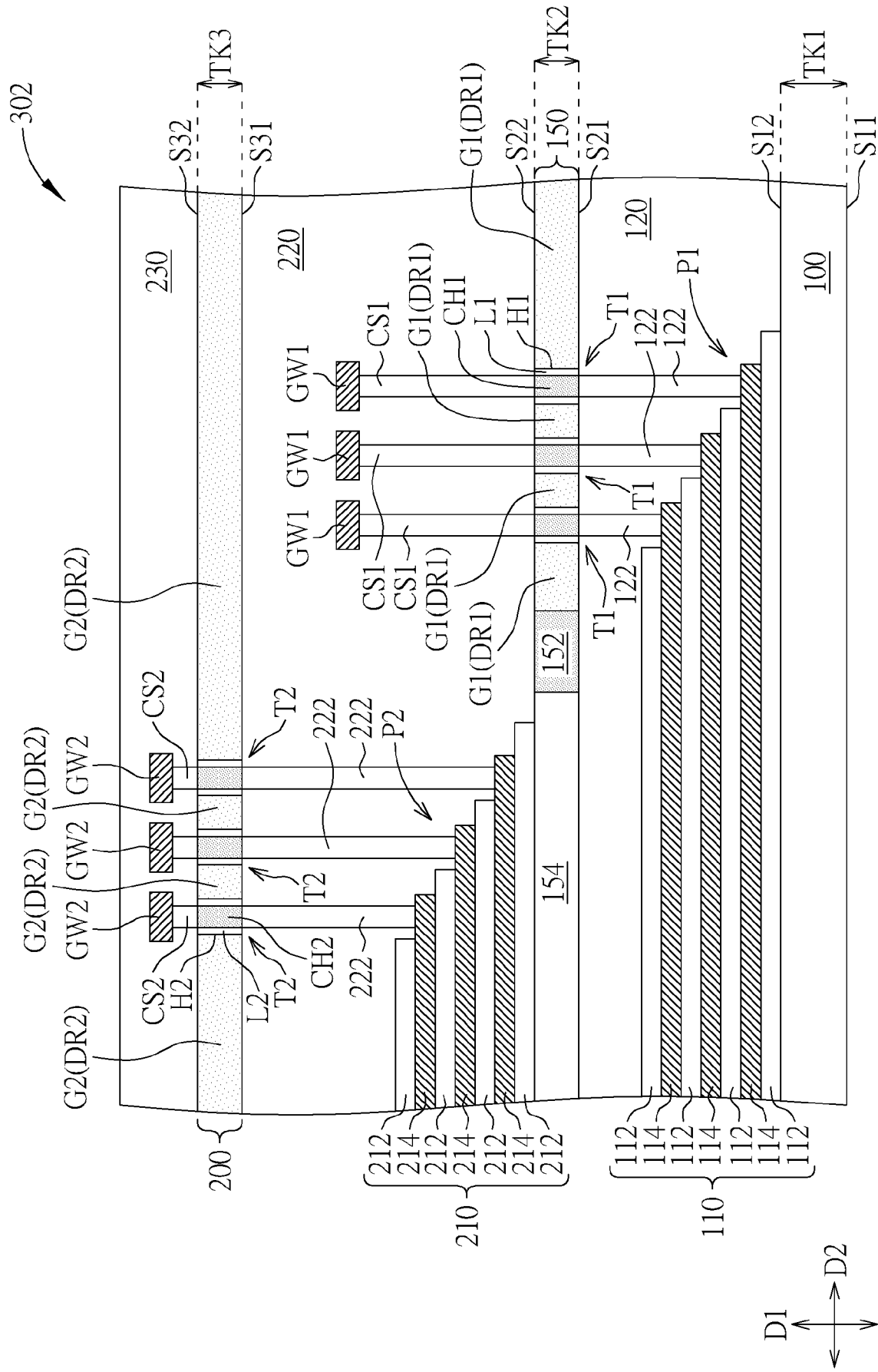


圖5

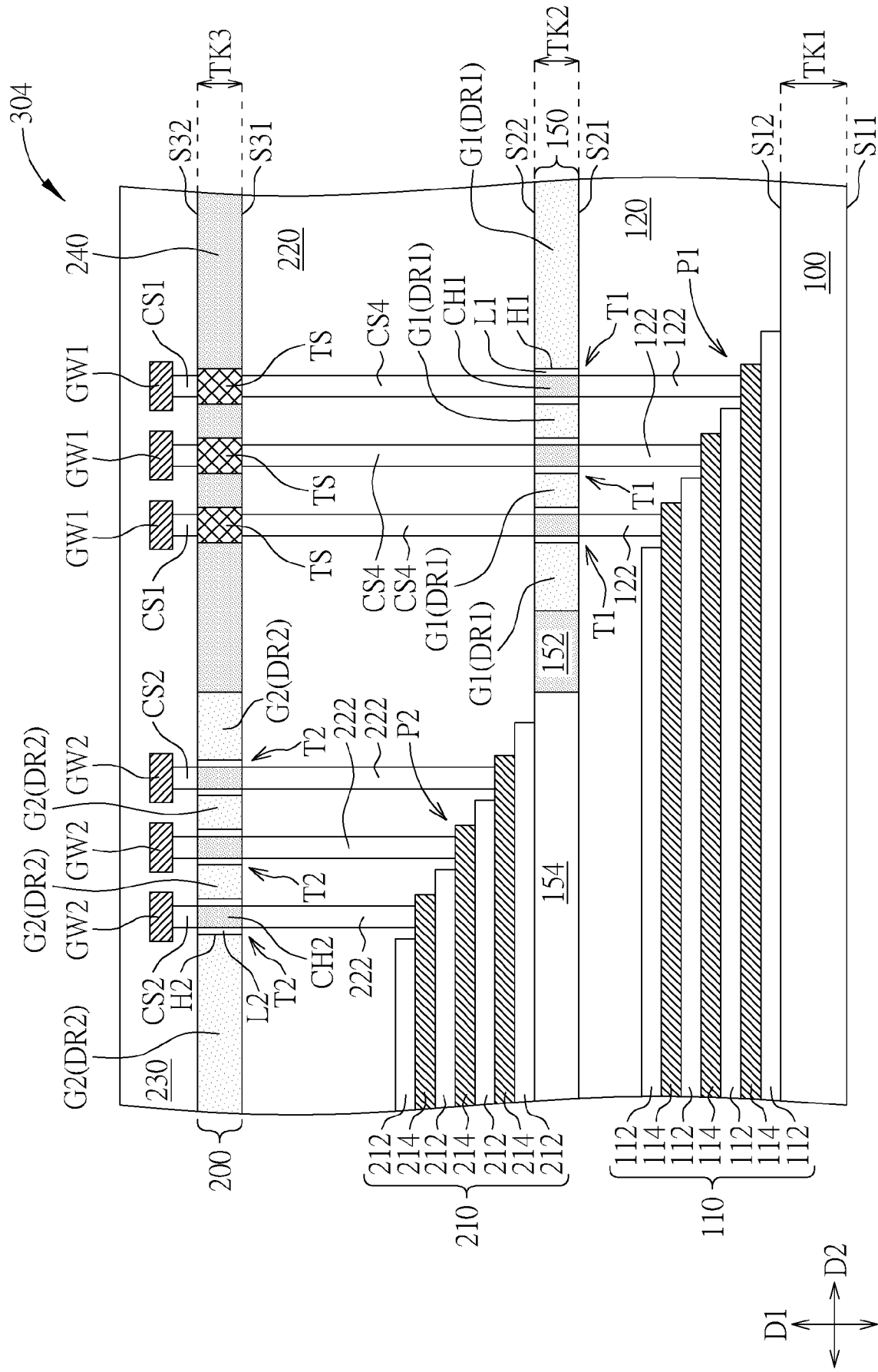


圖7

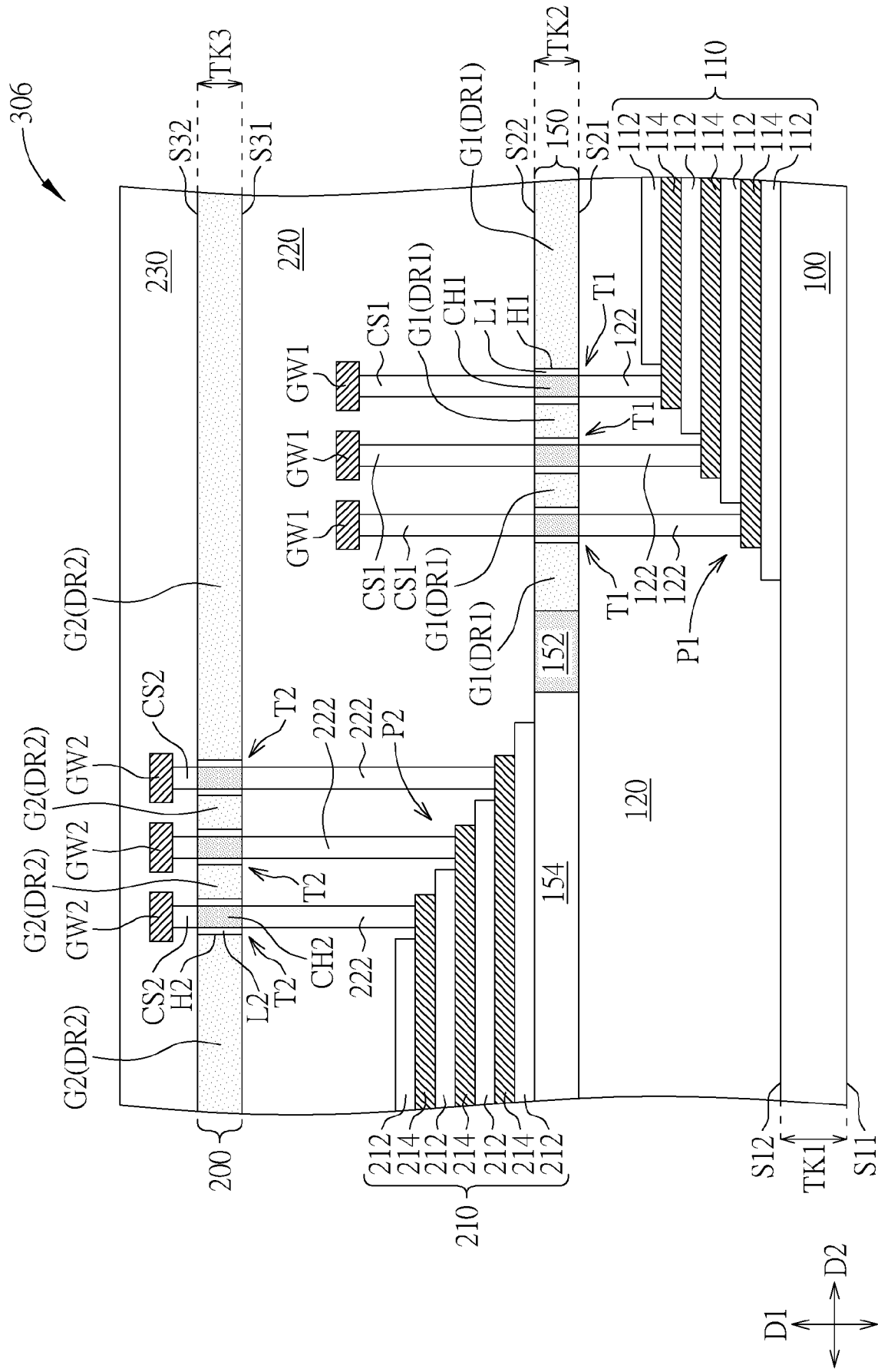


圖9

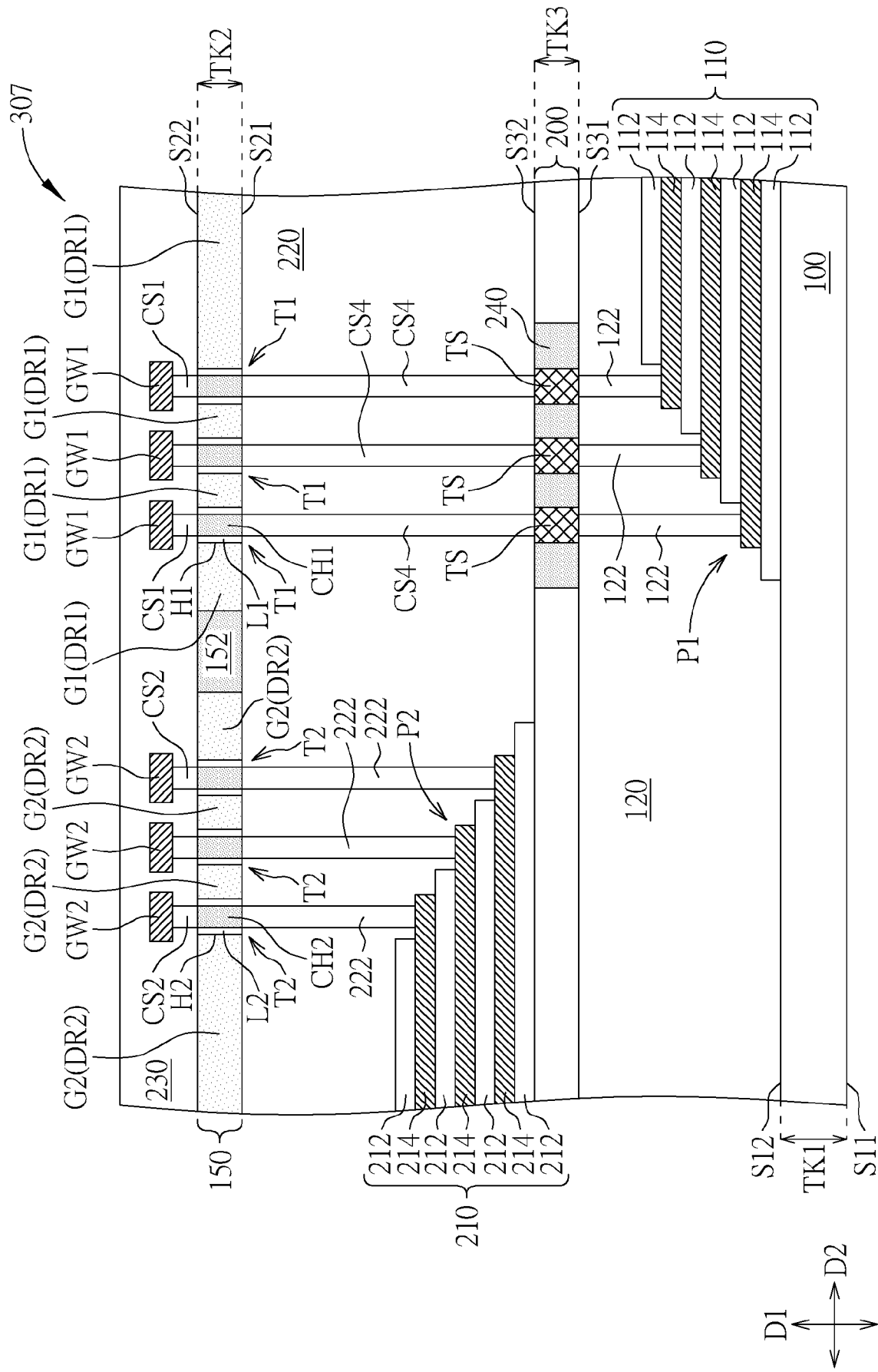


圖10