



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

245686

(11)

(B1)

(51) Int. Cl.⁴

G 06 F 3/00

(22) Přihlášeno 21 12 84

(21) PV 10249-84

(40) Zveřejněno 22 08 85

(45) Vydáno 15 09 87

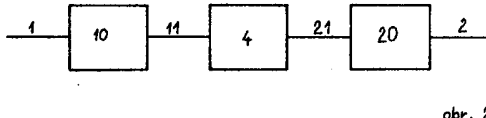
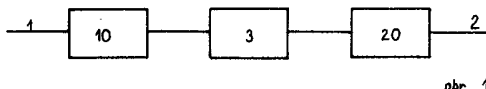
(75)

Autor vynálezu

MIRTES BOHUMIL ing. CSc.; MIRTES OLDŘICH ing., PRAHA

(54) Aktivní jednotka mezisběrníkového styku

Řešení se týká aktivní jednotky uskutečňující provozní spojení mezi dvěma sběrnicemi, jež přísluší buď jedinému velkému počítači, nebo dvěma počítačům. Tohoto cíle se dosahuje aplikací samostatného procesoru k tomuto účelu kromě standardní přizpůsobovací logiky, jež realizuje u každé sběrnice, již přísluší, převod signálů sběrnice na vstupní, výstupní a řídicí signály spojovací cesty mezi přizpůsobovacími obvody a procesorem. Podstata řešení je v přihlášce definována ve čtyřech bodech definice doplněných šesti obrázky. Z těchto obrázků řešení nejlépe charakterizují obr. 2 a 4. Zapojení může být využito ke spojení střediskového počítače se satelitními minipočítači nebo mikropočítači, ve funkci mezikanálového adaptéru jednoho nebo dvou střediskových počítačů a ke spojení mezi některou ze standardních vstupních/výstupních sběrnic a vnitřní sběrnicí počítače.



Vynález se týká aktivní jednotky mezisběrníkového styku umožňující spojení mezi vstupními/výstupními a jinými sběrnici dvou počítačů, nebo mezi dvěma vstupními/výstupními sběrnici - kanály jediného velkého počítače.

Dosud známé uspořádání a zapojení jednotek mezisběrníkového styku, jako je např. adaptér kanál-kanál střediskových počítačů, jsou řešeny na principech pevně zapojené logiky, tj. hradlových polí, klopných obvodů a registrů, rozdělených případně na několik relativně samostatných částí vykonávajících předepsané styčné i řídicí operace obou sběrnic podle navržených pevně stanovených logických schémat. Nedostatkem tohoto řešení je jednak velká složitost dosud užívaných pasivních jednotek mezisběrníkového styku, potíže s variabilitou jejich funkcí a nedostatek prostředků k zabezpečení detekce poruch.

Tyto nedostatky jsou odstraněny aktivní jednotkou mezisběrníkového styku podle vynálezu obsahující přizpůsobovací logiku první sběrnice a přizpůsobovací logiku druhé sběrnice, jehož podstata spočívá v tom, že jednotka obsahuje dále procesor spojený prostřednictvím první spojovací cesty s přizpůsobovací logikou první sběrnice a prostřednictvím druhé spojovací cesty s přizpůsobovací logikou druhé sběrnice.

Podle jedné z možných variant aktivní jednotky mezisběrníkového styku podle vynálezu je součástí řídicích obvodů procesoru logika sběrníkového řízení připojená svými sběrníkovými vstupy k vstupnímu řídicímu vedení spojovacích cest mezi přizpůsobovací logikou první sběrnice a druhé sběrnice a procesorem, svými řídicími vstupy k řídicímu programovému vedení, jehož zdrojem je řídicí paměť procesoru, svými sběrníkovými výstupy k řídicímu vedení spojovacích cest mezi přizpůsobovací logikou první sběrnice a druhé sběrnice a svým řídicím výstupem k adresovým obvodům řídicích obvodů procesoru a k adresovým obvodům aritmetickopaměťové části procesoru.

V jiné variantě jsou součástí řídicích obvodů procesoru paměťové obvody sběrníkové volby připojené svým řídicím vstupem k řídicímu programovému vedení, svým prvním adresovým výstupem k výstupnímu řídicímu vedení přizpůsobovací logiky první sběrnice a svým druhým adresovým výstupem k výstupnímu řídicímu vedení druhé sběrnice.

V další variantě jsou součástí řídicích obvodů procesoru přepínací obvody připojené svými prvními přepínacími vstupy k spojovací cestě mezi přizpůsobovací logikou první sběrnice a procesorem, svými druhými přepínacími vstupy k spojovací cestě mezi přizpůsobovací logikou druhé sběrnice a procesorem, svými řídicími vstupy k řídicímu programovému vedení a svými výstupy k informačním vstupům aritmetickopaměťové části procesoru.

Předností uvedeného uspořádání a zapojení aktivní jednotky mezisběrníkového styku, docílené uplatněním procesorové techniky, jsou kromě podstatně zjednodušené struktury obvodů umožněné použitím mikroprocesorových integrovaných obvodů v procesoru všechny známé výhody vyplývající z možnosti zaprogramování většiny požadovaných spojovacích a řídicích akcí relativně snadná realizace podstatných změn v průběhu, podmínkách a parametrech těchto akcí, využití jednotného obvodového řešení pro různé typy sběrnic a možnost doplnit požadované funkce jednotky důležitými pomocnými funkcemi usnadňujícími detekci a lokalizaci poruch.

Příklad možného provedení vynálezu je znázorněn na připojených výkresech, kde obr. 1 znázorňuje blokové schéma pasivní jednotky mezisběrníkového styku řešené známým a běžně používaným způsobem, obr. 2 představuje základní blokové schéma aktivní jednotky mezisběrníkového styku podle vynálezu, obr. 3 znázorňuje spojení přizpůsobovacích logik obou sběrnic a procesorem a základní části procesoru, obr. 4 znázorňuje uspořádání řídicí části procesoru a její spojení se vstupním a výstupním vedením přizpůsobovacích logik obou sběrnic, na obr. 5 je znázorněno zapojení paměťových obvodů sběrníkové volby a na obr. 6 je znázorněno zapojení přepínacích obvodů, jež mohou být podle některých variant vynálezu součástí řídicích obvodů procesoru.

Na obr. 1 je blokové schéma pasivní jednotky mezisběrníkového styku řešené známým a běžně používaným způsobem. **Jednotka je řešena formou pevně zapojené logické soustavy složené ze tří částí: z přizpůsobovacích logik 10, 20 obou sběrnic 1, 2, jejichž spojení je základní funkcí jednotky a ze styčné logiky 3.**

Příklad základního uspořádání aktivní jednotky mezisběrníkového styku podle vynálezu na obr. 2 ukazuje, že při tomto uspořádání je styčná logika 3 jednotky nahrazena procesorem 4 připojeným k přizpůsobovací logice 10 první sběrnic 1 prostřednictvím první spojovací cesty 11 a k přizpůsobovací logice 20 druhé sběrnic 2 prostřednictvím druhé spojovací cesty 21.

Složení obou spojovacích cest 11 a 21 je znázorněno na obr. 3 spolu s jejich připojením k základním částem procesoru 4 - aritmetickopaměťové části 41 a k řídicím obvodům 42. Obě spojovací cesty 11, 21 jsou podle příkladu na obr. 4 složeny ze vstupního informačního vedení 12, 22, ze vstupního řídicího vedení 13, 23, z výstupního informačního vedení 15, 25 a z výstupního řídicího vedení 14, 24. Všechna vstupní vedení 12, 13, 22, 23 jsou podle tohoto příkladu připojena k informačním vstupům 411 aritmetickopaměťové části 41 procesoru 4 a vstupní řídicí vedení 13, 23 navíc k vstupům 51 řídicích obvodů 42 procesoru 4.

Zdrojem výstupních informačních vedení 15, 25 obou spojovacích cest 11, 21 jsou informační výstupy 412 aritmetickopaměťové části 41 procesoru 4. Tyto informační výstupy jsou navíc připojeny i k vstupům 53 řídicích obvodů 42 procesoru 4. Tyto řídicí obvody 42 jsou navíc na svých výstupech 52 zdrojem výstupních řídicích vedení 14, 24 obou spojovacích cest.

Základní strukturu řídicích obvodů 42 procesoru 4 a způsob jejich připojení k aritmetickopaměťové části 41 procesoru 4 a k oběma spojovacím cestám 11, 21 znázorňuje obr. 4. Podle uvedeného příkladu jednoho provedení vynálezu je součástí řídicích obvodů 42 procesoru 4 řídicí paměť 422, jež je zdrojem pro řídicí programové vedení 40, adresové obvody 421 a logika 43 sběrnicového řízení připojená svými sběrnicovými vstupy 431 k vstupnímu řídicímu vedení 13, 23 obou spojovacích cest 11, 21, svými řídicími vstupy 432 k řídicímu programovému vedení 40, svými sběrnicovými výstupy 434 k řídicímu vedení 14, 24 obou spojovacích cest 11, 21 a svým řídicím výstupem 433 k adresovým obvodům 421 řídicích obvodů 42 procesoru 40 a k adresovým obvodům 411 aritmetickopaměťové části 41 procesoru 4.

Podle příkladu na obr. 5 mohou být podle jedné varianty aktivní jednotky mezisběrníkového styku podle vynálezu součástí řídicích obvodů 42 procesoru 4 paměťové obvody 44 sběrnicové volby. Jejich řídicí vstup 440 je připojen k řídicímu programovému vedení 40, a svými adresovými výstupy 441, 442 k výstupním řídicím vedením 14, 24 spojovacích cest 11, 21.

Další součástí řídicích obvodů procesoru 4 mohou být podle obr. 6 přepínací obvody 45 uplatněné k přepínání výstupů 452 mezi vstupy 451 připojenými k spojovací cestě 11 a vstupy 452 připojenými k spojovací cestě 21 na základě signálů z řídicího programového vedení 40 připojeného k řídicím vstupům 450. Výstupy 452 jsou připojeny k informačním vstupům 411 aritmetickopaměťové části 41 procesoru 4.

Uspořádání a zapojení aktivní jednotky meziprocesorového styku podle vynálezu je možno s výše uvedenými výhodami uplatnit ke styku mezi vstupními/výstupními sběrnicemi stejného typu jednoho nebo dvou počítačů, dále k přizpůsobení mezi sběrnicemi různého druhu a ke spojení dvou počítačů stejného nebo různého typu.

PŘEDMĚT VYNÁLEZU

1. Aktivní jednotka mezisběrnicevého styku obsahující přizpůsobovací logiku první sběrnice a přizpůsobovací logiku druhé sběrnice, vyznačující se tím, že obsahuje procesor (4) spojený prostřednictvím první spojovací cesty (11) s přizpůsobovací logikou (10) první sběrnice (1) a prostřednictvím druhé spojovací cesty (21) s přizpůsobovací logikou (20) druhé sběrnice (2).

2. Aktivní jednotka podle bodu 1 vyznačující se tím, že součástí řídících obvodů (42) procesoru (4) je logika (43) sběrnicevého řízení připojená svými sběrniceovými vstupy (431) k vstupnímu řídícímu vedení (13, 23) spojovacích cest (11, 12) mezi přizpůsobovací logikou (10, 20) první sběrnice (1) a druhé sběrnice (2) a procesorem (4), svými řídícími vstupy (432) k řídícímu programovému vedení (40), jehož zdrojem je řídící paměť (422) procesoru (4), svými sběrniceovými výstupy (434) k výstupnímu řídícímu vedení (14, 24) spojovacích cest (11, 12) mezi přizpůsobovací logikou (10, 20) první sběrnice (1) a druhé sběrnice (2) a svým řídícím výstupem (433) k adresovým obvodům (421) řídících obvodů (42) procesoru (40) a k adresovým obvodům (411) aritmeticko-paměťové části (41) procesoru (4).

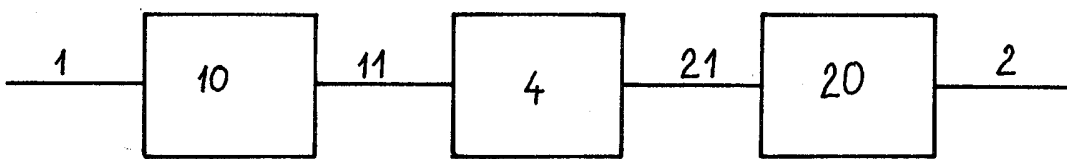
3. Aktivní jednotka podle bodů 1 a 2, vyznačující se tím, že součástí řídících obvodů (42) procesoru (4) jsou paměťové obvody (44) sběrniceové volby připojené svým řídícím vstupem (440) k řídícímu programovému vedení (40), svým prvním adresovým výstupem (441) k výstupnímu řídícímu vedení (14) přizpůsobovací logiky (10) první sběrnice (1) a svým druhým adresovým výstupem (442) k výstupnímu řídícímu vedení (24) přizpůsobovací logiky (20) druhé sběrnice (2).

4. Aktivní jednotka podle bodů 1 až 3, vyznačující se tím, že součástí řídících obvodů (42) procesoru (4) jsou dále přepínací obvody (45) připojené svými prvními přepínacími vstupy (451) k spojovací cestě (11) mezi přizpůsobovací logikou (10) první sběrnice (1), a procesorem (4) svými druhými přepínacími vstupy (452) k spojovací cestě (21) mezi přizpůsobovací logikou (20) druhé sběrnice (2) a procesorem (4), svými řídícími vstupy (450) k řídícímu programovému vedení (40), a svými výstupy (452) k informačním vstupům (411) aritmeticko-paměťové části (41) procesoru (4).

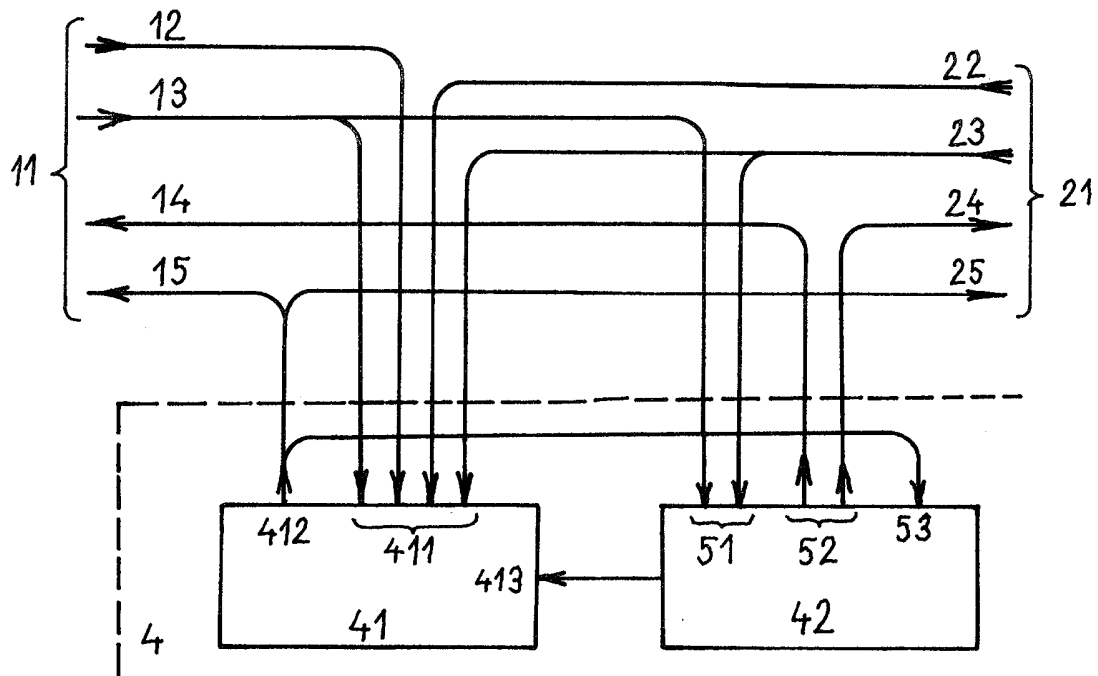
245686



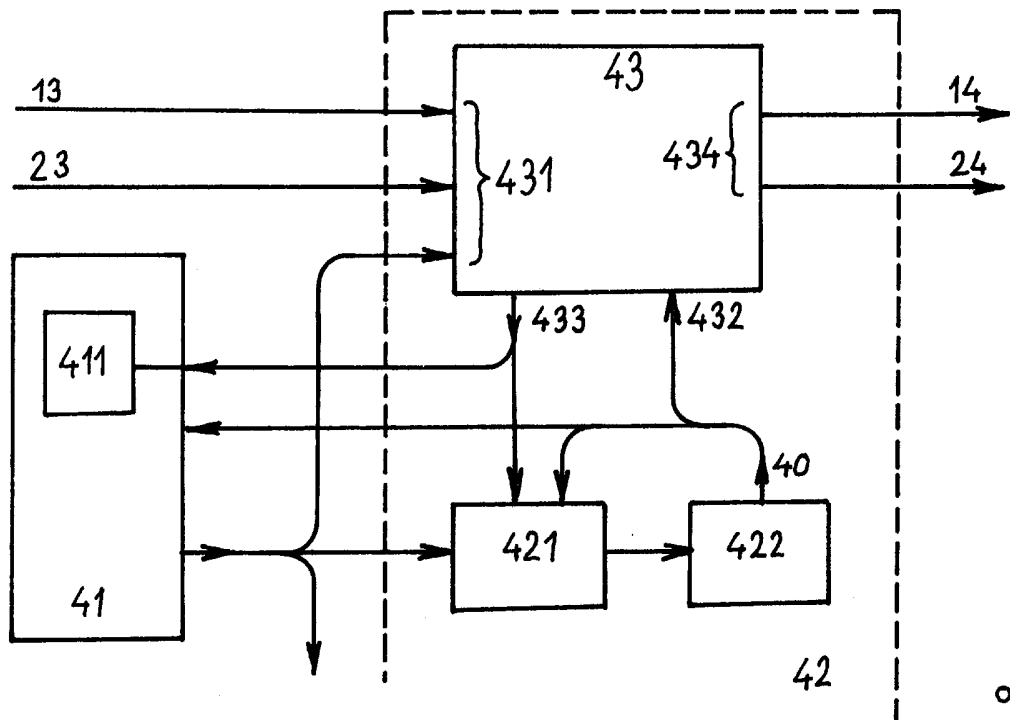
obr. 1



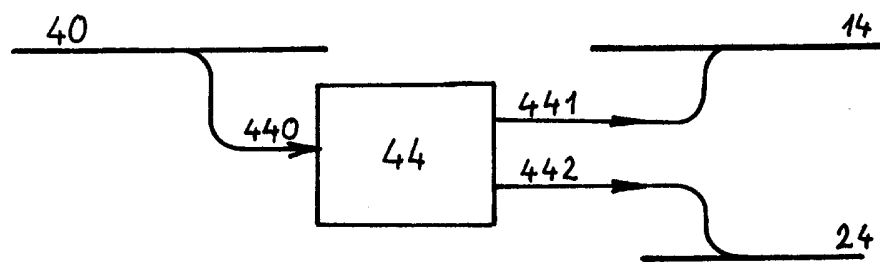
obr. 2



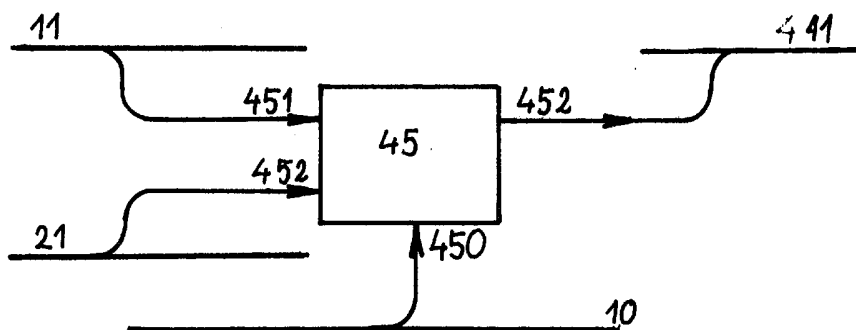
obr. 3



obr. 4



obr. 5



obr. 6