



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2011년01월25일
 (11) 등록번호 10-1010321
 (24) 등록일자 2011년01월17일

(51) Int. Cl.

G11C 11/15 (2006.01)

(21) 출원번호 10-2003-0015743
 (22) 출원일자 2003년03월13일
 심사청구일자 2008년02월15일
 (65) 공개번호 10-2003-0074423
 (43) 공개일자 2003년09월19일
 (30) 우선권주장

10/098,903 2002년03월14일 미국(US)

(56) 선행기술조사문헌

US6034882 A

WO200057423 A1

전체 청구항 수 : 총 8 항

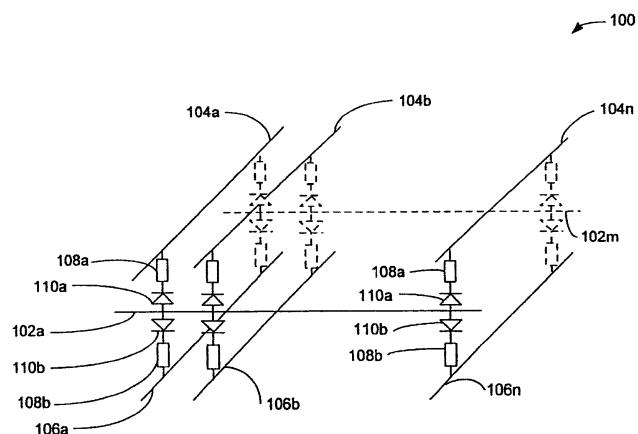
심사관 : 윤난영

(54) 데이터 저장 장치 및 데이터 저장 장치 제조 프로세스

(57) 요 약

평행한 메모리 평면을 갖는 데이터 저장 장치(10)가 개시되어 있다. 각 메모리 평면은 메모리 셀(108a)의 제 1 저항성 교차점 평면, 메모리 셀(108b)의 제 2 저항성 교차점 평면, 메모리 셀의 제 1 및 제 2 평면 사이에 공유된 다수의 도전성 워드 라인(102), 각각 제 1 평면의 하나 이상의 셀을 제 2 평면의 또 다른 메모리 셀에 결합시키는 다수의 비트 라인(104) 및 다수의 단방향 소자를 포함한다. 또한, 하나의 단방향 소자는 제 1 평면의 제 1 메모리 셀을 제 1 도전 방향으로 선택된 워드 라인 및 선택된 비트 라인에 결합하고 제 2 단방향 소자는 제 2 평면의 제 2 셀을 제 2 도전 방향으로 선택된 워드 라인 및 선택된 비트 라인에 결합한다. 본 발명은 또한 제 1 평면의 메모리 셀로부터 제 2 평면의 메모리 셀까지 동일한 비트 라인을 공유하는 리인을 형성하는 단방향 도전 경로를 제공한다.

대 표 도 - 도4



특허청구의 범위

청구항 1

평행한 메모리 평면(parallel memory planes)을 구비한 데이터 저장 장치에 있어서,

저항성 교차점 메모리 셀들의 제 1 어레이 평면과,

저항성 교차점 메모리 셀들의 제 2 어레이 평면과,

상기 메모리 셀의 제 1 및 제 2 어레이 평면들 사이에 공유된 다수의 도전성 워드 라인과,

상기 제1 어레이 평면의 메모리 셀들에 연결된 다수의 제1 비트 라인과,

상기 제2 어레이 평면의 메모리 셀들에 연결된 다수의 제2 비트 라인과,

다수의 단방향 소자(a plurality of unidirectional element)를 포함하되,

하나의 단방향 소자는 상기 제 1 어레이 평면의 하나의 메모리 셀을 제 1 도전 방향으로 선택된 워드 라인 및 선택된 제1 비트 라인에 결합하고, 다른 단방향 소자는 상기 제 2 어레이 평면의 하나의 메모리 셀을 제 2 도전 방향으로 상기 선택된 워드 라인 및 선택된 제2 비트 라인에 연결하되, 상기 제1 도전 방향 및 상기 제2 도전 방향은 서로 반대 방향인 데이터 저장 장치.

청구항 2

제1 항에 있어서,

상기 하나의 단방향 소자 및 상기 다른 단방향 소자는 각각 제1 다이오드 및 제2 다이오드이고,

상기 제1 다이오드의 애노드 및 상기 제2 다이오드의 애노드는 상기 선택된 워드 라인에 접속하는 데이터 저장 장치.

청구항 3

제 1 항에 있어서,

상기 제1 비트 라인 및 제2 비트 라인에 각각 연결된 판독 회로들을 더 포함하는 데이터 저장 장치.

청구항 4

제 3 항에 있어서,

각 판독 회로는 감지 증폭기를 포함하는 데이터 저장 장치.

청구항 5

제 4 항에 있어서,

판독 동작시에 비선택된 워드 라인은 상기 감지 증폭기의 입력에 인가된 전압과 동일한 전압에 연결되는 데이터 저장 장치.

청구항 6

제 5 항에 있어서,

상기 비선택된 워드 라인은 상기 판독 동작시에 상기 제1 비트 라인들 및 제2 비트 라인들 중에서 선택된 비트 라인과 동일한 전위로 바이어스되는 데이터 저장 장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

다수의 워드 라인, 다수의 제1 비트 라인, 다수의 제2 비트 라인, 저항성 교차점 메모리 셀의 제 1 어레이 평면, 및 저항성 교차점 메모리 셀의 제 2 어레이 평면을 포함하되, 상기 제1 어레이 평면의 각 메모리 셀은 각 제1 비트 라인 및 각 워드 라인에 결합되고, 상기 제2 어레이 평면의 각 메모리 셀은 각 제2 비트 라인 및 각 워드 라인에 연결되고, 상기 제 1 어레이 평면의 하나의 메모리 셀과 상기 제 2 어레이 평면의 하나의 메모리 셀은 각각 제1 단방향 소자 및 제2 단방향 소자에 의해 서로 반대 도전 방향으로 하나의 상기 워드 라인을 공유하는 데이터 저장 장치를 구동하는 방법에 있어서,

전류가 상기 제1 어레이 평면의 선택된 메모리 셀을 통과하도록, 상기 선택된 메모리 셀에 결합된 워드 라인 및 제1 비트 라인 간에 바이어싱하는 단계와,

상기 바이어싱하는 동안 상기 제 2 어레이 평면의 메모리 셀을 통해 흐르는 전류를 차단하는 단계를 포함하는 데이터 저장 장치를 구동하는 방법.

청구항 10

제 9 항에 있어서,

상기 바이어싱하는 동안 상기 선택된 메모리 셀에 결합된 워드 라인으로부터 상기 선택된 메모리 셀에 결합된 제1 비트 라인으로 단방향 도전 경로가 형성되는 데이터 저장 장치를 구동하는 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0018] 본 발명은 저항성 메모리 셀 어레이 분야에 관한 것으로, 좀 더 구체적으로 메모리 비트 쌍이 공통 도전체를 공유하여 어레이 밀도를 증가시키는 메모리 어레이에 관한 것이다.
- [0019] 저항성 랜덤 액세스 메모리(RAM)는 셀들의 위 아래 직교 방향으로 진행하는 두 개의 도전체 메쉬 사이에 샌드위치된 이격된 메모리 셀의 2차원 매트릭스의 교차점형의 메모리 어레이이다. 예로는 도 1에 도시된 저항성 RAM 어레이(10)이다. 일 방향으로 진행하는 행 도전체(12)는 워드 라인으로 지정되고, 보통 제 1 방향과 수직인 제 2 방향으로 연장하는 열 도전체(14)는 비트 라인으로 지정된다. 메모리 셀(16)은 대개 정사각형 또는 직사각형 어레이로 배열되어 각 메모리 셀 유닛(16)은 하나의 워드 라인(12) 및 그에 교차하는 비트 라인(14)에 연결된다.
- [0020] 저항성 RAM 어레이에 있어서, 각 메모리 셀의 저항은 하나 이상의 상태를 가지며 메모리 셀의 데이터는 셀의 저항 상태의 함수이다. 저항성 메모리 셀은 하나 이상의 자기 충, 퓨즈 또는 안티 퓨즈 또는 소자의 공칭 저항의 크기에 영향을 줌으로써 정보를 저장 또는 생성하는 임의의 소자를 포함할 수 있다. 저항성 RAM 어레이에 사용되는 다른 유형의 저항성 소자는 판독 전용 메모리 부분으로서의 폴리 실리콘 저항 또는 재기록가능 메모리 장치로서의 위상 충전 물질(phase charge material)을 포함할 수 있다.
- [0021] 저항성 랜덤 액세스 메모리의 한가지 유형은 각 메모리 셀이 절연 층에 의해 분리되는 다수의 자기 충으로 형성되는 자기 랜덤 액세스 메모리(MRAM)이다. 하나의 자기 충은 자기 배향이 관심 범위(range of interest) 내에서 인가된 자기장에 존재하여도 회전하지 않도록 고정된 피닝된 층(pinned layer)으로 지정된다. 다른 자기 충은 자기 배향이 피닝된 층의 상태와 일치하는 상태와 피닝된 층의 상태와 일치하지 않는 상태 사이에서 가변적인 감지 층으로 지정된다. 절연 터널 장벽 층은 자기 피닝된 층과 자기 감지 층 사이에 삽입된다. 이 절연 터널 장벽 층은 감지 층과 피닝된 층 사이에서 양자 역학 터널링(quantum mechanical tunneling)이 일어나도록 해준다. 이 터널링은 전자 스펀에 의존하며, 메모리 셀의 저항이 감지 층 및 피닝된 층의 자화의 상태적 배향의 함수가 되도록 야기한다. 감지 층의 두가지 상태에 대해 접합 저항이 다르기 때문에 메모리 셀에 저장된 데이터

터를 판정할 수 있다. 2001년 1월 2일 Brug 등에 허여된 미국 특허 제 6,169,686 호는 이러한 자기 메모리 셀 메모리를 개시한다.

[0022] 도 2를 참조하면, MRAM 메모리 셀이 도시되어 있다. 메모리 유닛(16)은 3개 층의 메모리 셀(20)로 도시되어 있다. 각 셀(20)에서 정보의 일 비트는 셀(20)의 자기 감지 층(22)의 배향에 따라 저장된다. 대개, 셀(20)은 논리 상태 "1" 및 "0"에 대응하는 두 개의 안정적인 자기 상태를 가진다. 감지 층(22) 상의 양 방향 화살표(15)는 이러한 이진 상태 능력(capability)을 도시한다. 셀(20)의 피닝된 층(24)은 얇은 절연체(26)에 의해 감지 층으로부터 분리된다. 피닝된 층(24)은 층(24)의 단방향 화살표(17)로 도시된 바와 같이 고정된 자기 배향을 가진다. 감지 층(22)의 자기 상태가 피닝된 층(24)의 자화 방향과 동일한 방향으로 배향되는 경우, 셀 자화는 "평행"으로 지칭된다. 이와 유사하게, 감지 층(22)의 자기 상태가 피NING된 층(24)의 자화 방향과 반대 방향으로 배향되는 경우, 셀 자화는 "반 평행"으로 지칭된다. 이를 배향은 저 저항 상태 및 고 저항 상태에 각각 대응한다.

[0023] 선택된 메모리 셀(20)의 자기 상태는 선택된 메모리 셀을 교차하는 워드 라인(12) 및 비트 라인(14)에 전류를 인가함으로써 변경될 수 있다. 이 전류는 결합되는 경우 평행과 반 평행 상태 사이에서 선택된 메모리 셀(20)의 자기 배향을 스위칭할 두 개의 직교 자기장을 생성한다. 다른 비선택된 메모리 셀은 비선택된 메모리 셀을 교차하는 워드 라인 또는 비트 라인으로부터의 자기장만을 수신한다. 단일장(single field)은 비선택된 셀의 자기 배향을 변경할 만큼 강하지 않아서, 그들은 자신의 자기 배향을 유지한다.

[0024] 도 3을 참조하면, MRAM 메모리 어레이(30)가 도시되어 있다. 감지 증폭기(32)는 선택된 메모리 셀(36)의 비트 라인(34)에 연결된다. 전압 Vr은 선택된 메모리 셀(36)의 워드 라인(38)에 인가되고, 감지 증폭기(32)는 전압을 셀(36)의 비트 라인(34)에 인가한다. 감지 증폭기(32)는 메모리 셀(36)의 상태를 반영하는 증폭된 출력(39)을 제공한다. 동일한 비트 라인 전압이 모든 비트 라인(34)에 인가되어 실제로 비선택된 행 상의 모든 셀들을 영 전위로 바이어스한다. 이 작용은 비트 라인 전류들을 서로 격리시켜, 그렇게 하지 않을 경우 제 2 경로를 통해 흐를 수도 있는, 선택된 메모리 셀의 감지 기능에 에러를 야기할 수 있는 대부분의 누설 전류를 차단시킨다.

[0025] 모든 메모리 어레이에 관련된 몇가지 이슈는 구조를 간단히 할 필요성, 메모리 저장 밀도를 증가시킬 요구 및 어레이 내의 도전성 라인을 감소시킬 필요성에 관한 것이다. MRAM 메모리 어레이에는 첫번째 이슈를 잘 다루는데 MRAM 비트 셀은 현재 알려진 가장 간단한 저장 셀 중에 하나이다. 메모리 저장 밀도를 증가시키는 능력은 전형적으로 어레이 내의 각 셀의 크기를 감소시킴으로써 달성되어 왔다. 도전성 라인의 감축은 얼마나 많은 셀들이 행 및 열로 배열되는냐에 따라 제한된다.

[0026] 따라서, 먼저 셀 치수를 감소시키지 않고서 어레이 밀도를 증가시킬 해법이 필요하다. 또한, 두 개의 셀 쌍(two cell pairs)과 공통 경로를 공유함으로써 도전체 경로를 감소시키는 해법이 필요하다.

발명이 이루고자 하는 기술적 과제

[0027] 본 발명에 따르면, 평행한 메모리 평면을 갖는 데이터 저장 장치가 제공된다. 각 메모리 평면은 메모리 셀의 제 1 저항성 교차점 평면, 메모리 셀의 제 2 저항성 교차점 평면, 메모리 셀의 제 1 및 제 2 평면 사이에 공유된 다수의 도전성 워드 라인, 각각 제 1 평면의 하나 이상의 셀을 제 2 평면의 또 다른 메모리 셀에 결합시키는 다수의 비트 라인 및 다수의 단방향 소자(unidirectional element)를 포함한다. 또한, 하나의 단방향 소자는 제 1 평면의 제 1 메모리 셀을 제 1 도전 방향으로 선택된 워드 라인 및 선택된 비트 라인에 결합하고 제 2 단방향 소자는 제 2 평면의 제 2 셀을 제 2 도전 방향으로 선택된 워드 라인 및 선택된 비트 라인에 결합한다. 본 발명은 또한 제 1 평면의 메모리 셀로부터 제 2 평면의 메모리 셀까지 동일한 비트 라인을 공유하는 라인을 형성하는 단방향 도전 경로를 제공한다.

[0028] 데이터 저장 장치는 각각 제각기의 비트 라인에 의해 하나 이상의 메모리 셀 그룹에 결합되고 연관된 그룹의 메모리 셀을 통해 흐르는 전류를 감지하는 다수의 관독 회로를 더 포함한다. 관독 회로는 전류 모드 감지 증폭기일 수 있는 감지 증폭기를 더 포함한다.

[0029] 대안적인 실시예에서, 평행 메모리 평면을 구비한 데이터 저장 장치가 또한 제공된다. 이 대안적인 실시예에서, 먼저 메모리 셀의 제 1 저항성 교차점 평면(a first resistive cross point plane of memory cells)과 메모리 셀의 제 2 저항성 교차점 평면(a second resistive cross point plane of memory cells)이 포

함된다. 또한, 메모리 셀의 제 1 및 제 2 평면 사이에 워드 라인 평면이 공유된다. 다수의 비트 라인이 제공되는데, 이 때 각 비트 라인은 제 1 평면의 하나의 메모리 셀을 제 2 평면의 또 다른 메모리 셀에 결합한다. 다수의 단방향 소자가 또한 제공되는데, 여기서 각 단방향 소자는 양 평면의 하나의 메모리 셀을 결합하는 역할을 하되 이 단방향 소자는 하나의 메모리 셀이 동일한 비트 라인을 공유하는 또 다른 워드 라인에 간접하는 것을 방지한다.

[0030] 본 발명의 다른 측면 및 장점은 첨부한 도면과 연계하여 본 발명의 예시적인 원리로서 예시하는 자세한 설명으로부터 분명해질 것이다.

발명의 구성 및 작용

[0031] 도 4는 백-투-백(back-to-back) 다이오드 메모리 셀 구성을 가진 공통 워드 라인 평면을 포함하는 MRAM 메모리 셀 어레이(100)를 예시한다. 3차원적 사시도는 종래 기술에서 전형적으로 필요한 도전체 라인 수를 감소시키면서 셀 밀도를 증가시키기 위해 메모리 셀들이 어떻게 배열되는지를 예시한다. 메모리 어레이(100)는 다수의 행 도전체 라인(102a-m)을 포함하는데, 각각은 메모리 셀(108a 및 108b)에 대해 공통 도전체로서 역할을 한다. 단방향 도전체(110a 및 110b)는 메모리 셀(108a 및 108b)과 각각 짹을 이룬다. 단방향 스위치(110a 및 110b)는 다른 셀이 이하의 프로세스에 간섭없이, 이하에서 설명되는 판독, 감지 및 기록 프로세스에 따라 비트 쌍 중 하나의 비트만이 판독, 감지 또는 기록되는 방식으로 공통 도전체가 활성화되도록 인에이블한다.

[0032] 메모리 어레이(100)는 제 1 열 도전체 라인(104) 및 제 2 열 도전체 라인(106)을 더 포함한다. 다수의 제 1 열 도전체 라인(104a-n)이 제공되고 다수의 제 2 열 도전체 라인(106a-n)이 또한 제공된다. 제 1 열 도전체 라인(104a)은 동일한 열에서 발견되는 각 메모리 셀(108a)의 반대편 끝에 결합된다. 이와 유사하게, 각각의 제 2 열 도전체 라인(106a)은 동일한 열을 공유하는 각 메모리 셀(108b)에 연결된다. 단방향 도전체(110)는 한 쌍의 메모리 셀(108a 및 108b)이 동일한 행 도전체를 공유하도록 인에이블하는 방식으로 감지 경로, 기록 및 판독 경로가 공통 행 도전체(102)를 공유하도록 인에이블한다.

[0033] 행 도전체(102)는 워드 라인으로서 기능을 하고 메모리 셀 어레이(100)의 한 측면 상의 평면에서 X 방향을 따라 연장한다. 제 1 열 도전체 라인(104) 및 제 2 열 도전체 라인(106)은 메모리 셀 어레이(100)의 다른 측면 상의 평면에서 Y 방향을 따라 연장하는 비트 라인으로서 기능을 한다. 이 특정 실시예에서, 어레이(100)의 두 개의 행에 대해 하나의 워드 라인(102)이 존재하고 어레이(100)의 각 열에 대해 두 개의 비트 라인(104 및 106)이 존재한다. 각 메모리 셀(108)은 대응 워드 라인(102) 및 비트 라인(104 또는 106)의 제 1 또는 제 2 교차점에 위치한다. 메모리 셀 어레이에는 수천개의 메모리 셀이 아닐지라도 수백개의 메모리 셀을 포함할 수 있고 각 행의 메모리 셀의 수가 각 열의 셀 수와 반드시 동일할 필요는 없다는 것을 인지해야한다. 특히 행 당 적어도 두 개의 메모리 셀이 존재하는 것으로 도시되어 있지만 행 당 열 쌍의 수가 일대 일 대응일 필요는 없다.

[0034] 메모리 셀(108)은 임의의 특정 유형의 장치에 제한되지 않는다. 위에서 설명한 바와 같이, 스핀 종속 터널링 장치(a spin dependent tunneling device)가 사용될 수 있다. 데이터는 각 셀의 자화를 "1" 또는 "0"을 나타내도록 배향함으로써 메모리 셀(108)에 저장된다. 예를 들어, 도 4를 참조하면, 논리 값 "0"은 감지 층의 자화를 피닝된 층의 자기 배향과 평행하게 배향함으로써 메모리 셀(108)에 저장될 수 있고, 논리 값 "1"은 감지 층의 자화를 피닝된 층의 자기 배향과 반대 방향 또는 반 평행으로 배향시킴으로써 메모리 셀에 저장될 수 있다. 또한, 상 전이 메모리 셀로 알려진, 상 전이 물질(phase change material)을 이용하여 제조된 메모리 셀도 사용될 수 있다.

[0035] 도 5는 본 발명에 따른 메모리 어레이(100)의 3차원 사시도의 개략도를 예시한다. 메모리 어레이(100)는 메모리 평면(117a-z)의 부가적인 적층이 가능하다는 것을 예시한다. 이 예에서, 메모리 평면(117)은 수직 방향으로 적층 가능할 뿐만 아니라 이들은 앞에서 뒤로 적층도 가능하며, 이로 인해 공유된 도전체 평면 메모리 장치의 3 차원 그리드가 다수-평면 메모리 어레이 내에 생성된다. 행 도전체 라인(102)은 반대 방향의 단방향 소자(110) 사이에 연속적으로 삽입되고 일련의 도전체 평면(113)을 형성한다. 또한, 제 1 열 도전체(104)는 메모리 장치(108)의 상부와 짹을 이루고 반면 제 2 열 도전체(106)는 메모리 장치(108)의 하부 행에 연결된다. 열 도전체(104 및 106)는 도전체 평면(115a-115y)을 형성한다. 단방향 소자(110)는 전형적으로 다이오드와 같은 단방향 전류 도전으로 구성된다.

[0036] 도 6은 워드 라인(102) 및 비트 라인(104)을 포함하는 단일 평면 자기 터널 액세스 메모리(MRAM) 장치(610)를 예시한다. 자기 터널 접합부(108)는 단일 어레이 평면(100) 내에 워드 라인(102) 및 비트 라인(104)의 교차점

에 위치한다. 이 어레이는 도전체(106)를 열 도전체(104)로 대체함으로써 다른 평면을 나타낼 수 있는 것으로 예시될 수 있다. 자기 터널 접합부(108)는 행 및 열로 배열되는데, 행은 X 방향을 따라 연장하고 열은 Y 방향을 따라 연장한다. MRAM 장치(610)의 예시를 간략하게 하기 위해 어레이 평면(100) 내에 비교적 적은 수의 자기 터널 접합부(108)만이 도시되어 있다. 실제에 있어서, 어떠한 크기의 어레이도 사용될 수 있다.

[0037] 워드 라인(102)으로서 기능을 하는 트레이스는 어레이(100)의 한 측면 상의 평면에서 X 방향을 따라 연장한다. 워드 라인(102)은 다이오드(110)의 애노드와 접촉한다. 비트 라인(104)으로서 기능을 하는 트레이스는 어레이(100)의 인접 측면 상의 평면에서 Y 방향으로 연장한다. 비트 라인(104)은 자기 터널 접합부(108)의 데이터 층에 결합된다.

[0038] MRAM 장치(610)는 또한 제 1 및 제 2 행 디코더(120a 및 120b), 제 1 및 제 2 열 디코더(122a 및 122b) 및 판독/기록 회로(124)를 포함한다. 판독/기록 회로(124)는 감지 증폭기, 접지 콘넥터, 행 전류원, 전압원 및 열 전류원을 포함한다.

[0039] 선택된 자기 터널 접합부(108) 상의 기록 동작 동안, 제 1 행 디코더(120a)는 선택된 워드 라인(102)의 한쪽 끝을 행 전류원(126)에 연결하고, 제 2 행 디코더(120b)는 선택된 워드 라인(102)의 반대쪽 끝을 접지에 연결하며, 제 1 열 디코더(122a)는 선택된 비트 라인(104/106)의 한쪽 끝을 접지에 연결하고, 제 2 열 디코더(122b)는 선택된 비트 라인(104/106)의 반대쪽 끝을 열 전류원(128)에 연결한다. 그 결과, 기록 전류는 선택된 워드 라인(102) 및 비트 라인(104/106)을 통해 흐른다.

[0040] 기록 전류는 선택된 비트 셀에서 선택된 자기 터널 접합부(108)를 스위칭하기에 충분한 결합 자기장을 발생시킨다. 워드 라인(102) 및 비트 라인(104/106)을 따른 다른 비선택된 메모리 셀(108)은 워드 라인(102) 또는 비트 라인(104/106)에 흐르는 전류로부터의 자기장만을 수신한다. 그러므로 이 자기장은 충분히 크지 않아서 비선택된 메모리 셀의 상태는 변경되지 않은 상태로 남아있게된다.

[0041] 선택된 자기 터널 접합부(108) 상의 판독 동작 동안, 제 1 행 디코더(120a)는 전압원(130)을 선택된 워드 라인(102)에 연결하고, 제 1 열 디코더(122b)는 선택된 비트 라인(104/106)을 감지 증폭기(108)의 입력인 가 접지(virtual ground)에 연결한다.

[0042] 그 결과, 감지 전류(Is)는 선택된 자기 터널 접합부(108)를 통해 감지 증폭기(118)로 흐른다. 감지 전류(Is)는 감지 증폭기에 의해 측정되고, 따라서 자기 터널 접합부(108)의 저항 및 논리 상태가 결정된다.

[0043] 도 7은 본 발명에 따른 메모리 어레이(100) 상의 기록 기능의 개략도이다. 선택된 평면 메모리의 어레이 내에서 비트에 데이터를 기록하는 방법은 도 8의 흐름도에 개략적으로 도시된 바와 같은 단계를 포함한다. 초기에, 단계(810)에 도시된 바와 같이, 회로는 기록 전류를 비트의 한쪽 측면에 인가하고 선택된 비트에 대응하는 선택된 행의 다른 측면에 접지를 인가한다. 다음으로, 단계(812)에 예시된 바와 같이, 이 회로는 적절한 전류를 한쪽 측면에 인가하고 선택된 비트(들)에 대응하는 선택된 열의 다른쪽 측면에 접지를 인가한다. 단계(814)에 도시된 바와 같이, 어레이에는 모든 나머지 비선택된 행 및 열이 부동화(float)되는 것을 허용한다. 단계(816)에서, 메모리 어레이에는 선택된 열 상의 전류 방향을 분석하여 "1"이 기록될지 "0"이 기록될지를 결정한다.

[0044] 한번에 다수의 비트가 기록될 수 있지만 동시에 기록되는 비트들은 모두 도 6에 도시된 바와 같이 동일한 행에 연결되어야 한다. 또한, 행 및 열은 본 발명에 따른 기록 기능의 성능에 관련하여 서로 바꿔가며 사용될 수 있다.

[0045] 도전체 평면에 대한 판독 기능은 도 9의 개략도에 도시되어 있다. 또한, 그 방법이 첨부한 도 10에 도시되어 있다. 그러므로, 선택된 평면 메모리의 어레이의 비트를 판독하기 위해, 단계(1010)에 도시된 바와 같이, 시스템은 전압(V_) 바이어스를 선택된 비트(폐쇄된 바와 같음)에 대응하는 선택된 행에 인가한다. 다음으로, 단계(1012)에 도시된 바와 같이, 어레이는 동일한 메모리 평면의 비선택된 모든 행들을 접지 전위 또는 전형적으로 당업자에 의해 선택된 어떤 공통 전압을 나타내는 전압(Vg)에 연결한다. 그 후, 단계(1014)에 도시된 바와 같이, 어레이는 선택된 열(들)을 감지 증폭기(들)에 연결하여 전류 신호를 판독하여 비트 상태를 결정한다. 이 방법에 있어서, 한번에 메모리 평면의 하나의 행만이 선택된다. 하지만, 동일한 행 상의 다수의 비트는 도 6의 어레이마다 동일한 시간에 판독될 수 있다.

[0046] 도 11은 일단 제조된 결과적인 구조체의 단면도를 예시한다. 도 12는 도 11의 개략적인 등가도이다. 비트 쌍(1100)의 이 부분에 있어서, 공통 행 도전체(102)는 두 개의 비트(108a 및 108b) 사이에 위치한다. 워드 라인 도전체(102)의 양 측면 상에서 실리콘 다이오드(110)의 제조는 접합부를 형성한다. 제 1 메모리 셀(108a)은 제

1 자기 피닝된 층 물질(1112)을 포함한다. 자기 자신 위에 자기 데이터 층(1116)이 형성되는 경우 터널 접합 장벽 층으로서 역할을 하는 유전체 층(1114)은 피닝된 층(1112) 상에 형성되어 있다. 메모리 비트(108b)는 동일한 구조체를 포함하지만, 이것은 워드 라인 도전체(102)를 가로지르는 메모리 비트(108a)의 경상(mirror image)이다. 메모리 어레이를 제조하는 데 사용되는 단계는 일관적이고 MRAM 메모리 셀 제조와 관련된 당업자에게 알려져 있는 반도체 공정의 단계와 호환성이 있다. 데이터 층 및 피닝된 층 내의 화살표는 이들 층에 대한 자기장 배향을 도시한다.

[0047] 하나의 특정 실시예에 따르면, 행 도전체(102)는 플래티늄으로 형성되는데 여기서 실리콘 물질은 백금 도전체 양쪽 측면 상에 배치되어 백-투-백 쇼트키 장벽 다이오드(back-to-back Schottky barrier diodes) 또는 단방향 도전체(110)를 형성한다. 그런 다음, 터널링 접합부가 실리콘 층에 인접하게 제조되어 다이오드/MTJ 메모리 셀(110)을 생성한다. 이 구조체에 있어서, 도전체의 세 개 층은 두 개의 메모리 층을 구성하고, 도 6에 도시된 바와 같이 이 프로세스는 다층 메모리 장치를 생성하도록 반복될 수 있다.

[0048] 본 발명은 종래 기술보다 몇가지 장점을 가지고 있다. 하나의 장점은 보다 소수의 행 도전체 평면이 필요하여, 메모리 평면 당 하나의 행 도전체를 갖는 종래의 기술에서 전형적으로 필요로하는 부가적인 프로세싱 단계를 제거한다는 것이다. 종래 기술대비 본 발명의 또 다른 장점은 메모리 평면 내에서 멀티플렉싱을 제공하는 데 필요한 트랜지스터 스위치 수를 감소시킴으로써 오버헤드를 감소시킨다는 것이다. 또한 또 다른 장점은 결과적인 메모리 칩에서 전체적인 장치 크기를 감소시킨다는 것이다. 보다 큰 효율, 보다 적은 비용의 프로세싱 단계 및 증가된 밀도는 모두 종래 기술보다 나은 본 발명의 중요한 장점들이다.

[0049] 위에서 설명한 바와 같이 논리 값은 선택된 메모리 셀에 저장된다. 전압이 선택된 셀의 워드 라인 및 비트 라인에 인가된 상태에서, 메모리 셀의 접합부 양단의 전류는 셀 자화가 평행 또는 반 평행인지를 결정한다. 바람직하게, 반 평행 배향은 보다 큰 MTJ 저항을 야기할 것이고 따라서 선택된 메모리 셀의 접합부 양단의 보다 낮은 전류를 야기할 것이다. 바람직하게, 각 메모리 셀은 전력이 존재하지 않을 때도 자기 배향을 유지하므로, "비휘발성"이라고 지칭된다.

[0050] 바람직하게, 행 및 열 도전체는 구리 또는 알루미늄 또는 도전성 물질과 같은 높은 도전성 물질로 만들어진다. MRAM 메모리 셀에 있어서, 피닝된 층은 비철 물질로 구성되고 감지 층은 니켈 철, 코발트 철 또는 니켈 철 코발트와 같이 자기장에 영향을 받는 철 자기 물질로 구성된다. 절연 층은 Al_2O_3 와 같은 어떠한 절연 물질로도 구성될 수 있고 대개 10내지 50 옹스트롬보다 크지 않을 정도로 매우 얇아서 터널링 전류가 발생하도록 해준다.

[0051] 위의 실시예가 본 발명을 나타내지만, 다른 실시예가 명세서 및 첨부한 청구항 또는 개시된 발명의 실시예의 실습으로부터 당업자에게 분명해질 것이다. 본 명세서의 설명 및 실시예는 단지 예로서 고려되어야하고, 본 발명은 청구항 및 그들의 등가물에 의해 정의된다.

발명의 효과

[0052] 본 발명에 의하면, 두 개의 셀 쌍과 공통 경로를 공유하여 도전체 경로를 감소시킴으로써 보다 큰 효율, 보다 적은 비용의 프로세싱 단계 및 증가된 밀도를 제공할 수 있다.

도면의 간단한 설명

[0001] 도 1은 본 발명에 따라 종래 기술의 저항성 교차점 메모리를 도시하는 개략도,

[0002] 도 2는 종래 기술의 MRAM 메모리 셀 및 거기에 연결된 도전체의 구조체를 도시하는 개략도,

[0003] 도 3은 본 발명에 따라 감지 소자를 구비한 종래 기술의 메모리 어레이 구조체를 도시하는 개략도,

[0004] 도 4는 본 발명에 따라 백-투-백(back-to-back) 다이오드 메모리 셀 구성을 가진 공통 워드 라인 평면을 포함하는 MRAM 메모리 셀 어레이를 예시하는 도면,

[0005] 도 5는 도 4의 어레이에 기반을 둔 다수 평면의 MRAM 메모리 셀 어레이를 예시하는 도면,

[0006] 도 6은 본 발명에서 고려되는 바와 같이 판독/기록 회로를 지원하는 MRAM 메모리 셀 어레이의 개략도,

[0007] 도 7은 본 발명에 따라 도 4의 메모리 평면 상에서 수행되는 기록 프로세스를 예시하는 도면,

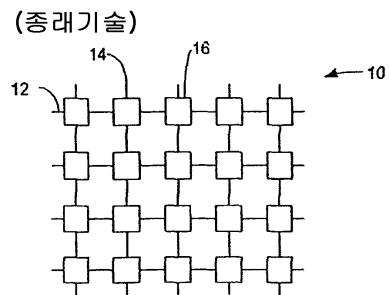
- [0008] 도 8은 도 7의 기록 프로세스의 흐름도,
- [0009] 도 9는 본 발명에 따라 도 4의 메모리 평면 상에 수행되는 판독 프로세스를 도시하는 도면,
- [0010] 도 10은 도 9의 판독 프로세스의 흐름도,
- [0011] 도 11은 본 발명에 따라 제조되는 MRAM 메모리 셀의 단면도,
- [0012] 도 12는 본 발명에 따라 도 11의 MRAM 메모리 셀의 단면도의 전기적 등가 회로도.

[0013] 도면의 주요 부분에 대한 부호의 설명

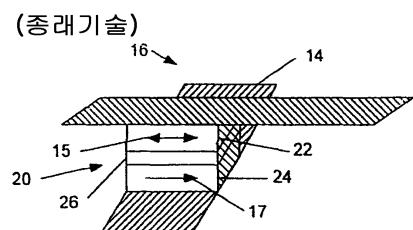
- | | |
|---------------------|---------------------|
| [0014] 12 : 행 도전체 | [0014] 14 : 열 도전체 |
| [0015] 16 : 메모리 셀 | [0015] 32 : 감지 증폭기 |
| [0016] 104 : 도전체 라인 | [0016] 110 : 단방향 소자 |
| [0017] 128 : 전류원 | [0017] 130 : 전압원 |

도면

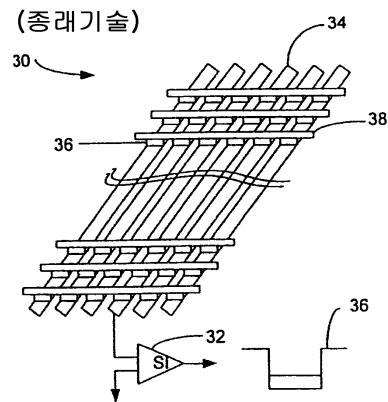
도면1



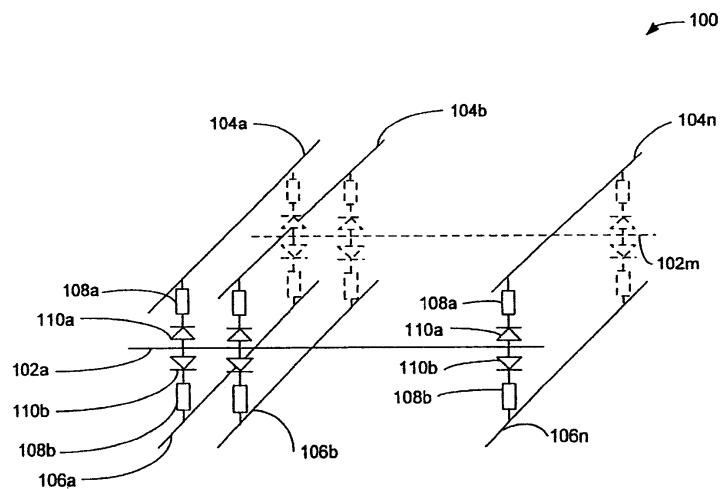
도면2



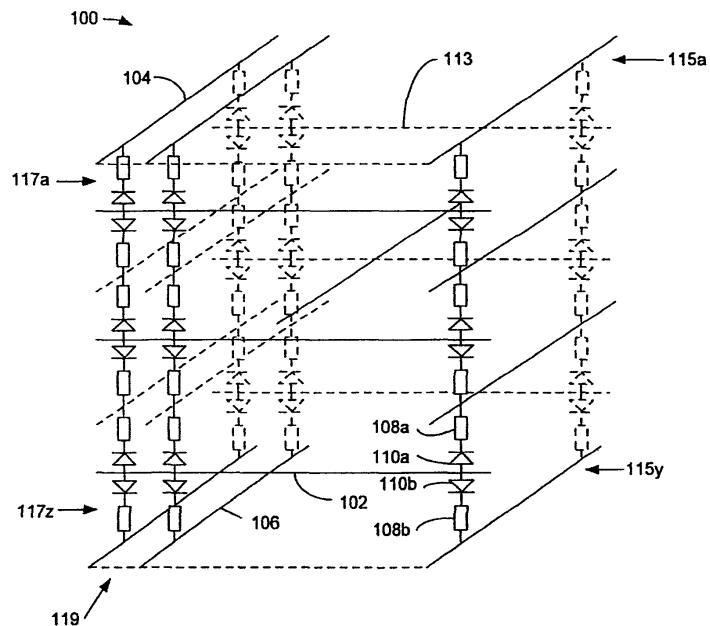
도면3



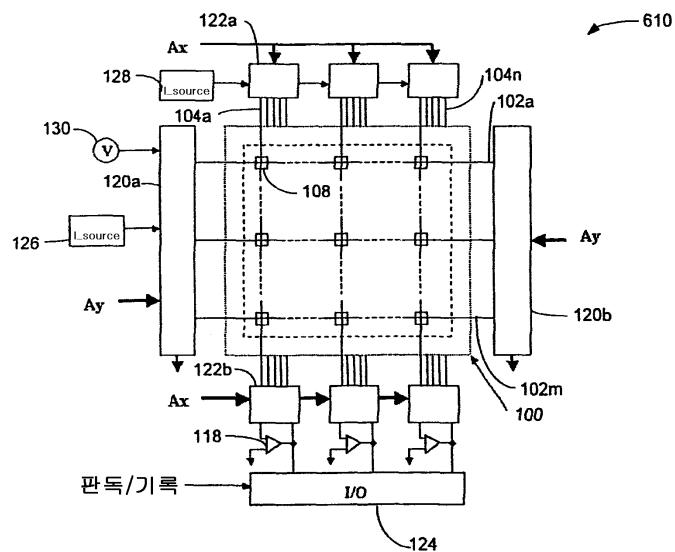
도면4



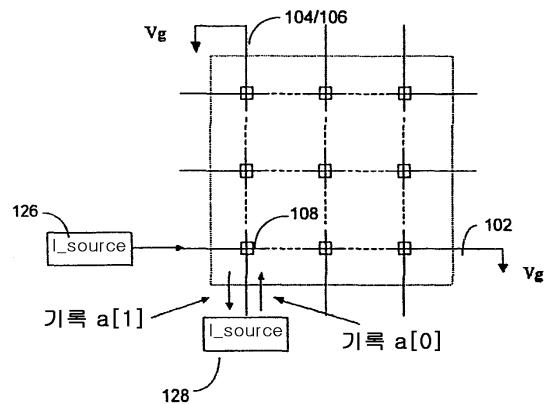
도면5



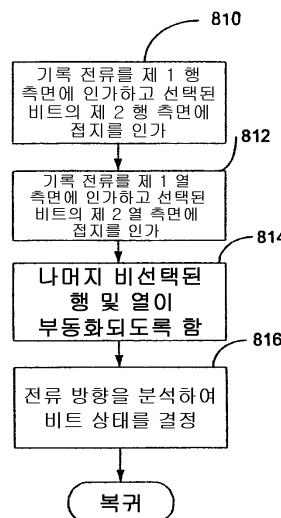
도면6



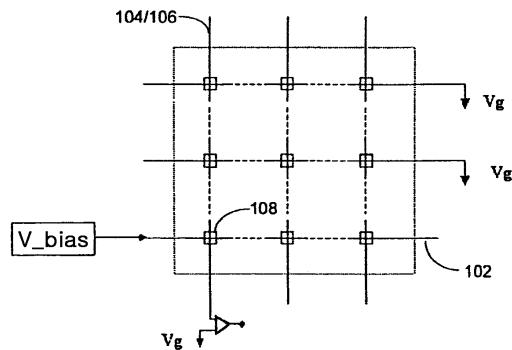
도면7



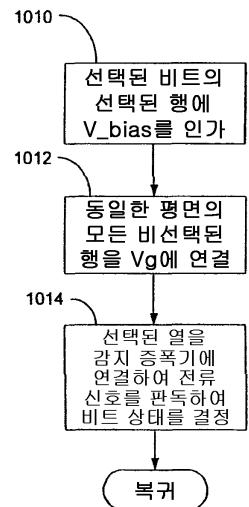
도면8



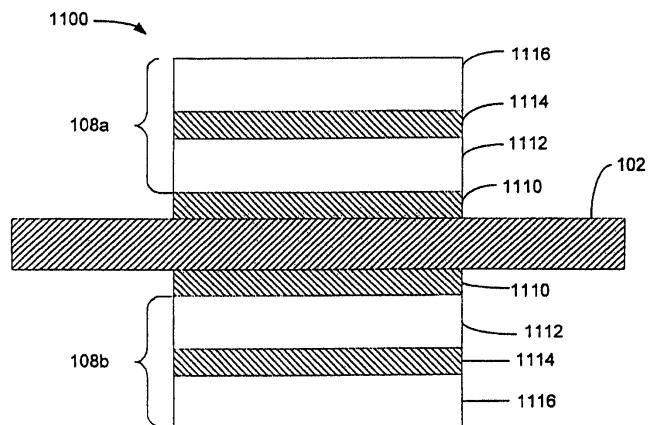
도면9



도면10



도면11



도면12

