(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3701832号

(P3701832)

(45)発行日　平成17年10月5日(2005.10.5)　(24)登録日　平成17年7月22日(2005.7.22)

(51)Int.Cl.[7]　F I

H01L 29/786　H01L 29/78　612C

G02F 1/1368　G02F 1/1368

H01L 29/78　616T

請求項の数 10　(全 16 頁)

(21)出願番号　特願2000-28357(P2000-28357)

(22)出願日　平成12年2月4日(2000.2.4)

(65)公開番号　特開2001-217427(P2001-217427A)

(43)公開日　平成13年8月10日(2001.8.10)

審査請求日　平成12年4月12日(2000.4.12)

審判番号　不服2003-8096(P2003-8096/J1)

審判請求日　平成15年5月8日(2003.5.8)

(73)特許権者　390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

ＩＮＴＥＲＮＡＴＩＯＮＡＬ　ＢＵＳＩＮＥＳＳ　ＭＡＳＣＨＩＮＥＳ　ＣＯＲＰＯＲＡＴＩＯＮ

アメリカ合衆国１０５０４　ニューヨーク州　アーモンク　ニュー　オーチャード　ロード

(74)代理人　100086243

弁理士　坂口　博

(74)代理人　100091568

弁理士　市位　嘉宏

最終頁に続く

(54)【発明の名称】薄膜トランジスタ、液晶表示パネル、および薄膜トランジスタの製造方法

(57)【特許請求の範囲】

【請求項１】

絶縁基板の上方に、複数の薄膜トランジスタ形成領域にわたって連続して設けられるゲート線と、

前記ゲート線からそれぞれの前記薄膜トランジスタ形成領域に向かって、前記ゲート線の敷設方向と略直交する方向に突出するように、前記ゲート線と一体的に形成される複数のゲート電極と、

前記ゲート線および前記複数のゲート電極の表面または裏面に、ゲート絶縁膜を介して、前記ゲート線および前記複数のゲート電極のパターンよりも大きなパターンで一体的に形成される半導体層と、

それぞれの前記薄膜トランジスタ形成領域において、前記半導体層の前記ゲート電極が配置される側とは反対側に接して形成される画素電極と、

それぞれの前記薄膜トランジスタ形成領域において、前記半導体層の前記ゲート電極が配置される側とは反対側に接して形成されると共に、前記画素電極から所定の間隙を隔てて配設される信号電極とを有し、

それぞれの前記薄膜トランジスタ形成領域において、前記半導体層の前記画素電極と前記信号電極との間の領域に、前記ゲート電極によって制御されるチャネルが形成された薄膜トランジスタであって、

前記半導体層は、前記ゲート線および前記複数のゲート電極のパターンを取り囲むように、前記ゲート線および前記複数のゲート電極と重ならないフローティングアイランド領

域を備え、
それぞれの前記薄膜トランジスタの前記信号電極は、隣接する他の前記薄膜トランジスタの前記信号電極に繋がる信号線から、前記半導体層の前記ゲート線の表面または裏面に位置する部分を介して、それぞれの前記薄膜トランジスタの前記画素電極へと流れるクロストークを阻止するように、それぞれの前記薄膜トランジスタの前記ゲート電極の表面または裏面に位置する部分の半導体層と前記ゲート線の表面または裏面に位置する部分の半導体層との間を前記フローティングアイランド領域を含めた全域にわたって横切る位置に配設されて、前記フローティングアイランド領域と交差すると共に、それぞれの前記薄膜トランジスタの前記画素電極も前記フローティングアイランド領域と交差する部分を有し、
それぞれの前記薄膜トランジスタにおいて、前記チャネルのオン電流チャネル長に対し、前記フローティングアイランド領域の前記画素電極および前記信号電極がそれぞれ交差する部分の間の領域に形成されるオフ電流チャネル長が長くなるように構成されていることを特徴とする薄膜トランジスタ。
【請求項２】
前記オフ電流チャネル長が１８μｍ以上であることを特徴とする請求項１記載の薄膜トランジスタ。
【請求項３】
前記オン電流チャネル長が４μｍ以下であることを特徴とする請求項１または２記載の薄膜トランジスタ。
【請求項４】
前記ゲート電極による電圧がオフのときに前記画素電極および前記信号電極の間を流れるオフ電流が１×１０^{-12}[Ａ]未満であり、前記ゲート電極による電圧が２０Ｖ以上のときに前記画素電極および前記信号電極の間を流れるオン電流が１×１０^{-6}[Ａ]以上であることを特徴とする請求項１乃至３何れか１項記載の薄膜トランジスタ。
【請求項５】
前記フローティングアイランド領域を流れるオフ電流が１×１０^{-12}[Ａ]未満であることを特徴とする請求項１乃至４何れか１項記載の薄膜トランジスタ。
【請求項６】
ゲート線と信号線とがマトリックス状に配置され、その交点に薄膜トランジスタが配置されると共に、表示電極に電圧を加えて液晶を作動させる液晶表示パネルにおいて、
前記薄膜トランジスタは、
絶縁基板の上方に、複数の薄膜トランジスタ形成領域にわたって連続して設けられるゲート線と、
前記ゲート線からそれぞれの前記薄膜トランジスタ形成領域に向かって、前記ゲート線の敷設方向と略直交する方向に突出するように、前記ゲート線と一体的に形成される複数のゲート電極と、
前記ゲート線および前記複数のゲート電極の表面または裏面に、ゲート絶縁膜を介して、前記ゲート線および前記複数のゲート電極のパターンよりも大きなパターンで一体的に形成される半導体層と、
それぞれの前記薄膜トランジスタ形成領域において、前記半導体層の前記ゲート電極が配置される側とは反対側に接して形成される画素電極と、
それぞれの前記薄膜トランジスタ形成領域において、前記半導体層の前記ゲート電極が配置される側とは反対側に接して形成されると共に、前記画素電極から所定の間隙を隔てて配設される信号電極とを有し、
それぞれの前記薄膜トランジスタ形成領域において、前記半導体層の前記画素電極と前記信号電極との間の領域に、前記ゲート電極によって制御されるチャネルが形成された薄膜トランジスタであって、
前記半導体層は、前記ゲート線および前記複数のゲート電極のパターンを取り囲むように、前記ゲート線および前記複数のゲート電極と重ならないフローティングアイランド領

域を備え、
それぞれの前記薄膜トランジスタの前記信号電極は、隣接する他の前記薄膜トランジスタの前記信号電極に繋がる信号線から、前記半導体層の前記ゲート線の表面または裏面に位置する部分を介して、それぞれの前記薄膜トランジスタの前記画素電極へと流れるクロストークを阻止するように、それぞれの前記薄膜トランジスタの前記ゲート電極の表面または裏面に位置する部分の半導体層と前記ゲート線の表面または裏面に位置する部分の半導体層との間を前記フローティングアイランド領域を含めた全域にわたって横切る位置に配設されて、前記フローティングアイランド領域と交差すると共に、それぞれの前記薄膜トランジスタの前記画素電極も前記フローティングアイランド領域と交差する部分を有し、
それぞれの前記薄膜トランジスタにおいて、前記チャネルのオン電流チャネル長に対し、前記フローティングアイランド領域の前記画素電極および前記信号電極がそれぞれ交差する部分の間の領域に形成されるオフ電流チャネル長が長くなるように構成されていることを特徴とする液晶表示パネル。
【請求項７】
前記薄膜トランジスタの前記オフ電流チャネル長が１８μm以上となるように構成されていることを特徴とする請求項６記載の液晶表示パネル。
【請求項８】
前記薄膜トランジスタの前記オン電流チャネル長が４μm以下となるように構成されていることを特徴とする請求項６または７記載の液晶表示パネル。
【請求項９】
絶縁基板上に遮光膜を着膜する遮光膜着膜工程と、
前記遮光膜を覆うように前記絶縁基板上に絶縁膜を形成する絶縁膜形成工程と、
形成された前記絶縁膜上に、画素電極・信号電極、および前記信号電極に繋がる信号線を形成する画素・信号電極形成工程と、
前記画素電極および前記信号電極の上方に、半導体層およびゲート絶縁膜層を順次成膜する半導体・絶縁膜層成膜工程と、
前記ゲート絶縁膜層上に、ゲート線およびゲート電極用の金属膜を着膜するゲート電極着膜工程と、
着膜された前記ゲート線および前記ゲート電極用の金属膜の上方にレジストマスクを設けると共に、前記レジストマスクを用いて複数の薄膜トランジスタ形成領域にわたって連続して設けられるゲート線と、前記ゲート線からそれぞれの前記薄膜トランジスタ形成領域に向かって、前記ゲート線の敷設方向と略直交する方向に突出するように、前記ゲート線と一体的に形成される複数のゲート電極とをパターニングするゲート電極パターニング工程と、
前記レジストマスクを用いて前記半導体層および前記ゲート絶縁膜層をパターニングすると共に、前記ゲート線および前記ゲート電極の周辺に前記ゲート電極を上方に有しないフローティングアイランド領域を形成する半導体層パターニング工程と、
前記レジストマスクを剥離する工程と、を含み、
前記画素・信号電極形成工程は、前記半導体層の前記画素電極と前記信号電極との間の領域に、前記ゲート電極によって制御されるチャネルが形成され、隣接する他の前記薄膜トランジスタの前記信号電極に繋がる信号線から、前記半導体層の前記ゲート線の裏面に位置する部分を介して、それぞれの前記薄膜トランジスタの前記画素電極へと流れるクロストークを阻止するように、それぞれの前記薄膜トランジスタの前記ゲート電極の裏面に位置する部分の半導体層と前記ゲート線の裏面に位置する部分の半導体層との間を前記フローティングアイランド領域を含めた全域にわたって横切る位置に配設されて、前記フローティングアイランド領域と交差すると共に、それぞれの前記薄膜トランジスタの前記画素電極も前記フローティングアイランド領域と交差する部分を有し、それぞれの前記薄膜トランジスタにおいて、前記チャネルのオン電流チャネル長に対し、前記フローティングアイランド領域の前記画素電極および前記信号電極がそれぞれ交差する部分の間の領域に

形成されるオフ電流チャネル長が長くなるように、前記画素電極および前記信号電極を形成することを特徴とする薄膜トランジスタの製造方法。
【請求項１０】
前記ゲート電極パターニング工程は、前記ゲート電極用の金属膜を前記レジストマスクに対してオーバーエッチングして前記ゲート電極をパターニングすることを特徴とする請求項９記載の薄膜トランジスタの製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、アクティブマトリックス方式の液晶ディスプレイ等に用いられる薄膜トランジスタ及びこの薄膜トランジスタの製造方法に関する。
【０００２】
【従来の技術】
薄膜トランジスタを用いたアクティブマトリックス方式の液晶ディスプレイ装置は、ゲート線(Ｙ電極)と信号線(Ｘ電極)とをマトリックス状に配置し、その交点に薄膜トランジスタ(ＴＦＴ)が配置されたＴＦＴアレイ基板と、その基板と隙間を空けて重ねられる対向基板との間に液晶を封入し、液晶に与える電圧を薄膜トランジスタにより制御して、液晶の電気光学効果を用いて表示を可能としている。
【０００３】
ここで、図７(ａ)、(ｂ)は、トップゲート型の薄膜トランジスタ構造を説明するための図である。薄膜トランジスタの構造としては、従来、トップゲート型(正スタガ型)と、ボトムゲート型(逆スタガ型)の構造が知られている。図７(ａ)を用いてトップゲート型の薄膜トランジスタ構造を説明すると、トップゲート型の薄膜トランジスタは、ガラス基板等の絶縁基板１０１上に遮光膜１０２が備えられ、その上に酸化シリコンＳｉＯｘや窒化シリコンＳｉＮｘ等からなる絶縁膜１０３が設けられている。その上にＩＴＯ(インジウム・スズ酸化物)膜によるドレイン電極１０４とソース電極１０５がチャネル間隔を空けて備えられ、その両電極上を覆う、半導体層としてのアモルファスシリコン膜(ａ-Ｓｉ膜)１０６と、その上にＳｉＯｘやＳｉＮｘ等からなるゲート絶縁膜１０７、その上にゲート電極１０８が設けられて、ａ-Ｓｉアイランドと呼ばれる島状の領域が形成されている。
【０００４】
この薄膜トランジスタを製造する工程として、所謂７ＰＥＰ(ＰＥＰ：Photo Engraving Process：写真蝕刻工程)構造が一般的に存在する。この７ＰＥＰ構造では、ＩＴＯ膜のドレイン電極１０４及びソース電極１０５をパターニングした後、ａ-Ｓｉ膜１０６をＣＶＤ(Chemical Vapour Deposition：化学的気相成長) 技術で着膜し、島状にパターニングする。その後、ゲート絶縁膜１０７をＣＶＤ技術にて着膜し、所定の形状にパターニングしている。またその後、ゲート電極１０８としての例えばアルミニウム(Ａｌ)をスパッタリングで着膜し、パターニングすることでＴＦＴを完成させている。
【０００５】
しかしながら、この７ＰＥＰ構造では工程数が複雑となるために、工程数を減らした次世代４ＰＥＰ構造の提案がなされている。この４ＰＥＰ構造は、ゲート電極１０８の下にあるゲート絶縁膜１０７及びａ-Ｓｉ膜１０６を一度にエッチングするものである。即ち、ゲート電極１０８のメッキパターンをマスクとして１回のパターニング工程で、ゲート電極１０８、ゲート絶縁膜１０７及びａ-Ｓｉ膜１０６を連続してエッチングするものであり、製造プロセスを短縮できるといった点で非常に優れている。図７(ａ)は、この製造プロセス短縮によって得られたトップゲート型の薄膜トランジスタである。
【０００６】
ここで、上述のように、ゲート電極１０８、ゲート絶縁膜１０７及びａ-Ｓｉ膜１０６を連続してエッチングし、そのままの状態とすると、図７(ａ)に示すように、ゲート電極１０８の端部とソース電極１０５およびドレイン電極１０４との間隔が非常に短くなる。即ち、これらの間隔は高々０.４μｍ程度であり、ゲート電極１０８の端部とソース電極１

０５およびドレイン電極１０４との間で表面リークによるショートが発生してしまう。
【０００７】
図７(ｂ)では、ゲート電極１０８をオーバーエッチングして、この問題点に対処している。即ち、ゲート電極１０８をパターニングするときにオーバーエッチングすることで、図７(ｂ)に示すような約１.５μｍの長さを確保し、ソース電極１０５およびドレイン電極１０４に対して１.９μｍ(約２μｍ)の間隔を空けることで、表面リークによるショートを防止している。
【０００８】
尚、出願人は、この製造プロセス短縮に関わる技術として、特願平１１－２１４６０３号を既に提示している。この出願では、薄膜トランジスタの製造工程における必要な工程数を減らすと共に、他のデータ線からのリーク電流による異常電位の発生を防止する技術について示している。
【０００９】
【発明が解決しようとする課題】
このように、トップゲート型ＴＦＴのゲート電極１０８形成時にゲート線をオーバーエッチングし、更にゲート電極１０８形成用のレジストマスク(図示せず)を用いてアイランドカット(ゲート絶縁膜１０７、ａ-Ｓｉ膜１０６層のエッチング)を行うことで、工程の簡略化と共に、表面リークによるショートの防止を図ることが可能となる。
しかしながら、この手法を用いた場合、ａ-Ｓｉ膜１０６とゲート絶縁膜１０７が露出し、ゲート電極１０８に覆われていないアイランド部分(フローティングアイランド部分)でリークが発生することを発明者らは発見するに至った。
【００１０】
図８は、このフローティングアイランド部分の形成された状態を説明するための図である。図８では、ソース電極１１１とドレイン電極１１２とが所定の間隔を隔て、且つ互いに略平行となるように配設されており、ゲート電極１１０と直交してキの字型構造のＴＦＴを形成している。このキの字型構造のＴＦＴは、隣接するデータ線(図示せず)からの余計な電流(クロストーク)をゲート電極１１０をまたがるドレイン電極１１２によって防止でき、また、アライメントずれの影響を最小限に留めることができるものとして、前述の特願平１１－２１４６０３号にて詳述したものである。
【００１１】
ここで、ゲート電極１１０の外周領域であってａ-Ｓｉ膜１０６とゲート絶縁膜１０７が露出する部分がフローティングアイランド部分１０９である。通常のａ-Ｓｉでは上下に電極が設けられているが、このフローティングアイランド部分１０９を構成する半導体層としてのａ-Ｓｉ膜１０６は、ゲート電極１１０が上下に存在しておらず、ａ-Ｓｉの用い方としては特異なものである。そのため、このフローティングアイランド部分１０９では電圧がコントロールされていない状態にある。即ち、このフローティングアイランド部分１０９はゲート電極１１０に覆われておらず、端に行くにしたがってゲート電極１１０によるゲートの電圧で押さえきれない状態にある。ＯＢＩＣ(Optically Beam Induced Current)分析法を用いてリークパスを確認すると、フローティングアイランド部分１０９の中でソース電極１１１とドレイン電極１１２との間にあってゲート電極１１０が上下に存在しない部分、即ち、図８に示す斜線部分で、ソース電極１１１とドレイン電極１１２との間の電圧によるリークが発生することが明らかになった。この斜線部分であるリーク箇所にてリークが発生すると、ソース電極１１１とドレイン電極１１２との間で電圧をコントロールすることができず、異常電位の発生によって画素の色が変わる等の問題が生じていた。
【００１２】
図９は、図８に示したタイプ(キの字型ＴＦＴ)の電流電圧特性を示すグラフである。横軸はゲート電圧(Ｖｇ)を示しており、例えば－５Ｖ～－７Ｖ近辺はゲート電極１１０がオフ(ＯＦＦ)の状態を示している。縦軸はソース・ドレイン電流(Ｉｄｓ)を示している。また、Ｌはソース電極１１１およびドレイン電極１１２の間の長さを示している。この図９か

ら明らかなように、Ｌが大きくなると急激にオフ電流(ゲート電極１１０がオフの時の電流)が減少することが判る。これは、図８に示す斜線部分のソース・ドレイン間の長さＬであるＬ$_{OFF}$および幅ΔＷの関係から、Ｌ$_{OFF}$/ΔＷが大きくなるにつれて、フローティングア
イランド部分１０９にかかる電圧がソース・ドレイン電圧支配からゲート電圧支配に変わることが理由である。そのために、Ｌ(Ｌ$_{OFF}$)を長くすることによって、フローティングアイランド部分１０９に存在するａ-Ｓｉは、ソース電極１１１およびドレイン電極１１２の電圧の影響を受けなくなり、ゲート電極１１０の電圧支配を大きく受けて、リーク電流を減少させることが可能となる。

【００１３】

しかし、その一方で、実際のＴＦＴ動作をする領域におけるソース電極１１１およびドレイン電極１１２の間の長さをＬ$_{ON}$とすると、実際のＴＦＴ動作をするために必要なオン(ＯＮ)電流Ｉ$_{ON}$は、Ｌ$_{ON}$が増加すると逆に反比例して減少する傾向にある。オン電流(Ｉ$_{ON}$)の値(例えば、図９におけるゲート電圧(Ｖｇ)が２０～２５Ｖ近辺の電流値)は、大きいほど好ましいことから、オン電流(Ｉ$_{ON}$)の観点からは、Ｌ(Ｌ$_{ON}$)を短くすることが望ましいのである。

【００１４】

本発明は、以上の技術的課題を解決するためになされたものであって、その目的とするところは、薄膜トランジスタに形成されるフローティングアイランド部分のリーク電流を低減すると共に、ＴＦＴ動作に必要なオン電流を高く保つことにある。

【００１５】

【課題を解決するための手段】

そのために、本発明が適用される薄膜トランジスタは、絶縁基板の上方に、複数の薄膜トランジスタ形成領域にわたって連続して設けられるゲート線と、このゲート線からそれぞれの薄膜トランジスタ形成領域に向かって、ゲート線の敷設方向と略直交する方向に突出するように、ゲート線と一体的に形成される複数のゲート電極と、ゲート線および複数のゲート電極の表面または裏面に、ゲート絶縁膜を介して、ゲート線および複数のゲート電極のパターンよりも大きなパターンで一体的に形成される半導体層と、それぞれの薄膜トランジスタ形成領域において、半導体層のゲート電極が配置される側とは反対側に接して形成される画素電極と、それぞれの薄膜トランジスタ形成領域において、半導体層のゲート電極が配置される側とは反対側に接して形成されると共に、画素電極から所定の間隙を隔てて配設される信号電極とを有し、それぞれの薄膜トランジスタ形成領域において、半導体層の画素電極と信号電極との間の領域に、ゲート電極によって制御されるチャネルが形成された薄膜トランジスタであって、半導体層は、ゲート線および複数のゲート電極のパターンを取り囲むように、ゲート線および複数のゲート電極と重ならないフローティングアイランド領域を備え、それぞれの薄膜トランジスタの信号電極は、隣接する他の薄膜トランジスタの信号電極に繋がる信号線から、半導体層のゲート線の表面または裏面に位置する部分を介して、それぞれの薄膜トランジスタの画素電極へと流れるクロストークを阻止するように、それぞれの薄膜トランジスタのゲート電極の表面または裏面に位置する部分の半導体層とゲート線の表面または裏面に位置する部分の半導体層との間をフローティングアイランド領域を含めた全域にわたって横切る位置に配設されて、フローティングアイランド領域と交差すると共に、それぞれの薄膜トランジスタの画素電極もフローティングアイランド領域と交差する部分を有し、それぞれの薄膜トランジスタにおいて、チャネルのオン電流チャネル長に対し、フローティングアイランド領域の画素電極および信号電極がそれぞれ交差する部分の間の領域に形成されるオフ電流チャネル長が長くなるように構成されていることを特徴としている。

【００１６】

また、本発明が適用される薄膜トランジスタは、絶縁基板の上方に所定の間隙を隔てて配設されたソース電極およびドレイン電極と、このソース電極およびドレイン電極に対して配設された半導体層と、この半導体層に重ねられたゲート絶縁膜と、このゲート絶縁膜に

重ねられたゲート電極とを有し、半導体層は、ゲート電極の上下に位置しないフローティングアイランド領域を備え、ソース電極およびドレイン電極は、フローティングアイランド領域におけるソース電極およびドレイン電極によって形成されるチャネル長が１８μｍ以上となるように構成されていることを特徴としている。
更に、ソース電極およびドレイン電極は、ゲート電極の上下に位置するチャネル長が４μｍ以下となるように構成されていることを特徴とすることができる。これらのように構成すれば、フローティングアイランド領域に起因するリーク電流を抑制できると共に、充分なオン電流を確保することができる点で好ましい。

【００１７】

また、本発明が適用される薄膜トランジスタは、絶縁基板の上方に設けられると共に、所定のパターンにて形成されるゲート電極と、このゲート電極のパターニングと略同一のパターンにて形成される半導体層と、この半導体層を介して形成されるソース電極と、この半導体層を介して形成されると共に、ソース電極から所定の間隙を隔てて配設されるドレイン電極とを有し、ソース電極およびドレイン電極は、ゲート電極による電圧がオフのときにソース電極およびドレイン電極の間を流れるオフ電流が1×10^{-12}[Ａ]未満であり、ゲート電極による電圧が２０Ｖ以上のときにソース電極およびドレイン電極の間を流れるオン電流が1×10^{-6}[Ａ]以上となるように構成されていることを特徴としている。

【００１８】

更に、この半導体層は、ゲート電極の周辺であってこのゲート電極の上下に位置しないフローティングアイランド領域を備えると共に、ソース電極およびドレイン電極は、フローティングアイランド領域を流れるオフ電流が1×10^{-12}[Ａ]未満となるように構成されていることを特徴としている。
更にまた、ソース電極およびドレイン電極は、フローティングアイランド領域におけるソース電極およびドレイン電極の位置関係と、ゲート電極の上下に位置するソース電極およびドレイン電極の位置関係とに基づいて、オフ電流が1×10^{-12}[Ａ]未満、オン電流が1×10^{-6}[Ａ]以上となるように構成されていることを特徴とすれば、ソース電極およびドレイン電極の平面形状によってフローティングアイランド領域に起因するリーク電流の抑制と高いＴＦＴ特性とを確保することが可能となる。

【００１９】

尚、これらの発明では、絶縁基板の「上方」に画素電極(ソース電極)と信号電極(ドレイン電極)が形成されていれば足り、絶縁基板側にこれらの電極が設けられ、ゲート電極がその上方にある所謂トップゲート型ＴＦＴや、絶縁基板側にゲート電極が設けられ、その上方に画素電極(ソース電極)と信号電極(ドレイン電極)が形成される所謂ボトムゲート型ＴＦＴの、何れにも適用することができる。また、「重ねられた」の表現は、上に重ねるものだけではなく、下に重ねるものも含まれ、また、必ずしも接触していることを要件とはせず、他の部材が間に入って重ねられる構成であっても構わない。

【００２０】

一方、本発明は、ゲート線と信号線とがマトリックス状に配置され、その交点に薄膜トランジスタが配置されると共に、表示電極に電圧を加えて液晶を作動させる液晶表示パネルにおいて、この薄膜トランジスタは、絶縁基板の上方に、複数の薄膜トランジスタ形成領域にわたって連続して設けられるゲート線と、このゲート線からそれぞれの薄膜トランジスタ形成領域に向かって、ゲート線の敷設方向と略直交する方向に突出するように、このゲート線と一体的に形成される複数のゲート電極と、ゲート線および複数のゲート電極の表面または裏面に、ゲート絶縁膜を介して、ゲート線および複数のゲート電極のパターンよりも大きなパターンで一体的に形成される半導体層と、それぞれの薄膜トランジスタ形成領域において、半導体層のゲート電極が配置される側とは反対側に接して形成される画素電極と、それぞれの薄膜トランジスタ形成領域において、半導体層のゲート電極が配置される側とは反対側に接して形成されると共に、この画素電極から所定の間隙を隔てて配設される信号電極とを有し、それぞれの薄膜トランジスタ形成領域において、半導体層の画素電極と信号電極との間の領域に、ゲート電極によって制御されるチャネルが形成さ

れた薄膜トランジスタであって、半導体層は、ゲート線および複数のゲート電極のパターンを取り囲むように、ゲート線および複数のゲート電極と重ならないフローティングアイランド領域を備え、それぞれの薄膜トランジスタの信号電極は、隣接する他の薄膜トランジスタの信号電極に繋がる信号線から、半導体層のゲート線の表面または裏面に位置する部分を介して、それぞれの薄膜トランジスタの画素電極へと流れるクロストークを阻止するように、それぞれの薄膜トランジスタのゲート電極の表面または裏面に位置する部分の半導体層とゲート線の表面または裏面に位置する部分の半導体層との間をフローティングアイランド領域を含めた全域にわたって横切る位置に配設されて、フローティングアイランド領域と交差すると共に、それぞれの薄膜トランジスタの画素電極もフローティングアイランド領域と交差する部分を有し、それぞれの薄膜トランジスタにおいて、チャネルのオン電流チャネル長に対し、フローティングアイランド領域の画素電極および信号電極がそれぞれ交差する部分の間の領域に形成されるオフ電流チャネル長が長くなるように構成されていることを特徴としている。

【００２１】

また、このドレイン電極は、ゲート電極の上下に位置しない領域におけるチャネル長を１８μｍ以上となるように構成されていることを特徴とすれば、ゲート電圧がオフのときでもゲート電極の支配を増して、ゲート電極の上下に位置しない領域に起因するリーク電流を減らすことができる点で好ましい。

更に、このドレイン電極は、ゲート電極の上下に位置するチャネル長を４μｍ以下となるように構成されていることを特徴とすれば、リーク電流の低減を図った場合でも必要なＴＦＴ特性を維持することができる点で優れている。

また更に、ドレイン電極は、ゲート線から薄膜トランジスタの領域を分断するように構成されていることを特徴とすれば、隣接する信号線からのクロストークによる異常電位の発生を併せて抑止できる点で好ましい。

【００２２】

一方、本発明が適用された薄膜トランジスタの製造方法は、絶縁基板上に遮光膜を着膜する遮光膜着膜工程と、この遮光膜を覆うように絶縁基板上に絶縁膜を形成する絶縁膜形成工程と、形成された絶縁膜上に、画素電極・信号電極、および信号電極に繋がる信号線を形成する画素・信号電極形成工程と、画素電極および信号電極の上方に、半導体層およびゲート絶縁膜層を順次成膜する半導体・絶縁膜層成膜工程と、ゲート絶縁膜層上に、ゲート線およびゲート電極用の金属膜を着膜するゲート電極着膜工程と、着膜されたゲート線およびゲート電極用の金属膜の上方にレジストマスクを設けると共に、レジストマスクを用いて複数の薄膜トランジスタ形成領域にわたって連続して設けられるゲート線と、ゲート線からそれぞれの薄膜トランジスタ形成領域に向かって、ゲート線の敷設方向と略直交する方向に突出するように、ゲート線と一体的に形成される複数のゲート電極とをパターニングするゲート電極パターニング工程と、レジストマスクを用いて半導体層およびゲート絶縁膜層をパターニングすると共に、ゲート線およびゲート電極の周辺にゲート電極を上方に有しないフローティングアイランド領域を形成する半導体層パターニング工程と、レジストマスクを剥離する工程と、を含み、画素・信号電極形成工程は、半導体層の画素電極と信号電極との間の領域に、ゲート電極によって制御されるチャネルが形成され、隣接する他の薄膜トランジスタの信号電極に繋がる信号線から、半導体層のゲート線の裏面に位置する部分を介して、それぞれの薄膜トランジスタの画素電極へと流れるクロストークを阻止するように、それぞれの薄膜トランジスタのゲート電極の裏面に位置する部分の半導体層とゲート線の裏面に位置する部分の半導体層との間をフローティングアイランド領域を含めた全域にわたって横切る位置に配設されて、フローティングアイランド領域と交差すると共に、それぞれの薄膜トランジスタの画素電極もフローティングアイランド領域と交差する部分を有し、それぞれの薄膜トランジスタにおいて、チャネルのオン電流チャネル長に対し、フローティングアイランド領域の画素電極および信号電極がそれぞれ交差する部分の間の領域に形成されるオフ電流チャネル長が長くなるように、画素電極および信号電極を形成することを特徴としている。

また、このゲート電極パターニング工程は、ゲート電極用の金属膜をレジストマスクに対してオーバーエッチングしてゲート電極をパターニングすることを特徴としている。

【００２３】

【発明の実施の形態】

以下、添付図面に示す実施の形態に基づいてこの発明を詳細に説明する。

図１は、本実施の形態における薄膜トランジスタ(ＴＦＴ)構造を示す平面図である。また、図２は、図１におけるＡＡ'断面を示した図である。尚、技術的理解を容易にするために、図１における符号１４、１５、２１ａ、２１ｂの構造を最上段に太線で示しており、図１の上下関係は実際のものとは異なる。

【００２４】

本実施の形態におけるＴＦＴは、図２に示すように、無アルカリガラスや石英等の絶縁基板１１上に、ＭｏやＭｏＣｒ等のＭｏ合金からなる遮光膜(ライトシールド)１２が設けられ、その上部を覆うように酸化シリコンＳｉＯｘや窒化シリコンＳｉＮｘ等からなるアンダーコート層としての絶縁膜１３が備えられている。その上に、透明導電膜であるインジウム・スズ酸化物(ＩＴＯ)からなる表示電極１９が形成され、更にこの表示電極１９と一体的に形成され、ＩＴＯ膜の上層にＭｏやＴｉ，Ｔａ、Ｃｒ、Ｎｂ、Ｗ、Ａｇ等を用いたモリブデン・タングステン(Ｍｏ-Ｗ)合金等の金属膜が積層されてなるソース電極(画素電極)１４とドレイン電極(信号電極)１５がパターン形成されている。

また、このパターン形成されたソース電極１４とドレイン電極１５の上層には、半導体層を形成するａ-Ｓｉ膜１６が着膜され、更にその上層には第１の窒化シリコン膜(第１ＳｉＮｘ膜)、及びＴＦＴチャネルのパシベーション膜としての第２の窒化シリコン膜(第２ＳｉＮｘ膜)とで構成されるゲート絶縁膜１７が着膜されている。更にこのゲート絶縁膜１７の上層には、ＣｒやＡｌ等の金属からなるゲート電極１８が形成されている。

【００２５】

更に、図１に示すように、ソース電極１４とドレイン電極１５は所定の線幅で所定の間隔を隔てて配設されている。このドレイン電極１５は信号線(データ線)２１ａ,２１ｂと一体的にパターン形成され、また、このソース電極１４は表示電極１９と接するように形成されている。一方、ゲート電極１８はゲート線２０から突き出た部分によって構成され、ゲート電極１８をそのままゲート線２０として使用している。

また、本実施の形態におけるＴＦＴでは、工程短縮を目的として、後述するようにａ-Ｓｉ膜１６、第１ＳｉＮｘ膜及び第２ＳｉＮｘ膜からなるゲート絶縁膜１７を、ゲート線２０およびゲート電極１８のパターンをマスクとして一度にエッチングしている。その結果、図２に示すように、ゲート線２０の下部全ての部分に対してａ-Ｓｉ膜１６およびゲート絶縁膜１７が残った状態とり、ａ-Ｓｉアイランド以外であるゲート線２０の下に不要な半導体層が残存した状態となる。

【００２６】

更に、本実施の形態におけるＴＦＴでは、このゲート線２０から突き出た部分であるゲート電極１８に対して略直交する形でドレイン電極１５を配設して、薄膜トランジスタ(ＴＦＴ)の所謂ａ-Ｓｉアイランドを形成している。即ち、このドレイン電極１５は、図１に示すようにソース電極１４よりもゲート線２０に近い位置にてゲート電極１８に直交しており、ゲート線２０からａ-Ｓｉアイランドを形成するゲート電極１８を分断できるように構成されている。このために、例えば、信号線２１ａと一体化しているドレイン電極１５は、隣接する信号線２１ｂ等から周り込むクロストークを遮断することが可能であり、リーク電流が表示電極１９へ周り込むことを防止することができる。

【００２７】

また、本実施の形態におけるＴＦＴでは、ゲート電極１８の周りを約１.５μｍ程度の幅でオーバーエッチングし、表面リークによるショートを防止するように構成している。その結果、ゲート電極１８の周辺に、ゲート電極１８に覆われずにａ-Ｓｉ膜１６およびゲート絶縁膜１７が露出した、フローティングアイランド部分２２が形成されている。このフローティングアイランド部分２２は、ゲート電極１８の電圧で抑えきれない場合に、ド

レイン電極１５とソース電極１４との間の電圧によるリークによってオフ電流が発生するおそれがある。

【００２８】

前述した図９の実験結果によるグラフから、フローティングアイランド部分２２におけるソース・ドレイン間の長さ(チャネル長)L_{OFF}が１８.７μｍであれば、オフ電流は充分に小さくなっている。即ち、L_{OFF}が１８μｍ以上とすれば、ゲート電極１８による支配を大きくすることができ、リークであるオフ電流を減少することができる。また、実際のＴＦＴ動作をするために必要なオン電流I_{ON}は、ゲート電極１８に上下するソース・ドレイン間の長さ(チャネル長)L_{ON}を短くすることで高くすることができる。図９の実験結果によるグラフから、８.６μｍ程度の短さでもまだ充分ではなく、３.８μｍでは充分に高いオン電流を得ることができる。即ち、L_{ON}は４～５μｍ程度まで短くすることが好ましいことが理解できる。

【００２９】

この図９の実験結果を受けて、図１に示すＴＦＴでは、ソース電極１４の表示電極１９へ伸びる部分を、ドレイン電極１５と直交する上方向(ドレイン電極１５と反対方向)へ伸ばすように構成した。その結果、図１に示されるように、実際のＴＦＴ動作をする領域(ゲート電極１８の覆う範囲)におけるチャネル長(ドレイン電極１５とソース電極１４との間の距離)L_{ON}を非常に短くとることが可能となり、その一方で、オフ電流の発生に係わるフローティングアイランド部分２２のチャネル長L_{OFF}は、非常に長く確保することが可能となる。この図１によるＴＦＴの構造によれば、オンのチャネル長L_{ON}を４μｍ以下まで短くすることが可能であり、一方でオフのチャネル長L_{OFF}を１８μｍ以上、確保することが容易となる。即ち、オンのチャネル長L_{ON}とオフのチャネル長L_{OFF}とを独立に決定することができ、図８にて説明した$L_{OFF}/\Delta W$を大きくすることができる。その結果、図９の実験結果による、それぞれの良いところを取ることが可能となり、必要なオン電流を充分に確保すると共に、フローティングアイランド部分２２に起因するリーク電流を抑制することが可能となる。

【００３０】

また、フローティングアイランド部分２２におけるソース・ドレイン間を流れるオフ電流で、好ましいレベルは、図９に示す電流値ＩＥ－１２(1×10^{-12})[Ａ]未満であり、更に好ましくは、ＩＥ－１３(1×10^{-13})[Ａ]近傍である。また、ゲート電極１８の上下部分にある、本来のＴＦＴ構造下を流れるオン電流で、好ましいレベルは、ゲート電極１８による電圧が２０Ｖ以上のときに電流値ＩＥ－０６(1×10^{-6})[Ａ]以上である。この図１に示すＴＦＴの構造を言い換えれば、ソース電極１４とドレイン電極１５の平面構造を、かかるオン電流とオフ電流値を生じさせることができるように構成すれば良いと言える。

【００３１】

図３は、図１に示したＴＦＴ構造における電流電圧特性を示すグラフである。横軸はゲート電圧(Ｖｇ)を示し、縦軸はソース・ドレイン電流(Ｉｄｓ)を示している。この図３から明らかなように、ゲート電極１８がオフの状態である、例えばＶｇが－５Ｖ～－７Ｖ近辺では、ＩｄｓはＩＥ－１２(1×10^{-12})よりも小さく、充分に小さなオフ電流となっていることが解る。また、オンの状態として、例えばＶｇが１５～２０Ｖ近辺では、ＩｄｓはＩＥ－０６(1×10^{-6})を超えて高い電流値を得ることができる。このように、本実施の形態のＴＦＴを用いた場合には、補助容量を大きくせずに、保持特性に優れたＴＦＴを形成することが可能となり、高精細化した場合でも充分な開口率を保つことが可能となる。

【００３２】

図４および図５は、図１に示したＴＦＴ構造の変形例を示している。図４では、ドレイン電極１５をくし形状とし、ソース電極１４を、図の上方に向けて直線形状として、フローティングアイランド部分２２のチャネル長L_{OFF}を長くとり、ゲート電極１８の覆う範囲にあるオンのチャネル長L_{ON}を短くするように構成したものである。また、図５は、ソー

ス電極１４をゲート電極１８の突出に直交させ、ドレイン電極１５を複数箇所で屈折させて、フローティングアイランド部分２２のチャネル長L_{OFF}を長くとり、ゲート電極１８の覆う範囲にあるオンのチャネル長L_{ON}を短くするように構成したものである。この図４および図５に示したＴＦＴ構造によれば、図１と同様に、オンのチャネル長L_{ON}を４μｍ以下まで短くすることが可能であり、一方でオフのチャネル長L_{OFF}を１８μｍ以上、確保することが容易となる。その結果、必要なオン電流を充分に確保すると共に、フローティングアイランド部分２２に起因するリーク電流を抑制することが可能となる。

【００３３】

尚、この図４および図５に示したＴＦＴ構造も、図１に示したＴＦＴ構造と同様に、ドレイン電極１５は、ソース電極１４よりもゲート線２０に近い位置にてａ-Ｓｉアイランドを形成するゲート電極１８を分断できるように構成されている。このために、図１と同様、信号線２１ａと一体化しているドレイン電極１５は、隣接する信号線２１ｂ等から周り込むクロストークを遮断することが可能であり、リーク電流が表示電極１９へ周り込むことを防止することができる。

【００３４】

以上の説明では、トップゲート型の薄膜トランジスタ構造を例にとって説明したが、ボトムゲート型の構造においても同様に適用することが可能である。即ち、ボトムゲート型であっても、ソース電極とドレイン電極の間にあってゲート電極の上にない領域に、半導体層としてのａ-Ｓｉ膜が存在する構造(フローティングアイランド部分)を有するＴＦＴには、同様な問題点が発生する。そのために、ソース電極とドレイン電極との構造を上述のように適用することで、フローティングアイランド部分のチャネル長L_{OFF}を長くとり、ゲート電極の覆う範囲にあるオンのチャネル長L_{ON}を短くするように構成でき、必要なオン電流を充分に確保すると共に、フローティングアイランド部分に起因するリーク電流を抑制することが可能となる。

【００３５】

次に、本実施の形態における薄膜トランジスタ(ＴＦＴ)を製造する製造工程について、トップゲート型のＴＦＴを例にとり、図６(ａ)～(ｄ)を用いて説明する。

図６(ａ)に示すように、まず、ガラス基板等の絶縁基板１１をブラシ洗浄(スクラブ洗浄)等の機械的洗浄や、酸又は有機溶液等による科学的洗浄などを用いて洗浄した後、ライトシールド用のＭｏ合金をマグネトロンスパッタリングを用いて所定の膜圧にて着膜させ、図示しないフォトレジストをマスクとしてフォトエッチング加工するフォトリソグラフィ技術を用い、遮光膜(ライトシールド)１２を形成する。

【００３６】

続いて、図６(ｂ)に示すように、層間絶縁膜として、密着力の強い酸化シリコン膜(ＳｉＯｘ)からなる絶縁膜１３をプラズマＣＶＤ法により成膜する。更に、画素電極用ＩＴＯ膜を着膜し、パターニングにより表示電極１９を形成する。また、ドレイン・ソース電極用ＩＴＯとデータバスライン用のＭｏ合金の着膜をマグネトロンスパッタリングで連続成膜し、着膜後にデータバスライン及びドレイン・ソース電極をフォトリソグラフィ技術によりパターニングし、ソース電極１４、ドレイン電極１５を形成する。

【００３７】

次に、図６(ｃ)に示すように、半導体材料としてのａ-Ｓｉ膜１６をプラズマＣＶＤで着膜し、その後、第１ＳｉＮｘ膜及び第２ＳｉＮｘ膜からなるゲート絶縁膜１７をプラズマＣＶＤで順に着膜する。更に、これらのエッチングを省略してゲート電極１８用のＡｌ及びゲート線(図示せず)用のＡｌをマグネトロンスパッタリングで着膜させる。本実施の形態では、ａ-Ｓｉ膜１６、第１ＳｉＮｘ膜及び第２ＳｉＮｘ膜からなるゲート絶縁膜１７を着膜した後の単独によるエッチング工程を省略している。

【００３８】

続いて、図６(ｄ)に示すように、図示しないレジストマスクを形成した後、リソグラフィ技術を用いてゲート電極１８及びゲート線２０を形成する。ゲート電極１８は、オーバーエッチングをかけてレジストマスク(図示せず)により１.５μｍ程度内側に入った状態で

エッチングされる。更に、本実施の形態では、このレジストマスクをマスクとしてａ-Ｓｉ膜１６、ゲート絶縁膜１７を一度にエッチングしている。その結果、一回のリソグラフィ工程でこれらを連続してエッチングすることができるので、製造工程を大きく短縮することが可能である。このように工程を短縮した結果、本来、ＴＦＴとして必要なゲート電極１８の下層の他、ゲート線２０の下層にもａ-Ｓｉ膜１６およびゲート絶縁膜１７が除去できずに残った状態にてＴＦＴアレイが形成される。更に、ゲート電極１８がオーバーエッチングされており、ソース電極１４およびドレイン電極１５の間にあってゲート電極１８の下にない部分にａ-Ｓｉ膜１６およびゲート絶縁膜１７が存在し、所謂フローティングアイランド部分が形成される。その後、レジストマスクが剥離される。

【００３９】

ここで、図６(ｂ)の工程では、ソース電極１４とドレイン電極１５は、所定の線幅で所定の間隔を隔てて形成されると共に、ドレイン電極１５によってゲート電極１８の根元をまたぐことができるようにパターニングされている。また、この工程でパターニングされるソース電極１４とドレイン電極１５は、ゲート電極１８が覆われる範囲でチャネル長が４μｍ以下まで近接し、ゲート電極１８に覆われていないフローティングアイランド部分にてチャネル長が１８μｍ以上となるように構成されている。また、言い換えれば、フローティングアイランド部分にてソース・ドレイン間を流れるオフ電流が電流値ＩＥ－１２(１×１０$^{-12}$)[Ａ]未満となり、ゲート電極１８の上下部分である本来のＴＦＴ構造下を流れるオン電流が、ゲート電極１８による電圧が２０Ｖ以上のときに電流値ＩＥ－０６(１×１０$^{-6}$)[Ａ]以上となるように、ソース電極１４とドレイン電極１５の形状が決定されてパターニングされている。

以上のようなＴＦＴの製造工程によれば、ＴＦＴ製造工程における必要な工程数を減らすことが可能になると共に、工程数削減に伴う、隣接するデータ線からのクロストークによる電位の鈍りを防止することができる。更に、工程数を削減した場合であっても、必要なオン電流を充分に確保すると共にフローティングアイランド部分に起因するリーク電流を抑制できるＴＦＴを提供することができる。

【００４０】

【発明の効果】

以上説明したように、本発明によれば、薄膜トランジスタに形成されるフローティングアイランド部分のリーク電流を低減すると共に、ＴＦＴ動作に必要なオン電流を高く保つことができる。

【図面の簡単な説明】

【図１】　本実施の形態における薄膜トランジスタ(ＴＦＴ)構造を示す平面図である。

【図２】　図１におけるＡＡ'断面を示した図である。

【図３】　図１に示したＴＦＴ構造における電流電圧特性を示すグラフである。

【図４】　図１に示したＴＦＴ構造の変形例を示した図である。

【図５】　図１に示したＴＦＴ構造の変形例を示した図である。

【図６】　(ａ)～(ｄ)は、本実施の形態における薄膜トランジスタ(ＴＦＴ)を製造する製造工程を説明するための図である。

【図７】　(ａ)、(ｂ)は、トップゲート型の薄膜トランジスタ構造を説明するための図である。

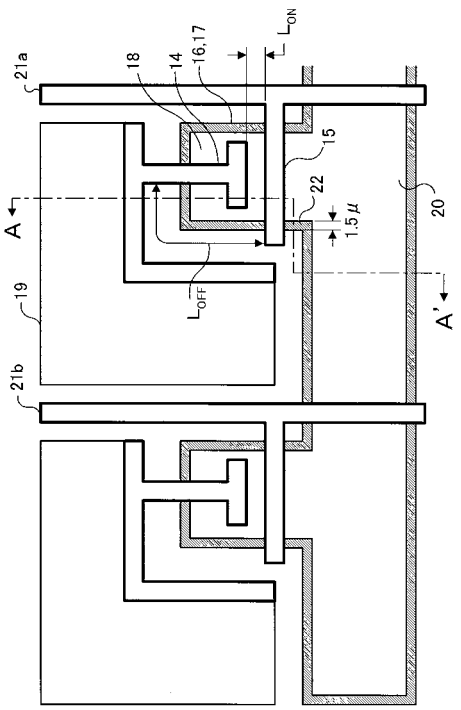
【図８】　フローティングアイランド部分の形成された状態を説明するための図である。

【図９】　図８に示したタイプ(キの字型ＴＦＴ)の電流電圧特性を示すグラフである。

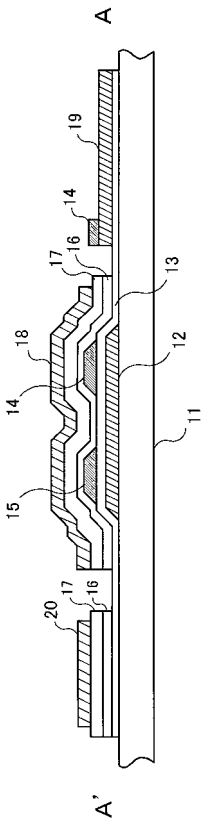
【符号の説明】

１１…絶縁基板、１２…遮光膜(ライトシールド)、１３…絶縁膜、１４…ソース電極(画素電極)、１５…ドレイン電極(信号電極)、１６…ａ-Ｓｉ膜、１７…ゲート絶縁膜、１８…ゲート電極、１９…表示電極、２０…ゲート線、２１ａ，２１ｂ…信号線(データ線)、２２…フローティングアイランド部分

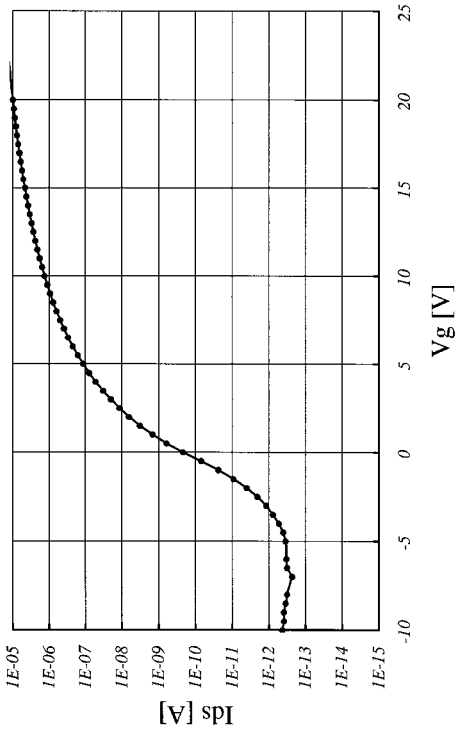
【図１】


21a
18
14
16,17
L_{ON}
15
22
1.5μ
20
A
A'
19
L_{OFF}
21b

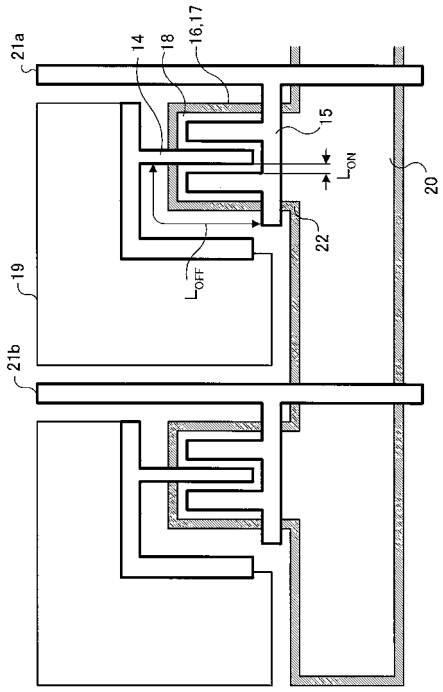
【図２】


A
19
14
17
16
13
18
12
14
11
15
20
17
16
A'

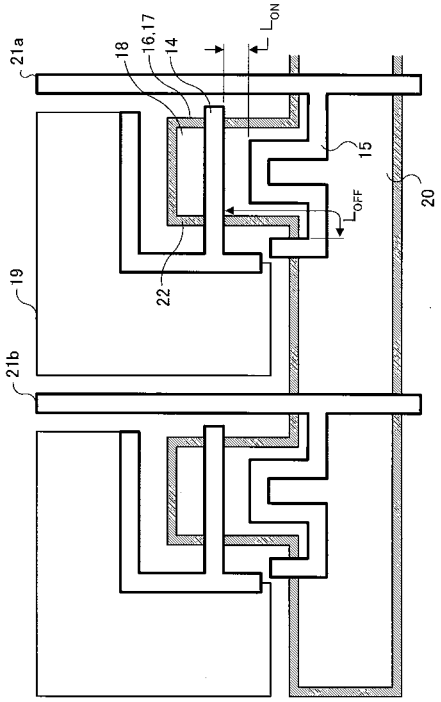
【図３】


25
20
15
10
5
0
-5
-10
Vg [V]
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
1E-14
1E-15
Ids [A]

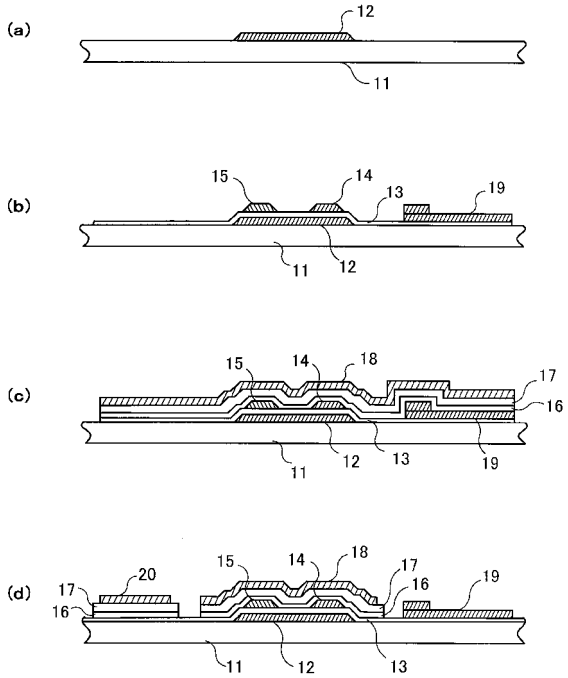
【図４】


21a
14
18
16,17
15
L_{ON}
20
22
19
L_{OFF}
21b

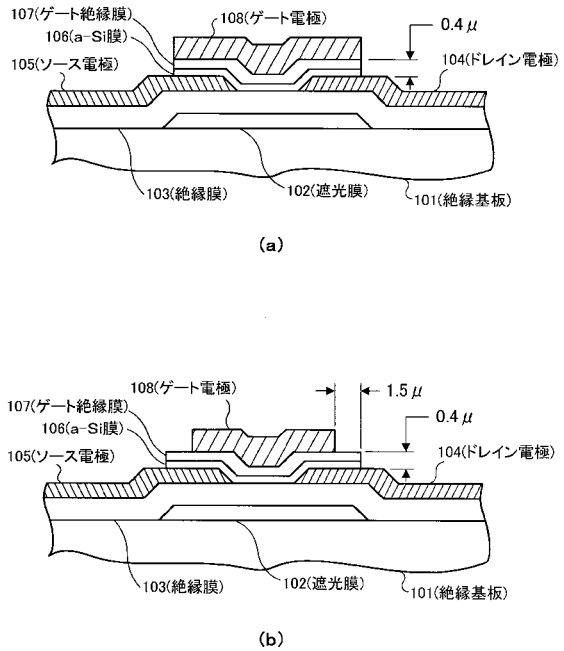
【図５】


21a
18
16,17
14
L_{ON}
15
20
L_{OFF}
22
19
21b

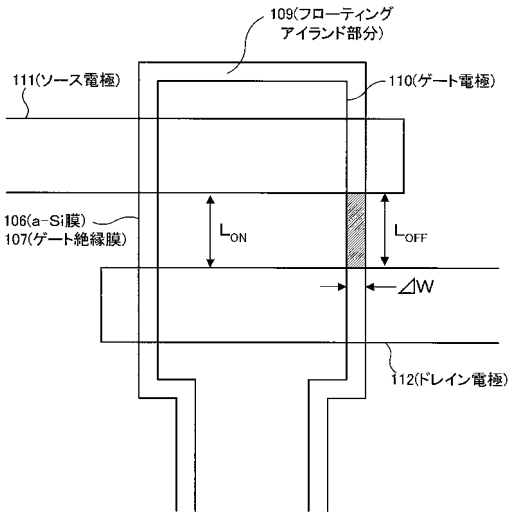
【図６】


(a)
12
11
(b)
15
14
13
19
11
12
(c)
15
14
18
17
16
11
12
13
19
(d)
20
15
14
18
17
16
19
17
16
11
12
13

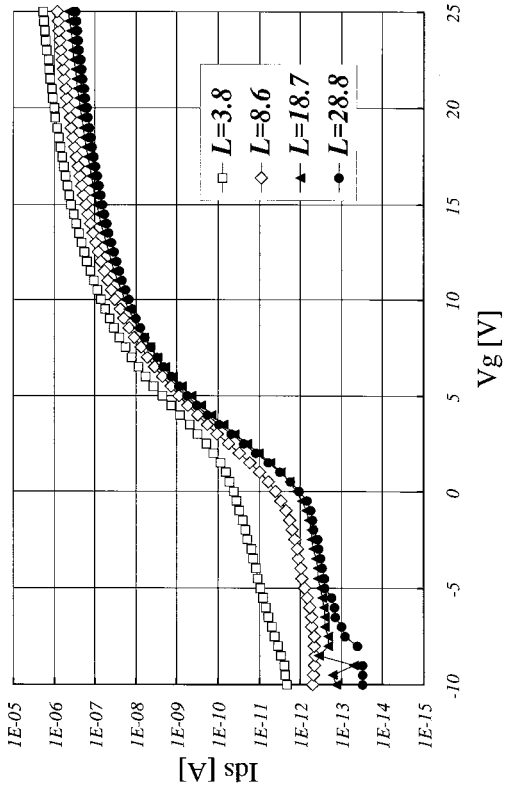
【図７】


107(ゲート絶縁膜)
106(a-Si膜)
105(ソース電極)
108(ゲート電極)
0.4 μ
104(ドレイン電極)
103(絶縁膜)
102(遮光膜)
101(絶縁基板)
(a)
108(ゲート電極)
1.5 μ
107(ゲート絶縁膜)
0.4 μ
106(a-Si膜)
105(ソース電極)
104(ドレイン電極)
103(絶縁膜)
102(遮光膜)
101(絶縁基板)
(b)

【図８】


109(フローティング
アイランド部分)
111(ソース電極)
110(ゲート電極)
106(a-Si膜)
107(ゲート絶縁膜)
L_{ON}
L_{OFF}
W
112(ドレイン電極)

【図９】


L=3.8
L=8.6
L=18.7
L=28.8
Vg [V]
Ids [A]
25
20
15
10
5
0
-5
-10
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
1E-14
1E-15

フロントページの続き

(72)発明者 辻村 隆俊
神奈川県大和市下鶴間１６２３番地１４ 日本アイ・ビー・エム株式会社 大和事業所内
(72)発明者 三和 宏一
神奈川県大和市下鶴間１６２３番地１４ 日本アイ・ビー・エム株式会社 大和事業所内

合議体
審判長 岡 和久
審判官 瀧内 健夫
審判官 河本 充雄

(56)参考文献 特開平６－５９２７７（ＪＰ，Ａ）
特開平２－１０３３１（ＪＰ，Ａ）
特開平１０－７０２７６（ＪＰ，Ａ）
特開平７－３０１１７（ＪＰ，Ａ）
特開平４－２４２７２６（ＪＰ，Ａ）
特開２００１－５１２９３（ＪＰ，Ａ）