

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6431004号  
(P6431004)

(45) 発行日 平成30年11月28日(2018.11.28)

(24) 登録日 平成30年11月9日(2018.11.9)

(51) Int.Cl. F I  
**GO 1 R 33/07 (2006.01)** GO 1 R 33/07

請求項の数 19 (全 21 頁)

<p>(21) 出願番号 特願2016-132964 (P2016-132964)                  (22) 出願日 平成28年7月5日(2016.7.5)                  (62) 分割の表示 特願2014-555100 (P2014-555100) の分割                  原出願日 平成24年11月13日(2012.11.13)                  (65) 公開番号 特開2016-194527 (P2016-194527A)                  (43) 公開日 平成28年11月17日(2016.11.17)                  審査請求日 平成28年7月5日(2016.7.5)                  (31) 優先権主張番号 12153493.7                  (32) 優先日 平成24年2月1日(2012.2.1)                  (33) 優先権主張国 欧州特許庁 (EP)</p>	<p>(73) 特許権者 505325040                  アーエムエス アクチエンゲゼルシャフト                  ams AG                  オーストリア国 8141 ウンタープレ                  ムシュテッテン トベルバーダー シュト                  ラーセ 30 シュロス プレムシュテッ                  テン                  Schloss Premstaette                  n, Tobelbader Str.                  30, 8141 Unterprems                  taetten, Austria                  (74) 代理人 100098914                  弁理士 岡島 伸行</p> <p style="text-align: right;">最終頁に続く</p>
---	--

(54) 【発明の名称】 ホールセンサおよびセンサ配列体

(57) 【特許請求の範囲】

【請求項1】

ホールセンサ(HS)を接続するための少なくとも4つのセンサ端子(EXT\_A、EXT\_B、EXT\_C、EXT\_D)と、2次元または3次元のメッシュで相互接続された少なくとも4つのホールセンサ素子(11、12、...、44)とを備え、前記ホールセンサ素子(11、12、...、44)の素子端子(A、B、C、D)が、前記センサ端子(EXT\_A、EXT\_B、EXT\_C、EXT\_D)の間に接続されるホールセンサ(HS)であって、

各々の前記ホールセンサ素子(11、12、...、44)は、当該ホールセンサ素子の素子端子(A、B、C、D)のうちの2つの間で、個々のセンサ値をもたらすように構成され、

前記少なくとも4つのホールセンサ素子(11、12、...、44)は、第1の部分(B<sub>1</sub>)と第2の部分(B<sub>2</sub>)とに分配され、差値が前記センサ端子(EXT\_A、EXT\_B、EXT\_C、EXT\_D)のうちの2つの間で、それぞれの個々のセンサ値から生じて、電気的に生成されるように接続され、

前記第1の部分(B<sub>1</sub>)の前記ホールセンサ素子は、前記メッシュの第1の部分で相互接続され、前記第2の部分(B<sub>2</sub>)の前記ホールセンサ素子は、前記メッシュの第2の部分で相互接続され、前記メッシュの第1の部分および第2の部分双方が相互接続されており、

前記第1の部分(B<sub>1</sub>)の前記個々のセンサ値が、前記差値の被減数を形成し、前記第

2の部分( $B_2$ )の前記個々のセンサ値が、前記差値の減数を形成し、同一の強度および同一の方向の均一の磁界が、前記第1および第2の部分( $B_1$ 、 $B_2$ )の双方に印加された場合、前記被減数および前記減数は、互いに打ち消すようになっている、

ことを特徴とするホールセンサ(HS)。

【請求項2】

前記第1の部分( $B_1$ )の前記ホールセンサ素子は、前記第2の部分( $B_2$ )の前記ホールセンサ素子に対して、対称の形態で接続されることを特徴とする、請求項1に記載のホールセンサ(HS)。

【請求項3】

前記第1の部分( $B_1$ )の前記ホールセンサ素子は、当該ホールセンサが前記第1の部分( $B_1$ )の領域での磁界強度に対応する第1の値に寄与するように接続され、

前記第2の部分( $B_2$ )の前記ホールセンサ素子は、当該ホールセンサが前記第2の部分( $B_2$ )の領域での磁界強度に対応する第2の値に寄与するように接続され、

前記第1の値は、前記差値に対して、前記第2の値の寄与と比較して反対の符号を有する寄与をもたらすことを特徴とする、

請求項1または2に記載のホールセンサ(HS)。

【請求項4】

前記ホールセンサ(HS)は、前記相互接続されたホールセンサ素子(11, 12, . . . , 44)が前記センサ端子を介して単一のホールセンサのように接続できるように構成されることを特徴とする、請求項1乃至3のいずれか1項に記載のホールセンサ(HS)。

【請求項5】

前記第1の部分( $B_1$ )の前記ホールセンサ素子は、前記ホールセンサ(HS)の第1隣接領域に配置され、前記第2の部分( $B_2$ )の前記ホールセンサ素子は、前記第1隣接領域と重なり合わない、前記ホールセンサ(HS)の第2隣接領域に配置されることを特徴とする、

請求項1乃至4のいずれか1項に記載のホールセンサ(HS)。

【請求項6】

前記第1隣接領域および前記第2隣接領域は、類似する形状を有し、離隔して配置されることを特徴とする、

請求項5に記載のホールセンサ(HS)。

【請求項7】

前記ホールセンサ素子(11、12、...、44)のすべては、横方向ホールセンサ素子として形成されていることを特徴とする、

請求項1乃至6のいずれか1項に記載のホールセンサ(HS)。

【請求項8】

前記ホールセンサ素子(11、12、...、44)のすべては、縦方向ホールセンサ素子として形成されていることを特徴とする、

請求項1乃至6のいずれか1項に記載のホールセンサ(HS)。

【請求項9】

前記ホールセンサ素子(11、12、...、44)のすべては、少なくとも部分的に同一の特性を有し、かつ/または同一の幾何学的寸法を有するように構成されていることを特徴とする、

請求項1乃至8のいずれか1項に記載のホールセンサ(HS)。

【請求項10】

前記第1および第2の部分( $B_1$ 、 $B_2$ )の前記差値は、前記差値の前記被減数および前記差値の前記減数の双方と同時に生成されることを特徴とする、

請求項1乃至9のいずれか1項に記載のホールセンサ(HS)。

【請求項11】

全ての前記ホールセンサ素子(11, 12, . . . , 44)は、1つの共通な半導体基

10

20

30

40

50

体に設けられていることを特徴とする、

請求項 1 乃至 1 0 のいずれか 1 項に記載のホールセンサ ( H S ) 。

【請求項 1 2】

請求項 1 乃至 1 1 のいずれか 1 項に記載のホールセンサ ( H S ) と、前記ホールセンサ ( H S ) に接続されたバイアス回路 ( B I A S ) と、前記 2 つのセンサ端子の間に生成される前記差値に基づいて増幅された差信号 ( S B 1 2 ) を生成するために前記ホールセンサの前記 2 つの端子に接続された増幅器 ( A M P ) と、を備えることを特徴とするセンサ配列体。

【請求項 1 3】

前記バイアス回路 ( B I A S ) , 前記増幅器 ( A M P ) , および全ての前記ホールセンサ素子 ( 1 1 、 1 2 、 … 、 4 4 ) を含む前記ホールセンサ ( H S ) は、1 つの共通な半導体基体に設けられていることを特徴とする、

請求項 1 2 に記載のセンサ配列体。

【請求項 1 4】

前記 2 つの部分 ( B <sub>1</sub> 、 B <sub>2</sub> ) の各々は、少なくとも 2 つの前記ホールセンサ素子 ( 1 1 、 1 2 、 … 、 4 4 ) を有することを特徴とする、

請求項 1 乃至 1 1 のいずれか 1 項に記載のホールセンサ ( H S ) 。

【請求項 1 5】

前記少なくとも 4 つのホールセンサ素子 ( 1 1 、 1 2 、 … 、 4 4 ) は、第 1 の部分 ( B <sub>1</sub> ) と第 2 の部分 ( B <sub>2</sub> ) とに分配されることを特徴とする、

請求項 1 乃至 1 1 、 及び請求項 1 4 のいずれか 1 項に記載のホールセンサ ( H S ) 。

【請求項 1 6】

前記横方向ホールセンサ素子は、ホールプレートとして形成されることを特徴とする、

請求項 7 に記載のホールセンサ ( H S ) 。

【請求項 1 7】

すべての前記ホールセンサ素子 ( 1 1 、 1 2 、 … 、 4 4 ) は、同一の寸法および同一の電気的パラメータを有するように構成されることを特徴とする、

請求項 9 に記載のホールセンサ ( H S ) 。

【請求項 1 8】

前記差値が前記センサ端子 ( E X T \_\_ A 、 E X T \_\_ B 、 E X T \_\_ C 、 E X T \_\_ D ) のうちの 2 つの間で電氣的に生成され、それに対して前記センサ端子のうちの他方の 2 つに電力信号が提供される、ことを特徴とする、

請求項 1 乃至 1 1 、 及び請求項 1 4 乃至 1 7 のいずれか 1 項に記載のホールセンサ ( H S ) 。

【請求項 1 9】

前記差値が前記センサ端子 ( E X T \_\_ A 、 E X T \_\_ B 、 E X T \_\_ C 、 E X T \_\_ D ) のうちの前記 2 つの間で評価され、単一の増幅段によって直接増幅することができるように、電氣的に生成されることを特徴とする、

請求項 1 乃至 1 1 、 及び請求項 1 4 乃至 1 8 のいずれか 1 項に記載のホールセンサ ( H S ) 。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数のホールセンサ素子を有するホールセンサと、このようなホールセンサを有するセンサ配列体とに関する。

【背景技術】

【0002】

米国の物理学者エドウィン・ハーバート・ホール ( 1 8 5 5 ~ 1 9 3 8 年 ) にちなんで命名されたホール効果は、電流に垂直な磁界が存在する場合に発生する。この場合の磁界は、磁界の方向ならびに電流の方向の両方に垂直な方向に、ホール電圧と呼ばれる電位差

10

20

30

40

50

を生成する。ホール電圧を測定することによって、磁界の成分の大きさを確定することが可能である。

【0003】

ホール電圧を測定するホールセンサを、半導体デバイスとして実現することができる。半導体デバイス内には、たとえばCMOSプロセスの一部として生成される評価回路を一体化することもできる。動作電流が流れ、ホール電圧が発生する活性領域の面が半導体基体の最上部と同一平面に配置される場合には、この最上部に対し垂直の向きの磁界成分から引き起こされるホール電圧を測定することができる。この活性領域の平面が、半導体基体の最上部に垂直に、すなわち、半導体基体内で鉛直に配置される場合には、この最上部に平行な磁界の成分によって引き起こされるホール電圧を測定することができる。

10

【0004】

ホールセンサ半導体デバイスでは、達成可能な感度が、使用される半導体材料の電荷キャリアの移動度によって制限される。シリコンでは、磁界強度および動作電圧に関連したホール電圧の大きさによって測定されるホールセンサの最大感度が、約 $0.1\text{ V/T}$ である。他の半導体材料は、より高い電荷キャリア移動度を有するが、このホールセンサを制御電子回路および評価電子回路と一体化するのにあまり適していない可能性がある。

【0005】

さまざまなアプリケーション、たとえば、ロータリエンコーダまたは電流センサでは、2つの位置の間の磁界の差が測定される。従来の配列体によれば、ホールセンサごとに増幅段を有する2つのホールセンサが使用され、増幅段の出力の差が、デジタル減算またはアナログ減算によって評価される。

20

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の目的は、異なる位置の磁界の差の評価のための改善された構想を提供することである。

【課題を解決するための手段】

【0007】

上記の課題は独立項に記載の発明で解決される。これより派生したものおよびさらなる実施形態は、従属請求項に記載されている。

30

【0008】

改善された構想は、異なる位置で磁界を測定する少なくとも2つホールセンサ素子を有するホールセンサを提供するというアイデアに基づくものである。ホールセンサ素子は、個々のセンサ値の間の差が電氣的に生成されるように接続されるが、これらのホールセンサ素子は同一方位の磁界を測定できる。さらに、ホールセンサ素子は、ホールセンサのセンサ端子の間に接続される。したがって、ホールセンサ素子は、評価電子回路に直接に接続されるのではなく、このホールセンサの削減された個数のセンサ端子を介して接続される。したがって、ホールセンサの出力信号すなわち、2つの位置での磁界の差に対応する差値を、単一の増幅段によって直接に評価し、増幅することができる。その結果、改善された概念は、配列体のより少ない電力消費と低減された雑音とをもたらす。この差値は、2つの位置について同じ瞬間にすなわち同時に (coinstantaneously or simultaneously) 生成され、したがって1つの単一の測定で生成される。

40

【0009】

1つの実施形態によれば、ホールセンサは、ホールセンサを接続する少なくとも4つのセンサ端子と、共に接続された少なくとも2つのホールセンサ素子とを備え、これらのセンサ端子の間に接続されたホールセンサ素子の素子端子を備える。各々のホールセンサ素子は、その素子端子のうちの2つの間での個々のセンサ値を提供するように構成される。少なくとも2つのホールセンサ素子は、二等分された部分に基本的に等しく配置され、差値がセンサ端子のうちの2つの間で、個々のセンサのそれぞれの値から生じて、電氣的に生成され、等分された一方の部分のホールセンサ素子は、等分された他方の部分のホール

50

センサ素子に逆直列の形態となるように接続される。等分された一方の部分の個々のセンサ値は、差値の被減数となり、他方の部分の個々のセンサ値は、差値の減数となる。

【 0 0 1 0 】

したがって、ホールセンサ素子のそれぞれの半分のホールセンサ素子の個々のセンサ値は、ホールセンサの2つのセンサ端子の間に生じる差値に寄与する。たとえば、これらの等分された2つの部分は、同一の強度で同一方向の均一な磁界がこれらの2つの部分に印加された場合に、被減数および減数が互いに打ち消し合うように配置される。

【 0 0 1 1 】

たとえば、ホールセンサおよびこれが備えるホールセンサ素子は、半導体基体上に配置される。ホールセンサは、センサ端子を介して接続され、これらのセンサ端子は、外部端子とも呼ばれる。対照的に、ホールセンサ素子の素子端子は、直接に接続可能ではなく、特に単独での接続は可能でなく、これらの素子端子は、内部端子とも呼ばれている。特にこのホールセンサは、従来のホールセンサと同様に、これらのそれぞれの外部端子またはセンサ端子を介して接続され、動作させることができる。しかし、従来のホールセンサとは異なり、磁界の絶対強度が測定されるのではなく、2つの磁界強度の差が測定される。

【 0 0 1 2 】

たとえば、素子端子のすべてが、ホールセンサのそれぞれの外部のセンサ端子につながっているのではなく、一部には、個々のホールセンサ素子の間のみで接続された素子端子がある。

【 0 0 1 3 】

たとえば、センサ端子のうち2つは、ホールセンサの電源電流など、電力信号を供給するのに使用され、2つの他のセンサ端子は、測定信号すなわち差値を、たとえば差電圧の形で記録するのに使用される。特に、ホールセンサ素子の素子端子は、通常、外部から直接に接続されるのではなく、それぞれのセンサ端子を介してのみ接続される。すなわち、素子端子とは、これらの端子を介して電源信号、たとえば電源電流がホールセンサに提供されないことによって定義されるものである。ホールセンサ素子のいくつかの素子端子が、外側の端子に接続される場合には、特に測定動作における動作時に、これらの端子が動作時のホールセンサに接続されるのであれば、この場合のみこれらの端子は、センサ端子として理解される。しかしながら、このような外部に接続される素子端子が、内部での目的、たとえばホールセンサ内の測定に使用されるのみである場合には、そのような端子は、ホールセンサの追加の補助端子として理解される。

【 0 0 1 4 】

センサ端子は、複数の相互接続されたホールセンサ素子が、単一のホールセンサのようにこれらのセンサ端子を介して接続され得ることによって機能的に定義されるものである。この点において、センサ端子は、任意で外部に接続される素子端子とは異なる。特に、センサ端子は、動作中はホールセンサに接続するために構成される。

【 0 0 1 5 】

好ましくは、ホールセンサのホールセンサ素子のすべては、同種のもので構築される。「同種のホールセンサ素子」なる用語は、これらが少なくとも部分的に同一の特性を有するようになっていると理解される。たとえば、ホールセンサ素子は、等しい個数の素子端子を有し、かつ/または同一の幾何学的寸法を有する。しかし、さまざまな実施形態では、同種のものから構築されていないホールセンサ素子が、相互接続される。

【 0 0 1 6 】

たとえば、ホールセンサ内で使用されるホールセンサ素子は、横方向ホールセンサ素子、特にホールプレートとして形成されている。このようなホールセンサ素子は、ホールセンサ素子またはホールプレートそれぞれの表面に垂直な向きの磁界を測定する。

【 0 0 1 7 】

他の実施形態では、ホールセンサのホールセンサ素子は、縦方向ホールセンサ素子として形成される。このようなホールセンサ素子は、ホールセンサ素子の表面に平行な向きの磁界を測定する。たとえば、少なくとも2つのホールセンサ素子が、表面に平行な異なる

10

20

30

40

50

方位の磁界を測定する縦方向ホールセンサ素子として形成される。これより、たとえば、ホールセンサ素子の表面に平行で、互いに直角な方向の磁界の差値を生成することができる。これらの個々のセンサ値は、表面の平面内の異なる座標軸に対応するものとすることができる。

【 0 0 1 8 】

しかし、縦方向および横方向のホールセンサ素子を、さまざまな実施形態でホールセンサ内で組み合わせることもでき、これらのホールセンサ素子の電気パラメータを、互いに適合させることができる。

【 0 0 1 9 】

いくつかの実施形態では、ホールセンサが丁度2つのホールセンサ素子を備え、これら2つのホールセンサ素子の間で差値が生成されるようになっている。他の実施形態では、ホールセンサが、より多数の、好ましくは偶数のホールセンサ素子を備え、これらのホールセンサ素子のいくつかは、差値の正の部分を提供し、またいくつかのホールセンサ素子は、差値の負の部分を提供するようになっている。どの場合でも、このホールセンサのホールセンサ素子は、基本的に2つの等しい部分に分離することができる。

10

【 0 0 2 0 】

1つの実施形態によれば、等分された一方の半分のホールセンサ素子は、ホールセンサの第1の隣接領域 (contiguous area) に配置され、他方の半分のホールセンサ素子は、ホールセンサの第2の隣接領域に配置される。第2隣接領域は、好ましくは、第1隣接領域と重ならない。これより、第1位置の磁界強度の値は、この第1領域のホールセンサ素子の個々のセンサ値、たとえばこの第1領域内の平均値によって決定される。同様に、第2領域内のホールセンサ素子の個々のセンサ値は、第2位置の磁界強度の値を与える。

20

【 0 0 2 1 】

たとえば、第1隣接領域および第2隣接領域は、類似する形状を有し、離隔して配置される。したがって、それぞれのホールセンサ素子の同等の寄与が見込まれる。これらの領域の間隔は、ホールセンサの特定のアプリケーションによって決定されてよい。たとえば、ホールセンサが、ロータリエンコーダに使用される場合には、この間隔を、磁界を生成するのに使用される磁石の寸法に基づくものとするすることができる。ホールセンサが、電流センサに使用される場合には、この間隔を、測定される電流に基づいて磁界を生成する2つのコイルの距離に基づくものとするすることができる。

30

【 0 0 2 2 】

1つの実施形態によれば、少なくとも2つのホールセンサ素子は、逆並列の形態で接続される。たとえば、ホールセンサが、2つのホールセンサ素子を備える場合に、これらのホールセンサ素子の2つの素子端子は、同一の極性を伴って接続され、たとえば、電源電流が、ホールセンサ素子を通して同一の方向に流れるようになっている。他の2つの素子端子は、互いと反対の極性を伴って接続され、たとえば、それらの電圧寄与が、反対方向になり、したがって差電圧を生成するようになっている。特に、ホールセンサの各センサ端子は、各ホールセンサ素子の素子端子のうち丁度1つに接続される。ここでは2つのホールセンサ素子について説明するが、この原理は、より多数の、好ましくは偶数のホールセンサ素子に適用することもできる。

40

【 0 0 2 3 】

たとえば、少なくとも2つのホールセンサ素子は、それぞれ第1、第2、第3、および第4の素子端子を有する。これらの素子端子のうち2つで、上記の少なくとも2つのホールセンサ素子は、直結接続の形態で接続され、またこれらの素子端子のうち他の2つで、少なくとも2つのホールセンサ素子は、交差接続の形態で接続される。

【 0 0 2 4 】

ホールセンサ内のホールセンサ素子で上記の接続を用いると、ホールセンサの入力抵抗は、別々のホールセンサを用いる従来のアプリケーションと比較して、低減される。さらに、所与の雑音レベルについて、ホールセンサの動作中の電流消費は、従来のアプリケーションに対して低減される。

50

## 【0025】

上記の実施形態のいくつかの態様では、これらのホールセンサ素子のうちの1つは、これらのホールセンサ素子のうちの別の1つに対して回転されて配置される。これから、オフセットまたは残留オフセットの影響を低減することができる。

## 【0026】

もう1つの実施形態によれば、少なくとも2つのホールセンサ素子は、逆直列(anti-serial)の形態で接続される。たとえば、ホールセンサが、同一の幾何学的方位の2つのホールセンサ素子を備える場合に、個々のセンサ値、たとえばホール電圧を測定するセンサ端子は、直列の形態であるが反対の極性で接続され、一方のホールセンサ素子が、生じる差に対する正の寄与を提供し、他方のホールセンサ素子が、生じる差に対する負の寄与を提供するようになっている。ホールセンサ素子の残りの素子端子は、ホールセンサ素子に電源信号を供給するのに使用することができ、この電源信号の供給は、ホールセンサ素子ごとに個別にまたはすべてのホールセンサ素子について共通の電源信号を用いて実行することができる。したがって、ホールセンサは、生じる差値を提供する2つのセンサ端子と、電源信号を印加する2つ以上のセンサ端子とを含むことができる。

10

## 【0027】

センサ端子の間の接続は、固定されてよい。電流スピニング(current spinning)などの技法を実行できるように、センサ端子の間の相互接続は、可変であってよい。たとえば、ホールセンサ素子の素子端子は、信号端子または供給端子として使用されるように構成される。ホールセンサは、差値が2つのセンサ端子の間で電氣的に生成されるように、連続する動作フェーズ内でそれぞれのセンサ端子への供給端子の接続を変更し、連続する動作フェーズ内でそれぞれの2つのセンサ端子の間で信号端子の接続を変更するように構成されたスイッチングネットワークをさらに含む。

20

## 【0028】

また、逆直列接続を有する実施形態のために、ホールセンサの電流消費が低減されると同時に、雑音特性が改善される。

## 【0029】

さらなる実施形態では、ホールセンサは、2次元以上のメッシュで相互接続された少なくとも4つのホールセンサ素子を含む。たとえば、メッシュは、各方向に少なくとも2つのホールセンサ素子を備える。これらのホールセンサ素子は、上記のように等分された2つの部分に配置される。したがって、ホールセンサ素子の個数の半分は、メッシュの一方の部分で相互接続され、ホールセンサ素子の個数の他方の半分は、メッシュの他方の部分で相互接続され、メッシュの両方の部分も、相互接続される。

30

## 【0030】

使用されるメッシュ構造によって、ホールセンサ素子の2次元または3次元の相互接続が達成される。加えて、メッシュ構造によって、アレイ状の相互接続が形成される。言い替えると、少なくとも1つの平面で、メッシュで相互接続されたホールセンサ素子が広がっている。いくつかの実施形態では、単一のホールセンサ素子が、メッシュに配置され、これらのホールセンサ素子が必ずしも互いに重なり合わずに、メッシュのそれぞれ1つ以上の列または行が、それぞれ隣接する列または行に重なり合うようになっている。たとえば、これらのホールセンサ素子は、蜂の巣様メッシュ構造で相互接続される。たとえば、複数のホールセンサ素子が、それぞれ $N \times M$ メッシュまたはアレイに配置され、ここで、 $N > 1$ かつ $M > 1$ である。 $N$ および $M$ は、同一または異なるものとしてすることができる。たとえば、 $N$ および $M$ は、2のべき乗であってよい。メッシュは、たとえば、対応する個数のホールセンサ素子を有する、 $4 \times 4$ 、 $8 \times 8$ 、 $16 \times 16$ 、またはさらに大きいメッシュである。より多数のホールセンサ素子は、それぞれオフセット電圧または残留オフセット電圧をさらに低減することを可能にする。メッシュは、完全に埋められる必要がなく、メッシュの個々のノードが空いたままになってよい。したがって、丸い形、十文字の形、または多角形の形状など、長方形の形状以外の形を有するメッシュ接続を形成されてよい。ホールセンサ素子をメッシュで配線することによって、2次元または多次元の相互

40

50

接続を達成することができる。

【0031】

たとえば、メッシュの半分の一方のホールセンサ素子が、定められたパターンで相互接続され、センサ端子で供給される差値への正の寄与をもたらす。これに応じて、1つの実施形態では、メッシュのもう一方の半分のホールセンサ素子は、最初の半分のホールセンサ素子に関して対称の形で相互接続される。

【0032】

これに応じて、一方の半分のホールセンサ素子は、他方の半分のホールセンサ素子に対して、対称の形状、特に鏡映の形状で接続される。

【0033】

すべての上記の実施形態において、それぞれホールセンサ素子またはホールセンサ素子の相互接続を、所定の対称性、特に鏡面对称とすることが好ましい。ホールセンサのホールセンサ素子に対称性を与えることによって、所望の差値となるような正負の寄与を容易に達成することができる。ホールセンサ内でホールセンサ素子の直結相互接続を適用することによって、ホールセンサまたは生成されるセンサアプリケーションの複雑さを、従来の分離されたホールセンサのアプリケーションと比較して低減することができる。これら分離されたホールセンサのそれぞれは、別々の電源回路および別々の増幅回路を必要とする。さらに、電力消費が低減され、所望の雑音レベルが達成される。

【0034】

したがって、さらなる実施形態によれば、センサ配列体は、上記の実施形態のうちのいずれか1つによるホールセンサ、このホールセンサに接続されたバイアス回路、およびこのホールセンサの2つのセンサ端子に接続された増幅器を備え、特にこれら2つのセンサ端子は、これら2つのセンサ端子の間に生成される差値に基づいて増幅された差信号を生成するための差値を供給する。たとえば、電源信号は、バイアス回路によってホールセンサに供給される。

【0035】

これに対応して、2つの位置での磁界強度の差に対応する差値が測定されるアプリケーションでは、単一のバイアス回路および単一の増幅器のみが必要である。

【0036】

以下の記載は、図面を参照して例示の実施形態を使用して本発明を詳細に説明するものである。さまざまな図面の同一の要素または類似する機能を有する要素に対して、同一の符号が使用される。

【図面の簡単な説明】

【0037】

【図1】ホールセンサを含むセンサ配列体の実施形態を示す図である。

【図2】ホールセンサ素子の実施形態を示す図である。

【図3】2つのホールセンサ素子を有するホールセンサの実施形態を示す図である。

【図4】2つのホールセンサ素子を有するホールセンサのさらなる実施形態を示す図である。

【図5】2つのホールセンサ素子を有するホールセンサのさらなる実施形態を示す図である。

【図6】複数のホールセンサ素子を有するホールセンサの実施形態を示す図である。

【図7】複数のホールセンサ素子を有するホールセンサのさらなる実施形態を示す図である。

【図8】ホールセンサ素子のさまざまな実施形態を示す図である。

【図9】複数のホールセンサ素子を有するホールセンサのさらなる実施形態を示す図である。

【図10】複数のホールセンサ素子を有するホールセンサのさらなる実施形態を示す図である。

【図11】複数のホールセンサ素子を有するホールセンサのさらなる実施形態を示す図で

10

20

30

40

50

ある。

【図 1 2】複数のホールセンサ素子を有するホールセンサのさらなる実施形態を示す図である。

【発明を実施するための形態】

【0038】

異なる位置の磁界強度の差に対応する差値を決定するための従来の手法では、各位置に、それぞれの電源回路およびそれぞれの増幅器を有する分離されたホールセンサが設けられ、実効差値は、2つの増幅器の出力信号を評価することによって生成される。従来の手法では、各ホールセンサは、たとえば、単一のホールセンサ素子からなる。

【0039】

抵抗  $R_H$  を有するホールセンサまたはホールセンサ素子の、所定の帯域幅  $f$  に関する入力に基づく熱雑音  $B_{\text{Noise-Sensor}}$  は、以下のようになる。

$$B_{\text{Noise-Sensor}} = \frac{\sqrt{4kT \cdot \Delta f \cdot R_H}}{S_0},$$

ここで、所定の動作点での感度  $S_0$  は、以下のように、ホールセンサの電源電圧  $V_{IN}$  または電源電流  $I_{IN}$  と電圧に基づく感度  $S_V$  または電流に基づく感度  $S_I$  によって決定される。

$$S_0 = V_{IN} \cdot S_V = I_{IN} \cdot S_I$$

【0040】

ホールセンサの出力信号を増幅する増幅器の入力に基づく雑音  $B_{\text{Noise-FE}}$  は、以下の式によって近似することができる。

$$B_{\text{Noise-FE}} = \frac{\sqrt{4kT \cdot \Delta f \cdot R_{FE}(I_{FE})}}{S_0},$$

ここで、 $I_{FE}$  は、増幅器に供給される電流であり、 $R_{FE}(I_{FE})$  は、 $I_{FE}$  に依存する等価雑音抵抗である。

【0041】

したがって、ホールセンサおよび増幅器の入力に基づく全雑音  $B_{\text{Noise}}$  は、以下のようになる。

$$B_{\text{Noise}} = \frac{\sqrt{4kT \cdot \Delta f (R_H + R_{FE}(I_{FE}))}}{S_0}$$

【0042】

従来の手法では、磁界の差の測定のために、増幅機能を有する2つのホールセンサが必要である。したがって、幾何学的追加の結果、全システムの雑音  $B_{\text{Noise-total}}$  は、以下のようになる。

10

20

30

40

$$B_{\text{Noise-total}} = \frac{\sqrt{2}}{2} \frac{\sqrt{4kT \cdot \Delta f (R_H + R_{FE}(I_{FE}))}}{S_0}$$

$I_H$  は、ホールセンサの電源電流であり、必要な総電流  $I_{\text{tot}}$  は、

$$I_{\text{tot}} = 2 \cdot I_H + 2 \cdot I_{FE}$$

10

である。

#### 【0043】

図1に、ホールセンサHS、電源回路またはバイアス回路BIAS、スイッチングネットワークSWN、および増幅器AMPを有するセンサ装置を示す。ホールセンサHSは、少なくとも2つのホールセンサ素子を含み、そのうちの少なくとも1つのホールセンサ素子は、ホールセンサ素子の等分された第1の部分に配置され、少なくとも1つのホールセンサ素子は、このホールセンサ素子の等分された第2の部分に配置される。等分された第1の部分 $B_1$ および第2の部分 $B_2$ は、ホールセンサHSのホールセンサ素子の素子端子を接続するさまざまな接続線で接続される。

20

#### 【0044】

ホールセンサHSの内部接続線のいくつかは、外部接続線またはセンサ端子EXT\_A、EXT\_B、EXT\_C、およびEXT\_Dを介して外部に接続される。これらのセンサ端子は、ホールセンサHSを動作させるのに使用される。このために、ホールセンサHSは、スイッチングネットワークSWNを介してバイアス回路BIASおよび増幅器AMPに接続される。スイッチングネットワークSWNは、適宜用いられるものであり、たとえば、公知の電流スピニング技法などのオフセットを低減する技術を実施するために機能する。しかし、種々の実施形態で、このような技術が使用されない場合は、スイッチングネットワークSWNを省略することができ、バイアス回路BIASおよび増幅器AMPは、それぞれホールセンサHSまたはセンサ端子EXT\_A、EXT\_B、EXT\_C、およびEXT\_Dに直接に接続される。

30

#### 【0045】

ホールセンサ素子の各々は、その素子端子のうちの2つの間に個々のセンサ値を提供するように構成され、個々のセンサ値は、同一方位の磁界に対応したものである。等分された2つの部分 $B_1$ 、 $B_2$ に備えられた少なくとも2つのホールセンサ素子は、個々の各々のセンサ値から生じる差値がセンサ端子EXT\_A、EXT\_B、EXT\_C、およびEXT\_Dのうちの2つの間に電氣的に生成されるように、内部接続される。したがって、上記の差値は、この差値に基づいて増幅された差信号SB12を生成するために、増幅器AMPに供給される。この差値は、等分された第1の部分 $B_1$ および第2の部分 $B_2$ の2つのそれぞれの位置の間の磁界の差に比例する。

40

#### 【0046】

これより、上記の従来手法で必要であった2つの電源回路および2つの増幅器と比較して、ホールセンサを動作させ、差信号SB12を生成するために、単一の電源回路のみが単一の増幅器で必要となる。したがって、図1の実施形態の入力に基づく雑音と電流消費は、従来手法を凌ぎ、これについては、図1のセンサ装置内で使用できるホールセンサHSのさまざまな実施形態に関して、後でより詳細に説明する。さらに、ホールセンサHSおよび他の回路経路BIAS、SWN、AMPが半導体基体上で実装される場合には、従来手法と比較して、必要な面積は少ない。

#### 【0047】

ホールセンサHSのホールセンサ素子は、様々な自明な実装形態で作製されてよい。図

50

2では、ホールセンサ素子の例示的な実施形態が、動作中の電流の可能な流れ方向と共に示されている。ここで、図2Aは、横方向ホールセンサ素子の実施形態を示し、たとえばスピニング電流技術の1つの動作フェーズでは、電流I1が、素子端子Aから素子端子Cに流れ、別の動作フェーズでは、電流I2が、素子端子Bから素子端子Dに流れる。たとえば、正方形で図示されているようなホールセンサ素子の辺部の中央に、電気接続部が設けられ、素子接続部A、B、C、Dとして機能する。このような横方向ホールセンサ素子を用いて、正方形で図示された素子の表面に垂直な磁界を測定することができる。

【0048】

図2Bに、縦方向ホールセンサ素子の実施形態を示し、ここではたとえばn型ドーピングされたウェルWがp型ドーピングされた半導体基体HL内に設けられている。それぞれ半導体基体HLおよびウェルWの表面上に、素子端子A、B、C、Dの接続パッドが設けられ、素子端子Aの接続パッドは、2つすなわち対称にそれぞれ設けられている。

10

【0049】

図2Aに示されたホールセンサ素子と同様に、図2Bの縦方向ホールセンサ素子では、電流は、流れの矢印I1A、I1Bによって示されるように、第1動作フェーズでは素子端子Cから素子端子Aの接続パッドへ流れる。第2動作フェーズでは、同様に電流I2が素子端子Bから素子端子Dへ流れる。図2Bに示されたホールセンサ素子では、半導体基体HLまたはウェルWの表面に平行な磁界を測定することができる。具体的には、形態として図2Bの図示で縦に走る磁界の測定が実行される。

【0050】

20

好ましくは、磁場が図1のホールセンサHSに印加される場合は、すべてのホールセンサ素子が同一のタイプ、すなわち、すべて縦方向のホールセンサ素子またはすべて横方向のホールセンサ素子から構成される。さらに、ホールセンサHSのすべてのホールセンサ素子は、同様に構成され、たとえば同一の寸法および同一の電気的パラメータを有する。

【0051】

ホールセンサHSの具体的な実装については、さまざまな実装態様があり、そのいくつかを、以下のように図面を用いて、より詳細に説明する。

【0052】

たとえば、図3に、逆並列の形で接続された2つのホールセンサ素子11、21を有するホールセンサHSの実施形態を示す。ホールセンサ素子11、12のそれぞれは、センサ端子EXT\_A、EXT\_B、EXT\_C、およびEXT\_Dに接続される4つの素子端子A、B、C、Dを備える。ホールセンサ素子11は、これらのホールセンサ素子うちの等分された第1の部分B<sub>1</sub>を形成し、ホールセンサ素子21は、これらのホールセンサ素子のうちの等分された第2の部分B<sub>2</sub>を形成する。

30

【0053】

これらのホールセンサ素子11、21は、互に対称に、特に鏡面对称で配置される。これに関して、ホールセンサ素子11の素子端子は、時計回りにラベル付けされ、左上角の素子端子Aから始まり、左下角の素子端子Dで終わる。上記の対称性のために、ホールセンサ素子21の素子端子は、反時計回りにラベル付けされ、やはり左上角の素子端子Aから始まるが、右上角の素子端子Dで終わる。これより、それぞれの素子端子Aをセンサ端子EXT\_Aに、素子端子Bをセンサ端子EXT\_Bに、素子端子Cをセンサ端子EXT\_Cに、素子端子Dをセンサ端子EXT\_Dに接続することによって、差が、2つの対向するセンサ端子の間で暗黙的に生成される。たとえば、これは、ホールセンサ素子11、21の間で入れ替えられている素子端子BおよびDを見れば明らかである。

40

【0054】

図4に、図3に示された実施形態に似た、逆並列で接続された2つのホールセンサ素子11、21を有するホールセンサHSのもう1つの実施形態を示す。しかし、図4の実施形態では、右のホールセンサ素子21が、図3に示されたもう一方のホールセンサ素子に対して90°時計回りに回転されている。したがって、ホールセンサ素子21の幾何学的回転が行われている。このため、ホールセンサで生じる残留オフセットが改善される。

50

## 【 0 0 5 5 】

図 3 および図 4 の両方の実施形態で、生じる差値に対して、ホールセンサ素子 1 1 が、ホールセンサ素子 2 1 と比較して反対の符号を有する寄与をもたらすように、ホールセンサ素子 1 1、2 1 は接続される。このため、この差値は、等分された第 1 の部分  $B_1$  と第 2 の部分  $B_2$  の 2 つの位置のそれぞれの磁界の間の差に比例する。

## 【 0 0 5 6 】

以下では、図 3 および 4 に示されたホールセンサの性能を、上記の従来手法と比較する。

## 【 0 0 5 7 】

たとえば、図 3 および 4 の実施形態の入力に基づく雑音  $B_{Noise}$  は、以下の式

10

$$B_{Noise} = \frac{\sqrt{4kT \cdot \Delta f \left( \frac{R_H}{2} + R_{FE}(I_{FE}) \right)}}{S_0}$$

で与えられ、総電流  $I_{tot}$  は、

20

$$I_{tot} = 2 \cdot I_H + I_{FE}$$

となる。

## 【 0 0 5 8 】

上の式のホールセンサの実効抵抗は、2 つのホールセンサ素子 1 1、2 1 の並列接続から生じ、したがって、各ホールセンサ素子の個々の抵抗  $R_H$  の半分となる。ホールセンサからの入力に基づく雑音  $B_{Noise}$  は、従来手法と同一であるが、増幅の寄与が増加する、すなわち、 $S_0$  に対し  $2 \cdot S_0$  である。より分かり易い比較のため、従来手法と同一の雑音を有するためには、ホールセンサ電源電流またはホールセンサ電源電圧を、2 増加させ、ホールセンサ素子の抵抗  $R_H$  を倍にすればよい。こうして入力に基づく雑音は以下

30

$$B_{Noise} = \frac{\sqrt{4kT \cdot \Delta f \left( \frac{2 \cdot R_H}{2} + R_{FE}(I_{FE}) \right)}}{\sqrt{2} \cdot S_0}$$

総電流  $I_{tot}$  は、

40

$$I_{tot} = \sqrt{2} \cdot I_H + I_{FE}$$

となる。

## 【 0 0 5 9 】

したがって、図 3 および図 4 で説明された実施形態を用いて、この動作点で、より少ない電力消費で等しい雑音性能が達成されており、従来手法を凌いでいる。

## 【 0 0 6 0 】

図 5 に、2 つのホールセンサ素子 1 1、2 1 を有するホールセンサのもう 1 つの実施形

50

態を示す。この実施形態では、これらのホールセンサ素子 1 1、2 1 は、逆直列の形で接続される。図 3 および図 4 の実施形態と同様に、ホールセンサ素子 1 1、2 1 の素子端子は、このホールセンサ素子の等分された第 1 の部分 B<sub>1</sub> を形成する第 1 のホールセンサ素子 1 1 とホールセンサ素子の等分された第 2 の部分 B<sub>2</sub> を形成する第 2 のホールセンサ素子 2 1 との間の対称性を規定するために、それぞれ時計回りおよび反時計回りにラベル付けされている。

【 0 0 6 1 】

この実施形態では、素子端子 A、C が、それぞれセンサ端子 EXT\_A、EXT\_A'、EXT\_C、EXT\_C' に接続される。たとえば、電源信号、具体的には電源電流を、これらのセンサ端子を介してホールセンサ素子 1 1、2 1 に供給することができる。ホールセンサ素子 1 1 の素子端子 B は、ホールセンサ素子 2 1 の素子端子 D に接続される。ホールセンサ素子 1 1 の素子端子 D は、センサ端子 EXT\_D に接続され、ホールセンサ素子 2 1 の素子端子 B は、センサ端子 EXT\_B に接続される。図 5 からわかるように、逆直列接続は、特に、センサ端子 EXT\_B、EXT\_D の間で形成される。したがって、センサ端子 EXT\_B、EXT\_D の間の結果の差値は、ホールセンサ素子 1 1、2 1 の位置の間の磁界強度の差に対応する。

【 0 0 6 2 】

したがって、均一な単一方向磁界のすべてが打ち消され、形成されるホールセンサ H S は、測定される磁界、たとえば移動する磁石またはコイルを通る電流によって生成される磁界の差のみを感知する。

【 0 0 6 3 】

センサ端子 EXT\_A、EXT\_A'、EXT\_B、EXT\_C、EXT\_C'、EXT\_D の間の接続は、固定されてよい。電流スピニングなどの技法を実施できるように、センサ端子 EXT\_A、EXT\_A'、EXT\_B、EXT\_C、EXT\_C'、EXT\_D の間の相互接続は可変であってよい。たとえば、ホールセンサ素子 1 1、1 2 の素子端子 A、B、C、D は、信号端子または電源端子として使用されるように構成される。ホールセンサは、さらに、スイッチングネットワークを含むことができ、このスイッチングネットワークは、連続する動作フェーズでそれぞれのセンサ端子 EXT\_A、EXT\_A'、EXT\_C、EXT\_C' への電源端子の接続を変更し、連続する動作フェーズでセンサ端子 EXT\_B、EXT\_D の間で信号端子の接続を変更し、差値が、2 つのセンサ端子 EXT\_B、EXT\_D の間で電氣的に生成されるように構成される。たとえば、接続される素子端子は、異なる動作フェーズの間で回転される。

【 0 0 6 4 】

逆直列の実施形態のさらなる特定の实装態様、たとえば、図 5 に示されたものより多数のホールセンサ素子を有する実装態様または（複数の）電流源の実装態様を有する実装態様などが、可能である。具体的には、ドイツ国特許出願第 1 0 2 0 1 1 0 1 7 0 9 6 号に記載されている、直列接続されたホールセンサを有するホールセンサ半導体デバイスのためのスイッチング技法は、当業者であれば逆直列ホールセンサに適合させることが可能である。本願ではこのドイツ国特許出願第 1 0 2 0 1 1 0 1 7 0 9 6 号に記載された全ての開示内容が参照されて援用される。

【 0 0 6 5 】

たとえば、図 5 の実施形態の入力に基づく雑音 B<sub>Noise</sub> は、以下の式

$$B_{\text{Noise}} = \frac{\sqrt{4kT \cdot \Delta f (2 \cdot R_H + R_{FE}(I_{FE}))}}{2 \cdot S_0}$$

によって与えられ、総電流 I<sub>tot</sub> は、

10

20

30

40

50

$$I_{tot} = 2 \cdot I_H + I_{FE}$$

となる。

【0066】

したがって、上記の図5の実施形態を用いて、従来手法と比較して、より少ない電流消費でより良好な雑音性能が達成される。

【0067】

図6に、等分された第1の部分 $B_1$ および第2の部分 $B_2$ に配置された複数のホールセンサ素子を有するホールセンサHSのさらなる実施形態を示す。具体的には、等分された第1の部分 $B_1$ は、ホールセンサ素子11、12、13、14、21、22、23、24を備え、等分された第2の部分 $B_2$ は、ホールセンサ素子31、32、33、34、41、42、43、44を備える。等分された第1の部分 $B_1$ のホールセンサ素子11、12、...、24は、これらが第1の部分 $B_1$ の領域または形状内の磁界強度に対応する一方の極性の値に寄与するように接続される。同様に、ホールセンサ素子31、32、...、44は、等分された第2の部分 $B_2$ の領域または形状内の磁界強度に対応する他方の極性の値に寄与する。さらに、等分された第1および第2の部分、またはこれらの第1および第2の部分の $B_1$ 、 $B_2$ のそれぞれのホールセンサ素子は、これら2つの寄与が、2つの等分された部分 $B_1$ 、 $B_2$ での磁界強度の差に対応する、外部センサ端子EXT\_A、EXT\_B、EXT\_C、およびEXT\_Dのうちの2つの間で差値を生成するように接続される。たとえば、第1の部分 $B_1$ および第2の部分 $B_2$ は、第1の隣接領域および第2の隣接領域を形成し、これらは、同様の形状を有し、離隔されて配置される。第1の部分 $B_1$ および第2の部分 $B_2$ は、丸い形、十文字の形、または多角形の形など、長方形以外の形を有してよい。

【0068】

差値を生成するために、ホールセンサ素子12、13の素子端子Aは、センサ端子EXT\_Aに接続され、ホールセンサ素子21、31の素子端子Bは、センサ端子EXT\_Bに接続され、ホールセンサ素子42、43の素子端子Cは、センサ端子EXT\_Cに接続され、ホールセンサ素子24、34の素子端子Dは、センサ端子EXT\_Dに接続される。さらに、ホールセンサ素子11、...、34の素子端子Cは、それぞれの右隣、すなわちホールセンサ素子21、...、44の素子端子Aに接続される。同様に、上側の3つの行のホールセンサ素子の素子端子Dは、その隣り、すなわち、下側の3つ行のホールセンサ素子の素子端子Bに接続される。

【0069】

図3、図4、および図5の実施形態に似て、等分された第1の部分 $B_1$ のホールセンサ素子の素子端子は、時計回りにラベル付けされ、等分された第2の部分 $B_2$ のホールセンサ素子の素子端子は、反時計回りにラベル付けされている。したがって、第2の部分 $B_2$ のホールセンサ素子は、第1の部分 $B_1$ のホールセンサ素子に対して対称に配置されている。

【0070】

図6の実施形態のホールセンサ素子の配置で、この提示した接続のおかげで、生じるホールセンサの残留オフセットが低減される。

【0071】

ホールセンサ素子11、12、...、44は、ホールセンサHS内で2次元メッシュを形成し、このメッシュは、センサ端子EXT\_A、EXT\_B、EXT\_C、EXT\_Dを介してのみ接続される。

【0072】

図7に、メッシュで接続された複数のホールセンサ素子11、12、...、44を含むホールセンサのもう1つの実施形態を示す。図6の実施形態と比較して、図7の(複数の)ホールセンサ素子は、 $45^\circ$ 回転されている。さらに、これらのホールセンサ素子のいく

つかは、2つまたは4つの素子端子A、B、C、Dと一緒に接続されるように、隣接するホールセンサ素子に接続されている。たとえば、ホールセンサ素子21の素子端子Aは、その下隣りのホールセンサ素子22の素子端子B、左下隣りのホールセンサ素子12の素子端子C、および左隣りのホールセンサ素子11の素子端子Dに接続されている。同様の接続が、ホールセンサ素子22、23、31、32、33、41、42、43ならびにそのそれぞれの左隣り、左下隣り、および下隣りについても存在する。

【0073】

上記の実施形態のように、等分された第1の部分 $B_1$ のホールセンサ素子の素子端子は、時計回りにラベル付けされ、等分された第2の部分 $B_2$ のホールセンサ素子の素子端子は、反時計回りにラベル付けされ、それぞれ、左下角の素子端子Aから始まる。したがって、図7の配置も、対称性を有する。

10

【0074】

この配置の端部のホールセンサ素子は、その隣りだけに接続される。図7のホールセンサは、ホールセンサ素子14の素子端子Aに接続されたセンサ端子EXT\_A、ホールセンサ素子11の素子端子Bに接続されたセンサ端子EXT\_B、ホールセンサ素子41の素子端子Cに接続されたセンサ端子EXT\_C、ホールセンサ素子44の素子端子Dに接続されたセンサ端子EXT\_Dを介して接続される。

【0075】

図6の実施形態と同様に、等分された第1および第2の部分 $B_1$ 、 $B_2$ の位置での磁界の差に対応する差値を、2つのセンサ端子の間で測定することができる。

20

【0076】

たとえば、メッシュ構成を有する実施形態の入力関連雑音 $B_{Noise}$ は、

$$B_{Noise} = \frac{\sqrt{4kT \cdot \Delta f (R_H + R_{FE}(I_{FE}))}}{S_0}$$

によって与えられ、総電流 $I_{tot}$ は、

30

$$I_{tot} = I_H + I_{FE}$$

となる。

【0077】

上記の式では、抵抗 $R_H$ は、センサ端子に現れる、接続されたホールセンサ素子の実効抵抗である。したがって、従来の手法と比較して半分の電流で、雑音は、2倍に増加する。従来の手法と同じ雑音を得るために、電源電流または電源電圧を2倍に増加させてよい。総電流 $I_{tot}$ は、

40

$$I_{tot} = \sqrt{2} \cdot I_H + I_{FE},$$

であり、これは、従来の手法と比較してまだ少ない。

【0078】

図8に、主にそれぞれの素子端子のラベリングが異なる、ホールセンサ素子のさまざまな可能な構成を示す。たとえば、図8A、図8B、図8C、および図8Dの構成は、それぞれの矢印の隣のプラス記号によって表される、素子端子が時計回りにラベル付けされる構成を示す。同様に、図8E、図8F、図8G、および図8Hは、それぞれの矢印の隣の

50

マイナス記号によって表される、素子端子のラベリングが反時計回りに行われている構成を示す。

【 0 0 7 9 】

矢印の向きは、ホールセンサ素子のどの角が、基準素子端子、たとえば素子端子 A がラベル付けされるのかを示す。具体的には、図 8 A および図 8 E で使用される右向き矢印は、左下角に素子端子 A のラベルが付けられることを示す。下向き矢印は、図 8 B および図 8 F に示されているように、左上角に素子端子 A のラベルが付けられることを示す。左向き矢印は、図 8 C および図 8 G に示されているように、右上角の素子端子 A のラベル付けを示す。最後に、上を指す矢印は、素子端子 A が、右下角に位置していることを示す。上記の実施形態のうちの 1 つによるホールセンサ内で、このさまざまな構成を、使用することができ、たとえば、上記のように、時計回りのラベリングを有する図 8 A、図 8 B、図 8 C、図 8 C の構成を、等分された第 1 の部分  $B_1$  内で使用してよく、反時計回りのラベリングを有する図 8 E、図 8 F、図 8 G、および図 8 H の構成を、等分された第 2 の部分  $B_2$  内で使用してよい。

10

【 0 0 8 0 】

図 8 に示されたそれぞれの構成を用いて、ホールセンサのさらなる実施形態を次に続く図に示す。それぞれの構成は、それぞれプラス記号またはマイナス記号を有するそれぞれの矢印として描かれる。

【 0 0 8 1 】

たとえば、図 9 に、8 つのホールセンサ素子図 8 A の構成に従って等分された左側半分  $B_1$  内に設けられるホールセンサの実施形態を示す。このホールセンサの等分された右側半分  $B_2$  では、左側半分  $B_1$  に対して対称の配置で設けられる。この対称性は、右側半分  $B_2$  のホールセンサ素子に図 8 E の構成を適用することで生じる。個々のホールセンサ素子の間の相互接続は、たとえば図 6 または図 7 と同様に行われる。また、センサ端子  $EXT\_A$ 、 $EXT\_B$ 、 $EXT\_C$ 、 $EXT\_D$  を設けることは、たとえば図 6 または図 7 の実施形態のうちの 1 つに倣って行われてよい。

20

【 0 0 8 2 】

図 9 の実施形態では、使用されるホールセンサ素子は、基本的に同一の向きを有する。図 10 に、図 9 の実施形態と同様なホールセンサのさらなる実施形態を示し、ここでは、個々のホールセンサ素子が、互いに対して回転されているが、これは異なる向きの矢印でわかる。しかし、左側  $B_1$  のホールセンサ素子が、プラス記号によって表されるように時計回りにラベル付けされ、右側  $B_2$  のホールセンサ素子が、マイナス記号によって表されるように反時計回りにラベル付けされているので、等分された 2 つの部分  $B_1$ 、 $B_2$  の間でそれぞれ対称性が与えられまたは保持されている。このように、この対称性のおかげで、上記の実施形態では、センサ端子で差値がもたらされる。

30

【 0 0 8 3 】

図 10 の実施形態とは特に使用されるホールセンサ素子の個数が異なる、ホールセンサのさらなる実施形態を図 11 に示す。図 11 のホールセンサは、特に 2 つの半等分された部分  $B_1$ 、 $B_2$  に分配された 64 個のホールセンサ素子を備える。図 10 の実施形態と同様に、個々のホールセンサ素子は、互いに対して回転されている。

40

【 0 0 8 4 】

図 12 は、64 個のホールセンサ素子を有するホールセンサのさらなる実施形態を示す。対称の線は、概ねこの配列体の対角線に沿ってホールセンサを分離している。しかし、前記の実施形態と同様に、それぞれのプラス記号またはマイナス記号によって示されるように、等分された第 1 の部分  $B_1$  は、時計回りにラベル付けされたホールセンサ素子を備え、第 2 の部分  $B_2$  は、反時計回りにラベル付けされたホールセンサ素子を備える。このように、この実施形態でも、等分された第 1 および第 2 の部分  $B_1$ 、 $B_2$  の 2 つの位置での磁界強度の差に対応する差値が、図 12 のホールセンサによってもたらされ得る。

【 0 0 8 5 】

上記の実施形態のホールセンサを図 1 のセンサ配列体に適用する場合は、ホールセンサ

50

を動作させるために単一の増幅器および単一の電源回路またはバイアス回路だけが必要である。また、チョッピング装置またはデチョッピング（dechopping）装置が、ホールセンサ信号の評価のために使用される場合には、単一のチョッピング/デチョッピング回路だけが、このセンサ配列体のために必要である。したがって、従来の手法と比較して、必要な回路部品が少なく、電力消費が低減される。

【0086】

逆並列構成の図3および図4の実施形態および、図6、図7、図9～図12の実施形態では、センサ端子のうちの2つが電源信号を供給するのに使用され、センサ端子の他の2つが、差値をもたらすのに使用されることで、そのまま従来のホールセンサのように動作させることができる。したがって、従来のホールセンサと比較して、電流スピニングなどの技法を、変更なしで適用することができる。

10

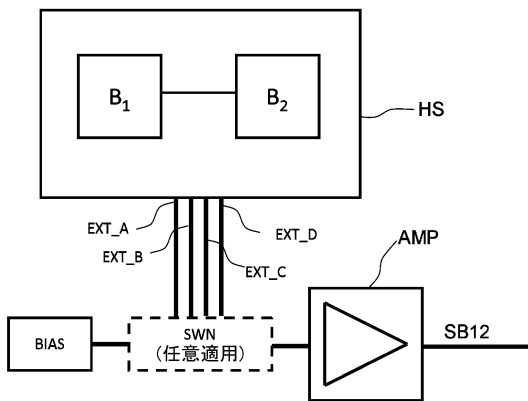
【0087】

しかし、図5の実施形態の逆直列構成を、上記で示したように、電源電流のそれぞれの変更によって電流スピニング技法を用いて動作させることもできる。

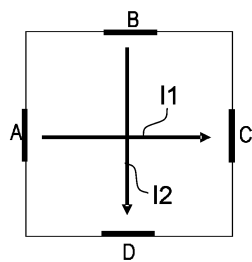
【0088】

ホールセンサのメッシュ状構成を用いると、たとえばセンサ端子に接続される素子端子の個数および位置を選択することによって、生じるホールセンサの抵抗を変更したり、影響を与えることができる。特に、ホールセンサの抵抗は、センサ端子に直接に接続されるホールセンサ素子の個数を増やすことによって低減することができる。

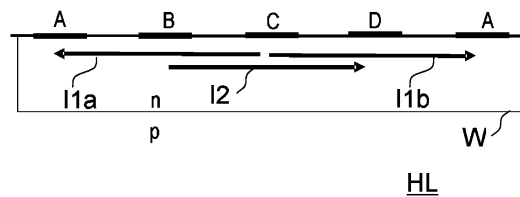
【図1】



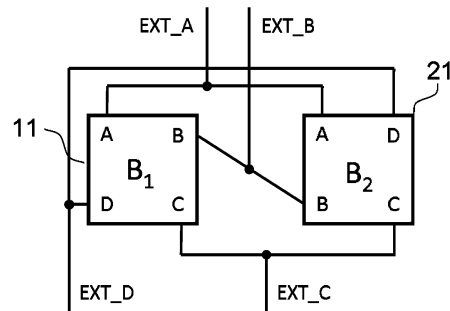
【図2A】



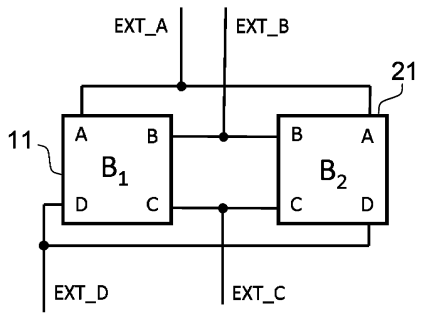
【図2B】



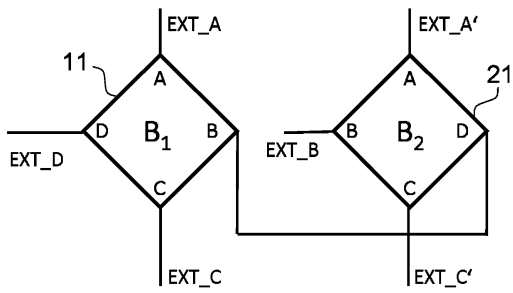
【図3】



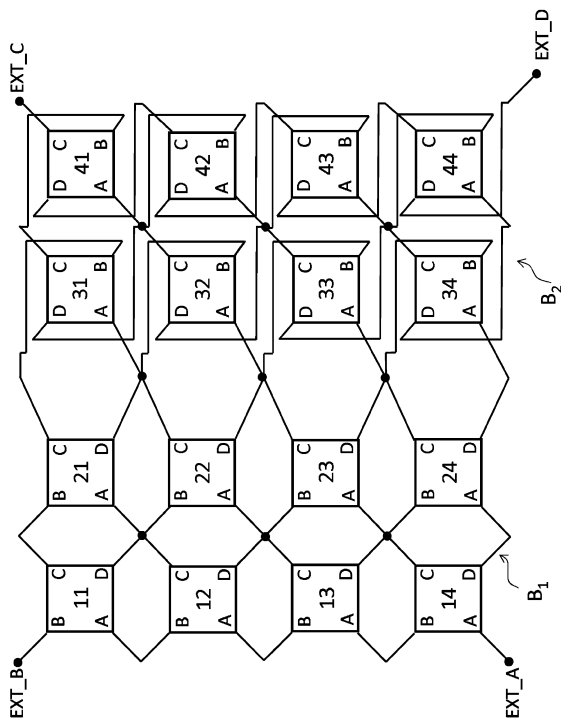
【 図 4 】



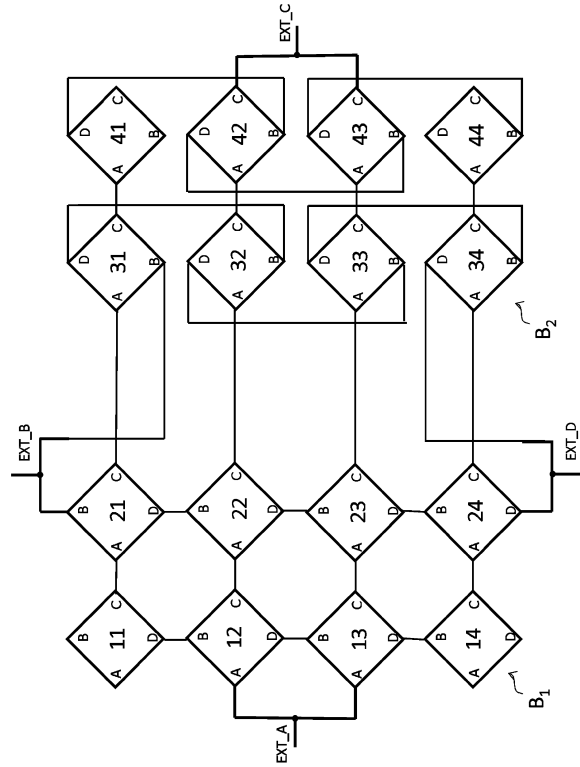
【 図 5 】



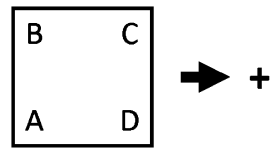
【 図 7 】



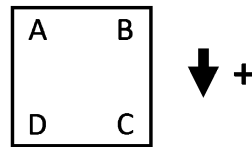
【 図 6 】



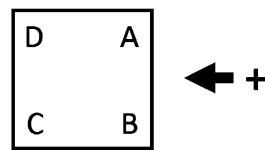
【 図 8 A 】



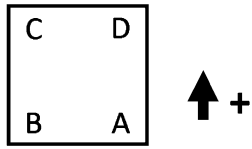
【 図 8 B 】



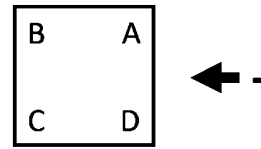
【 図 8 C 】



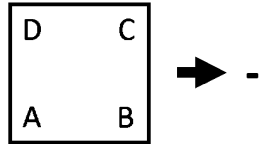
【 8 D 】



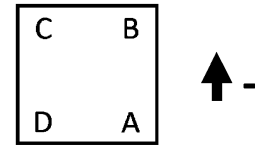
【 8 G 】



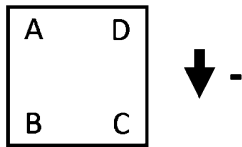
【 8 E 】



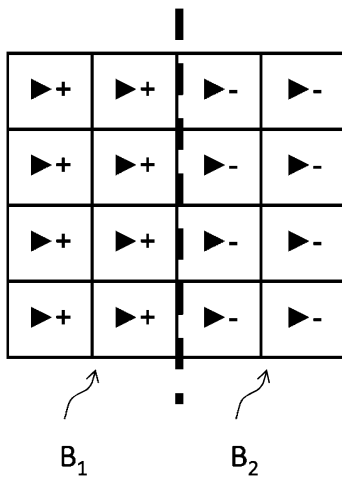
【 8 H 】



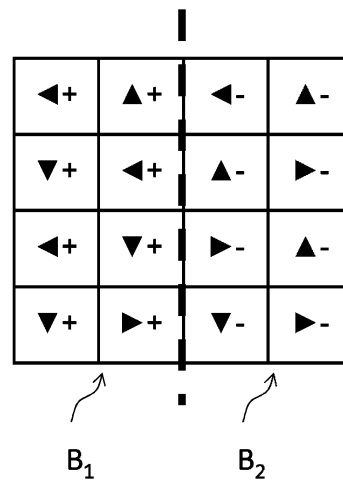
【 8 F 】



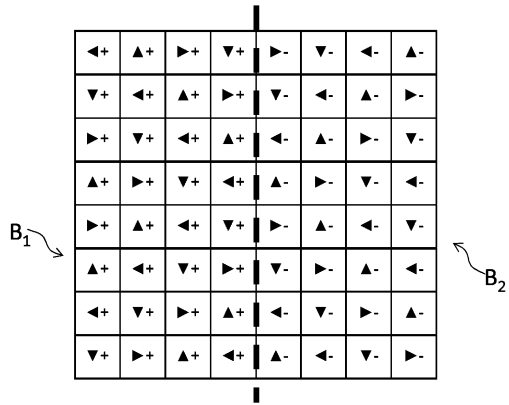
【 9 】



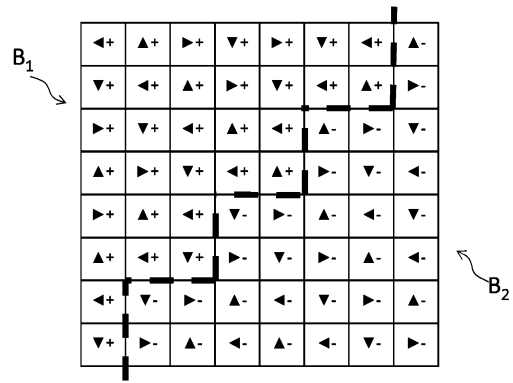
【 10 】



【 図 1 1 】



【 図 1 2 】



---

フロントページの続き

(72)発明者 レーラー, ゲオルグ  
オーストリア国 A - 8 4 0 3 レプリング, アム ゾンネンハンゲ 6

審査官 小川 浩史

(56)参考文献 米国特許第5084674(US, A)  
特開昭57-48265(JP, A)  
実開昭49-80130(JP, U)  
米国特許第2987669(US, A)  
特許第5969613(JP, B2)  
特許第5997295(JP, B2)  
特開2016-148673(JP, A)

(58)調査した分野(Int.Cl., DB名)  
G01R 33/00-33/26