

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 16/28 (2006.01)

G11C 11/56 (2006.01)

G11C 16/26 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200910137272.5

[43] 公开日 2009年12月30日

[11] 公开号 CN 101615428A

[22] 申请日 2003.9.23

[21] 申请号 200910137272.5

分案原申请号 03824864.6

[30] 优先权

[32] 2002.9.24 [33] US [31] 10/254,830

[32] 2003.9.17 [33] US [31] 10/665,828

[71] 申请人 桑迪士克股份有限公司

地址 美国加利福尼亚州

[72] 发明人 若尔-安德里安·瑟尼 李彦

[74] 专利代理机构 北京律盟知识产权代理有限公司
代理人 刘国伟

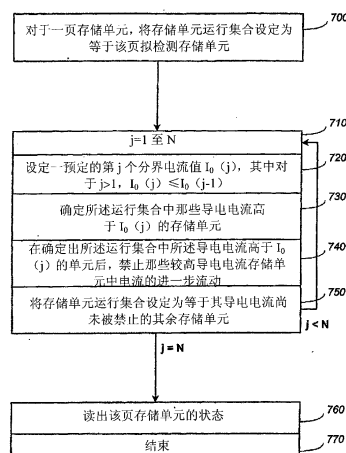
权利要求书 3 页 说明书 38 页 附图 26 页

[54] 发明名称

非易失性存储装置中的检测方法及读取系统

[57] 摘要

源极线偏压是一种由读取/写入电路的接地环路中的非零电阻引入的误差。在检测过程中，一存储单元的控制栅极电压会被一所述电阻两端的电压降错误地偏置。该误差会在流经接地环路的电流减小时得以最小化。一种用于降低源极线偏压的方法是通过具有多遍式检测特性和技术的读取/写入电路来实现。在并行检测一页存储单元时，每一遍均有助于识别并关断那些导电电流高于一给定分界电流值的存储单元。详言之，在已完成当前遍中的所有检测后关断所识别出的存储单元。通过这种方式，使关断作业不会干扰检测作业。由于通过消除较高电流单元的贡献而使总电流量得以显著降低，因此后续各遍检测将更小地受到源极线偏压的影响。在另一个检测改良方面中，使用一参考检测放大器来控制多个检测放大器，以降低其对电源及环境变化的依赖性。



1、一种非易失性存储器，其包含：

一存储器存储单元阵列；

复数个检测放大器，其用于并行检测一组存储器存储单元；

所述复数个检测放大器中的每一检测放大器均具有取决于一共用参数集合及一控制信号集合的预定特性；及

一参考电路，其与所述复数个检测放大器共享一共用环境，所述参考电路用于根据所述共用环境来校准所述共用参数集合并相应地产生所述控制信号集合，以控制所述复数个检测放大器，将其预定特性付诸实施。

2、一种非易失性存储器，其包含：

一存储器存储单元阵列；

复数个检测放大器，其用于并行检测一组存储器存储单元；

所述复数个检测放大器中每一检测放大器均具有取决于运行环境及一控制信号集合的特性；及

一参考电路，其具有带有可代表所述复数个检测放大器的特性的元件，并与所述复数个检测放大器共享一共用运行环境，所述参考电路可响应于在所述运行环境中运行的所述元件而产生所述控制信号集合，以便控制所述复数个检测放大器，以使其特性对所述运行环境基本不敏感。

3、根据权利要求2所述的非易失性存储器，其中所述特性包括一组件晶体管的一阈电压。

4、根据权利要求2所述的非易失性存储器，其中所述特性包括一组件电容器的一电容。

5、根据权利要求2所述的非易失性存储器，其中所述运行环境包括一既定电源。

6、根据权利要求2所述的非易失性存储器，其中所述运行环境包括一既定温度。

7、根据权利要求 2 所述的非易失性存储器，其中所述控制信号集合包括一校准至一参考电流的定时信号。

8、根据权利要求 2 所述的非易失性存储器，其中所述控制信号集合包括一用于控制一电压箝位器的电压。

9、一种非易失性存储器，其包含：

复数个检测放大器，其用于并行检测一组存储器存储单元，所述复数个检测放大器中每一检测放大器均具有取决于运行环境及一控制信号集合的特性；
及

一参考电路，其具有带有可代表所述复数个检测放大器中一典型成员的特性的元件，并与所述复数个检测放大器位于一共用运行环境中；及

产生构件，其用于响应于在所述运行环境中运行的所述元件而产生所述控制信号集合，以便控制所述复数个检测放大器，以使其特性对所述运行环境基本不敏感。

10、根据权利要求 2-9 中任一项所述的非易失性存储器，其中：
所述复数个存储器存储单元为闪速 EEPROM。

11、根据权利要求 2-9 中任一项所述的非易失性存储器，其中：
每一存储器存储单元存储一位数据。

12、根据权利要求 2-9 中任一项所述的非易失性存储器，其中：
每一存储器存储单元存储多于一位数据。

13、一种控制一非易失性存储器的复数个检测电路的方法，其包括：

提供复数个检测放大器，以用于并行检测一组存储器存储单元，所述复数个检测放大器中每一检测放大器均具有取决于运行环境及一控制信号集合的特性；及

将一具有带有可代表所述复数个检测放大器中一典型成员的特性的元件的参考电路与所述复数个检测放大器定位于一共用运行环境中；及

响应于在所述运行环境中运行的所述元件而产生所述控制信号集合，以便

控制所述复数个检测放大器，以使其特性对所述运行环境基本不敏感。

14、根据权利要求 13 所述的方法，其中：

所述复数个存储器存储单元为闪速 EEPROM。

15、根据权利要求 13 所述的方法，其中：

每一存储器存储单元存储一位数据。

16、根据权利要求 13 所述的方法，其中：

每一存储器存储单元存储多于一位数据。

非易失性存储装置中的检测方法及读取系统

本申请是 CN 03824864.6 的分案申请，该母案申请为 PCT/US2003/029603 进入中国国家阶段的申请，其申请日为 2003 年 9 月 23 日，发明名称为“非易失性存储装置中的检测方法及读取系统”。

技术领域

本发明概言之涉及非易失性半导体存储器，例如电可擦可编程只读存储器（EEPROM）和闪速 EEPROM，具体而言，本发明涉及具有改良检测电路的非易失性半导体存储器。

背景技术

最近，具有电荷非易失性存储能力的固态存储器，尤其是作为小形体因数插件封装的 EEPROM 及闪速 EEPROM 形式的固态存储器，成为各种移动及手持装置、尤其是信息用具和消费电子产品中的首选存储装置。与亦为固态存储器的 RAM（随机存取存储器）不同，闪速存储器具有非易失性，即使在电源关闭之后也能保留其所存储数据。闪速存储器尽管成本较高，但目前却越来越多地应用于大容量存储应用中。基于旋转磁性介质的传统大容量存储装置，例如硬盘驱动器及软盘，不适用于移动及手持环境。原因在于磁盘驱动器通常较为笨重，易于发生机械故障，且具有高的延时和高功率需求。这些不受欢迎的特性使得基于磁盘的存储装置不适用于大多数移动及便携式应用。相反，闪速存储器，无论是嵌入式还是可拆插件形式，均可理想地适用于移动及手持环境，原因是其具有尺寸小、功率消耗低、速度快及可靠性高的特点。

EEPROM 及电可编程只读存储器（EPROM）为可进行擦除并将新数据写入或“编程”输入其存储单元内的非易失性存储器。二者均利用一位于一场效应

晶体管结构中的浮动（未连接的）导电栅极，该浮动导电栅极定位于一半导体衬底的一沟道区上方、源极区与漏极区之间。然后在浮动栅极之上设置有一控制栅极。晶体管的阈电压特性受控于浮动栅极上所保持的电荷量。也就是说，对于浮动栅极上一给定的电荷电平，必须在控制栅极上施加一对应的电压（阈值）后，晶体管方会导通来允许其源极区与漏极区之间导电。

浮动栅极可保持一电荷范围，因此可编程至一阈电压窗口内的任一阈电压电平。阈电压窗口的尺寸是由器件的最低及最高阈电平来定界，而器件的最低及最高阈电平又对应于可编程到浮动栅极上的电荷范围。阈值窗口通常取决于存储器件的特性、工作条件及历史。原则上，该窗口内每一不同的可分辨的阈电压电平均可用于标识该单元的一确定的存储状态。

用作一存储单元的晶体管通常通过两种机理之一编程为一“已编程”状态。在“热电子注入”中，施加至漏极的高电压会使电子加速穿过衬底沟道区。同时，施加至控制栅极的高电压会将热电子通过一薄的栅极介电层拉至浮动栅极上。在“隧穿注入”中，则是相对于衬底在控制栅极上施加一高电压。通过这种方式，将电子自所述衬底拉至中间浮动栅极。

存储器件可通过多种机理进行擦除。对于 EPROM，可通过紫外线辐射移除浮动栅极上的电荷，来对存储器进行整体擦除。对于 EEPROM，可通过相对于控制栅极在衬底上施加一高电压以促使浮动栅极中的电子隧穿一薄氧化层到达衬底的沟道区（即 Fowler-Nordheim 隧穿），来对一存储单元进行电擦除。通常，EEPROM 可逐一字节地擦除。对于闪速 EEPROM，可一次电擦除整个存储器或每次电擦除一个或多个块，其中一个块可由 512 个或更多存储字节组成。

非易失性存储单元实例

存储装置通常包含一个或多个可安装在一个插件上的存储芯片。每一存储芯片包含一由例如译码器和擦除、写入和读取电路等外围电路支持的存储单元阵列。更为复杂的存储装置还带有一控制器，该控制器执行智能和更高级存储器作业及介接。目前有许多种在商业上很成功的非易失性固态存储装置正为人

们所用。这些存储装置可采用不同类型的存储单元，其中每一类型存储单元均具有一个或多个电荷存储元件。

图 1A-1E 以图解方式示意性地显示非易失性存储单元的不同实例。

图 1A 以图解方式示意性地显示一非易失性存储器，其为一具有一用于存储电荷的浮动栅极的 EEPROM 单元的形式。电可擦可编程只读存储器 (EEPROM) 具有与 EPROM 类似的结构，但是其另外还提供一种在施加适当的电压时无需曝光至紫外线辐射即会以电方式加载或自其浮动栅极移除电荷的机理。该类单元的实例及其制造方法在第 5,595,924 号美国专利中给出。

图 1B 以图解方式示意性地显示一兼具有一选择栅极及一控制或引导栅极二者的闪速 EEPROM 单元。该存储单元 10 具有一位于源极扩散区 14 与漏极扩散区 16 之间的“分裂沟道”12。一个单元事实上由两个晶体管 T1 及 T2 串联构成。T1 用作一具有一浮动栅极 20 及一控制栅极 30 的存储晶体管。浮动栅极能够存储一可选数量的电荷。可流经沟道的 T1 部分的电流量取决于控制栅极 30 上的电压及驻留在中间浮动栅极 20 上的电荷量。T2 用作一具有一选择栅极 40 的选择晶体管。当选择栅极 40 上的电压使 T2 导通时，其会允许沟道的 T1 部分中的电流流过源极与漏极之间。选择晶体管提供一沿源极-漏极沟道的开关，该开关独立于控制栅极的电压。其一优点在于，其可用于关断那些因其浮动栅极处的电荷耗尽（正）而在零控制栅极电压下仍然导通的单元。另一优点在于，其使源极侧注入编程更易于实施。

分裂沟道存储器单元的一个简单的实施例是选择栅极和控制栅极连接至同一字线，如图 1B 中的虚线所示意性显示。这通过将一电荷存储元件（浮动栅极）定位在沟道的一部分上方、并将一控制栅极结构（其为一字线的一部分）定位在另一沟道部分上方及所述电荷存储元件上方来实现。由此会有效地构成一具有两个串联晶体管的单元，其中一个晶体管（存储晶体管）使用所述电荷存储元件上的电荷量与所述字线上的电压的组合来控制可流经其沟道部分的电流量，另一晶体管（选择晶体管）则仅以字线作为其栅极。该类单元的实例、其

在存储系统中的应用及其制造方法在第 5,070,032、5,095,344、5,315,541、5,343,063 及 5,661,053 号美国专利中给出。

图 1B 所示分裂沟道单元的一更佳的实施例是选择栅极与控制栅极相互独立，而不通过其间的虚线相连。在一种实施方案中，将一单元阵列中一列单元的控制栅极连接至一垂直于字线的控制（或引导）线。其作用在于在对一选定单元进行读取或编程时无需使字线同时执行两种功能。这两种功能是：（1）用作选择晶体管的栅极，因此需要一适当的电压使选择晶体管导通或关断，（2）通过一耦合于字线与电荷存储元件之间的电场（容性）将电荷存储元件的电压驱动至一期望电平。通常难以使用一单一电压以最佳方式执行这两种功能。通过分别控制控制栅极和选择栅极，字线只需执行功能（1），而由附加的控制线执行功能（2）。这种能力使人们能够设计其中编程电压适合于目标数据的更高性能的编程。独立控制（或引导）栅极在闪速 EEPROM 阵列中的应用在第 5,313,421 及 6,222,762 号美国专利（举例而言）中进行了阐述。

图 1C 以图解方式示意性地显示另一具有双浮动栅极及独立选择栅极和控制栅极的闪速 EEPROM 单元。存储单元 10 与图 1B 中的存储单元 10 类似，只是其事实上具有三个串联晶体管。在该类型单元中，在其源极扩散区与漏极扩散区之间的其沟道上方包含两个存储元件（即 T1-左和 T1-右），其间为一选择晶体管 T1。这些存储晶体管分别具有浮动栅极 20 和 20'、及控制栅极 30 和 30'。选择晶体管 T2 是通过一选择栅极 40 控制。在任一时刻，仅对该对存储晶体管中的一个进行读取或写入访问。在访问存储单元 T1-左时，T2 及 T1-右二者均导通，以允许沟道的 T1-左部分中的电流流过源极与漏极之间。类似地，在访问存储单元 T1-右时，T2 及 T1-左导通。擦除是通过以下方式实现：使选择栅极多晶硅的一部分紧贴浮动栅极，并在选择栅极上施加一显著的正电压（例如 20V），以使存储在浮动栅极内的电子可隧穿到所述选择栅极多晶硅。

图 1D 以图解方式示意性地显示一组织成一 NAND 单元的存储单元串。一 NAND 单元 50 由一系列通过各自源极及漏极以菊花链方式连接的存储晶体管

M1、M2...Mn (n=4、8、16 或更高) 组成。一对选择晶体管 S1、S2 通过 NAND 单元的源极端子 54 和漏极端子 56 控制该存储晶体管链与外部的连接。在一存储器阵列中，当源极选择晶体管 S1 导通时，源极端子耦联至一源极线。类似地，当漏极选择晶体管 S2 导通时，NAND 单元的漏极端子耦联至存储器阵列的一条位线。链中的每一存储晶体管均具有一电荷存储元件，该电荷存储元件用于存储一给定量的电荷，以表示一预期的存储状态。每一存储晶体管的控制栅极均具有一控制栅极用于控制读取和写入作业。选择晶体管 S1、S2 中每一选择晶体管的控制栅极分别通过其源极端子 54 及漏极端子 56 控制对 NAND 单元的访问。

当对一 NAND 单元内一被寻址的存储晶体管进行读取及在编程过程中进行验证时，将为其控制栅极提供一适当的电压。同时，通过在控制栅极上施加充足的电压，使 NAND 单元 50 内其余未被寻址的存储晶体管完全导通。通过此种方式，有效地建立一自各存储晶体管的源极至该 NAND 单元的源极端子 54 的导电路径，及类似地自各存储晶体管的漏极至该单元的漏极端子 56 的导电路径。在第 5,570,315、5,903,495 及 6,046,935 号美国专利中对具有此种 NAND 单元结构的存储装置进行了阐述。

图 1E 以图解方式示意性显示一具有一用于存储电荷的介电层的非易失性存储器。其中使用一介电层替代了先前所述的导电性浮动栅极元件。此等利用介电存储元件的存储装置已由 Eitan 等人阐述于“NROM: 一种新颖的局部化陷获的 2-位式非易失性存储单元 (NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell)” (IEEE 电子器件通讯 (IEEE Electron Device Letters), 第 21 卷, 第 11 号, 2000 年 11 月, 第 543-545 页) 中。一 ONO 介电层延伸跨越源极扩散区和漏极扩散区之间的沟道。一个数据位的电荷集中在毗邻漏极扩散区的介电层中, 另一数据位的电荷则集中在毗邻源极扩散区的介电层中。举例而言, 第 5,768,192 和 6,011,725 号美国专利揭示了一种具有一夹于两层二氧化硅之间的陷获介电层的非易失性存储单元。多状态数据存储器是通过分别读取介电层内各个在空间上分离的电荷存储区域的二进制状态来构建。

存储器阵列

一存储装置通常由一存储单元二维阵列构成，其中存储单元呈行及列布置，且可通过字线和位线寻址。所述阵列可根据一 NOR 型或一 NAND 型架构而形成。

NOR 阵列

图 2 显示一存储单元 NOR 阵列的一实例。具有一 NOR 型架构的存储装置是使用图 1B 或图 1C 所示类型的单元来构建。每行存储单元均通过其源极及漏极以菊花链方式连接。该设计有时称为虚接地设计。每一存储单元 10 均具有一源极 14、一漏极 16、一控制栅极 30 及一选择栅极 40。一行中各单元的选择栅极连接至字线 42。一列中各单元的源极和漏极则分别连接至所选位线 34 和 36。在某些其中存储单元的控制栅极和选择栅极分别受到控制的实施例中，一引导线 36 也连接一列中各单元的控制栅极。

许多闪速 EEPROM 装置是由其中所形成的每一存储单元的控制栅极和选择栅极均连接在一起的各存储单元构建而成。在这种情况下，不需要使用引导线，仅由一字线连接沿每一行的各单元的所有控制栅极和选择栅极。在第 5,172,338 和 5,418,752 号美国专利中揭示了这些设计的实例。在这些设计中，字线实质上执行两种功能：行选择以及为行中的所有单元提供控制栅极电压来进行读取或编程。

NAND 阵列

图 3 以图解方式示意性地显示一例如图 1D 中所示的存储单元 NAND 阵列的实例。沿每一列 NAND 单元，均有一位线耦联至每一 NAND 单元的漏极端子 56。沿每一行 NAND 单元，均有一源极线可连接其所有源极端子 54。同时，一行中各 NAND 单元的控制栅极还连接至一系列对应的字线。可经由相连的字线、以选择晶体管控制栅极上的适当电压使选择晶体管对导通（参见图 1D）来对一整行 NAND 单元进行寻址。在读取一 NAND 单元的链中的一存储晶体管时，该链中的其余存储晶体管通过其相关的字线强导通，因此流经该链的电流实质上

取决于存储在所读取单元中的电荷电平。在第 5,570,315、5,774,397 及 6,046,935 号美国专利中可找到一 NAND 架构阵列的实例及其作为存储系统一部分的作业。

块擦除

对电荷存储式存储装置进行编程只会导致向其电荷存储元件增加更多的电荷。因此，在进行编程作业之前，必须将电荷存储元件中现有的电荷移除（或擦除）。设置有擦除电路（未图示）来擦除一或多个存储单元块。当一同（即以闪速）电擦除整个单元阵列或该阵列中相当多的单元群组时，例如 EEPROM 等非易失性存储器即称为“闪速”EEPROM。一旦得到擦除，所述群组单元即可进行重新编程。可一同擦除的该群组单元可由一个或多个可寻址的擦除单位组成。擦除单位或块通常存储一页或多页数据，页是编程和读取的单位，当然在一次作业中可编程或读取多于一页。每一页通常存储一个或多个数据扇区，扇区的尺寸由主机系统界定。其一实例是此一扇区：512 个字节的用户数据（遵循一为磁盘驱动器所设立的标准），加上一定数量的关于用户数据及/或存储用户数据的块的附加信息字节。

读取/写入电路

在通常的双状态 EEPROM 单元中，至少建立一个电流断点电平，以将导电窗口划分为两个区域。在通过施加一预定的固定电压对一单元进行读取时，其源极/漏极电流会通过与所述断点电平（或参考电流 I_{REF} ）相比较而解析成一种存储状态。如果所读取电流高于断点电平的电流或 I_{REF} ，则可确定该单元处于一种逻辑状态（例如“0”状态）。反之，如果所述电流低于断点电平的电流，则可确定该单元处于另一种逻辑状态（例如“1”状态）。因此，此一双状态单元存储一位数字信息。通常设置一可外部编程的参考电流源作为一存储系统的一部分，来产生断点电平电流。

为提高存储器的容量，随着半导体技术水平的进步，正以越来越高的密度来制造闪速 EEPROM 装置。另一种提高存储容量的方法是使每一存储单元存储

多于两种状态。

在一多状态或多电平 EEPROM 存储单元中，是通过多于一个断点将导电窗口划分为多于两个区域，以使每一单元能够存储多于一位数据。由此，会使一给定 EEPROM 阵列所能够存储的信息随着每一单元所能够存储的状态数量的增多而增多。在第 5,172,338 号美国专利中对具有多状态或多电平存储单元的 EEPROM 或闪速 EEPROM 进行了阐述。

实际上，通常通过在一单元的控制栅极上施加一参考电压时，检测穿过该单元的源电极和漏电极的导电电流来读取该单元的存储状态。因此，对于一单元的浮动栅极上的每一给定的电荷量，均可根据一固定的参考控制栅极电压侦测到一对应的导电电流。类似地，可编程至浮动栅极上的电荷范围会界定一对应的阈电压窗口或一对应的导电电流窗口。

或者，并不侦测一所划分电流窗口中的导电电流，而是可在控制栅极处为一给定的受试存储状态设定阈值电压，然后侦测导电电流低于还是高于一阈值电流。在一种实施方案中，通过检查导电电流经位线电容放电的速度来相对于阈值电流侦测导电电流。

图 4 针对在任一时刻浮动栅极可选择性存储的四种不同电荷量 Q_1 - Q_4 以图解方式显示了源极-漏极电流 I_D 与控制栅极电压 V_{CG} 之间的关系。这四条 I_D - V_{CG} 实线曲线代表可编程至一存储单元的浮动栅极上的四种可能的电荷电平，其分别对应于四种可能的存储状态。举例而言，若干单元的阈电压窗口可介于 0.5V 至 3.5V 之间。通过以皆为 0.5V 的间隔将阈值窗口划分为 5 个区域，可对 6 种存储状态进行定界。举例而言，如果如图所示使用 $2\mu A$ 的参考电流 I_{REF} ，则以 Q_1 编程的单元可视为处于存储状态“1”，因为其曲线在由 $V_{CG}=0.5V$ 和 $V_{CG}=1.0V$ 所定界的阈值窗口区域内与 I_{REF} 相交。类似地， Q_4 处于存储状态“5”。

由以上描述可以看出，使一存储单元存储的状态越多，其阈值窗口划分得越精细。这将需要更高的编程及读取作业精度，以便能够达到所要求的分辨率。

在第 4,357,685 号美国专利中揭示了一种对双状态 EPROM 进行编程的方

法，其中，一单元在编程至一给定状态时，其会经受连续的编程电压脉冲，其中每次向浮动栅极增加一递增电荷量。在两次脉冲之间，均对该单元进行回读或验证以确定其源极-漏极电流相对于断点电平的高低。在电流状态经验证达到期望状态时，停止编程。所用的编程脉冲串可具有递增的周期和幅值。

先前技术的编程电路仅施加编程脉冲在阈值窗口中自己擦除或接地状态步进至到达目标状态。实际上，为实现足够高的分辨率，所划分或定界的每一区域均将至少需要穿越约 5 个编程分步。该性能对于双状态存储单元而言是可以接受的。然而，对于多状态单元，所需要的分步数量随着分区数量的增加而增加，因此，必须提高编程精度或分辨率。举例而言，一 16 状态的单元可能平均需要至少 40 个编程脉冲方可编程至一目标状态。

图 5 以图解方式示意性显示一具有一典型布置的存储阵列 100 的存储装置，其可由读取/写入电路 170 通过行译码器 130 及列译码器 160 进行访问。如结合图 2 和图 3 所示，存储阵列 100 中一存储单元的一存储晶体管可通过一组选定的字线及位线进行寻址。行译码器 130 选择一个或多个字线，列译码器 160 则选择一个或多个位线，以向所寻址的存储晶体管的相应栅极施加适当的电压。读取/写入电路 170 提供用于读取或写入（编程）所寻址的存储晶体管的存储状态。读取/写入电路 170 包含若干可通过位线与阵列中的存储元件相连的读取/写入模块。

影响读取/写入性能及精度的因素

为提高读取和编程性能，对一阵列中的多个电荷存储元件或存储晶体管进行并行读取或编程。因此，一同读取或编程一存储元件逻辑“页”。在现有的存储器架构中，一行通常包含数个交错的页。一页中的所有存储元件将被一同读取或编程。列译码器将选择性地将每一交错的页连接至一对应数量的读取/写入模块。举例而言，在一实施方案中，将存储阵列设计为具有一 532 字节（512 字节加上 20 字节的附加信息）的页尺寸。如果每列包含一漏极位线且每行有两个交错的页，则共计 8512 列，其中每一页均与 4256 个列相关联。此时将可连接

4256 个检测模块来对所有的偶数位线或奇数位线进行并行读取或写入。通过这种方式，可自该存储元件页读取或向该存储元件页编程一由 4256 位（即 532 字节）的并行数据组成的页。构成读取/写入电路 170 的读取/写入模块可布置成各种不同的架构。

如前文所述，传统的存储装置通过以一种大规模并行方式运行来改善读取/写入作业。这种方法改善了性能，但是对读取和写入作业的精度的确有影响。

一个问题是源极线的偏压误差。此对于其中将大量存储单元的源极在一条源极线中一同连接接地的存储器架构尤为尖锐。对该些具有共用源极的存储单元的并行读取会致使一个显著的电流流经所述源极线。由于所述源极线中的有限的电阻，此又导致在实际的地与每个存储单元源电极之间有一显著的电位差。在检测过程中，施加在每个存储单元的控制栅极上的阈电压以其源电极为基准，而系统电源以实际地为基准。因此，由于源极线偏压误差的存在，检测可能会变得不精确。

另一个问题与位线-位线耦合或串扰有关。这一问题对于间隔紧密的位线的并行检测变得更加尖锐。避免位线-位线串扰的一个传统的解决方案是同时检测所有的偶数位线或所有的奇数位线而将其他位线接地。此种一行由两个交错页组成的架构有助于避免位线串扰并缓解密集配置读取/写入电路的页的问题。一页译码器用于将该组读取/写入模块多路复用至偶数页或奇数页。通过这种方式，每当一组位线正受到读取或编程时，可将交错的组接地，以消除偶数位线与奇数位线之间的串扰，但不消除各奇数线或各偶数线之间的串扰。

然而，这种交错页架构至少有三方面的缺点。首先，其需要额外的多路复用电路。第二，其性能较慢。为完成对通过一字线相连的或位于一行中的各存储单元的读取或编程作业，需要进行两次读取或两次编程作业。第三，其在解决例如以下等干扰影响方面亦非最佳：当在不同时刻对两个处于浮动栅极电平的相邻电荷存储元件进行编程时（例如分别在奇数页和偶数页中），这两个相邻电荷存储元件之间的场耦合。

随着存储晶体管之间的间距越来越紧密，相邻元件场耦合问题变得愈加突出。在一存储晶体管中，一电荷存储元件夹在一沟道区与一控制栅极之间。在该沟道区中流动的电流是由所述控制栅极及电荷存储元件处的场所产生的合成电场的函数。随着密度不断增大，所形成的各存储晶体管越来越近。因此，相邻电荷元件的场明显地作用于受影响单元的合成场。相邻场取决于编程入相邻元件的电荷存储元件中的电荷。这种干扰场具有动态性质，因为其随相邻元件的编程状态而改变。因此，受影响的单元在不同的时刻可能会有不同的读取结果，此取决于相邻元件的变化的状态。

传统的交错页架构加剧了由相邻浮动栅极耦合所导致的误差。由于偶数页和奇数页是彼此独立地编程和读取，因而可能会在一组条件下对一页进行编程、但在完全不同的一组条件下回读该页，此取决于于此同时所发生在干涉页上的情形。随着密度的增加，读取误差将变得更加严重，此要求对多状态实施方案进行更为精确的读取作业和更为粗略的阈值窗口划分。此会造成性能损失，且使多状态实施方案的潜在容量受到限制。

因此普遍需要高性能和高容量的非易失性存储器。尤其需要有效地解决了上述问题的具有改良读取和编程性能的高容量非易失性存储器。

发明内容

上述对大容量、高性能非易失性存储装置的需求通过利用一大页读取/写入电路对一相应的存储单元页进行并行读取和写入而得到满足。详言之，高密度芯片集成中所固有的可在读取和编程中引入误差的干扰影响得以消除或最小化。

源极线偏压是一种由读取/写入电路的接地环路中的非零电阻所导致的误差。该误差是在电流流动时由电阻两端的电压降所引起的。根据本发明的一个方面，利用具有多遍检测性能及技术的读取/写入电路来实现一种降低源极线偏压的方法。在并行检测一页存储单元时，每一遍均有助于识别并关断导电电流

高于一给定分界电流值的存储单元。所识别出的存储单元是通过将其相关联位线拉至地电平而关断。

在一实施方案中，给定的分界电流值高于传统的单遍检测的断点电流值。或者，给定的分界电流值渐近收敛于传统单遍检测的相关联的断点电流值。通过这种方式，因消除了更高电流单元所产生的影响而显著降低了电流的总量，由此使后续遍中的检测更少地受到源极线偏压的影响。

根据一较佳实施例，电流的状态是在第一遍中通过将每一其导电电流与给定的分界电流值进行比较来识别。

根据另一个较佳实施例，更高的电流状态是在第一遍中通过使用一受控电流源对每个位线进行预充电来识别。这通过由一预充电电路用作受控电流源且所提供的电流限定至该分界电流值来实现。通过这种方式，那些导电电流超出分界电流值的存储单元的电流流尽的速度将快于预充电电路可对其相关联位线进行充电的速度。因此，高电流存储单元会因其位线不能够充电而被识别出，并将因此被排除而不能参与后续各遍检测。

根据又一较佳实施例，高电流状态是通过包括与一给定分界电流值进行比较及进行受控预充电的多遍检测进行识别。

根据再一较佳实施例，一经检测其电流高于一预定分界电平的存储单元的位线不必在侦测之后立即接地，而是对其进行接地标记或允许。只有在对该页所有存储单元的侦测或检测结束之后，才将所有被标记或允许的位线锁存接地。通过这种方式，将与锁存接地的位线相关联的可能的大电压摆动限制在检测作业之外的一个周期内。这将使一锁存接地的位线对该页中任何仍在接受检测和侦测的存储单元产生的任何干扰影响最小化。

另一种误差是由位线间的容性耦合引起的。根据本发明的另一个方面，一存储装置及其一方法可实现多个存储单元的并行检测同时使由位线-位线耦合或串扰所引起的误差最小化。实质上，将受到并行检测的多条位线的位线电压控制成使在正检测其导电电流时，每个相邻位线对之间的电压差基本上与时间无

关。在施加了该条件后，由各位线的电容所引起的所有位移电流全部消失，因为其均依赖于—随时间而变的电压差。

在一较佳实施例中，这一点是通过并行检测电路来实现，这些并行检测电路亦可保证所连接的位线中任意相邻位线对的电势差均与时间无关。

先前技术的检测包括确定导电电流对位线电容所导致的等效电容器进行放电的速度。这将与在箝位的位线电压下进行检测的本发明特征相抵触。

根据本发明的另一个方面，一检测电路及方法可通过记录一存储单元的导电电流对—与所述位线无关的给定电容器进行放电或充电的速度来确定该存储单元的导电电流。这将允许使用一种与存储阵列的架构无关（即与位线电容无关）的最佳检测电路及方法。更重要的是，其允许在检测过程中将位线电压箝位以避免位线串扰。

一形成为一高密度集成电路形式的非易失性存储器的一种固有误差是由邻近电荷存储元件的场耦合造成的。各个存储单元不仅受到其自身存储元件的场的影响，而且还受到邻近单元的存储元件的场的影响。根据本发明的另一个方面，通过使在编程与读取之间每个单元的场环境的变化最小化，来使外来邻近场所造成的误差最小化。此通过对其一页中所有邻近存储单元一同进行编程来实现。由于各个存储单元及其邻近单元一同进行编程，因而此可确保各个单元在被编程至被读取期间所经受的场环境变化最小。通过这种方式，通过读取过程中的一相同误差来抵消在编程过程中引起的误差，因而使误差得以减小且使其数据相依性降低。

根据本发明的另一个方面，使用—其特性可代表若干并行运行的检测放大器的参考检测放大器来跟踪环境及系统变化并控制该些若干检测放大器，以使其不受该些变化的影响。该些若干检测放大器中的每一个均具有依赖于—共用参数集合及—控制信号集合的预定特性。该参考电路与该些若干检测放大器共享—共用环境，其构建用于根据所述共用环境来校准该共用参数集合并相应地产生该控制信号集合，以便控制所述若干检测放大器中的每一个检测放大器，

将其预定特性付诸实施。

根据下文对本发明较佳实施例的说明，将会了解本发明的其它特征和优点，这些说明应结合附图阅读。

附图说明

图 1A-1E 以图解方式示意性显示非易失性存储单元的不同实例。

图 2 以图解方式显示一存储单元 NOR 阵列的一实例。

图 3 以图解方式显示一例如图 1D 中所示的存储单元 NAND 阵列的一实例。

图 4 针对在任一时刻浮动栅极可存储的四种不同电荷量 Q_1 - Q_4 以图解方式显示源极-漏极电流与控制栅极电压之间的关系。

图 5 以图解方式示意性显示一典型布置的一存储阵列，其可由读取/写入电路通过行译码器及列译码器进行访问。

图 6A 以图解方式示意性显示根据本发明的一实施例，一具有用于并行读取和编程一页存储单元的读取/写入电路的存储装置。

图 6B 以图解方式显示图 6A 所示存储装置的一较佳布置。

图 7A 以图解方式显示由在具有一有限对地电阻的源极线中流动的电流所引起的源极电压误差问题。

图 7B 以图解方式显示源极线电压降引起的存储单元阈电压电平误差。

图 8 以图解方式显示一 4 状态存储器的一页存储单元的一实例性群体分布。

图 9 为一流程图，其显示根据本发明一实施例，一种用于降低源极线偏压的多遍式检测方法。

图 10 为一示意图，其以图解方式显示根据本发明一较佳实施例的一多遍式检测模块。

图 11 为一流程图，其显示图 10 所示多遍式检测模块的运行。

图 12 以图解方式显示三条相邻位线及其间的容性耦合效应。

图 13A 为一流程图，其显示一可进行检测同时降低位线-位线耦合的方法。

图 13B 为一流程图，其显示图 13A 所示检测方法的一更为详细的实施例。

图 14 以图解方式显示一执行本发明各个方面的较佳检测模块。

图 15 (A) -图 15 (K) 为图 14 所示检测模块的时序图。

图 16A 为一流程图，其显示一可降低由邻近浮动栅极耦合所引起的误差的编程及读取方法。

图 16B 为一流程图，其显示图 16A 所示发明性步骤的一较佳实施例。

图 17 以图解方式显示一存储阵列，其类似于图 6A 及图 6B 所示，只是其架构将每行存储单元组织为一左页及一右页存储单元。

图 18 以图解方式显示一检测模块的另一较佳实施例。

图 19 (A) -图 19 (K) 为图 18 所示检测模块的时序图。

图 20 为一流程图，其显示图 18 所示检测模块的运行。

图 21A 以图解方式示意性显示一为若干检测放大器提供参考控制信号的参考检测放大器。

图 21B 以图解方式显示一参考检测放大器，其提供两个实例性参考控制信号，例如 BLX 及 STB。

图 22 以图解方式显示 BLX 信号产生器的一较佳实施例。

图 23 以图解方式示意性显示一较佳 STB 信号产生器，其用于产生一选通信号以控制所述若干检测放大器的检测时间。

具体实施方式

图 6A 以图解方式示意性显示一根据本发明的一实施例具有用于并行读取和编程一页存储单元的读取/写入电路的存储装置。所述存储装置包含一二维存储单元阵列 300、控制电路 310 及读取/写入电路 370。存储阵列 300 可由字线通过一个行译码器 330 及由位线通过一个列译码器 360 寻址。读取/写入电路 370 包含多个检测模块 380，并可实现一页存储单元的并行读取或编程。在一其中将一行存储单元划分为多个页的实施例中，设置一个页多路复用器 350 将各读取/

写入电路 370 多路复用至各个页。

控制电路 310 与读取/写入电路 370 配合,以对存储阵列 300 执行存储作业。控制电路 310 包含一状态机 312、一单片地址译码器 314 及一功率控制模块 316。状态机 312 提供存储器作业的芯片级控制。单片地址译码器 314 在由主机或一存储器控制器所用地地址与由译码器 330 及 370 所用硬件地址之间提供一地址接口。功率控制模块 316 控制在存储器作业期间向字线及位线提供的功率和电压。

图 6B 以图解方式显示图 6A 所示紧凑存储装置的一较佳布置。各外围电路对存储阵列 300 的访问是以对称形式在该阵列的各对置侧实施,由此将每侧的访问线和电路的密度减半。因此,行译码器分裂为行译码器 330A 及 330B,列译码器分裂为列译码器 360A 及 360B。在其中将一行存储单元划分为多个页的实施例中,页多路复用器 350 分裂为页多路复用器 350A 及 350B。类似地,读取/写入电路分裂为自阵列 300 底部连接至位线的读取/写入电路 370A 及自阵列 300 顶部连接至位线的读取/写入电路 370B。通过这种方式,实质上将读取/写入模块的密度并因而将检测模块 380 的密度降半。

源极线误差管控

在检测存储单元时,一个可能的问题是源极线偏压。当并行检测大量存储单元时,其组合电流可致使在一具有有限电阻的接地环路中出现显著的电压降。这将形成源极线偏压,该源极线偏压会在一应用阈电压检测的读取作业中引起误差。

图 7A 以图解方式显示由在具有一有限对地电阻的源极线中流动的电流所引起的源极电压误差问题。读取/写入电路 370 对一页存储单元进行同时作业。各读取/写入电路中的每个检测模块 380 均通过一位线 36 耦联至一对应的单元。举例而言,一检测模块 380 检测一存储单元 10 的导电电流 i_l (源极-漏极电流)。导电电流自检测模块通过位线 36 流入存储单元 10 的漏极,并自源极 14 穿出,然后经一源极线 34 流至地。在一集成电路芯片中,一存储阵列中各单元的源极全部连在一起作为源极线 34 的多条支路,源极线 34 连接至存储芯片的某外部

接地焊垫（例如 Vss 焊垫）。即便当使用金属带降低源极线的电阻时，在一存储单元的源电极与接地焊垫之间仍存在一有限的电阻 R。通常，接地环路电阻 R 为 50 ohm 左右。

对于受到并行检测的整页存储单元而言，流经源极线 34 的总电流为所有导电电流的和，即 $i_{TOT}=i_1+i_2+\dots+i_p$ 。通常，每个存储单元均具有一取决于编程入其电荷存储元件的电荷数量的导电电流。对于所述存储单元的一给定控制栅极电压，少量的电荷将产生一相对较高的导电电流（参见图 4）。当在一存储单元的源电极与接地焊垫之间存在一有限电阻时，电阻两端的电压降通过 $V_{drop}=i_{TOT}R$ 得出。

举例而言，如果 4,256 条位线分别以 $1\mu A$ 的电流同时放电，则源极线的电压降将等于 $4000 \text{ 条线} \times 1\mu A / \text{每条线} \times 50\text{ohm} \approx 0.2$ 伏特。在检测存储单元的阈电压时，该源极线偏压将导致一 0.2 伏特的检测误差。

图 7B 以图解方式显示由源极线电压降造成的存储单元阈电压电平误差。提供至存储单元 10 的控制栅极 30 的阈电压 V_T 是相对于 GND。然而，存储单元所承受的有效电压 V_T 为其控制栅极 30 与源极 14 之间的电压差。在所提供的 V_T 与有效 V_T 之间存在一约为 V_{drop} 的差值（忽略自源极 14 至源极线之间的较小的电压降影响）。在检测存储单元的阈电压时，所述 V_{drop} 或源极线偏压将会导致一比如 0.2 伏特的检测误差。所述偏压不易于消除，因为其具有数据相依性，即相依于该页存储单元的存储状态。

根据本发明的一个方面，利用具有多遍检测性能及技术的读取/写入电路来实现一种降低源极线偏压的方法。每一遍均有助于识别并关断导电电流高于一给定分界电流值的存储单元。通常，通过每一遍检测，给定的分界电流值渐近收敛于传统单遍检测的断点电流值。通过这种方式，由于较高电流单元被关断，因而后续遍中的检测会更少受到源极线偏压的影响。

图 8 以图解方式显示一 4 状态存储器的一页存储单元的一实例性群体分布。每个存储状态群集均在一相互清楚地分开的导电电流 I_{SD} 范围内进行编程。举例

而言，一断点 381 为分别代表存储状态“1”和“2”的两个群集之间的一分界电流值。在一传统的单遍式检测中，存储状态“2”的一必要条件为其具有一小于断点 381 的导电电流。在图 8 中，假若没有源极线偏压，关于所提供阈电压 V_T 的群体分布将由实心曲线给出。然而，由于源极线偏压的误差的原因，每个存储单元的控制栅极处的阈电压会升高该源极线偏压。这意味着需要施加一更高的控制栅极电压以补偿所述偏压。在图 8 中，源极线偏压致使该分布（虚线）向一更高的所提供 V_T 偏移。对于更高存储状态（电流更低），偏移将会更大。如果断点 381 设计用于没有源极线误差的情况，则源极线误差的存在将使状态“1”的具有导电电流的尾端的某些部分出现在一非导通区域中，这意味着高于断点 381。这将致使某些“1”状态（导电更强）会被错误地界定为“2”状态（导电更弱）。

举例而言，该多遍式检测可构建为两遍（ $j=1$ 至 2）。在第一个遍之后，识别出那些导电电流高于断点 381 的存储单元并通过关断其导电电流将其清除。一种关断其导电电流的较佳方式是将其位线上的漏极电压设定为地电平。仍然参看图 7A，这将有效地清除由断点 381 所界定的所有更高电流状态，从而得到一低得多的 i_{TOT} 并由此得到一低得多的 V_{drop} 。在第二遍（ $j=2$ ）中，由于导致源极线偏压的高电流状态被清除，因而虚线分布将接近于实线分布。因此以断点 381 作为分界电流值进行的检测将不会把“1”状态误当作“2”状态。

与传统的单遍式方式相比，该双遍式方式会显著地降低将某些“1”单元误识别为“2”或更高单元的可能性。亦涵盖多于两遍，然而随着遍数的增加所获得的回报将减弱。此外，每一遍可具有相同的分界电流，或者随着顺序性地进行每一遍，所用分界电流收敛于一在传统单遍检测中通常所用的断点。

图 9 为一流程图，其显示一种根据本发明一实施例用于降低源极线偏压的多遍式检测方法。

步骤 400: 对于一页存储单元，首先将存储单元运行集合设定为等于该页存储单元。

步骤 410: 开始多遍检测 $j=1$ 至 N 。

步骤 420: 设定一分界电流值 $I_0(j)$ ，其中在第一遍 $j>1$ 之后， $I_0(j)$ 小于或等于前一遍 $j-1$ 中的值，即 $I_0(j) \leq I_0(j-1)$ 。

步骤 430: 确定所述运行集合中那些导电电流高于分界电流值 $I_0(j)$ 的存储单元。

步骤 440: 禁止那些导电电流高于分界电流值 $I_0(j)$ 的存储单元中电流的进一步流动。

步骤 450: 将存储单元运行集合设定为等于其导电电流尚未被禁止的其余存储单元。如果 $j < N$ ，则返回步骤 410，否则继续进行至步骤 460。

步骤 460: 读出该页存储单元的状态。

步骤 470: 结束。

图 10 为一示意图，其以图解方式显示根据本发明一较佳实施例的一多遍式检测模块。所述多遍式检测模块 380 通过一所耦联的位线 36 来检测一存储单元 10 的导电电流。其具有一可选择性连接多个组件的检测节点 481。首先，一隔离晶体管 482 在通过一信号 BLS 启用后将位线 36 连接至检测节点 381。一预充电电路 484 耦联至检测节点 481。所述预充电电路 484 在启用后，会使位线电压达到一适于进行检测的预定漏极电压。同时，所述存储单元的控制栅极设定为一对应于一所考虑的给定存储状态的预定阈电压 $V_T(i)$ 。此将引起一在存储单元 10 内流动的源极-漏极导电电流，其可自所耦联的位线 36 检测出。在所述存储单元的源极与漏极之间存在一标称电压差时，所述导电电流为编程入所述存储单元内的电荷及所施加的 $V_T(i)$ 的一个函数。

此后，一检测放大器 390 连接至所述检测节点以检测存储单元 10 中的导电电流。一单元电流鉴别器 394 用作一电流电平鉴别器或比较器。其确定导电电流是高于还是低于一给定的分界电流值 $I_0(j)$ 。如果其高于 $I_0(j)$ ，则一锁存器 396 设定为一预定状态。一下拉电路 486 会因应锁存器 396 设定为所述预定状态（例如 INV 变为 HIGH）而激活。其会将下拉检测节点 481 并由此将所连接的

位线 36 至地电压。由此，无论控制栅极电压如何，均将禁止存储单元 10 中导电电流的流动，因为在其源极与漏极之间将没有电压差。

通常，将由一对应数量的多遍式检测模块 380 对一页存储单元进行作业。一个页控制器 498 向每个检测模块提供控制及定时信号。在一实施例中，将页控制器 498 构建为图 6A 所示控制电路中状态机 312 的一部分。在另一实施例中，所述页控制器为读取/写入电路 370 的一部分。页控制器 498 通过一预定的遍数 ($j=1$ 至 N) 来轮转每个多遍式检测模块 380 并亦为每一遍提供一预定的分界电流值 $I_0(j)$ 。如在下文中结合图 13 可以看出，分界电流值亦可构建为一检测时间周期。在最后一遍之后，页控制器 498 通过一信号 NCO 来启用一转移门 488，以将检测节点 481 的状态作为所检测数据读取至读出总线 499。总计将自全部多遍式模块 380 读出一页检测数据。

图 11 为一流程图，其显示图 10 所示多遍式检测模块的运行。

步骤 400: 对于一页分别耦联有一位线的存储单元，首先将一存储单元运行集合设定为等于所述页存储单元。

步骤 402: 将所述存储单元运行集合的各位线充电至一预定的电压范围内。

步骤 410: 开始多遍检测 $j=1$ 至 N 。

步骤 412: 从电压处于预定电压范围内的存储器运行集合的各个位线开始进行操作。

步骤 420: 设定一分界电流值 $I_0(j)$ ，其中在第一遍 $j>1$ 之后， $I_0(j)$ 小于或等于前一遍 $j-1$ 的值，即 $I_0(j) \leq I_0(j-1)$ 。

步骤 430: 确定所述运行集合中那些导电电流高于分界电流值 $I_0(j)$ 的存储单元。

步骤 440: 禁止那些导电电流高于分界电流值 $I_0(j)$ 的存储单元中电流的进一步流动。

步骤 452: 将存储单元运行集合设定为等于其位线尚未被锁存及拉至地电平的其余存储单元。如果 $j < N$ ，则返回步骤 410，否则继续进行至步骤 460。

步骤 460: 读出该页存储单元的状态。

步骤 470: 结束。

具有位线-位线耦合控制的检测

图 12 以图解方式显示三条相邻位线及其间的容性耦合效应。一存储单元 10-0 具有两个相邻的存储单元 10-1 和 10-2。类似地, 三条相邻的位线 36-0、36-1 及 36-2 分别耦合至所述三个存储单元。每个位线分别具有其自身电容 C_{BL0} 、 C_{BL1} 及 C_{BL2} 。相邻的位线对 36-0 与 36-1 具有互电容 C_{BL01} 。相邻的位线对 36-0 与 36-2 具有互电容 C_{BL02} 。

可以看出, 由于各电容的存在, 可能会有各种电流支路。详言之, 由每一位线的自身电容所引起的电流将形成:

$$i_{BLC0} = C_{BL0} d/dt V_{BL0},$$

$$i_{BLC1} = C_{BL1} d/dt V_{BL1},$$

$$i_{BLC2} = C_{BL2} d/dt V_{BL2}.$$

类似地, 由相邻位线对 36-0 和 36-1 所引起的交叉电流为:

$$i_{BLC01} = C_{BL01} d/dt (V_{BL0} - V_{BL1}), \text{ 及,}$$

$$i_{BLC02} = C_{BL02} d/dt (V_{BL0} - V_{BL2}).$$

存储单元 10-0 的导电电流为:

$$i_{CELL} \approx i_{BL0} + [i_{BLC00} + i_{BLC01} + i_{BLC02}].$$

以上给出的单元电流为一近似值, 因为其仅包括来自相邻位线的成分。通常, 对于位线 BL0, 将还存在由左侧的非相邻位线所造成的电容 C_{BL03} 及由右侧的非相邻位线所造成的电容 C_{BL04} 。类似地, 在非相邻位线 BL1 与 BL2 之间将存在一互电容 C_{BL12} 。这些电容将引起一依赖于每个电容器两端的变化的电压的位移电流。据估计, 来自非相邻位线的作用达到来自相邻位线的作用的 10%。

同时, 由于检测模块 380 耦联至位线 (参见图 10), 因而其所检测到的电流为 i_{BL0} , 由于来自不同位线电容的电流成分, i_{BL0} 与 i_{CELL} 不相同。

一种先前技术的解决方案是在检测一存储单元的同时将相邻单元的位线接

地。存储单元中的电流是通过记录经所耦联位线的电容放电的速率来检测。因此，导电电流可根据位线电压的变化速率得出。参看图 12，这意味着在正检测位线 BL0 36-0 上的导电电流的同时，将相邻位线 BL1 36-1 上的电压 V_{BL1} 及相邻位线 BL2 36-2 上的电压 V_{BL2} 设定为零。通过关断相邻位线中的电流，会消除相邻位线间的串扰。然而，由于此种先前技术检测会导致一随时间而变的 $V_{BL0}=V_{BL0}(t)$ ，根据上文给出的方程式，BL0 的对地自身电容变为 $C_{BL00}+C_{BL01}+C_{BL02}$ 。此种先前技术检测也未消除由非相邻位线所造成的位移电流，例如与 C_{BL03} 、 C_{BL04} 及 C_{BL12} 相关联的位移电流。尽管该些电流的值更小，但是还是颇为可观。

根据本发明的另一个方面，一存储装置及其一方法会实现对多个存储单元的并行检测，同时使因位线-位线耦合所引起的误差最小化。实质上，耦联至多个存储单元的多条位线的位线电压的控制方式使在正检测其导电电流时，每个相邻位线对之间的电压差基本上与时间无关。在施加了该条件后，由各位线电容所引起的电流全部消失，因为其均依赖于随时间而变的电压差。因此，根据上述方程式，由于 $[i_{BLC00}+i_{BLC01}+i_{BLC02}]=0$ ，因而自位线检测到的电流与单元的电流完全一致，例如 i_{BL0} 与 i_{CELL} 。

图 13A 为一流程图，其显示一可进行检测同时降低位线-位线耦合的方法。

步骤 500: 将一位线耦联至一页存储单元中的每个单元，以检测其导电电流。

步骤 510: 将每一位线充电至一处于一预定电压范围内的位线电压。

步骤 520: 控制每一位线的位线电压，以使每个相邻位线对之间的电压差基本上与时间无关。

步骤 530: 在控制所述位线的同时，检测通过每一位线的导电电流。

步骤 540: 结束。

根据本发明的另一方面，尽管存在恒定电压条件，一检测电路及方法仍允许通过记录一给定电容器的电压变化速率来确定存储单元的导电电流。

图 13B 为一流程图，其显示图 13A 所示检测步骤 530 的一更为详细的实施

例。

步骤 532: 在控制位线的同时, 通过使用流经每一位线的导电电流改变一给定电容器两端的电压来检测该导电电流。

步骤 534: 根据给定电容器两端电压的变化速率来确定导电电流。

图 14 以图解方式显示一执行本发明各个方面的较佳检测模块。检测模块 480 包含一位线隔离晶体管 482、一位线下拉电路 486、一位线电压箝位器 610、一读出总线转移门 488 及一检测放大器 600。

在位线隔离晶体管 482 通过一信号 BLS 启用后, 所述检测模块 480 可连接至一存储单元 10 的位线 36。检测模块 480 通过检测放大器 600 检测存储单元 10 的导电电流, 并将所读取结果作为一数字电压电平 SEN2 锁存于一检测节点 481 处, 然后将其输出至一读出总线 499。

检测放大器 600 实质上包含一第二电压箝位器 620、一预充电电路 640、一鉴别器或比较电路 650 及一锁存器 660。所述鉴别器电路 650 包含一专用电容器 652。

检测模块 480 类似于图 10 中所示的多遍式检测模块 380。然而, 在图 14 中, 将预充电电路 640 构建为具有一将在下文描述的弱上拉特性。此用作另一种方式来识别那些具有较高电流的单元以将其关断, 由此降低源极线偏压误差。

检测模块 480 还具有其它用于降低位线-位线耦合的特性。此通过在检测过程中保持位线电压与时间无关来实现。这通过位线电压箝位器 610 来实现。如下文所述, 第二电压箝位器 620 保证位线电压箝位器 610 在所有的检测条件下均正常起作用。同时, 检测不是通过先前技术中记录因导电电流所致的位线电容放电速率的方法来完成, 而是通过记录由检测放大器 600 所提供的专用电容器 652 的放电速率来完成。

检测模块 480 的一个特性是在检测过程中将一恒定电压源并入至位线以避免位线-位线耦合。这较佳由位线电压箝位器 610 来实现。位线电压箝位器 610 通过与位线 36 串联的晶体管 612 起到一如同二极管箝位器的作用。其栅极被

偏压至一恒定电压 BLC，该电压等于所期望位线电压 V_{BL} 加上其阈电压 V_T 。通过这种方式，其将位线与检测节点 481 隔离开并为位线设定一恒定的电压电平，例如所期望值 $V_{BL}=0.5$ 至 0.7 伏特。通常，将位线电压电平设定为一如下电平：其低至足以避免长的预充电时间，而又高至足以避免大地噪声及其它因素。

检测放大器 600 检测流过检测节点 481 的导电电流并确定导电电流是高于还是低于一预定的值。检测放大器将一数字形式的检测结果作为检测节点 481 处的信号 SEN2 输出至读出总线 499。

数字控制信号 INV - 其实质上为信号 SEN2 的反相状态 - 也被输出用于控制下拉电路 486。在所检测到的导电电流高于预定值时，INV 将为 HIGH (高)，同时 SEN2 将为 LOW (低)。该结果通过下拉电路 486 得到加强。下拉电路 486 包含一受控于控制信号 INV 的 n-晶体管 487。

检测模块 480 的运行和定时将参考图 14 及时序图 15 (A) -15 (K) 进行描述。图 15 (A) -15 (K) 划分为阶段 (1) - (9)。

阶段 (0): 设置

检测模块 480 通过一启用信号 BLS (图 15 (A) (0)) 连接至位线 36。电压箝位器通过 BLC 启用 (图 15 (B) (0))。预充电电路 640 通过一控制信号 FLT (图 15 (C) (0)) 被启用作为一有限电流源。

阶段 (1): 受控预充电

检测放大器 600 由一复位信号 RST (图 15 (D) (1)) 通过晶体管 658 将信号 INV 拉至地电平而得到初始化。因此在复位后，INV 设定为 LOW。同时，一 p-晶体管 663 将一问候信号 LAT 拉至 V_{dd} 或 HIGH (图 15 (F) (1))。

隔离门 630 由一 n-晶体管 632 构成，其受控于信号 INV。因此在复位之后，隔离门启用以将检测节点 481 连接至检测放大器的内部检测节点 631，且信号 SEN2 将与内部检测节点 631 处的信号 SEN 相同。

预充电电路 640 通过内部检测节点 631 及检测节点 481 对位线 36 预充电一预定的时间周期。这将使位线达到一适于检测其中的导电状态的最佳电压。

预充电电路 640 包含一受控于控制信号 FLT (“FLOAT”) 的上拉 p-晶体管 642。位线 36 将被朝由位线电压箝位器 610 所设定的所期望位线电压上拉。上拉速率取决于位线 36 中的导电电流。导电电流越小，上拉越快。

图 15(H1)-15(H4) 分别以图解方式显示导电电流为 700nA、400nA、220nA 及 40nA 的存储单元的位线电压。

如果关断那些导电电流高于一预定值的存储单元且消除其对源极线偏压的影响，则由源极线偏压所引起的检测误差将会最小化，在前文中已结合图 7-11 对此进行了阐述。

根据本发明的另一个方面，预充电电路 640 构建用于提供两种功能。一个功能是将位线预充电至一最佳检测电压。另一个功能是帮助识别那些导电电流高于一预定值的存储单元以供进行 D.C. (直流) 检测，以消除其对位线偏压的影响。

D.C.检测是通过提供一预充电电路实现，该预充电电路用作一电流源向位线提供一预定电流。用于控制 p-晶体管 642 的信号 FLT 可“编程”一流经预充电电路 640 的预定电流。举例而言，FLT 信号可由一电流镜产生，其中将参考电流设定为 500nA。当 p-晶体管 642 构成电流镜中的镜像支路时，其中也将发射 500nA。

图 15(I1)-15(I4) 以图解方式显示 4 个分别连接至导电电流为 700nA、400nA、220nA 及 40nA 的存储单元的实例性位线上的电压。举例而言，当预充电电路 640 为一具有一限值 500nA 的电流源时，一导电电流超出 500nA 的存储单元的位线上电荷的泄漏速度将快于累积速度。因此，对于导电电流为 700nA 的位线，其电压或内部检测节点 631 处的信号 SEN 将保持接近 0V (图 15(I1)(1))。反之，如果存储单元的导电电流低于 500nA，则预充电电路 640 将对位线进行充电，因而其电压将开始朝所箝位的位线电压 (例如由电压箝位器 610 设定为 0.5v) 上升。(图 15(I2)(1)-15(I4)(1))。相应地，内部检测节点 631 将保持接近于 0v 或上拉至 V_{dd} (图 15(G))。通常，导电电流越小，位

线电压即越快地充电至所籍位的位线电压。因此，通过在受控预充电阶段之后检查位线上的电压，即可能识别出相连的存储单元的导电电流是高于还是低于一预定电平。

阶段 (2): D.C.锁存&自后续检测中移除高电流单元

在受控预充电阶段之后，开始一初始 D.C.高电流检测阶段，其中由鉴别器电路 650 检测信号 SEN。所述检测会识别那些导电电流高于预定电平的存储单元。鉴别器电路 650 包含两个串联的 p-晶体管 654 及 656，这两个串联的 p-晶体管 654 及 656 用作一用于寄存信号 INV 的节点 657 的上拉晶体管。p-晶体管 654 通过一读取选通信号 STB 变为 LOW 来启用，而 p-晶体管 656 通过内部检测节点 631 处的信号 SEN 变为 LOW 来启用。如前文所述，高电流单元将使信号 SEN 接近于 0v 或至少不能使其位线预充电到高至足以关断 p-晶体管 656。举例而言，如果将弱上拉限定于一 500nA 的电流，则将不能上拉一导电电流为 700nA (图 15 (G1) (2)) 的单元。当 STB 选通 LOW 来锁存时，节点 657 处的 INV 会上拉至 V_{dd} 。这将把锁存电路 660 设置为 INV 为 HIGH、且 LAT 为 LOW (图 15 (H1) (2))。

在 INV 为 HIGH 且 LAT 为 LOW 时，隔离门 630 被禁止，且检测节点 481 与内部检测节点 631 被阻断。同时下拉电路 486 将位线 36 (图 15 (I1) (2)) 拉至地电平。这将有效地关断位线中的任何导电电流，从而消除其对源极线偏压的影响。

因此，在检测模块 480 的一较佳实施方案中，采用一有限电流源预充电电路。此会提供一种附加或替代方式 (D.C.检测) 来识别载送有高电流的位线并将其关断，以使后续检测中的源极线偏压误差最小化。

在另一实施例中，预充电电路并非专门配置用于帮助识别高电流位线，而是优化用于在存储器系统可得到的最大电流容差内尽可能快地对位线进行上拉并预充电。

阶段 (3): 恢复/预充电

在检测例如位线 36 等此前尚未下拉的位线中的导电电流之前，由信号 FLT 激活预充电电路以将内部检测节点 631 预充电至 V_{dd} (图 15 (C) (3) 及图 15 (I2) (3) -15 (I4) (3))。

阶段 (4): 第一次 A.C.检测

就检测节点浮动且其电压在电流检测 (A.C.或交流检测) 过程中变化而言，此后的作业类似于结合图 10-11 所述的多遍式检测。图 14 中的改进在于，在位线电压保持恒定的条件下进行检测，以避免位线-位线耦合。

在一较佳实施例中，通过确定浮动的内部检测节点 631 处的电压降来执行一 A.C. (交流) 检测。这通过鉴别器或比较电路 650 使用耦联至内部检测节点 631 的电容器 C_{SA} 652 并考虑导电电流对其进行放电的速度来实现。在一集成电路环境中，电容器 652 通常使用一晶体管来构建。其具有一可选定用于进行最佳电流确定的预定电容，例如 30fF。分界电流值可通过适当调节放电周期进行设定，其通常处于 100-1000nA 的范围内。

鉴别器电路 650 检测内部检测节点 631 中的信号 SEN。在每次检测之前，内部检测节点 631 处的信号 SEN 均由预充电电路 640 上拉至 V_{dd} 。这将把电容器 652 两端的电压初始设定为零。

在检测放大器 600 作好检测准备时，预充电电路 640 通过 FLT 变为 HIGH 而被禁止 (图 15 (C) (4))。第一检测周期 T1 通过选通信号 STB 的断定来设定。在该检测期间，一由一导通的存储单元引起的导电电流将对电容器进行放电。随着电容器 652 通过位线 36 中导电电流的泄放作用而放电，SEN 将自 V_{dd} 降低。图 15 (G2) -15 (G4) 分别以图解方式显示与其他三个分别连接至导电电流为 400nA、220nA 及 40nA 的存储单元的实例性位线相对应的 SEN 信号。对于那些导电电流更高的存储单元，SEN 会降低得更快。

阶段 (5): 第一次 A.C.锁存及自后续检测中移除更高电流单元

在第一个预定检测周期结束时，SEN 将已降低至某一电压，该电压取决于位线 36 中的导电电流 (图 15 (G2) (4) -15 (G4) (4))。举例而言，将该第一

阶段期间的分界电流设定为 300nA。电容器 C_{SA} 652、检测周期 T1 及 p-晶体管 656 的阈电压使对应于一高于分界电流（例如 300nA）的导电电流的信号 SEN 降到低至足以导通鉴别器电路 650 中的晶体管 656。当锁存信号 STB 选通 LOW 时，输出信号 INV 将被拉至 HIGH，且将由锁存器 660 锁存（图 15 (E) (5) 及图 15 (H2)）。反之，对应于一低于分界电流的导电电流的信号 SEN 将产生一不能导通晶体管 656 的信号 SEN。在这种情况下，锁存器 660 将保持不变，在此种情形中 LAT 保持为 HIGH（图 15 (H3) 及 15 (H4)）。由此可以看出，鉴别器电路 650 可有效地确定位线 36 中的导电电流相对于一由该检测周期所设定的参考电流的值。

检测放大器 600 还包含第二电压箝位器 620，其用于使晶体管 612 的漏极电压保持足够高，以使位线电压箝位器 610 正常运行。如前文所述，位线电压箝位器 610 将位线电压箝位至一预定值 V_{BL} ，例如 0.5v。这将需要将晶体管 612 的栅极电压 BLC 设定为 $V_{BL}+V_T$ （其中 V_T 为晶体管 612 的阈电压）、并使连接至检测节点 481 的漏极高于源极，即信号 $SEN2 > V_{BL}$ 。详言之，在既知电压箝位器 610 和 620 的构造的条件下，SEN2 应不高于 $(LAT-V_T)$ 或 $(BLX-V_T)$ 中的较低值，并且 SEN 应不低于该值。在检测过程中，隔离门 630 处于一穿通模式。然而，在检测期间，内部检测节点 631 处的信号 SEN 的电压自 V_{dd} 降低。第二电压箝位器 620 会防止 SEN 降低至 $(LAT-V_T)$ 或 $(BLX-V_T)$ 中的较低值。这通过一受控于信号 BLX 的 n-晶体管 612 实现，其中 $BLX \geq V_{BL}+2V_T$ （图 15(F)）。因此，通过电压箝位器 610 及 620 的作用，位线电压 V_{BL} 在检测期间保持恒定，例如保持为 0.5v。

使用一专用电容器 652 替代在先前技术中使用位线电容来测量电流会具有多方面的优点。首先，其会使位线上为一恒压源，由此避免了位线-位线串扰。其次，专用电容器 652 使得能够选择一对检测而言最佳的电容。举例而言，与一约为 2pF 的位线电容相比，其可具有一约为 30fF 的电容。较小的电容可提高检测速度，因为其放电较快。最后，与使用位线电容的先前技术方法相比，根

据一专用电容进行的检测使检测电路独立于存储器架构。

在另一个实施例中，通过与一参考电流进行比较来确定电流，该参考电流可由一参考存储单元的导电电流提供。这可通过将比较电流作为一电流镜的一部分来实现。

所述电流确定 LAT 的输出由锁存电路 660 锁存。该锁存电路由晶体管 661、662、663 及 664 连同晶体管 666 和 668 构成一置位/复位锁存器。p-晶体管 666 受控于信号 RST (RESET (复位))，而 n-晶体管 668 受控于信号 STB (STROBE (选通) 或 SET*)。

通常，将有一页存储单元受到一对应数量的多遍式检测模块 480 的操作。对于那些导电电流高于第一分界电流电平的存储单元，其 LAT 信号将锁存为 LOW。这又将激活位线下拉电路 486 将对应的位线下拉至地电平，由此关断其电流。

阶段 (6): 恢复/预充电

在下次检测例如位线 36 等此前尚未下拉的位线中的导电电流之前，由信号 FLT 激活预充电电路以将内部检测节点 631 预充电至 V_{dd} (图 15 (C) (6) 及图 15 (I3) (6) -15 (I4) (6))。

阶段 (7): 第二次检测

在检测放大器 600 准备好进行检测时，预充电电路 642 通过 FLT 变为 HIGH 而被禁止 (图 15 (C) (7))。第二检测周期 T2 通过选通信号 STB 的断定来设定。在该检测期间，一导电电流 (如存在) 将对电容器进行放电。随着电容器 652 通过位线 36 中导电电流的泄放作用而放电，SEN 将自 V_{dd} 降低。

根据前述实例，导电电流高于 300nA 的存储单元已在先前的阶段中识别出并关断。图 15 (G3) (7) 及 15 (G4) (7) 分别以图解方式显示对应于 2 个分别连接至导电电流为 220nA 及 40nA 的存储单元的实例性位线的 SEN 信号。

阶段 (8): 第二次读出锁存

在第二预定检测周期 T2 结束时，SEN 将已降低至某一电压，该电压取决于

位线 36 中的导电电流 (图 15 (G3) (7) -15 (G4) (7))。举例而言, 在该第二阶段期间将分界电流设定为 100nA。在这种情况下, 导电电流为 220nA 的存储单元的 LAT 将锁存为 LOW (图 15 (H3) (7)), 其位线随后将被拉至地电平 (图 15 (I3) (7))。相反, 导电电流为 40nA 的存储单元将对预设为 LAT HIGH 的锁存器状态没有影响。

阶段 (9): 读出至总线

最后, 在读出阶段中, 转移门 488 处的控制信号 NCO 允许将所锁存的信号 SEN2 读出至读出总线 499 (图 15 (J) 及 15 (K))。

一页控制器 (比如亦在图 10 中显示的页控制器 398) 为每个检测模块提供控制及定时信号。

如由图 15 (I1) -15 (I4) 可以看出, 在每个检测周期期间, 位线电压保持恒定。因此, 根据前文所论述, 容性位线-位线耦合得以消除。

图 14 中所示的检测模块 480 为一其中执行三遍检测的较佳实施例。前两遍用于识别并关断较高电流存储单元。在已消除作用于源极线偏压的较高电流成分之后, 最后一遍能够更为准确地检测导电电流范围较低的单元。

在其他实施例中, 利用 D.C. 及 A.C. 遍的不同组合进行检测作业。某些实施例甚至仅使用两遍或更多遍 A.C. 检测。对于不同遍而言, 每次所使用的分界电流值可相同, 或朝在最终遍中所用的分界电流渐近收敛。

对由邻近浮动栅极耦合引入的误差的管控

如前文所述, 高密度集成电路、非易失性存储装置所固有的另一种误差是由邻近浮动栅极的耦合所引起。各存储单元的紧密接近造成来自相邻单元的电荷元件的场干扰。根据本发明的另一个方面, 由此等干扰所导致的误差可通过最大程度减小在编程与读取之间每个单元的场环境的变化而得以最小化。这通过同时编程一页中所有相邻的存储单元来实现。由于各个存储单元及其邻近单元同时进行编程, 因而此可确保各个单元在其被编程至被读取期间所经历的场环境变化最小。

这与在先前技术中分别编程偶数页和奇数页的情形相反。在彼种情况下，在一偶数页的存储单元已编程之后，由一奇数页中的其相邻存储单元所产生的场在该奇数页使用一组不同的数据进行编程时可能已发生了显著的变化。

如前文所述，一“页”中同时进行编程或读取的存储单元的数量可能因由主机系统所发送或请求的数据长度而异。因此，有多种方式用于编程耦联至一单一字线的存储单元，例如（1）分别编程偶数位线及奇数位线，其可包含上页编程及下页编程，（2）编程所有的位线（“所有位线编程”），或（3）分别编程一左页或一右页中的所有位线，其可包含一右页编程及一左页编程。

在现有的非易失性存储装置中，将一行由相同字线连接的存储单元构造为两个交错的页。其中一页由偶数列的存储单元组成，另一页由奇数列的存储单元组成。偶数页和奇数页是分别进行检测和编程。如前文所述，此因需要控制位线-位线耦合而成为必需。因此，较佳在对另外一组位线进行读取/写入作业时，将交错的位线接地。

然而，如前文所述，所述交错页架构至少有三方面的缺点。首先，其需要额外的多路复用电路。第二，其性能较慢。为完成对通过一字线相连或位于一行中的各存储单元的读取或编程作业，需要进行两次读取或两次编程作业。第三，其在降低例如来自相邻电荷存储元件的耦合等其他干扰影响方面亦非最佳。

编程所有位线

如结合图 12-15 所述，本发明使人们可控制位线-位线耦合。因此，在检测或编程验证期间不需要将交错的位线接地，由此降低了对具有非邻接存储单元的偶数页或奇数页进行作业的要求并提高了验证作业速度。

根据本发明的另一个方面，在位线-位线耦合得到控制的同时，并行地对一邻接页存储单元进行编程。这将使来自相邻浮动栅极的外部场影响最小化。

图 6A、图 10 及图 14 中所示检测模块较佳地构建于一构造用于执行所有位线检测的存储器架构中。换句话说，位于一行中的各邻接存储单元可分别连接至一检测模块，以执行并行检测。此一存储器架构在同在申请中且共同受让的

第 10/254, 483 号美国专利申请案中也得到了揭示, 该专利申请案由 Raul-Adrian Cernea 于 2002 年 9 月 24 日提出申请, 其名称为“高度紧凑的非易失性存储器及其方法 (Highly Compact Non-Volatile Memory And Method Thereof)”。该专利申请案的全部揭示内容以引用方式并入本文中。

图 16A 为一流程图, 其显示一种可降低因邻近浮动栅极耦合所引起的误差的编程及读取方法。

步骤 700: 以一可使各个单元在上一次编程验证与一后续读取期间所经历的有效电场的差别最小化的方式, 并行编程及验证一页存储单元。

步骤 710: 结束。

图 16B 为一流程图, 其显示图 16A 所示发明性步骤的一较佳实施例。

步骤 730: 形成一页邻接的存储单元。

步骤 740: 并行编程及验证该页存储单元。

步骤 750: 然后, 读取该页存储单元。

步骤 760: 结束。

编程左页及右页

图 17 以图解方式显示一存储阵列, 该存储阵列类似于图 6A 及图 6B 所示, 只是其架构将每一行存储单元组织为一左页存储单元 301 及一右页存储单元 302。每页均由多个邻接的存储单元组成。举例而言, 每页可具有 4,256 个单元。在较佳实施例中, 分别对左页及右页进行编程。为使这两个独立页之间的交互作用最小化, 在对一页进行编程时, 将另一页的所有位线接地。同时, 由于每一页均邻接, 因此会降低在编程期间的相邻浮动栅极耦合。

将所选位线受控锁存至地电平

在前文中已就图 7-11 及图 15 对多遍式检测进行了阐述。详言之, 在对一页存储单元进行并行检测时, 将那些经检测其电流状态高于一预定阈值的单元的位线锁存至地电平, 以消除在对该页存储单元进行下一遍检测遍中其对源极线偏压误差的作用。

根据又一较佳实施例，一经检测其电流高于一预定分界电平的存储单元的位线不必在侦测之后立即接地，而是对其进行接地标记或允许。只有在已完成对该页中所有存储单元的侦测或检测之后，才将所有所标记或允许的位线锁存至地电平。通过这种方式，将与锁存至地电平的位线相关联的可能的大电压摆动限制在一位于该检测作业之外的周期内。这将使锁存至地电平的位线对该页中任何仍在受到检测和侦测的存储单元所产生的任何干扰影响最小化。

图 18 以图解方式显示一检测模块的另一较佳实施例。检测模块 480' 与图 14 中所示的检测模块 480 相似，只是增加了另一个与下拉电路 486 串联接地的接地控制开关 550。该种布置有效地使位线 36 仅在下拉电路 486 及接地控制开关 550 二者均启用时方才下拉至地电平。接地控制开关 550 显示为一 n-晶体管，其受控于其栅极处的信号 GRS。当存储单元 10 经侦测具有一高于一预定阈值的导电电流时，检测放大器将产生一锁存为 HIGH 的 INV 信号。这将启用下拉电路 486。在该页的所有单元均已完成当前遍的检测作业之后，页控制器 498 将置高一 HIGH GRS 信号。通过这种方式，将该页中所有其下拉电路已被启用的位线在那一瞬间下拉至地电平。

图 19 (A) -19 (K) 为图 18 中所示检测模块的时序图。详言之，图 19 (H1) 显示定时信号 GRS。可以看出，检测及锁存发生在周期 (2)、(5) 和 (8) 处，且信号 GRS 是远在每一该些周期之后及之外置高，以使相应位线的接地将不会干扰所述检测及锁存作业。

图 20 为一流程图，其显示图 18 所示检测模块的作业。

步骤 700: 对于一页存储单元，首先将存储单元运行集合设定为等于该页存储单元。

步骤 710: 开始多遍检测 $j=1$ 至 N 。

步骤 720: 设定一分界电流值 $I_0(j)$ ，其中在第一遍 $j>1$ 之后， $I_0(j)$ 小于或等于前一遍 $j-1$ 的值，即 $I_0(j) \leq I_0(j-1)$ 。

步骤 730: 确定所述运行集合中那些导电电流高于分界电流值 $I_0(j)$ 的存

储单元。

步骤 740: 在所述运行集合不再具有一高于分界电流值 $I_0(j)$ 的导电电流之后, 禁止在那些导电电流高于分界电流值 $I_0(j)$ 的存储单元中电流的进一步流动。

步骤 750: 将存储单元运行集合设定为等于那些导电电流尚未被禁止的其余存储单元。如果 $j < N$, 则返回步骤 710, 否则继续进行至步骤 760。

步骤 760: 读出该页存储单元的状态。

步骤 770: 结束。

用于为多个检测放大器提供参考控制信号的参考检测放大器

为提高性能, 对一页存储器存储单元进行并行读取/写入作业。举例而言, 一页可由 4096 个存储器存储单元组成, 因此将要求一相等数量的检测放大器并行运行。

由于每个检测放大器均需要精确地检测一存储器存储单元的导电电流, 因而较佳地使其检测特性不受电源、运行温度及制造工艺的变化的影响。

根据本发明的又一个方面, 使用一具有可代表若干检测放大器的特性的参考检测放大器来跟踪环境及系统变化并控制所述若干检测放大器, 以使其不受该些变化的影响。

图 21A 以图解方式示意性地显示一用于为若干检测放大器提供参考控制信号的参考检测放大器。若干检测放大器 600-1、...600-p 并行运行。一参考检测放大器 600-R 构建用于产生并提供控制信号 670, 控制信号 670 可为用于控制所述若干检测放大器的控制信号的一部分。参考检测放大器 600-R 尽管未必与所述检测放大器群体中的一典型成员相同, 然而其具有可代表该群体中一典型成员的特性。

图 21B 以图解方式显示一提供两个实例性参考控制信号(例如 BLX 及 STB)的参考检测放大器。在一实施例中, 参考检测放大器 600-R 包含一用于输出 BLX 信号的 BLX 信号产生器 680。类似地, 参考检测放大器 600-R 包含一用于输出

STB 信号的 STB 信号产生器 690。这些信号已结合图 18 中所示的检测放大器 600 进行了阐述。详言之，BLX 信号用于帮助将位线箝位于一给定的电压。类似地，STB 信号用于时间检测，其由一 STB 信号产生器提供。可以看出，这些信号取决于检测放大器中的电源电压 V_{dd} 及 n-晶体管的阈电压 V_{TN} 或 p-晶体管的阈电压 V_{TP} 。这些参数又对制造工艺及运行温度颇为敏感。通过使所有检测放大器均使用由参考检测放大器 600-R 提供的相同的经校准控制信号，会使该系统变化最小化。

对于一例如图 18 中所示的典型检测放大器的运行要求，首先着重说明其对 V_{dd} 及其晶体管的各阈电压的依赖性。图 18 显示一较佳检测放大器 600。如前文所述，检测放大器 600 实质上根据一存储器存储单元 10 对一给定电容器 652 进行充电或放电的速率来测量该存储器存储单元 10 的导电电流。这通过在节点 631 处检测信号 SEN 来实现。所述信号 SEN 控制 p-晶体管 656 的栅极。在进行检测之前，由预充电电路 640 将 SEN 预充电至 V_{dd} (HIGH)。这将把电容器 652 两端的电压初始设定为零。在检测期间，存储器存储单元 10 的导电电流将对电容器进行放电。SEN 将因此以一取决于该导电电流的速率自 V_{dd} 降低。在一对应于参考电流的预定检测周期之后，SEN 将降低至某一可导通或不导通所述测量用 p-晶体管 656 的值。如果其降低至足以导通 p-晶体管 656，则将意味着导电电流高于所述参考电流。反之，如果在检测周期结束时晶体管 656 未导通，则导电电流低于所述参考电流。

由此可见，测量用 p-晶体管 656 的鉴别电平关键取决于其阈电压 V_{TP} 的值。由图 18 可以看出，可使测量用 p-晶体管 656 导通的临界电压出现在 $SEN \approx V_{dd} - V_{TP}$ (其中 V_{TP} 为 p-晶体管 656 的阈电压) 时。

关于 BLX 信号的运行要求，将注意力转移到检测放大器 600 中一电压箝位器 620 形式的上拉电路位于。在最初的预充电周期期间，由预充电电路 640 执行有效的上拉。在后续周期期间 (参见图 19)，预充电电路 640 关断以允许进行检测。然后，在该整个检测周期中，电压箝位器 620 被启用以使节点 481 上的

电压（即 SEN2）保持高于一给定的最小值，以使位线电压箝位器 610 可正常运行。然而，该上拉不得过高，否则将致使一 SEN 信号因被箝位得过高而再也不能降低至足以导通测量用 p-晶体管 656。这可通过设定施加至电压箝位器 620 中 n-晶体管 612 栅极的 BLX 的信号强度来控制。

由图 18 可以看出，使测量用 p-晶体管 656 导通的临界电压条件出现在节点 631 处的 $SEN \approx < V_{dd} - V_{TP}$ 时。因此，电压箝位器 620 必须将节点 631 箝位以使其低于 $V_{dd} - V_{TP}$ 。这通过设定电压箝位器以使 $BLX \approx < V_{dd} - V_{TP} + V_{TN}$ （其中 V_{TN} 为 n-晶体管 612 的阈电压）来实现。

图 22 以图解方式显示 BLX 产生器的一较佳实施例。BLX 产生器 680 实质上提供一满足 BLX 必须低于 $V_{dd} - V_{TP} + V_{TN}$ 此一条件的 BLX 信号。一重要考虑因素是使用与其正力图控制的若干检测放大器具有相同特性并可代表所述若干检测放大器的参考电路元件。详言之，这些参考电路元件将为例如电源电压 V_{dd} 、组件晶体管的阈电压 V_{TP} 及 V_{TN} 等所述若干检测放大器所共用的各个系统参数提供参考值。

在图 22 中，为方便起见，将与图 18 所示检测放大器中的电路元件对应的电路元件使用相同的编号加一撇号“'”来标识。因此，参考检测放大器 600-R 中的 n-晶体管 612' 对应于检测放大器 600 的电压箝位器 620 中的 n-晶体管 612。p-晶体管 656' 对应于测量用 p-晶体管 656，且 p-晶体管 654' 对应于检测放大器 600 中的 p-晶体管 654。类似地，BLX 信号产生器 680 中用于载送信号 SEN' 的检测节点 631' 对应于图 18 所示检测放大器 600 中的检测节点 631。

两个逻辑门 682 及 654' 有助于导通或关断信号 BLX。当控制信号 BLXD 为 HIGH 时，其会导通逻辑门 682 并将 BLX 信号拉至地电平。同时，其会关断 p-逻辑门 654'，此又会关断 V_{dd} 电源。当控制信号 BLXD 为 LOW 时，电路 680 被启用。

BLX 信号产生器 680 需要满足的条件是：节点 631' 处的 $SEN' \approx < V_{dd} - V_{TP}$ 且 $BLX \approx SEN' + V_{TN}$ 。n-晶体管 612' 及 p-晶体管 656' 二者均构造为二极管，以使

其二极管压降分别提供所需要的电压 V_{TN} 及 V_{TP} 。在一较佳实施例中，由 n-晶体管 612' 构成的二极管的源极连接至驻存有信号 SEN' 的参考节点 631'，且其漏极连接至输出 BLX。通过这种方式，使条件 $BLX \approx SEN' + V_{TN}$ 得以满足。类似地，由 p-晶体管 656' 构成的二极管的漏极耦联至参考节点 631'，其源极耦联至 V_{dd} 。通过这种方式，使条件 $SEN' \approx V_{dd} - V_{TP}$ 也如期得以满足。

这些条件是基于流经该两个二极管的源极及漏极的阈电流。一电流源 686 提供一偏流。该偏流设定为一高于通常在一典型检测放大器中流动的电流值。所述更高值是为了满足 $SEN' \approx V_{dd} - V_{TP}$ 要求中的不等性。该值越高，容许所述若干检测放大器中晶体管的阈电压变化的裕度越大。因此，由参考检测放大器 600-R 根据参照电源电压 V_{dd} 及其它环境条件进行校准的阈电压 V_{TN} 或 V_{TP} 产生一控制信号 BLX。

参考检测放大器较佳地与由其提供参考信号的所述若干检测放大器位于同一芯片上并且靠近所述若干检测放大器。通过该种方式，使制造工艺或运行温度的任何变化将因其共模作业而得以最小化。

图 23 以图解方式示意性显示一较佳 STB 信号产生器，其用于产生一选通信号来控制该群体中各检测放大器的检测时间。在一较佳实施例中，STB 产生器 690 的各组件与典型检测放大器 600 (参见图 18) 的组件相似。其包含一预充电电路 640''、一鉴别器电路 650'' 及一锁存器 660''。其中一参考电流源 692 自检测节点 631'' 吸收一参考电流，而非由存储器存储单元 10 提供导电电流。该参考电流对应于检测期间检测放大器参照进行比较的断点电流。

看一下图 18 所示的检测放大器 600，在检测期间，给定的电容器 652 通过流经检测节点 631 的导电电流放电。该导电电流由存储器存储单元 10 提供。检测节点 631 中的信号 SEN 由此将以一取决于该导电电流的速率自 V_{dd} 降低。在一定时间后，SEN 将最终降低至 $V_{dd} - V_{TP}$ ，此时其将触发测量用 p-晶体管 656 导通。因此，该触发时间对应于所述导电电流的值。换句话说，在触发时间与导电电流之间存在一种一一对应。在这种情况下，一更高的导电电流将引起一短

的触发时间，反之亦然。因此，通过设定一给定的电流（“跳闸点”电流）并观察信号 SEN 降低至足以触发该导通所用的时间，是一种在所检测导电电流值与触发时间之间建立关联的方法。反之，已知一对应于一给定电流的固定检测时间，如果在该固定检测时间结束时还未到达触发时间，则所检测的导电电流肯定低于该给定电流，反之亦然。

在图 23 中，所有的物件均与典型的检测放大器 600 相同，STB 产生器在参考检测放大器 600-R 中的作用是校准一对应于一给定跳闸点电流值的触发时间。其以一选通信号 STB 的形式输出结果，选通信号 STB 描述由例如 FLT 等另一信号变为 HIGH 而启动的所述检测周期的一结束时间，如在图 18 及图 19 中所示。在这种情况下，检测周期的启动是通过用于启动电容器 652 放电的信号 FLT 来定时。通常，检测周期越短，对应的跳闸点电流越高。选通信号由选通信号产生器 694 产生。每当检测节点 671 处的信号 SEN 已放电至 $V_{dd}-V_{TP}$ 时，p-晶体管 656 均将导通并由此将锁存器 660 设定为 INV 处于 HIGH、LAT 处于 LOW。使用 LAT 翻转至 LOW 来以一选通信号形式对检测周期的结束进行定时。在一实施例中，选通信号产生器构建为一由 LAT 触发的单稳态多谐振荡器。

同样，如同参考检测放大器 600-R 所产生的其它控制信号，通过该些控制信号与检测放大器 600 的整个群体的共模作业，可将制造工艺及运行温度的任何变化降至最小。

尽管已就特定实施例对本发明的各个方面进行了说明，但是应了解，本发明有权在随附权利要求书的整个范围内受到保护。

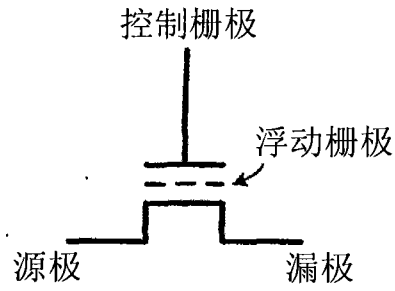


图 1A

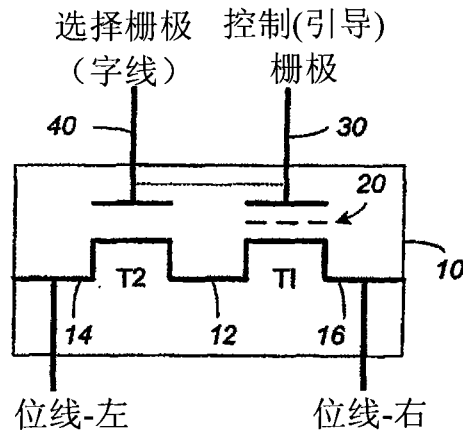


图 1B

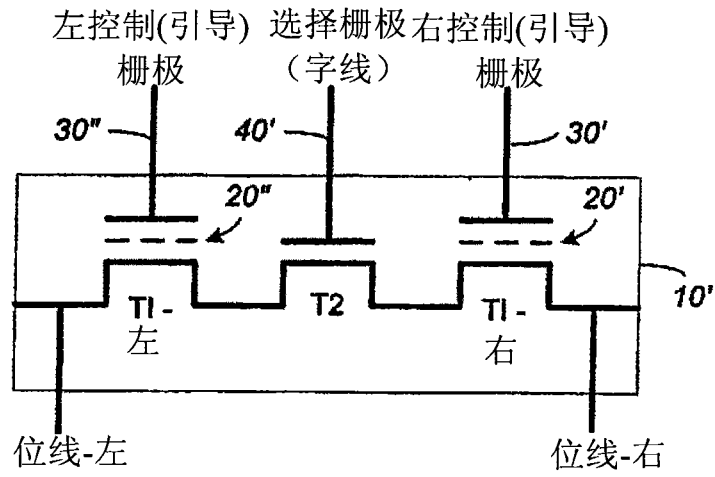


图 1C

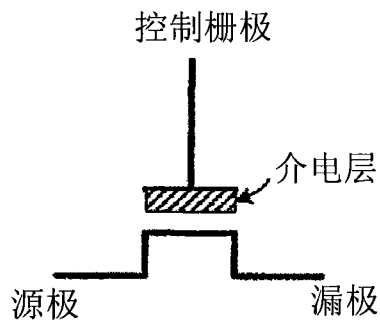


图 1E

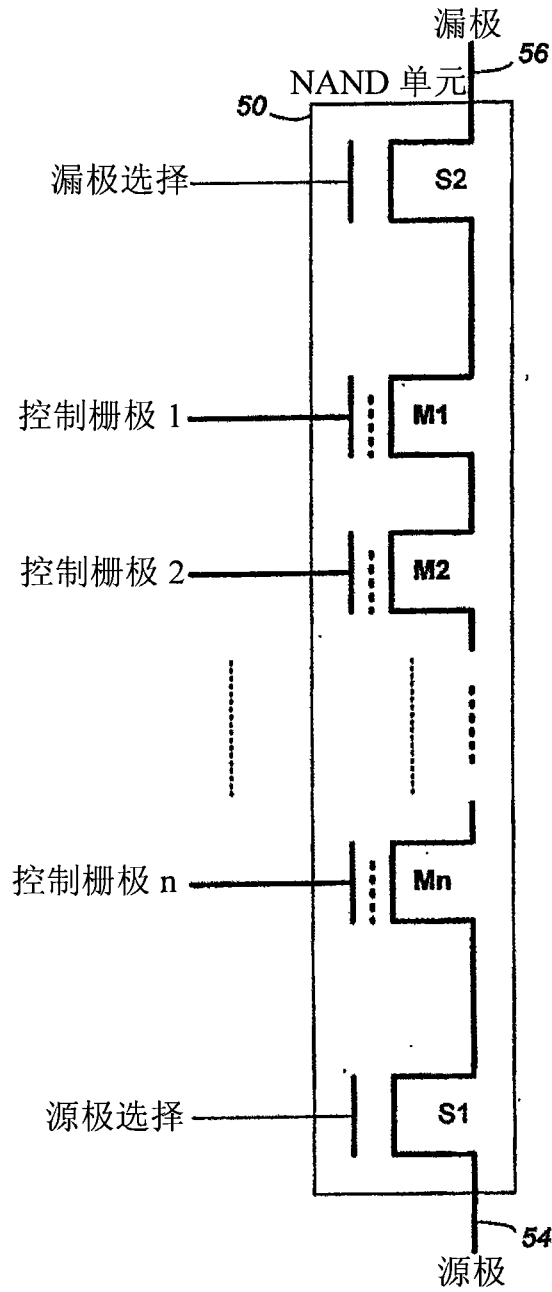


图 1D

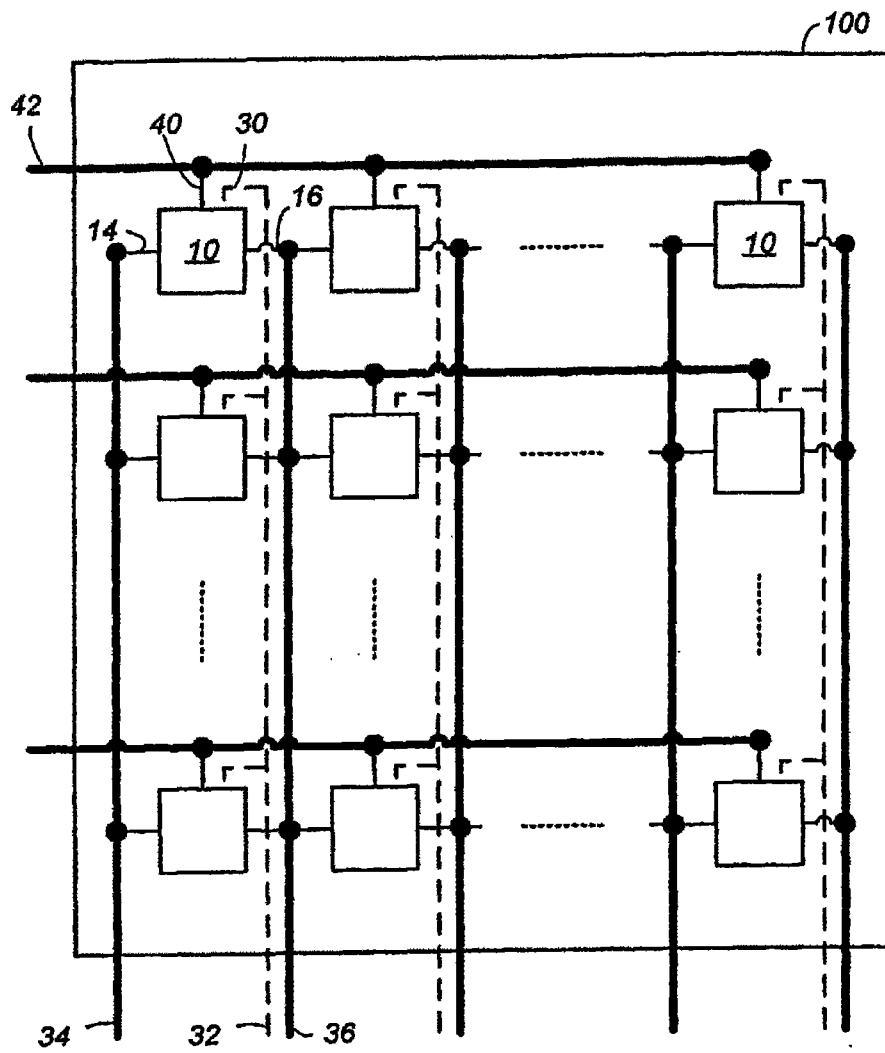


图 2

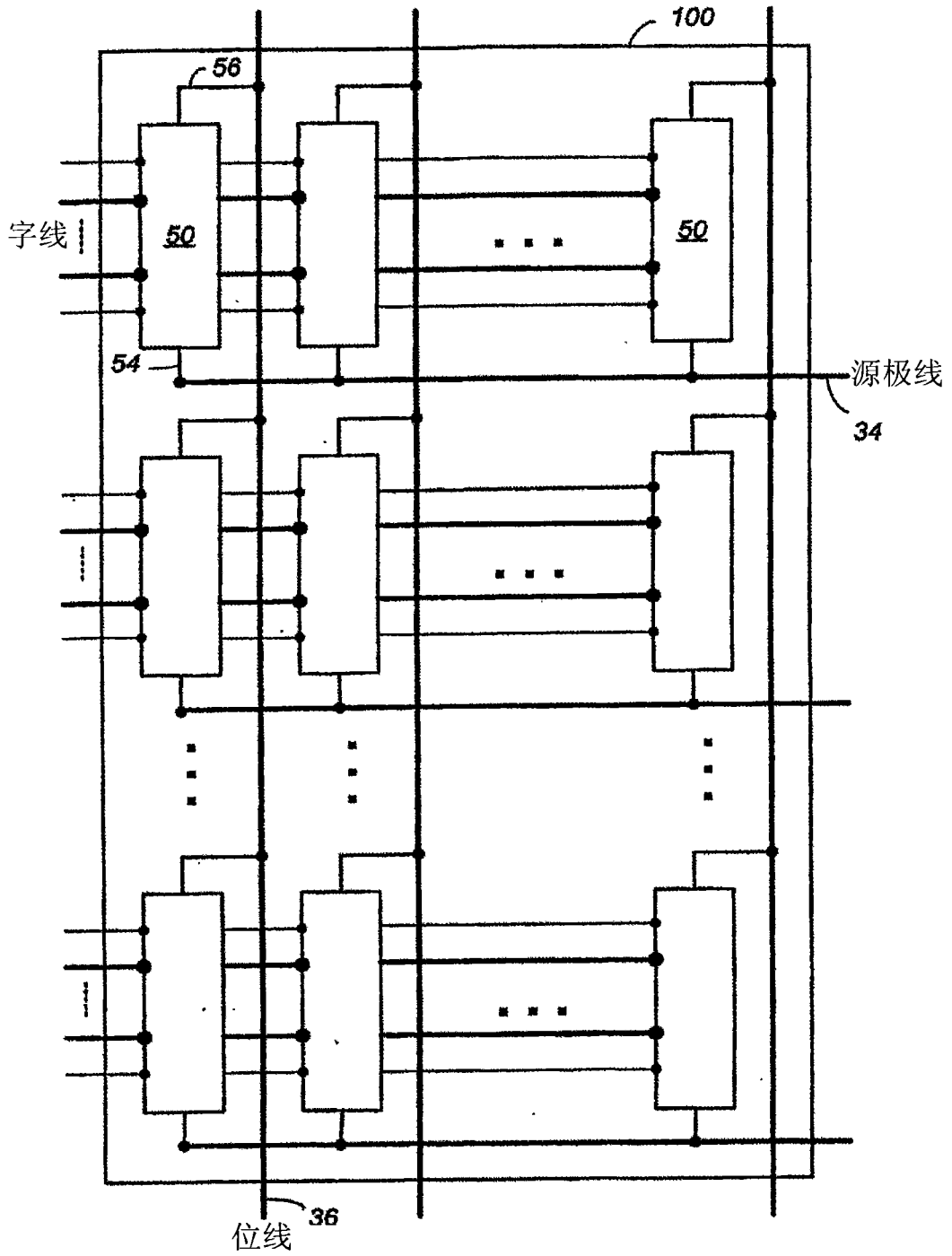


图 3

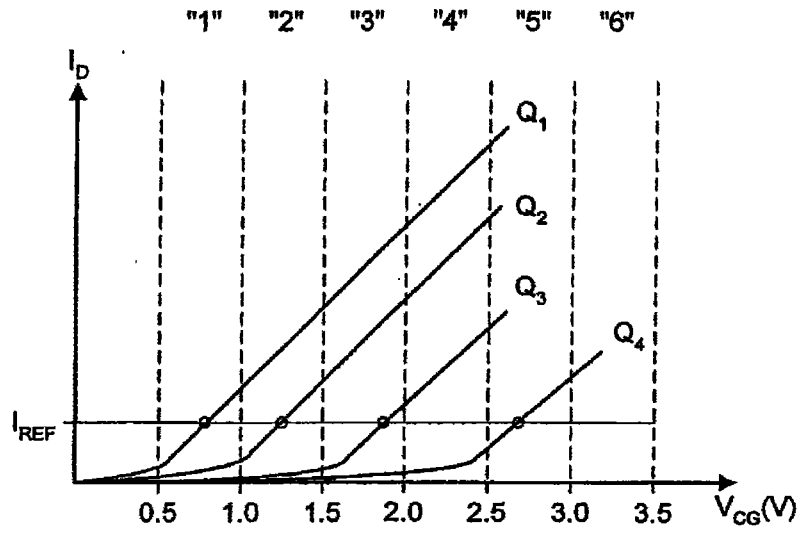


图 4

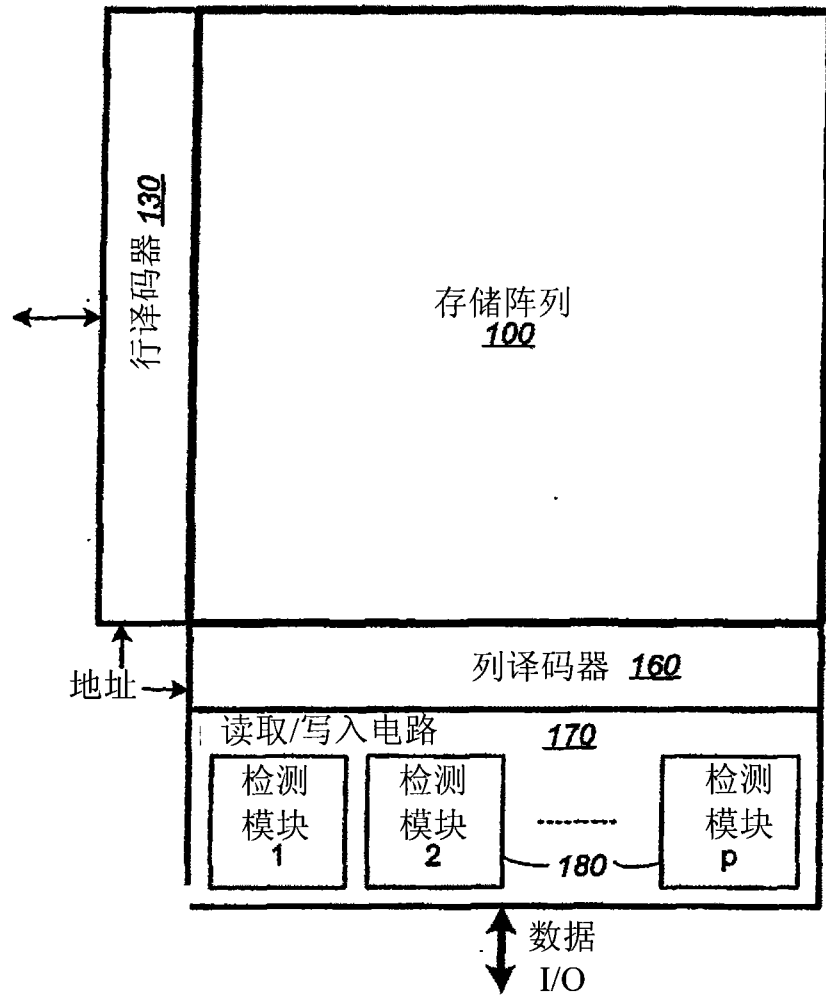


图 5

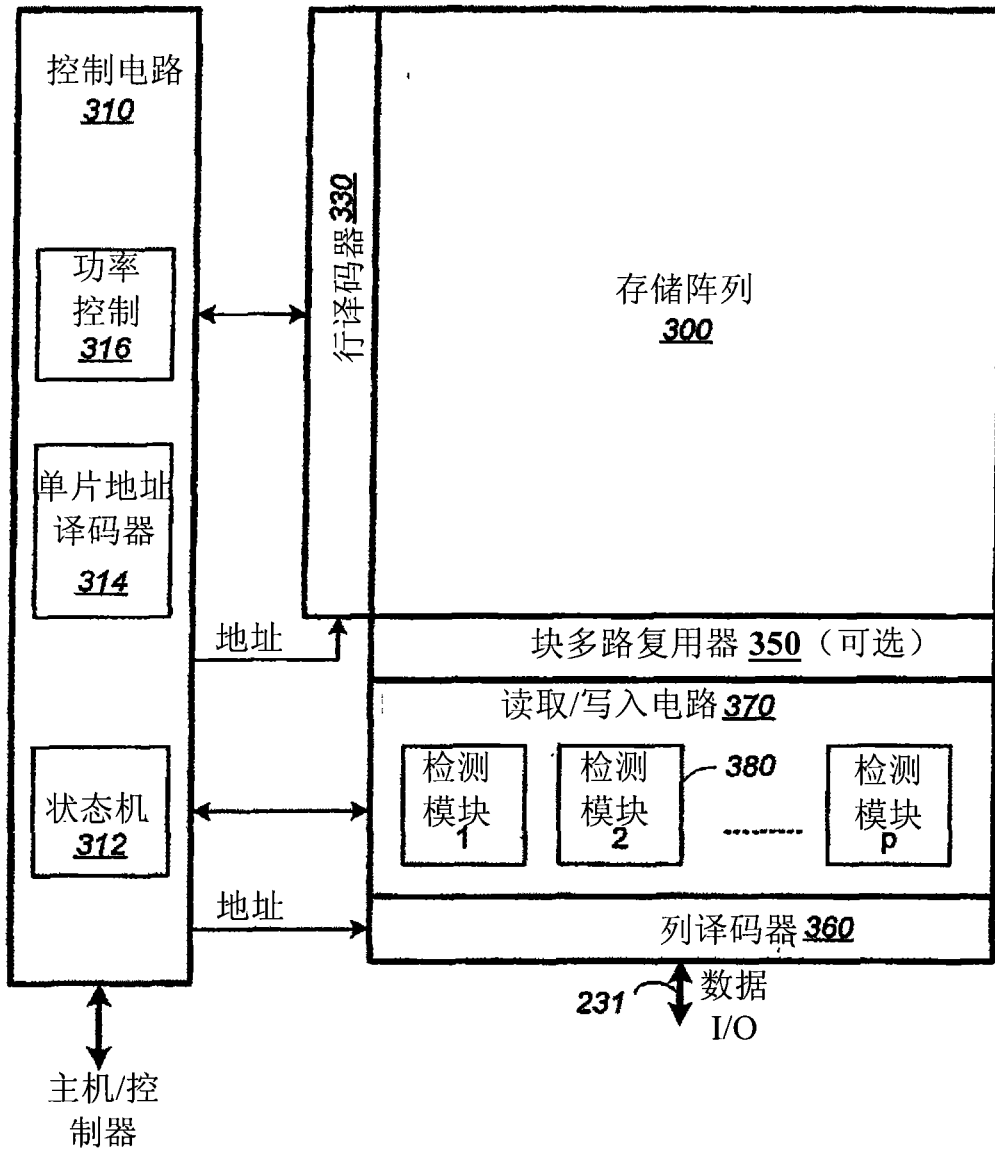


图 6A

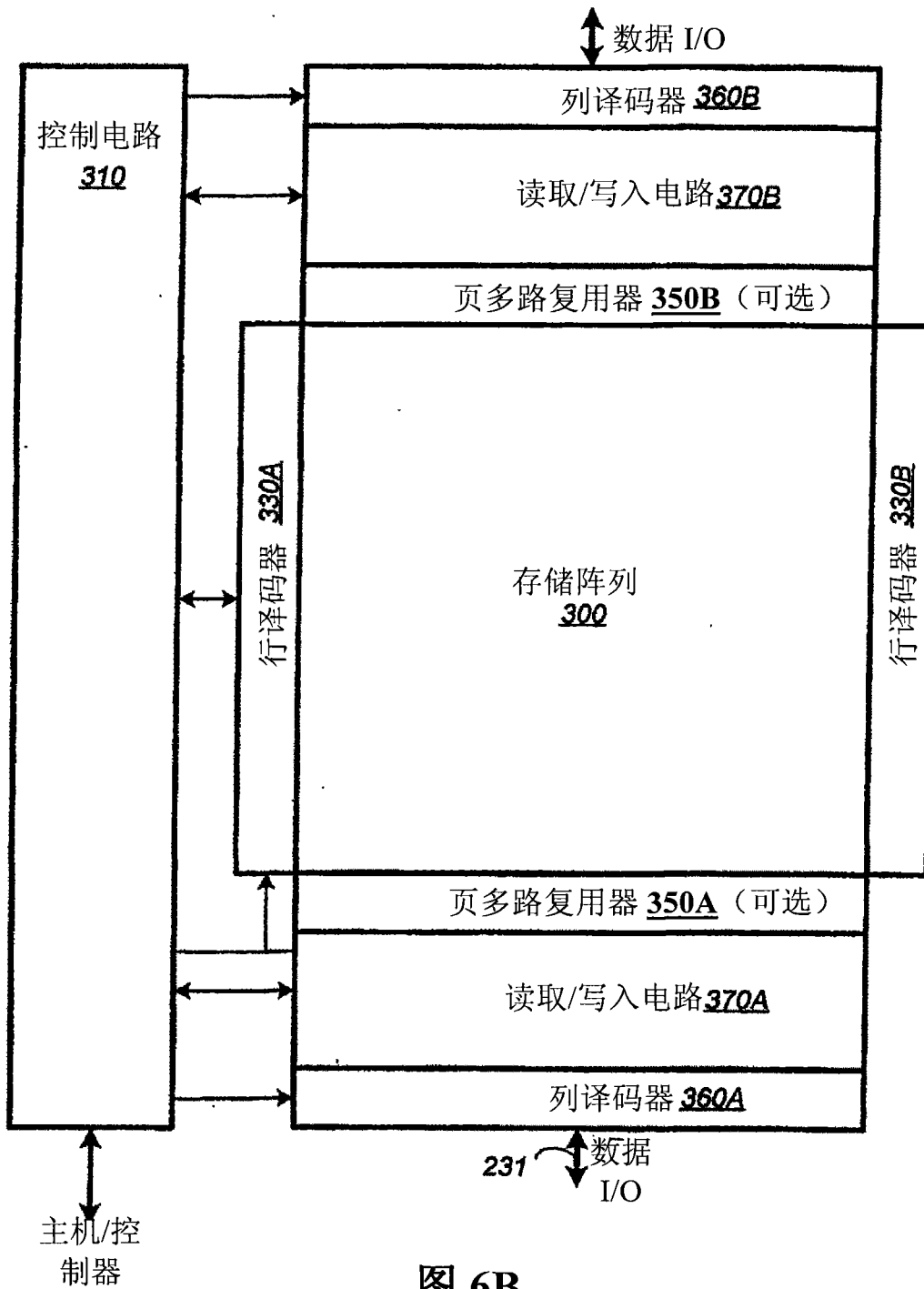


图 6B

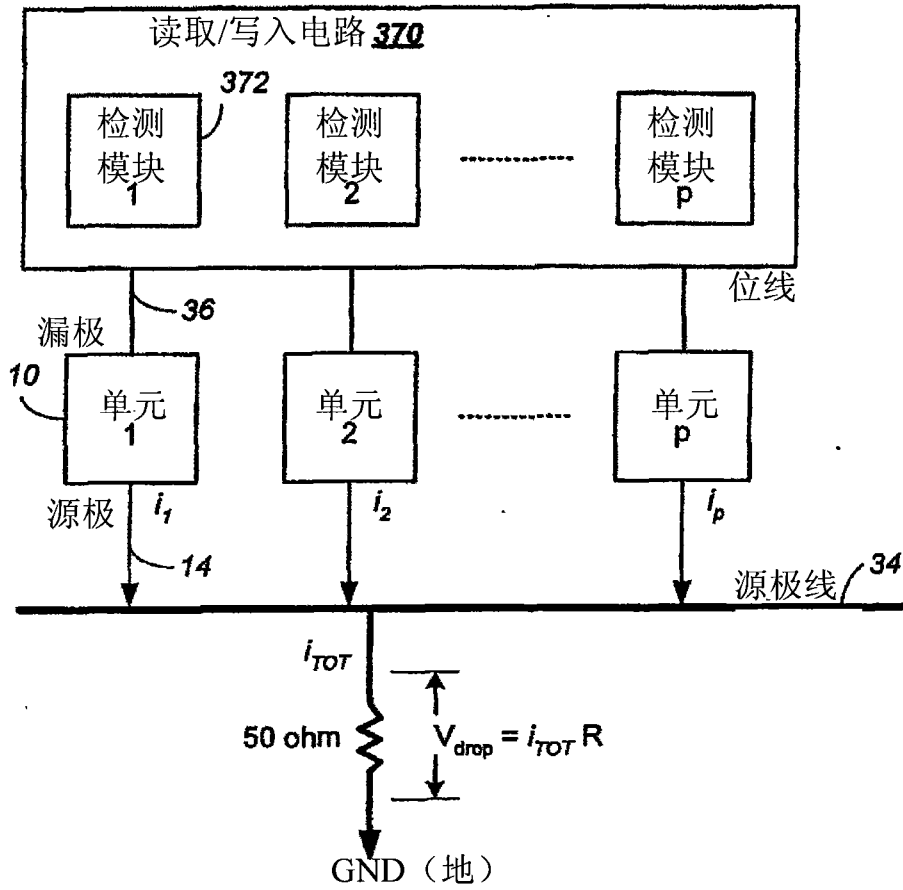


图 7A

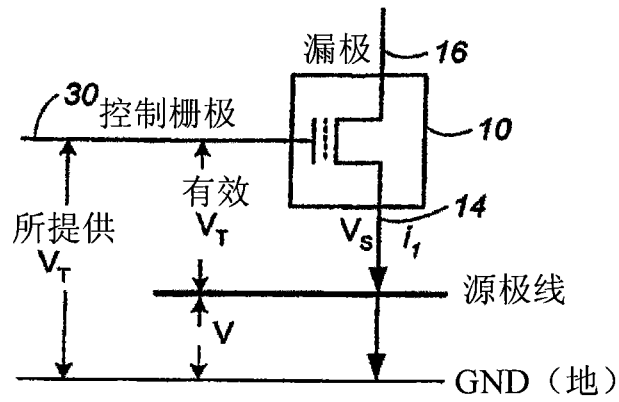


图 7B

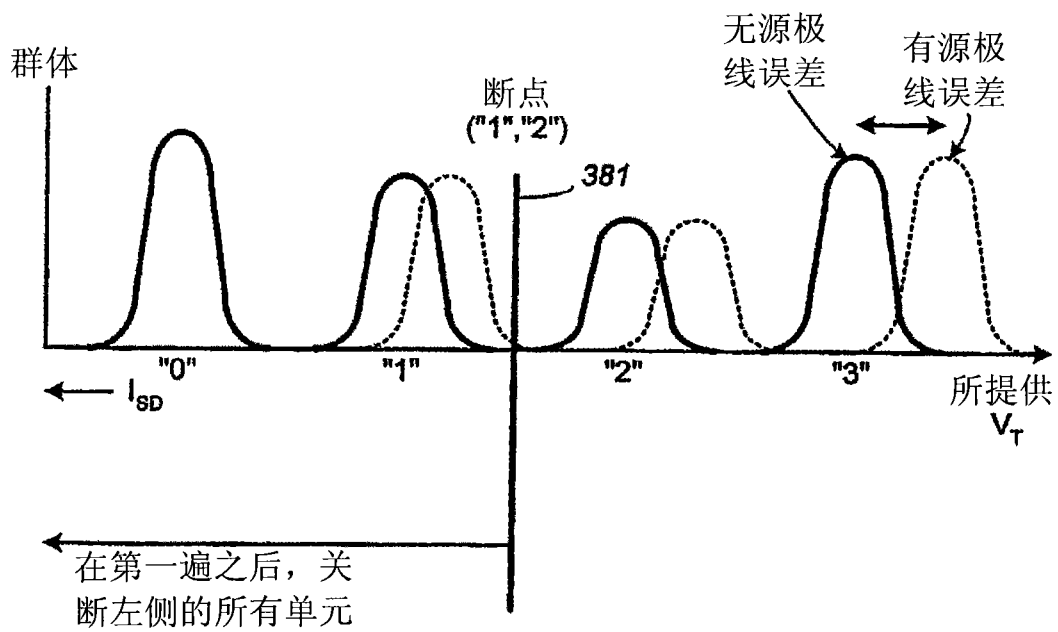


图 8

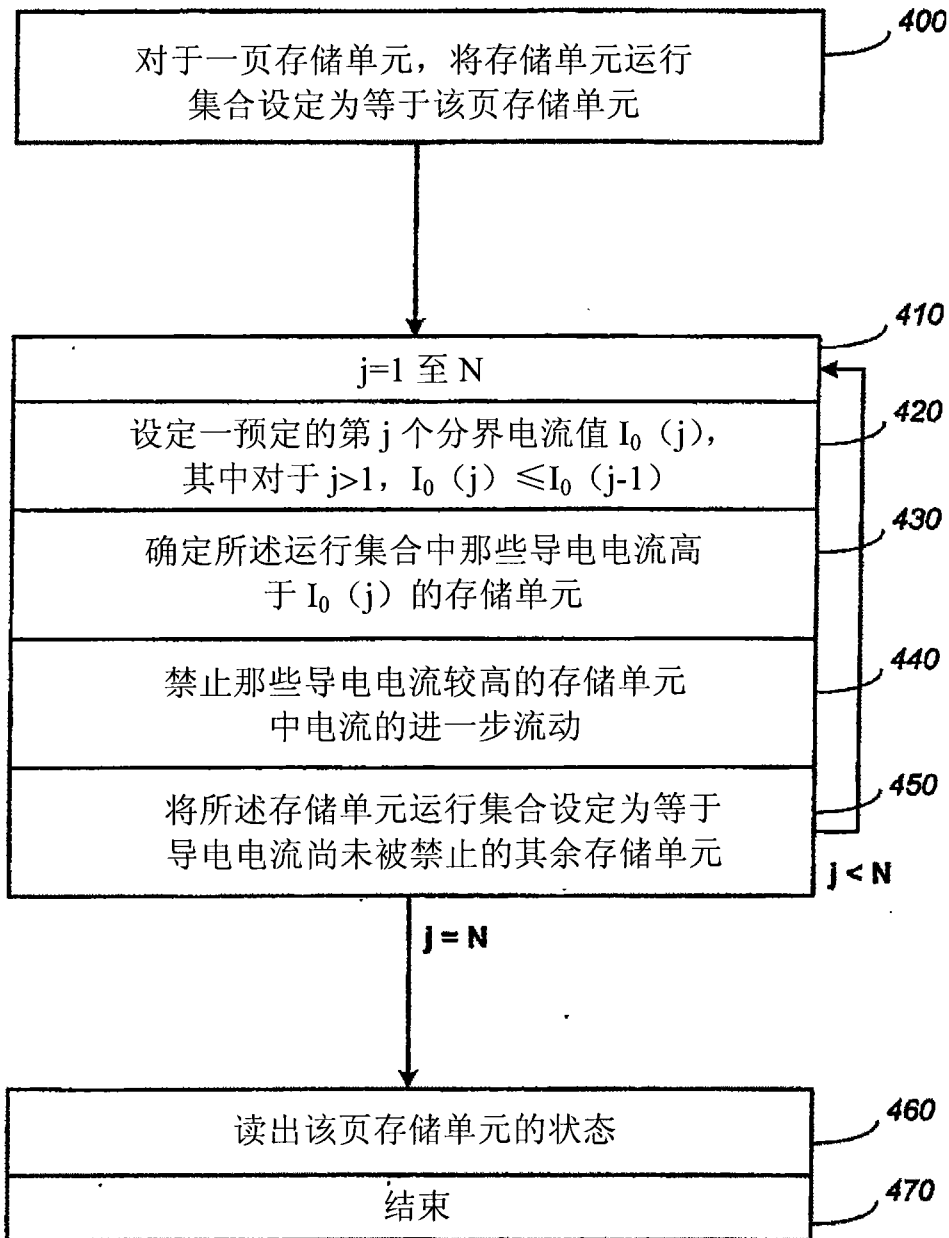


图 9

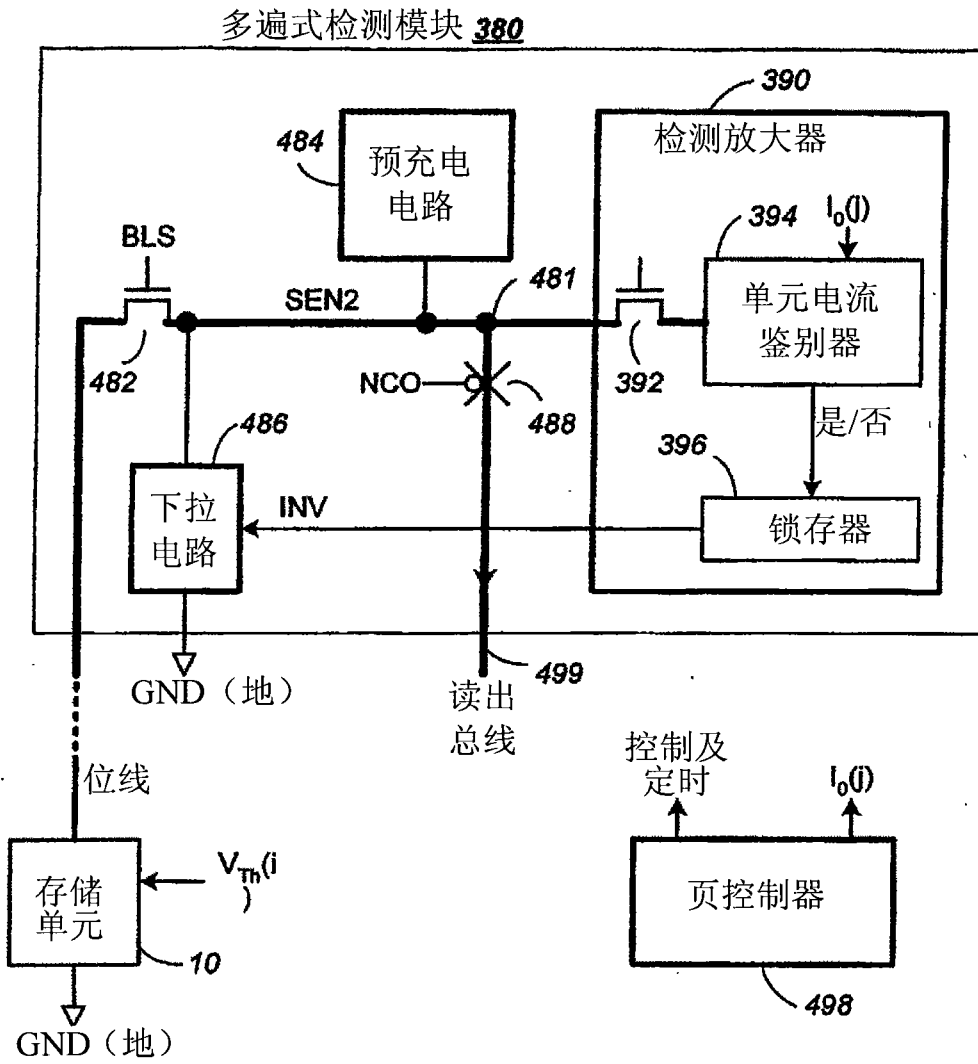


图 10

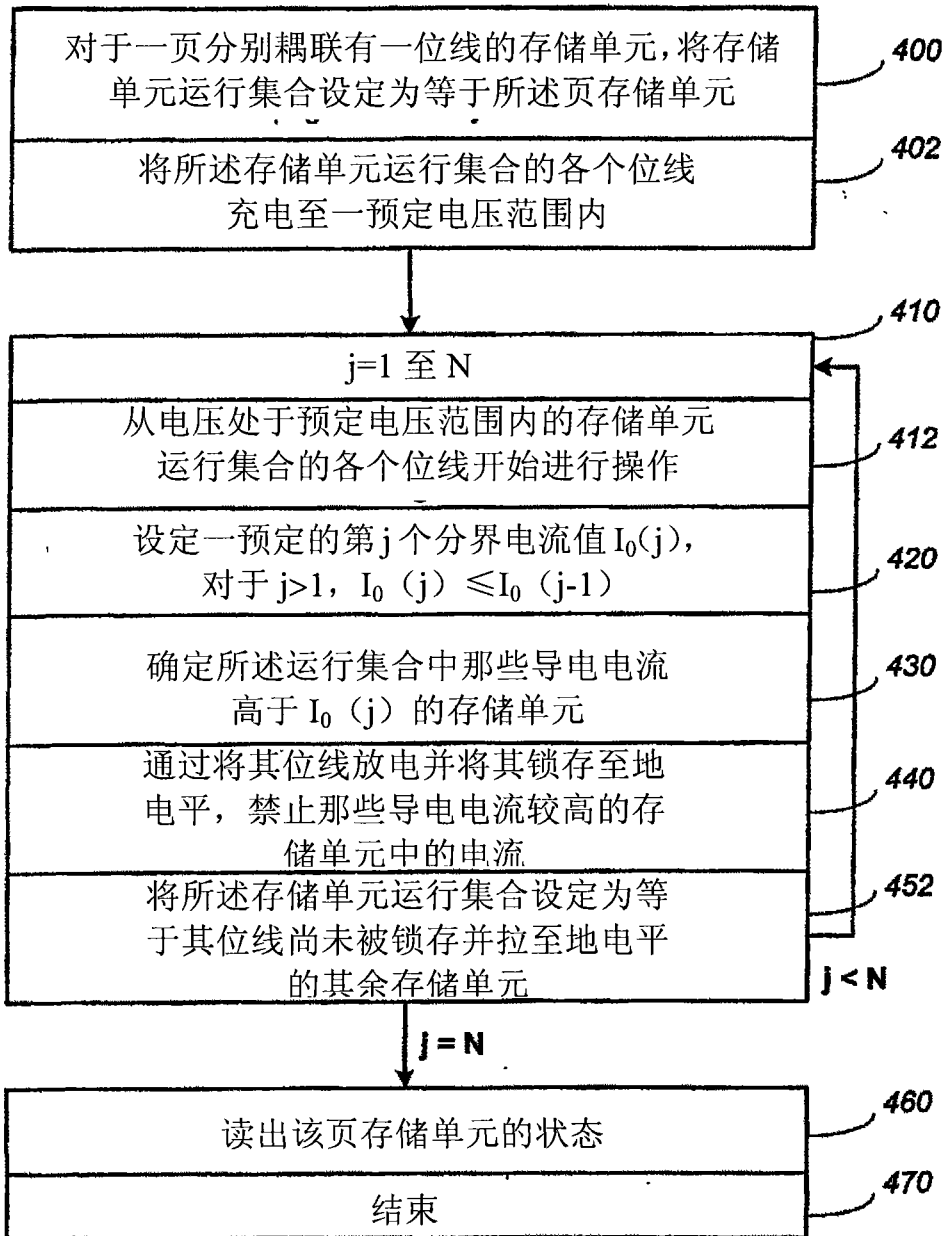


图 11

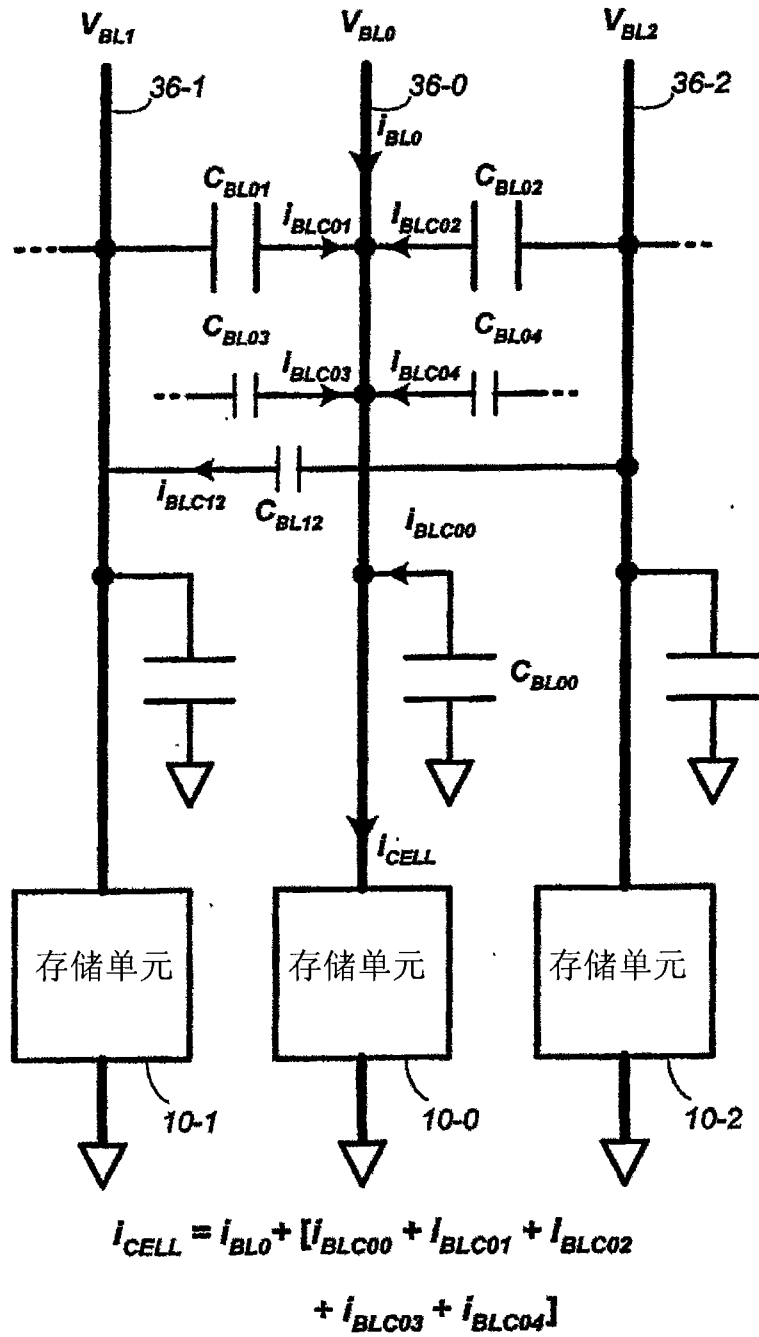


图 12

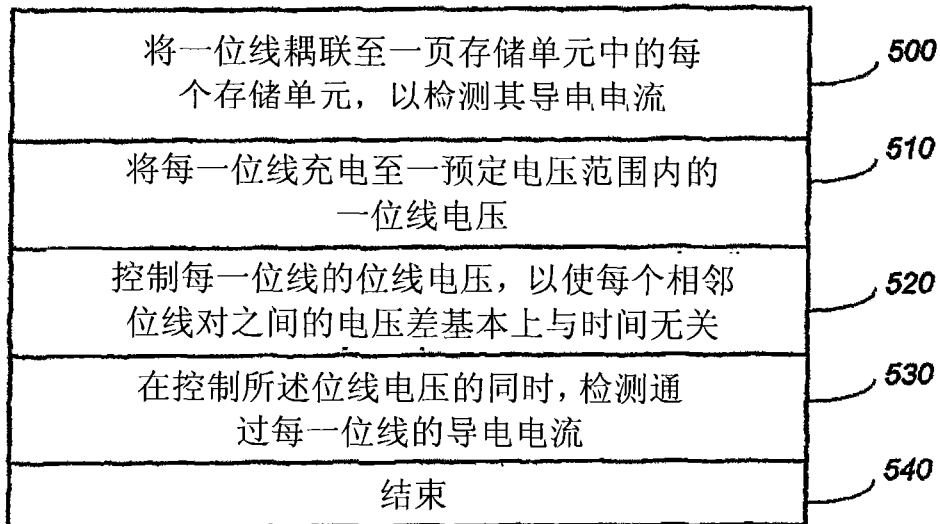


图 13A

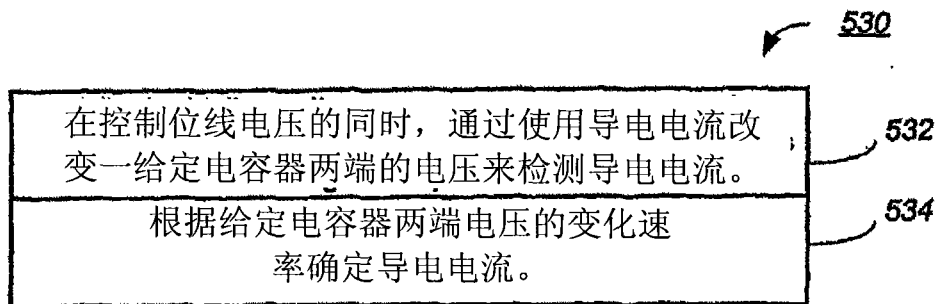


图 13B

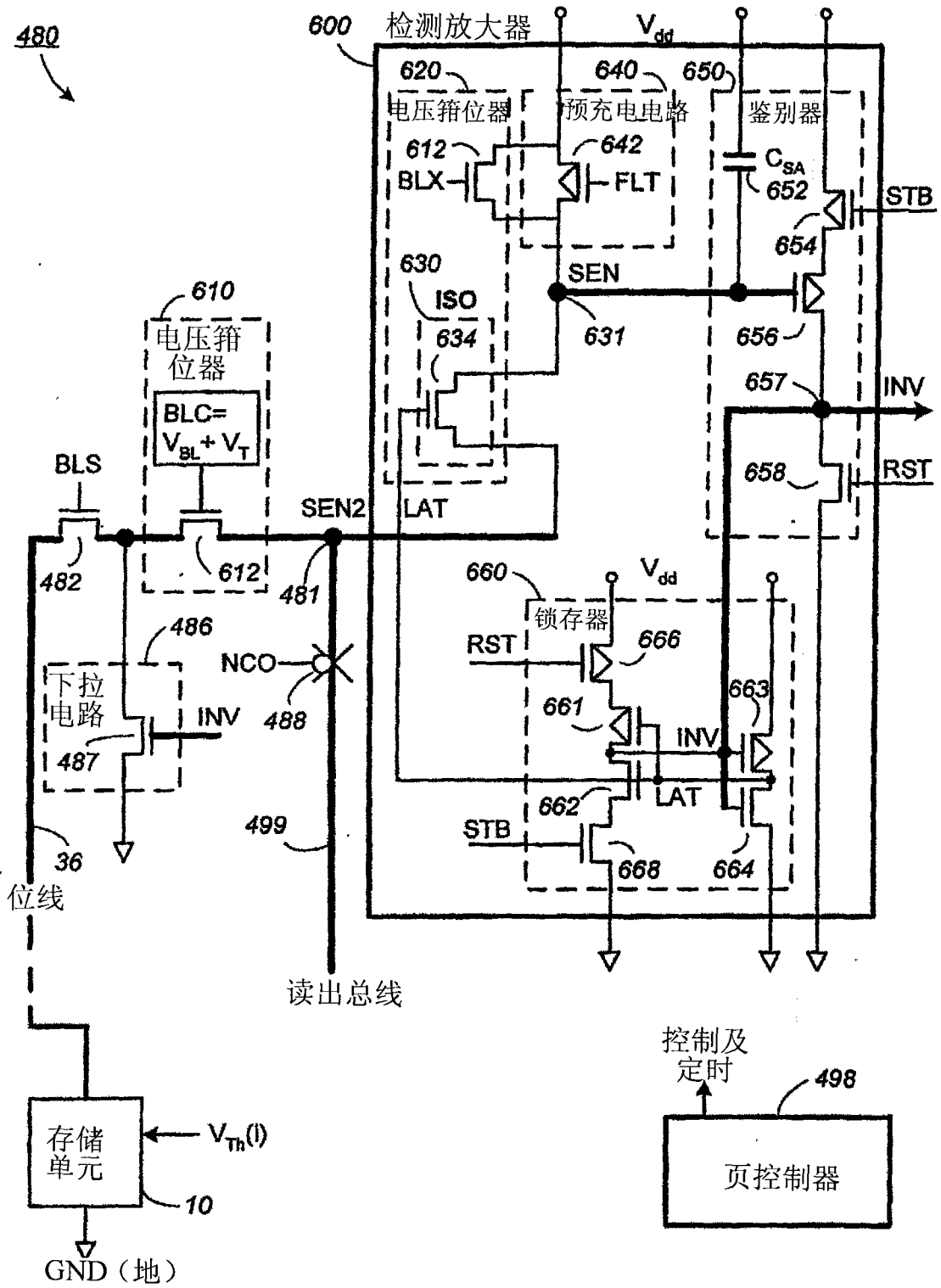


图 14

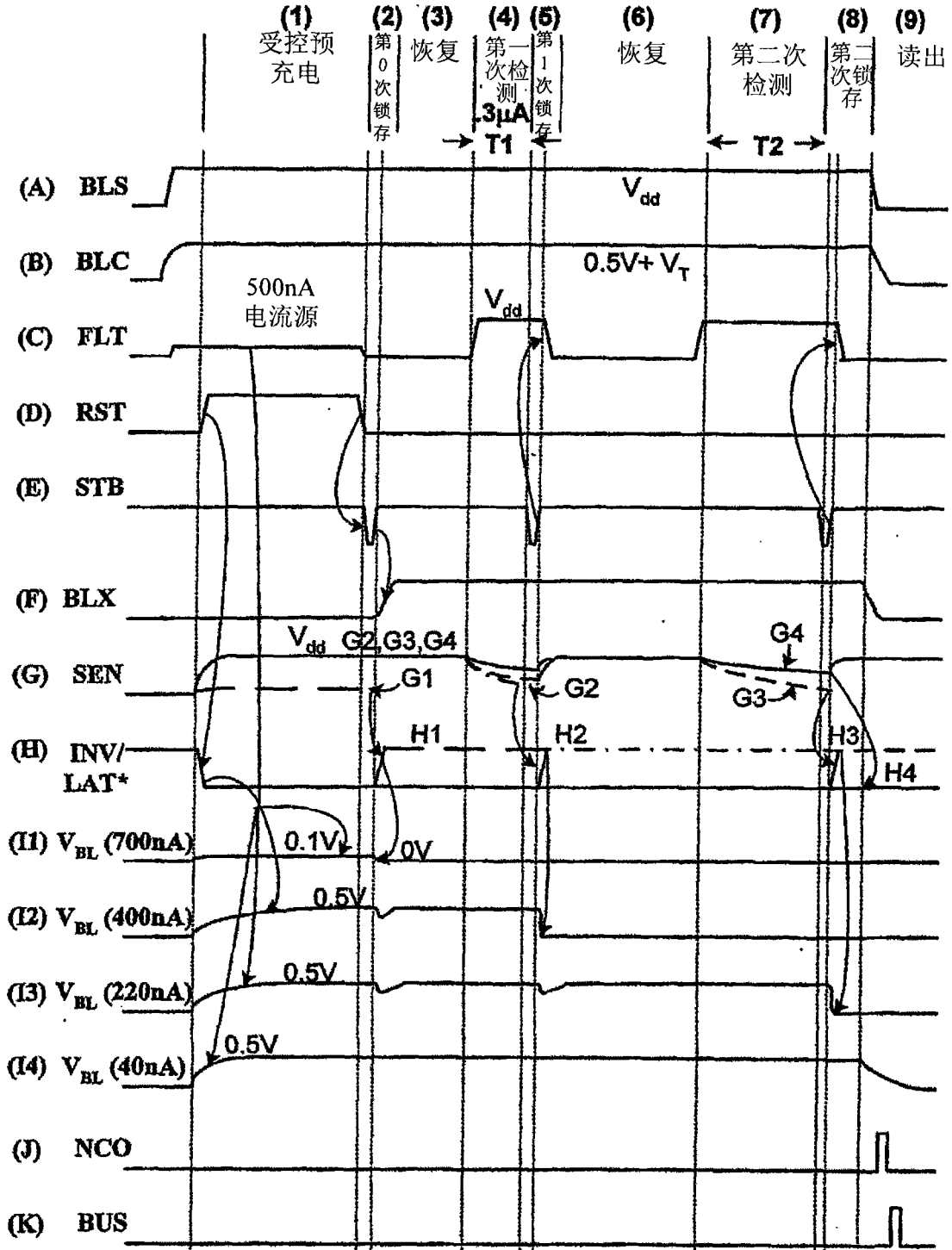


图 15

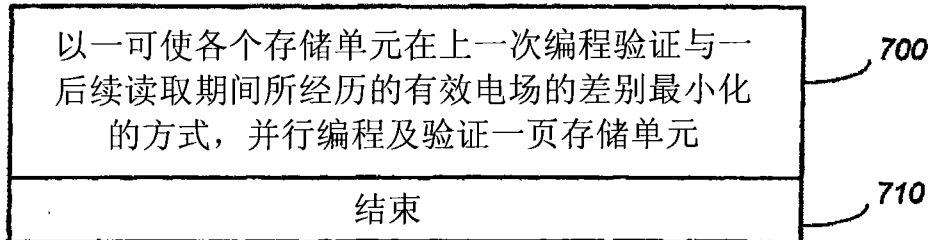


图 16A

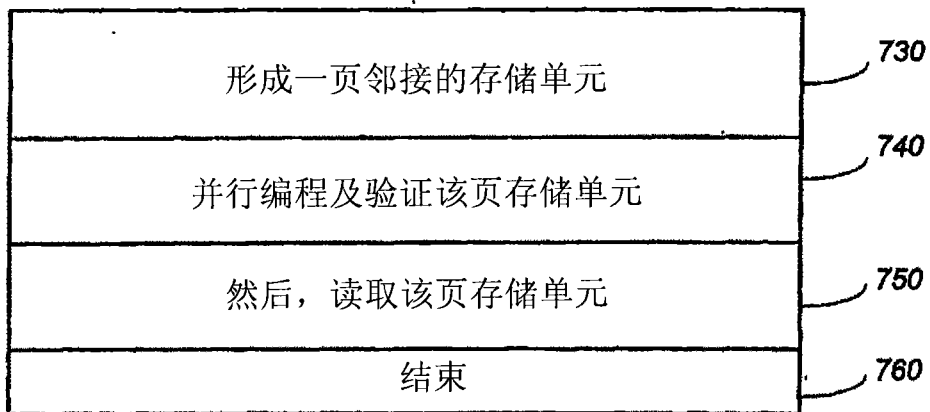


图 16B

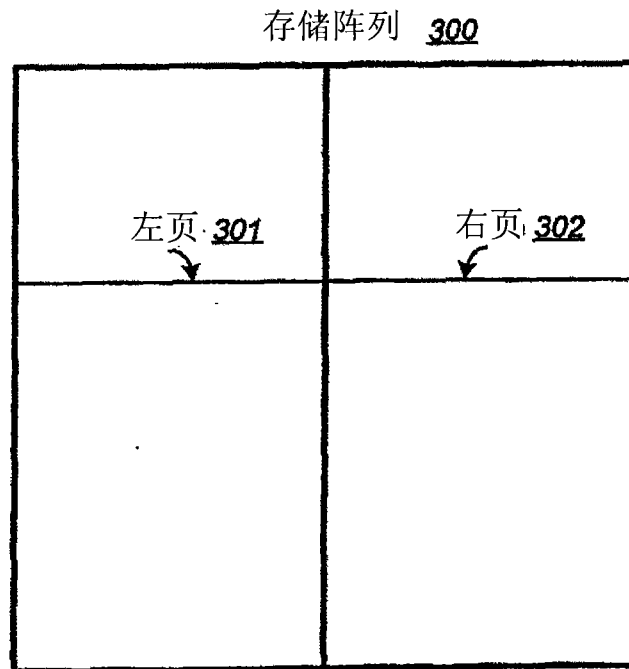


图 17

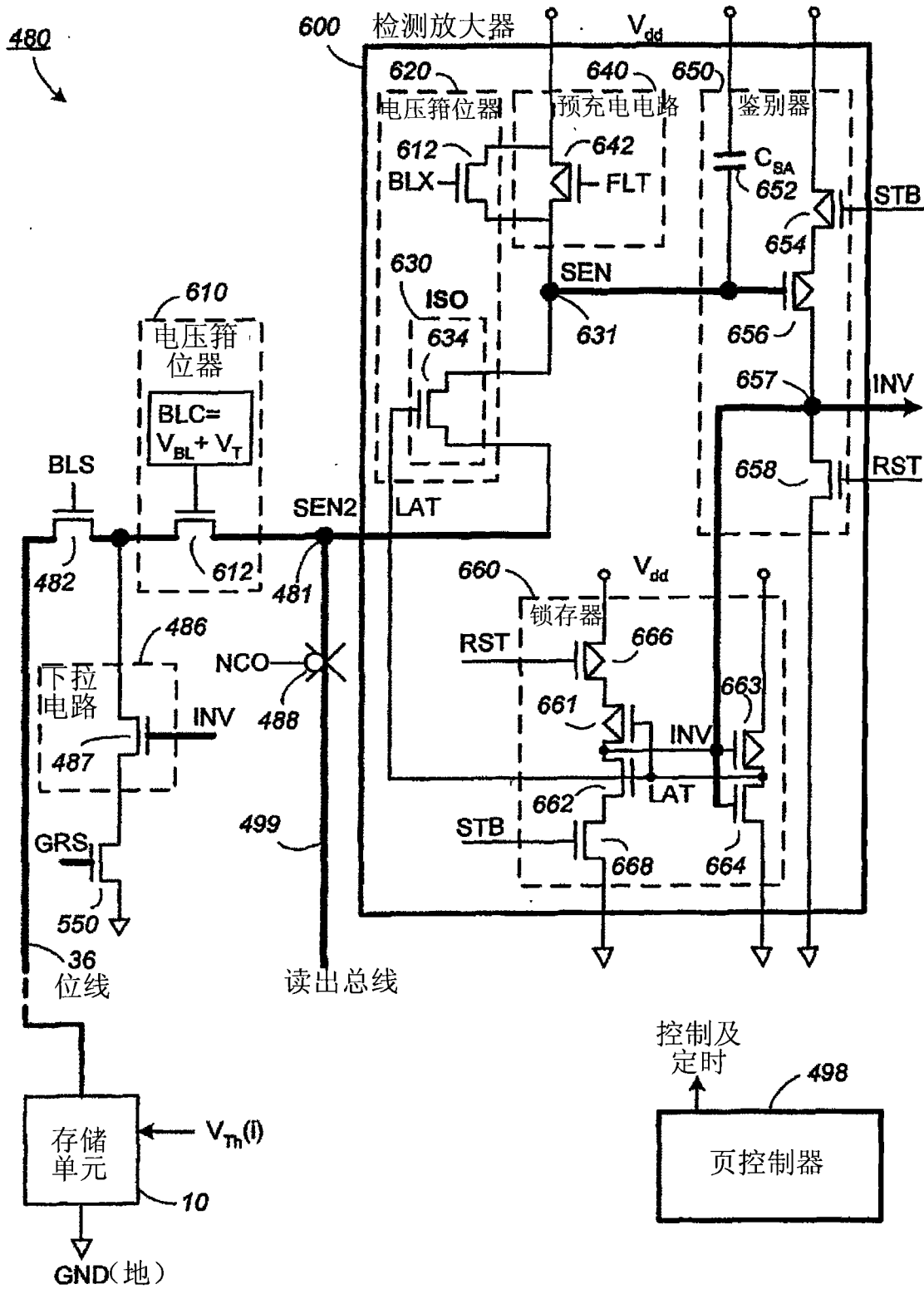


图 18

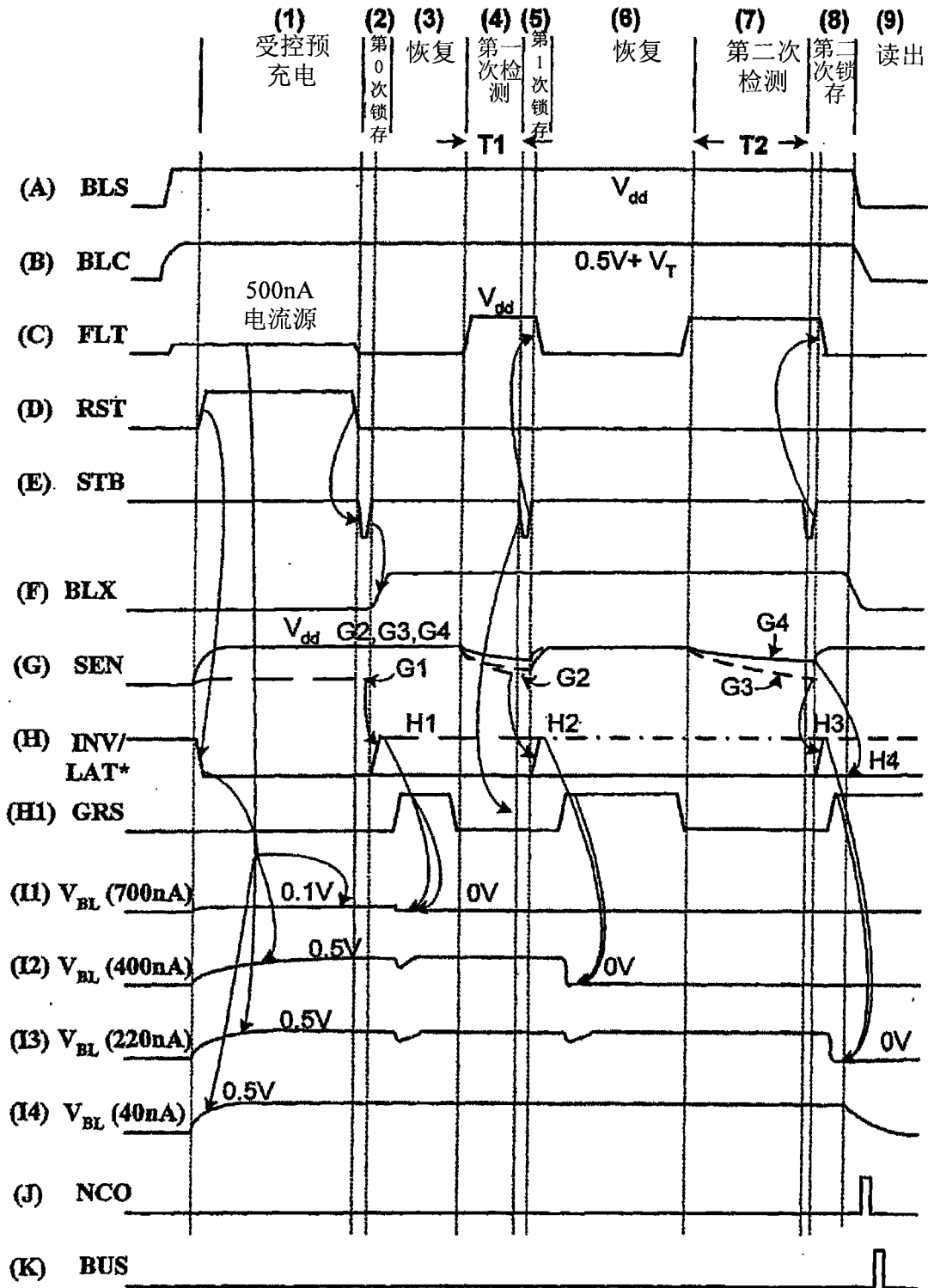


图 19

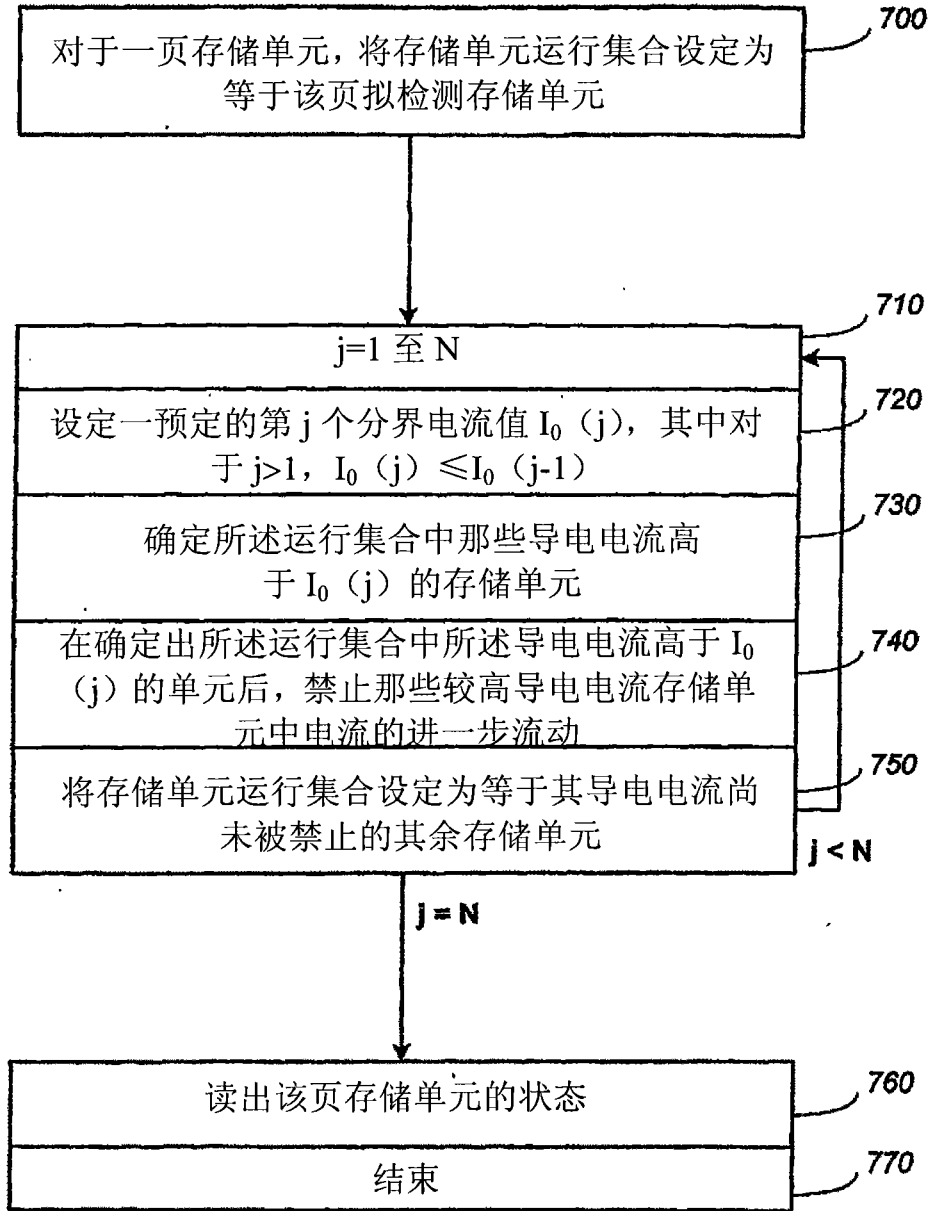


图 20

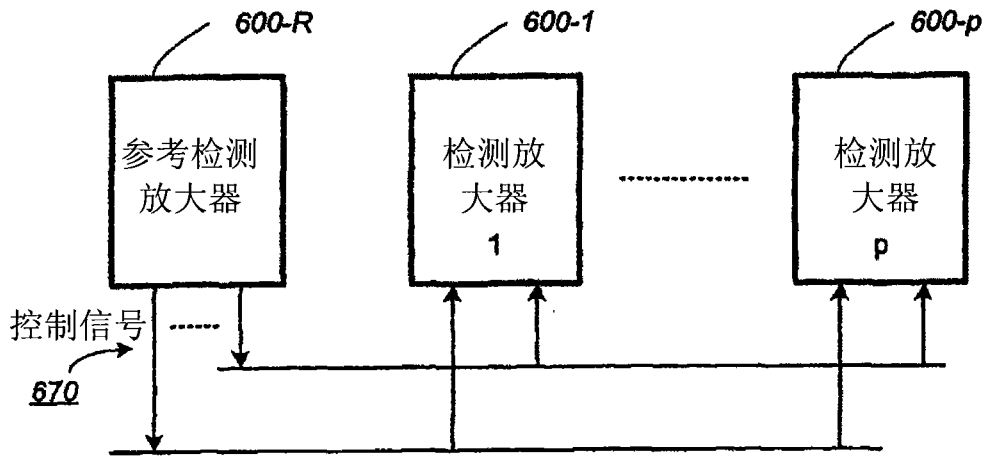


图 21A

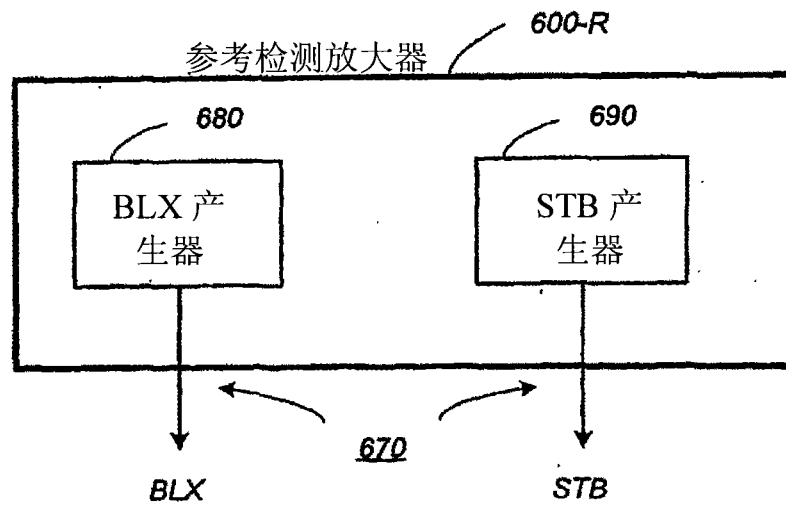


图 21B

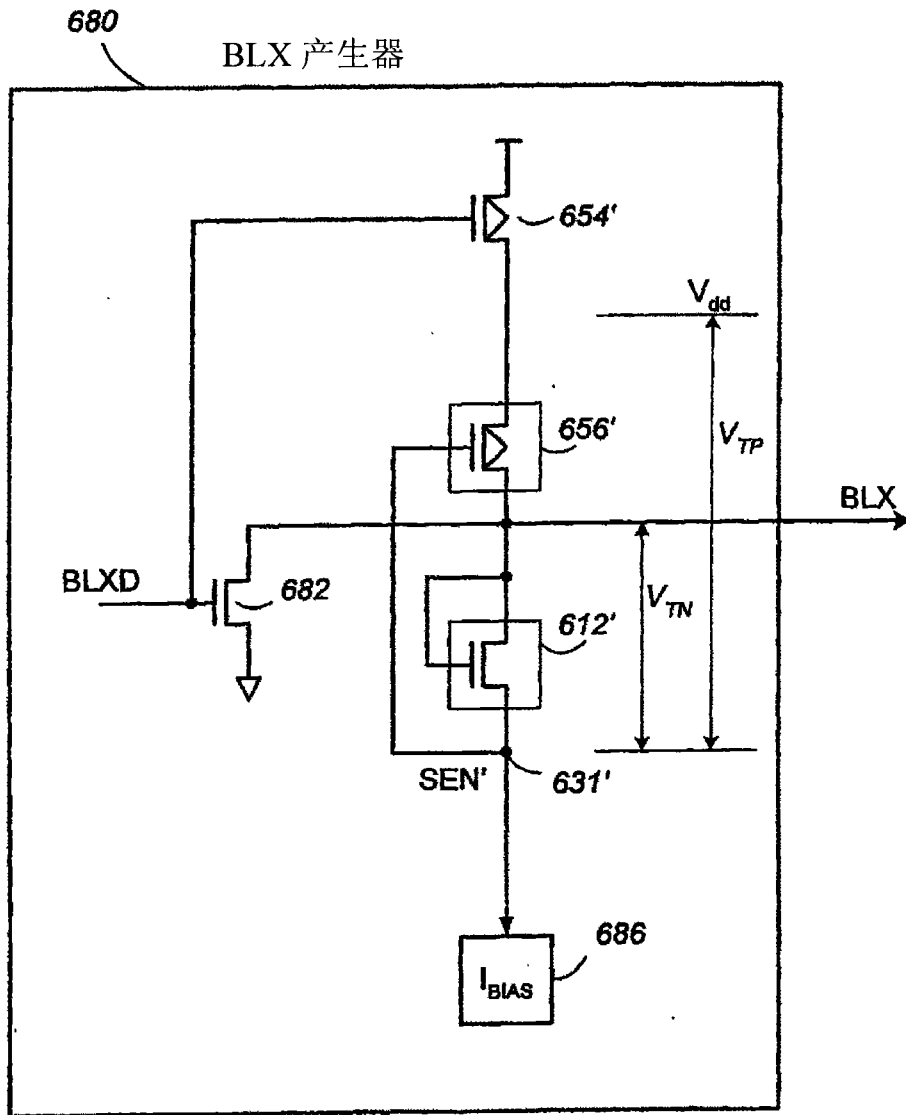


图 22

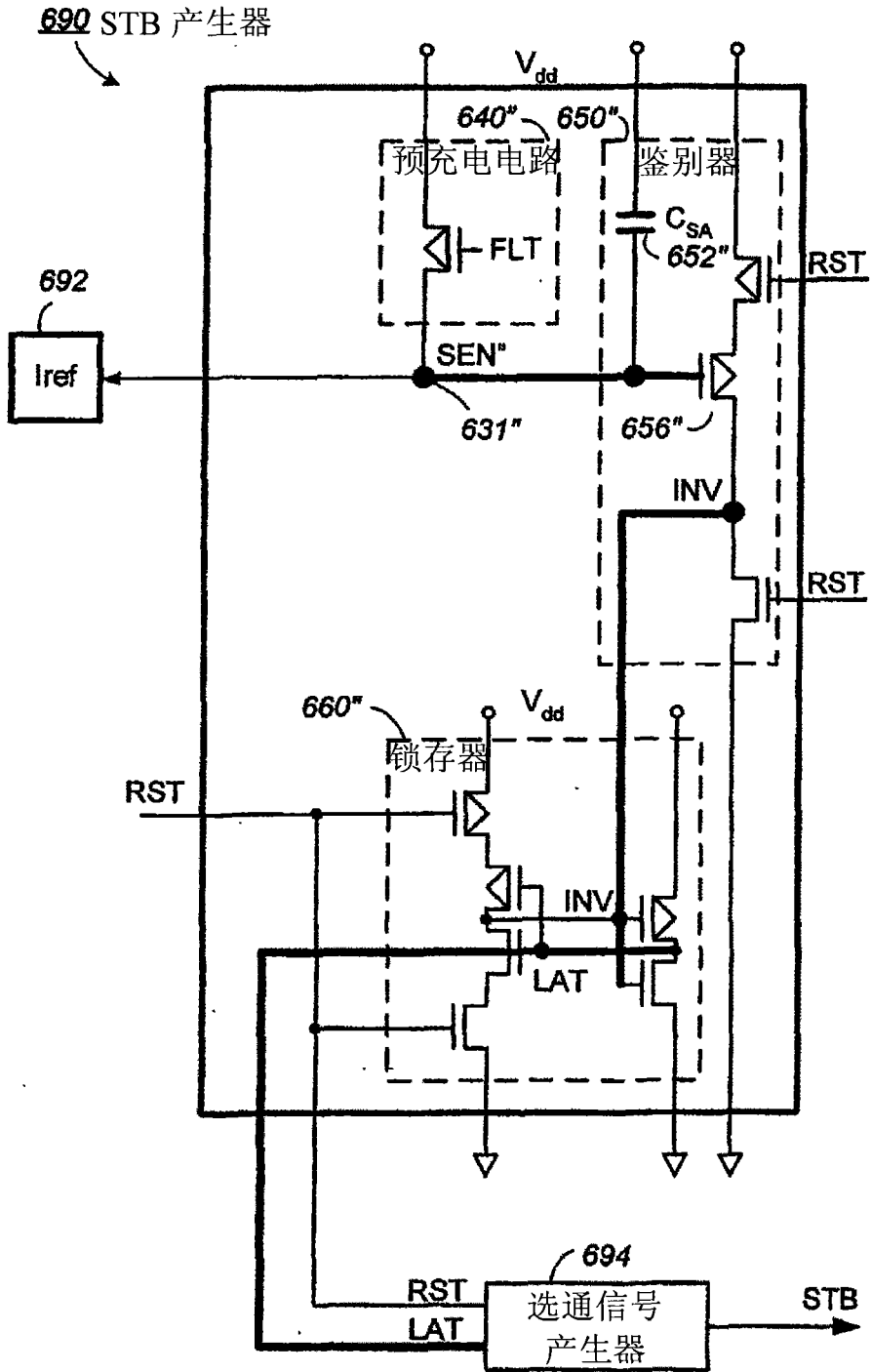


图 23