

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 6 月 22 日 (22.06.2023)



(10) 国际公布号
WO 2023/108398 A1

(51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)

(21) 国际申请号: PCT/CN2021/137775

(22) 国际申请日: 2021 年 12 月 14 日 (14.12.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 复旦大学(FUDAN UNIVERSITY) [CN/CN]; 中国上海市杨浦区邯郸路220号, Shanghai 200433 (CN)。上海集成电路制造创新中心有限公司(SHANGHAI INTEGRATED CIRCUIT MANUFACTURING INNOVATION CENTER CO., LTD.) [CN/CN]; 中国上海市中国(上海)自由贸易试验区碧波路690号401-23室, Shanghai 201203 (CN)。

(72) 发明人: 刘桃(LIU, Tao); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。张卫(ZHANG, Wei); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。徐敏(XU, Min); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。汪大伟(WANG, Dawei); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。孙新(SUN, Xin); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。潘哲成(PAN, Zhecheng); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。吴春蕾(WU, Chunlei); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。

(54) Title: GATE-ALL-AROUND DEVICE AND GATE-LAST SINGLE DIFFUSION BREAK PROCESS METHOD THEREFOR, AND PREPARATION METHOD FOR DEVICE

(54) 发明名称: 环栅器件及其后栅单扩散隔断工艺方法以及器件制备方法

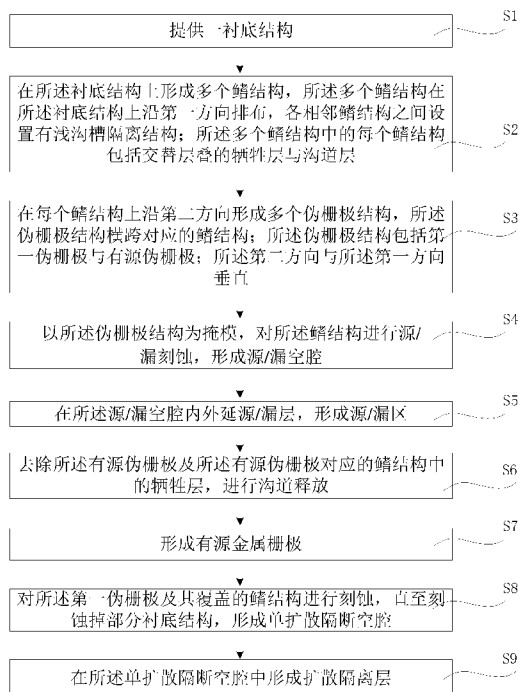


图 1

- S1 Provide a substrate structure
- S2 Form a plurality of fin structures on the substrate structure, wherein the plurality of fin structures are arranged on the substrate structure in a first direction, a shallow trench isolation structure is arranged between adjacent fin structures, each of the plurality of fin structures comprises sacrificial layers and channel layers which are alternately stacked
- S3 Form a plurality of dummy gate structures on each fin structure in a second direction, wherein the dummy gate structures span the corresponding fin structures, the dummy gate structures each comprise a dummy gate and an active dummy gate, and the second direction is perpendicular to the first direction
- S4 Perform source/drain etching on the fin structures by using the dummy gate structures as masks, so as to form source/drain cavities
- S5 Extending source/drain layers outwards in the source/drain cavities, so as to form source/drain regions
- S6 Remove the active dummy gate, and the sacrificial layers in the fin structure corresponding to the active dummy gate, so as to perform channel release
- S7 Form an active metal gate
- S8 Etch the first dummy gate and the fin structure covered thereby until part of the substrate structure is etched away, so as to form a single diffusion break cavity
- S9 Form a diffusion isolation layer in the single diffusion break cavity

(57) Abstract: Provided in the present invention is a gate-last single diffusion break process method on a gate-all-around (GAA) device. By means of the method, the etching of dummy gates for forming a single diffusion break cavity is performed after the preparation of an active metal gate of a GAA device is completed; and source/drain regions may apply stress to fin structures on two sides, and after channel release, only channel layers are left in the fin structures corresponding to an active dummy gate, such that the stress of

(74) 代理人: 上海慧晗知识产权代理有限公司 (普通合伙)(SHANGHAI HUIHAN INTELLECTUAL PROPERTY LAW FIRM); 中国上海市普陀区铜川路70号22楼2202-2212室徐海晟, Shanghai 200333 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

— 发明人资格(细则4.17(iv))

本国际公布:

— 包括国际检索报告(条约第21条(3))。

the source/drain regions is concentrated in the channel layers, and the stress of the channel layers is enhanced. In addition, the dummy gates and the fin structures corresponding thereto are not processed at this time and same may also transmit the stress to the channel layers of the GAA device, such that the stress of the channel layers of the GAA device reaches the maximum; moreover, the channel layers of the GAA device are wrapped by the active metal gate before the etching of the dummy gates is performed, and the active metal gate has a confinement effect on the stress of the channel layers, such that after the dummy gates are subsequently etched, the influence caused by the relaxation of the stress of the channel layers of the GAA device is minimized.

(57) 摘要: 本发明提供了一种环栅器件上后栅单扩散隔断工艺方法, 其用于形成单扩散隔断空腔的虚设伪栅极的刻蚀是在GAA器件的有源金属栅极制备完成后才进行, 由于源/漏区会向两侧的鳍结构施加应力; 而在沟道释放后, 有源伪栅极对应的鳍结构中只剩下了沟道层, 因而源/漏区的应力会集中到沟道层上, 使得沟道层的应力得到增强。并且由于此时虚设伪栅极及其对应的鳍结构还未进行处理, 其也会向GAA器件的沟道层传递应力, 使得GAA器件的沟道层的应力达到最大; 同时, 由于在进行虚设伪栅极的刻蚀前, GAA器件的沟道层已经被有源金属栅极包裹, 其对沟道层的应力产生禁锢作用, 使得在后续虚设伪栅极刻蚀后, GAA器件的沟道层的应力因弛豫带来的影响降到最低。

环栅器件及其后栅单扩散隔断工艺方法以及器件制备方法

技术领域

- 5 本发明涉及领域半导体领域，尤其涉及一种环栅器件及其后栅单扩散隔断工艺方法以及器件制备方法。

背景技术

- 晶体管器件，可理解为用半导体材料制作的开关结构。随着半导体技术的发展，晶体管器件从平面晶体管发展到 FinFET 晶体管，再发展到环栅晶体管。环栅晶体管也可理解为 GAA 晶体管、GAAFET。其中，GAA 的全称为：Gate-All-Around，表示一种全环绕式栅极技术。

- 对于 N 型晶体管与 P 型晶体管而言，其载流子的迁移率存在差异，从而使得 N 型晶体管与 P 型晶体管在相同尺寸下的电流能力存在差异。
- 15 其中对于平面晶体管而言，N 型晶体管的电子迁移率比 P 型晶体管的空穴迁移率大了几乎一倍，解决这一问题的方式为通过平面晶体管的源漏锗硅（SiGe）应力技术来调节 N 型晶体管沟道和 P 型晶体管沟道的载流子迁移率。发展到 FinFE 晶体管时，N 型晶体管与 P 型晶体管的载流子迁移率相差不大。而发展到 GAA 晶体管时，N 型晶体管的电子迁移率有了很大的提高，而 P 型晶体管的空穴迁移率反而降低了，导致 N 型 GAA 晶体管和 P 型 GAA 晶体管的载流子迁移率相差很大。从而当把 N 型 GAA 晶体管和 P 型 GAA 晶体管进行集成时，电流匹配问题非常突出。同时，空穴迁移率对应力的敏感度增加，电子迁移率对应力的敏感度降低，这使得在 GAA 晶体管上对应力的需求增大。

- 25 在 7nm 技术节点以下，单扩散隔断(Single diffusion break, SDB)已经取代了双扩散隔断（Double diffusion break, DDB）以进一步增加晶体管密度。传统的 SDB 和自对准 SDB (self-aligned SDB, SA-SDB)方案都会不同程度造成沟道应力弛豫。

- 因而，如何解决单扩散隔断工艺中的应力弛豫问题，已经成为业界亟需解决的技术问题。
- 30

发明内容

本发明提供一种环栅器件及其后栅单扩散隔断工艺方法以及器件制备方法，以降低单扩散隔断工艺中的应力弛豫，提高器件性能。

根据本发明的第一方面，提供给了—种环栅器件上后栅单扩散隔断工艺方法，包括：

提供—衬底结构；

在所述衬底结构上形成多个鳍结构，所述多个鳍结构在所述衬底结构上沿第一方向排布，各相邻鳍结构之间设置有浅沟槽隔离结构；所述多个鳍结构中的每个鳍结构包括交替层叠的牺牲层与沟道层；

10 在每个鳍结构上沿第二方向形成多个伪栅极结构，所述伪栅极结构横跨对应的鳍结构；所述伪栅极结构包括虚设伪栅极与有源伪栅极；所述第二方向与所述第一方向垂直；

以所述伪栅极结构为掩模，对所述鳍结构进行源/漏刻蚀，形成源/漏空腔；在所述源/漏空腔内外延源/漏层，形成源/漏区；

15 去除所述有源伪栅极及所述有源伪栅极对应的鳍结构中的牺牲层，进行沟道释放；

形成有源金属栅极；

对所述虚设伪栅极及其覆盖的鳍结构进行刻蚀，直至刻蚀掉部分衬底结构，形成单扩散隔断空腔；以及

20 在所述单扩散隔断空腔中形成扩散隔离层。

可选的，所述在衬底结构上形成多个鳍结构具体包括：

在所述衬底结构上形成堆叠件，所述堆叠件包括交替层叠的牺牲层与沟道层；

对堆叠件进行鳍结构刻蚀，形成鳍结构。

25 可选的，在所述以栅极结构为掩模，对所述鳍结构进行源/漏刻蚀，形成源/漏空腔之前，还包括：在所述伪栅极结构上沉积间隔层。

可选的，在所述源/漏空腔内外延源/漏层，形成源/漏区之前还包括：

对源漏刻蚀后暴露在表面的牺牲层进行刻蚀，使其部分凹陷；

在凹陷区域形成内间隔层。

30 可选的，在所述源/漏空腔内外延源/漏层，形成源/漏区之后还包括：

在所述衬底结构上淀积层间电介质，所述层间电介质覆盖所述源/漏区。

可选的，所述形成有源金属栅极具体包括：

在所述释放沟道后的沟道层上淀积高介电常数电介质；以及

在所述高介电常数电介质上淀积金属栅极。

- 5 根据本发明的第二方面，还提供了一种环栅器件的制备方法，包括上述的环栅器件上后栅单扩散隔断工艺方法。

可选的，该环栅器件的制备方法在单扩散隔断空腔中形成扩散隔离层之后还包括：形成器件接触。

- 10 根据本发明的第三方面，还提供了一种环栅器件，采用上述的环栅器件的制备方法制备而成。

- 本发明提供的环栅器件上后栅单扩散隔断工艺方法，其用于形成单扩散隔断空腔的虚设伪栅极的刻蚀是在 GAA 器件的有源金属栅极制备完成后才进行，由于源/漏区会向两侧的鳍结构（有源伪栅极对应的鳍结构和虚设伪栅极对应的鳍结构）施加应力；而在沟道释放后，有源伪栅极对应的鳍结构中只剩下沟道层，因而源/漏区的应力会集中到沟道层上，使得沟道层的应力得到增强。并且由于此时虚设伪栅极及其对应的鳍结构还未进行处理，其也会向 GAA 器件的沟道层传递应力，使得 GAA 器件的沟道层的应力达到最大；同时，由于在进行虚设伪栅极的刻蚀前，GAA 器件的沟道层已经被有源金属栅极包裹，由于有源金属栅极中的高介电常数电介质材料不容易形变，因而其对沟道层的应力产生禁锢作用，使得在后续虚设伪栅极刻蚀后，GAA 器件的沟道层的应力因弛豫带来的影响降到最低。有效地解决了现有的单扩散隔断工艺中的应力弛豫问题。
- 15
- 20

附图说明

- 25 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

- 30 图 1 是本发明一实施例提供的环栅器件上后栅单扩散隔断工艺方法的流程图示意图一；

图 2 是本发明一实施例提供的环栅器件上后栅单扩散隔断工艺方法的流程示意图二；

图 3-图 15 是本发明一实施例提供的环栅器件上后栅单扩散隔断工艺方法各步骤对应的器件结构的局部示意图。

5 图 16 是针对 P 型 GAA 器件本发明的后栅单扩散隔断工艺方法与传统的单扩散隔断工艺以及自对准单扩散隔断工艺的各步骤的应力仿真效果图；

图 17 为后栅单扩散隔断工艺方法制备的完整器件的结构示意图。

附图标记说明：

1-局部器件可重复单元；

10 101-衬底结构；

110-鳍结构；

111-牺牲层；

112-沟道层；

130-伪栅极堆叠件；

15 131-有源伪栅极；

132-虚设伪栅极；

140-间隔层；

150-源/漏空腔；

141-内间隔层；

20 151-源/漏层；

160-层间电介质；

170-高 K 栅介质；

180-扩散隔离层；

A-A、B-B-横剖面线；

25 a-传统的单扩散隔断工艺各步骤对应的应力仿真曲线；

b-自对准单扩散隔断工艺各步骤对应的应力仿真曲线；

c-本发明的后栅单扩散隔断工艺方法各步骤对应的应力仿真曲线。

具体实施方式

30 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行

清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

在本发明说明书的描述中，需要理解的是，术语“上部”、“下部”、“上端”、“下端”、“下表面”、“上表面”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本发明和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本发明的限制。

在本发明说明书的描述中，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。

在本发明的描述中，“多个”的含义是多个，例如两个，三个，四个等，除非另有明确具体的限定。

在本发明说明书的描述中，除非另有明确的规定和限定，术语“连接”等术语应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或成一体；可以是机械连接，也可以是电连接或可以互相通讯；可以是直接相连，也可以通过中间媒介间接相连，可以是两个元件内部的连通或两个元件的相互作用关系。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本发明中的具体含义。

下面以具体的实施例对本发明的技术方案进行详细说明。下面这几个具体的实施例可以相互结合，对于相同或相似的概念或过程可能在某些实施例不再赘述。

在提出本发明之前，申请人对于先进节点的 GAA 器件的单扩散隔断工艺进行了充分研究，目前针对 GAA 器件的单扩散隔断工艺主要为：

一、传统的单扩散隔断工艺

该工艺的具体流程为：

- a.在衬底结构上外延鳍结构堆叠件（牺牲层/沟道层交替排列）；
- b.将鳍结构堆叠件图形化；
- c.鳍结构刻蚀以及鳍结构截断，形成鳍结构以及单扩散隔断空腔；

- d.填充隔离层，形成 STI 以及扩散隔离层；
- e.在鳍结构上形成伪栅极；
- f.源/漏刻蚀以及形成源/漏区；
- g.形成层间电介质；
- 5 h.去除伪栅极；
- i.去除牺牲层，释放沟道；
- j.形成高 K 栅介质；
- k.形成金属接触。

二、自对准单扩散隔断工艺

- 10 该工艺相对于传统工艺而言，将形成单扩散隔断空腔的步骤放到形成层间电介质这一步骤与去除伪栅极这一步骤之间，其它工艺步骤与传统工艺类似。

- 15 对于 GAA 器件而言，源/漏区对于沟道层的应力对器件的性能影响至关重要。而对于上述两种工艺，申请人发现都会存在不同程度的应力弛豫。为了弄清楚应力弛豫的缘故，申请人进行了一系列的应力仿真，发现上述两种工艺在形成单扩散隔断空腔后，应力都会发生不同程度的弛豫，使得最终沟道层的应力维持在较低的水平。

- 20 申请人通过进一步跟踪各个工艺步骤的应力仿真并研究分析后，发现上述两种工艺造成应力弛豫的原因是：上述两种工艺在形成单扩散隔断空腔时都会造成沟道层两端形成自由表面，应力由自由表面的通道造成松弛，从而使得最终沟道层的应力较低。

- 25 基于此，申请人针对 GAA 器件的需要，创造性地提出了一种新的环栅器件上后栅单扩散隔断工艺方法，请参考图 1，并结合图 3 至图 15，其中，图 1 为本发明一实施例提供的环栅器件上后栅单扩散隔断工艺方法的流程示意图；图 3-图 15 为本发明一实施例提供的环栅器件上后栅单扩散隔断工艺方法各步骤对应的器件结构示意图。其中，图 4 是从横剖面线 B-B 截取的图 3 的横剖面示意图，图 5 是从横剖面线 A-A 截取的图 3 的横剖面示意图，图 6-图 15 是在图 5 的基础上示出的不同工艺步骤下的器件结构示意图。

- 30 结合图 1、图 3-图 15，本发明实施例提供的环栅器件上后栅单扩散隔断工艺方法包括以下步骤：

S1:提供一衬底结构 101。

其中,该衬底结构 101 可以为硅衬底或者应变弛豫的缓冲层(SRB, Strain Relaxed Buffer),当然也可以为其他衬底。只要满足 GAA 器件要求的衬底结构均在本发明的保护范围之内。

5 S2:在所述衬底结构 101 上形成多个鳍结构 110,所述多个鳍结构 110 在所述衬底结构 101 上沿第一方向排布,如图 3 所示;图 3 中的第一方向可以理解为与最终 GAA 器件的沟道方向垂直的方向,第二方向可以理解为沿最终 GAA 器件的沟道的方向,因而第一方向与第二方向垂直。

其中,各相邻鳍结构 110 之间设置有浅沟槽隔离(STI, Shallow Trench Isolation)结构 120,所述多个鳍结构中的每个鳍结构 110 包括交替层叠的牺牲层 111 与沟道层 112,如图 4 所示。

图 3 和图 4 中示出四个鳍结构作为示例,事实上该步骤完成后,会在底层结构上形成多个鳍结构,数量并不限于四个,可以为其它数量。

15 在一个具体实施方式中,所述在衬底结构上形成多个鳍结构进一步包括:在所述衬底结构 101 上形成堆叠件,该堆叠件包括交替层叠的牺牲层 111 与沟道层 112;

对堆叠件进行鳍结构刻蚀,形成鳍结构 110。并且相邻鳍结构 110 之间通过浅沟槽隔离结构 120 进行隔离。

20 S3:在每个鳍结构上沿第二方向形成多个伪栅极结构,所述伪栅极结构横跨对应的鳍结构;所述伪栅极结构包括虚设伪栅极 132 与有源伪栅极 131,如图 6 所示。

具体地,步骤 S3 可包括以下子步骤:

25 先在每个鳍结构上沿第二方向形成多个伪栅极堆叠件 130,如图 5 所示;伪栅极堆叠件 130 横跨对应的鳍结构,具体地,伪栅极堆叠件 130 覆盖鳍结构的顶部及两侧;

接着对伪栅极堆叠件 105 进行刻蚀,形成多个伪栅极结构,如图 6 所示;其中,多个伪栅极结构沿第二方向依次分布。其中,伪栅极结构依据其作用可以分为虚设伪栅极 132 与有源伪栅极 131,其中的虚设伪栅极 132 最终会被刻蚀而形成单扩散隔断空腔;其中的有源伪栅极 131 最终会被刻蚀而形成有源金属栅极。伪栅极结构可采用金属栅材料,具体的,可以根据对应区掺

杂的离子的类型，采用不同的金属栅材料。

作为一优选实施方式，如图 2 所示，在形成多个伪栅极结构后，还包括步骤 S31：在所述伪栅极结构上沉积间隔层 140，该步骤完成后的器件结构示意图如图 7 所示。

- 5 S4：以所述伪栅极结构为掩模，对所述鳍结构进行源/漏刻蚀，形成源/漏空腔 150；刻蚀后的器件结构如图 8 所示。

作为一优选实施方式，如图 2 所示，在步骤 S4 后还包括步骤 S41：形成内间隔层；具体地，步骤 S41 包括以下子步骤：

- 对源漏刻蚀后暴露在表面的牺牲层 111 进行刻蚀，使其部分凹陷；
10 在凹陷区域形成内间隔层 141；该步骤完成后的器件结构示意图如图 9 所示。

 S5：在所述源/漏空腔 150 内外延源/漏层，形成源/漏区 151。

作为一优选实施方式，如图 2 所示，在形成源/漏区 151 后还包括步骤 S51：淀积层间电介质 160；具体地包括：

- 15 在所述衬底结构上淀积层间电介质 160，所述层间电介质 160 覆盖所述源/漏区 151；

 对淀积的层间电介质 160 进行平坦化，具体地，可进行化学机械抛光，使得淀积的层间电介质 160 平坦化。该步骤完成后的器件结构示意图如图 10 所示。

- 20 S6：去除有源伪栅极 131 及有源伪栅极 131 对应的鳍结构中的牺牲层 111，进行沟道释放。具体地，该步骤包括以下子步骤：

 去除有源伪栅极 131，该步骤完成后的器件结构示意图如图 11 所示；其中，可通过刻蚀工艺去除有源伪栅极 131；

- 去除对应鳍结构中的牺牲层 111，该步骤完成后的器件结构示意图如图
25 12 所示；其中，可通过刻蚀工艺去除牺牲层 111。

 S7：形成有源金属栅极。该步骤具体包括：

 在所述释放沟道后的沟道层 112 上淀积高介电常数电介质 170；该步骤完成后的器件结构示意图如图 13 所示；以及

 在所述高介电常数电介质 170 上淀积金属栅极（未示出）。

- 30 其中的高介电常数电介质 170 可以采用常规的高介电常数电介质材料。

S8: 对所述虚设伪栅极 132 及其覆盖的鳍结构进行刻蚀, 直至刻蚀掉部分衬底结构, 形成单扩散隔断空腔; 该步骤完成后的器件结构示意图如图 14 所示; 以及

在所述单扩散隔断空腔中形成扩散隔离层 180; 该步骤完成后的器件结构示意图如图 15 所示。其中的扩散隔离层 180 具体可以为绝缘层, 例如二氧化硅等。

本发明提供的环栅器件上后栅单扩散隔断工艺方法, 其用于形成单扩散隔断空腔的虚设伪栅极的刻蚀是在 GAA 器件的有源金属栅极制备完成后才进行, 由于源/漏区会向两侧的鳍结构 (有源伪栅极对应的鳍结构和虚设伪栅极对应的鳍结构) 施加应力; 而在沟道释放后, 有源伪栅极对应的鳍结构中只剩下了沟道层, 因而源/漏区的应力会集中到沟道层上, 使得沟道层的应力得到增强。并且由于此时虚设伪栅极及其对应的鳍结构还未进行处理, 其也会向 GAA 器件的沟道层传递应力, 使得 GAA 器件的沟道层的应力达到最大; 同时, 由于在进行虚设伪栅极的刻蚀前, GAA 器件的沟道层已经被有源金属栅极包裹, 由于有源金属栅极中的高介电常数电介质材料不容易形变, 因而其对沟道层的应力产生禁锢作用, 使得在后续虚设伪栅极刻蚀后, GAA 器件的沟道层的应力因弛豫带来的影响降到最低。有效地解决了现有的单扩散隔断工艺中的应力弛豫问题。

为了与现有的单扩散隔断工艺进行比对, 申请人针对各工艺方法对应的各步骤进行了应力仿真跟踪, 请参考图 16, 其中, 曲线 a 为传统的单扩散隔断工艺各步骤对应的应力仿真曲线; 曲线 b 为自对准单扩散隔断工艺各步骤对应的应力仿真曲线; 曲线 c 为本发明的后栅单扩散隔断工艺方法各步骤对应的应力仿真曲线; 图 16 的纵坐标表征应力大小, 其横坐标表征各工艺步骤; 图中的 SDB 代表的是单扩散隔断步骤 (即形成单扩散隔断空腔)。由图 16 可知, 对于 P 型 GAA 器件而言, 曲线 a 中在形成 SDB 后, 其应力大小在 1.5GPa 左右, 并且后续沟道层的应力大小维持在 -1GPa 左右; 曲线 b 中在形成 SDB 后, 其应力大小在 1GPa 左右, 并且后续沟道层的应力大小维持在 0GPa 左右; 曲线 c 中在形成 SDB 后, 其应力大小在 -4.4GPa 左右, 并且后续沟道层的应力大小维持在 -4.4GPa 左右。因而可以得出, 采用本发明的后栅单扩散隔断工艺方法, 其沟道应力得到显著的提升。

同样的，对于 N 型 GAA 器件，申请人也进行了各工艺步骤的应力仿真，采用本发明的后栅单扩散隔断工艺方法，其沟道应力提高至+3.2GPa 左右。同样得到了显著的提升。

需要说明的是，图 3-图 15 仅以示意出了本发明环栅器件上后栅单扩散
5 隔断工艺方法制备的局部器件的结构示意图，实际情况中，在沿沟道长度方向，单扩散隔断工艺通常是两个虚设伪栅极之间存在有一个或多个有源伪栅极。本申请中是以两个虚设伪栅极之间存在有一个有源伪栅极的情况进行示意说明，请参照图 17 所示，图 17 中的局部器件可重复单元 1 即为图 3-图 15 示意出的结构。图 17 所示的完整的可重复单元是两个虚设伪栅极之间存在有一个有源伪栅极的结构；其中，局部器件可重复单元 1 是完整的可重复单元
10 的一半。

根据本发明的第二方面，还提供了一种环栅器件的制备方法，包括上述的环栅器件上后栅单扩散隔断工艺方法。并且，该环栅器件的制备方法在单扩散隔断空腔中形成扩散隔离层之后还包括：形成器件接触。

15 根据本发明的第三方面，还提供了一种环栅器件，采用上述的环栅器件的制备方法制备而成。

在本说明书的描述中，参考术语“一种实施方式”、“一种实施例”、“具体实施过程”、“一种举例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例
20 中。在本说明书中，对上述术语的示意性表述不一定指的是相同的实施例或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施例或示例中以合适的方式结合。

最后应说明的是：以上各实施例仅用以说明本发明的技术方案，而非对其限制；尽管参照前述各实施例对本发明进行了详细的说明，本领域的普通
25 技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

权利要求书

1. 一种环栅器件上后栅单扩散隔断工艺方法，其特征在于，包括：
提供一衬底结构；

5 在所述衬底结构上形成多个鳍结构，所述多个鳍结构在所述衬底结构上沿第一方向排布，各相邻鳍结构之间设置有浅沟槽隔离结构；所述多个鳍结构中的每个鳍结构包括交替层叠的牺牲层与沟道层；

在每个鳍结构上沿第二方向形成多个伪栅极结构，所述伪栅极结构横跨对应的鳍结构；所述伪栅极结构包括虚设伪栅极与有源伪栅极；所述第二方向与所述第一方向垂直；

10 以所述伪栅极结构为掩模，对所述鳍结构进行源/漏刻蚀，形成源/漏空腔；在所述源/漏空腔内外延源/漏层，形成源/漏区；

去除所述有源伪栅极及所述有源伪栅极对应的鳍结构中的牺牲层，进行沟道释放；

形成有源金属栅极；

15 对所述虚设伪栅极及其覆盖的鳍结构进行刻蚀，直至刻蚀掉部分衬底结构，形成单扩散隔断空腔；以及

在所述单扩散隔断空腔中形成扩散隔离层。

2. 根据权利要求 1 所述的环栅器件上后栅单扩散隔断工艺方法，其特征在于，所述在衬底结构上形成多个鳍结构具体包括：

20 在所述衬底结构上形成堆叠件，所述堆叠件包括交替层叠的牺牲层与沟道层；

对堆叠件进行鳍结构刻蚀，形成鳍结构。

3. 根据权利要求 1 所述的环栅器件上后栅单扩散隔断工艺方法，其特征在于，在所述以栅极结构为掩模，对所述鳍结构进行源/漏刻蚀，形成源/漏空腔之前，还包括：在所述伪栅极结构上沉积间隔层。

4. 根据权利要求 1 所述的环栅器件上后栅单扩散隔断工艺方法，其特征在于，在所述源/漏空腔内外延源/漏层，形成源/漏区之前还包括：

对源漏刻蚀后暴露在表面的牺牲层进行刻蚀，使其部分凹陷；

在凹陷区域形成内间隔层。

30 5. 根据权利要求 1 所述的环栅器件上后栅单扩散隔断工艺方法，其特征

在于，在所述源/漏空腔内外延源/漏层，形成源/漏区之后还包括：

在所述衬底结构上淀积层间电介质，所述层间电介质覆盖所述源/漏区。

6. 根据权利要求 5 所述的环栅器件上后栅单扩散隔断工艺方法，其特征在于，所述形成有源金属栅极具体包括：

- 5 在所述释放沟道后的沟道层上淀积高介电常数电介质；以及
在所述高介电常数电介质上淀积金属栅极。

7. 一种环栅器件的制备方法，包括权利要求 1 至 6 任一项所述的环栅器件上后栅单扩散隔断工艺方法。

8. 根据权利要求 7 所述的环栅器件的制备方法，其特征在于，所述在单
10 扩散隔断空腔中形成扩散隔离层之后还包括：
形成器件接触。

9. 一种环栅器件，其特征在于，采用权利要求 7 所述的环栅器件的制备方法制备而成。

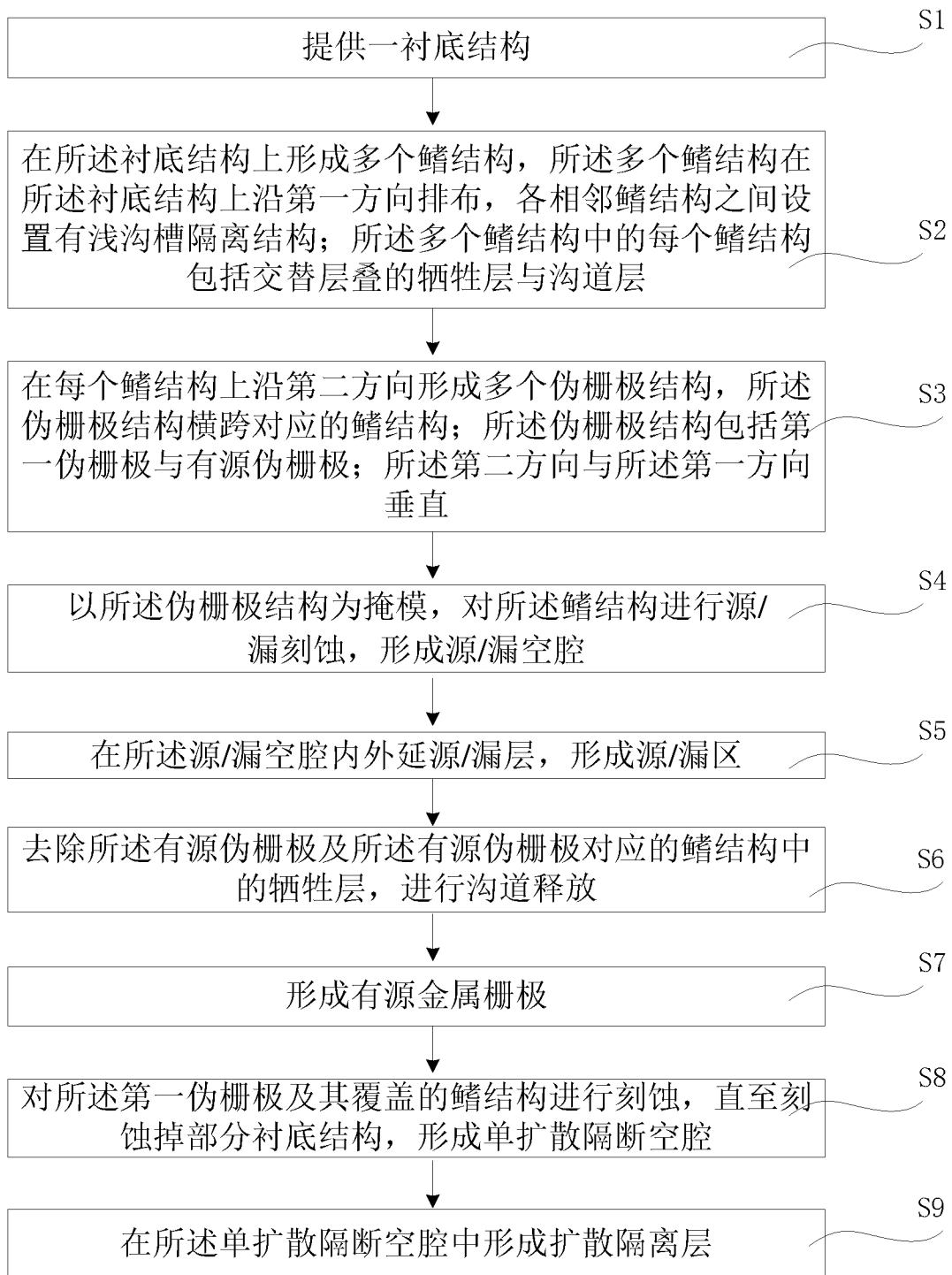


图 1

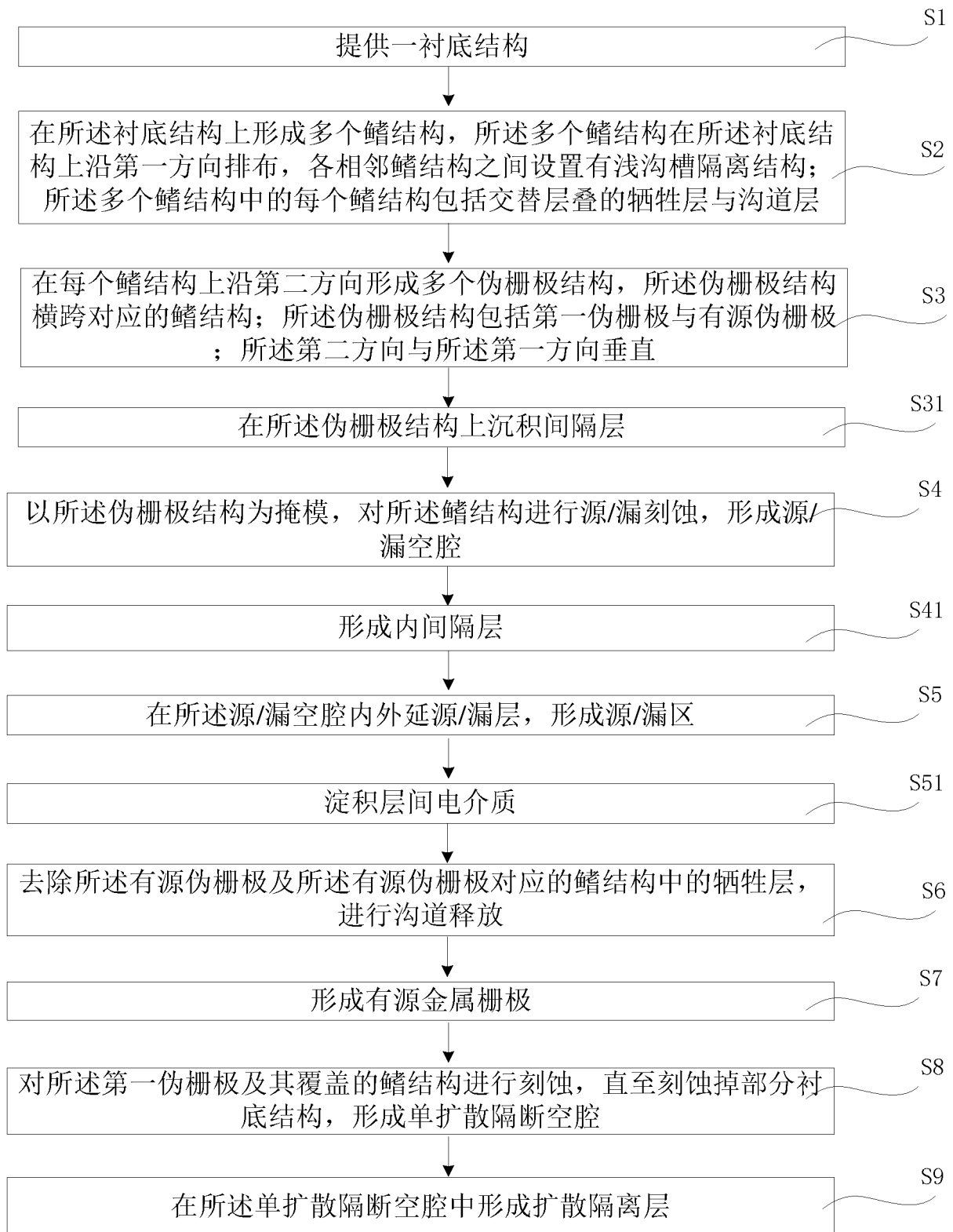


图 2

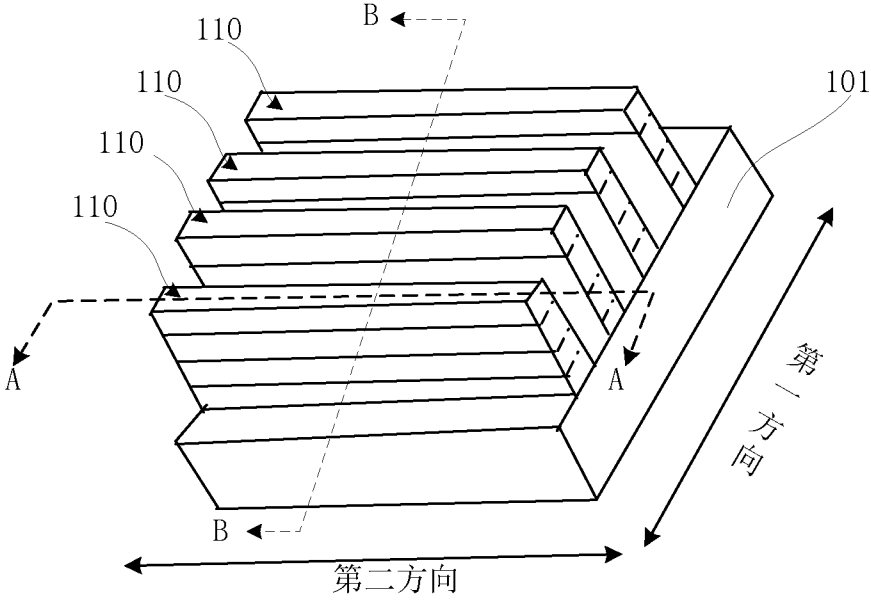


图 3

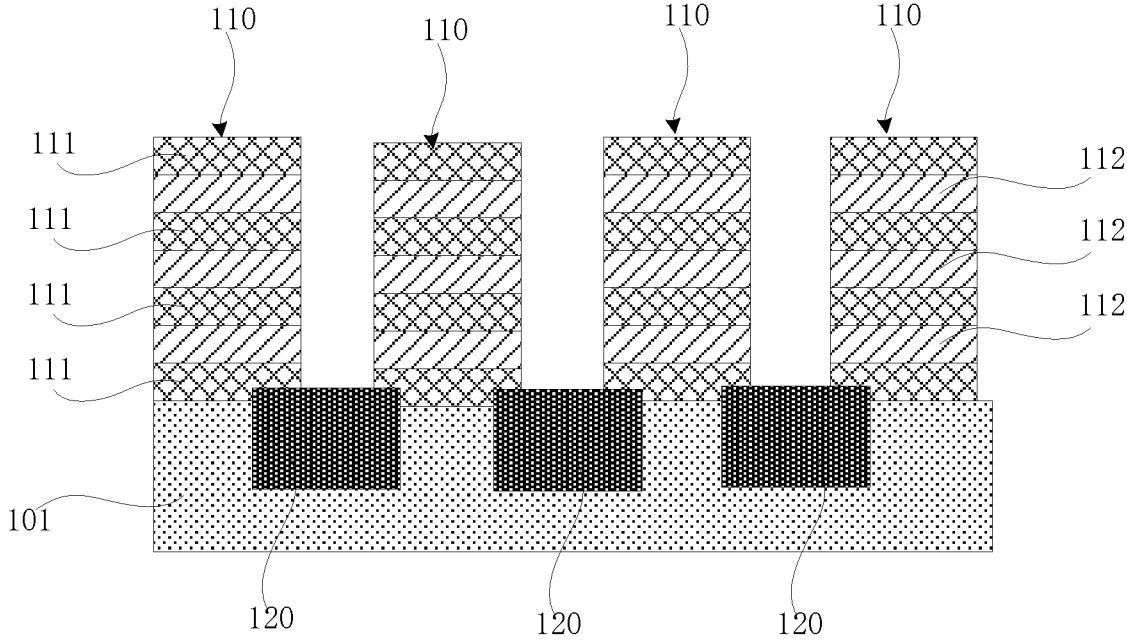


图 4

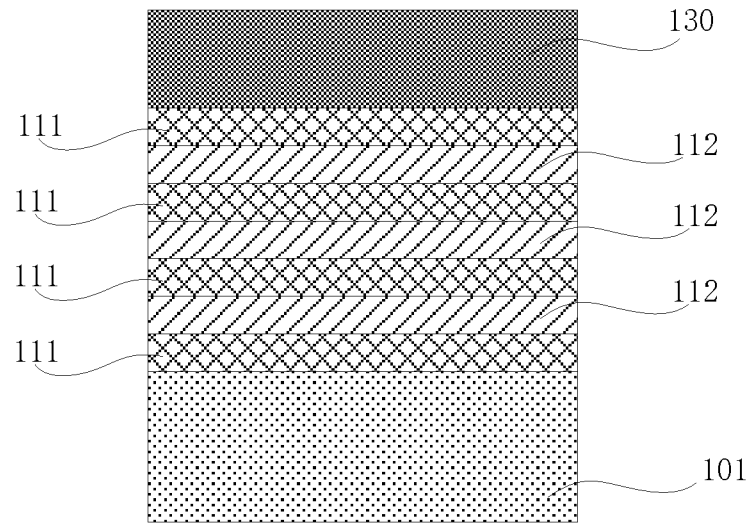


图 5

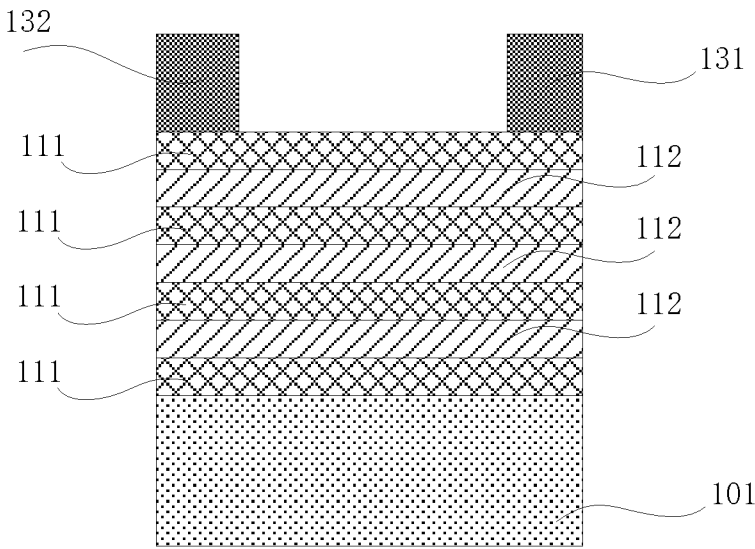


图 6

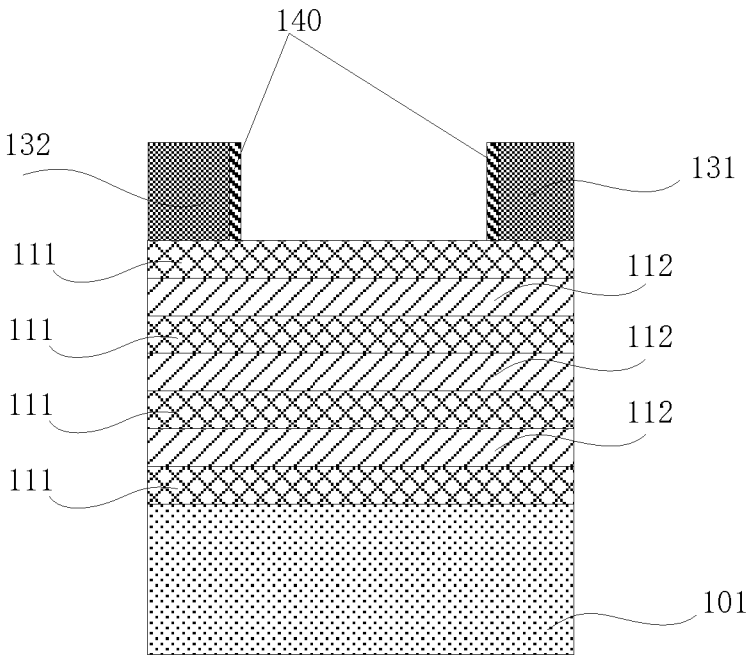


图 7

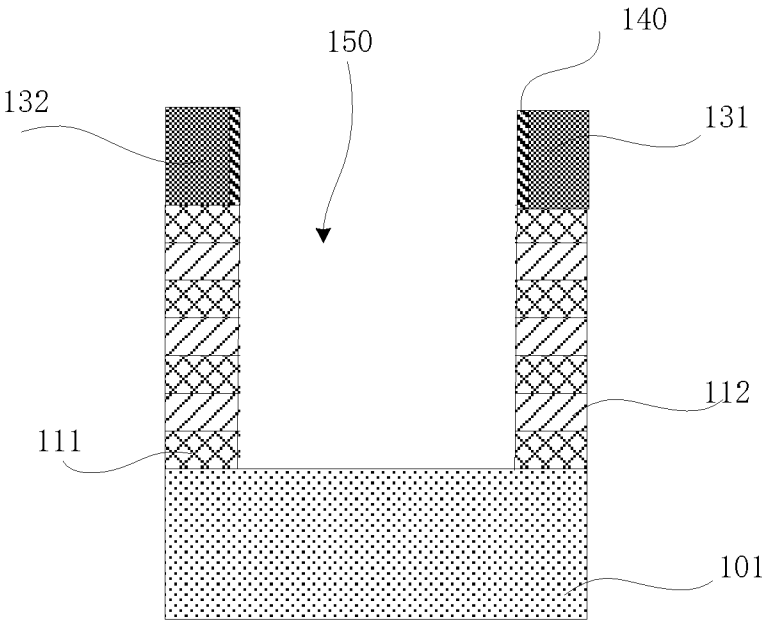


图 8

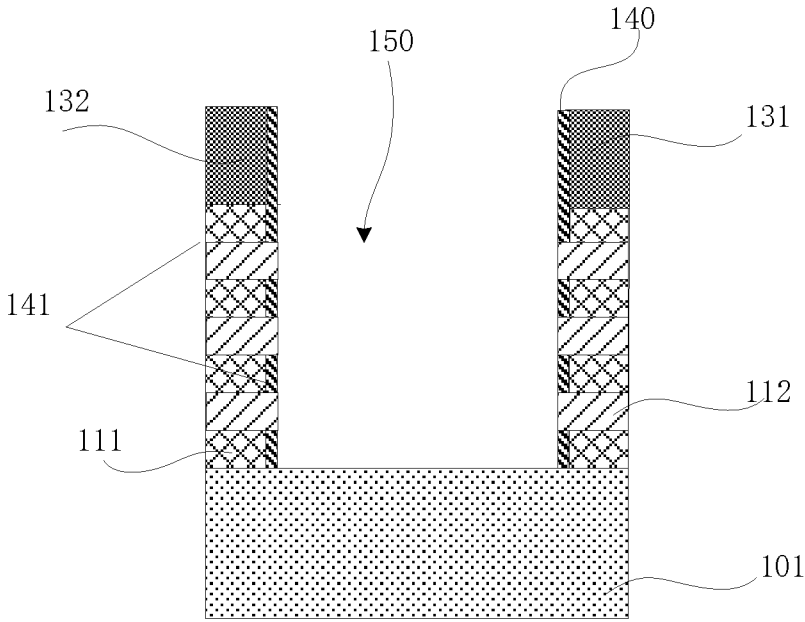


图 9

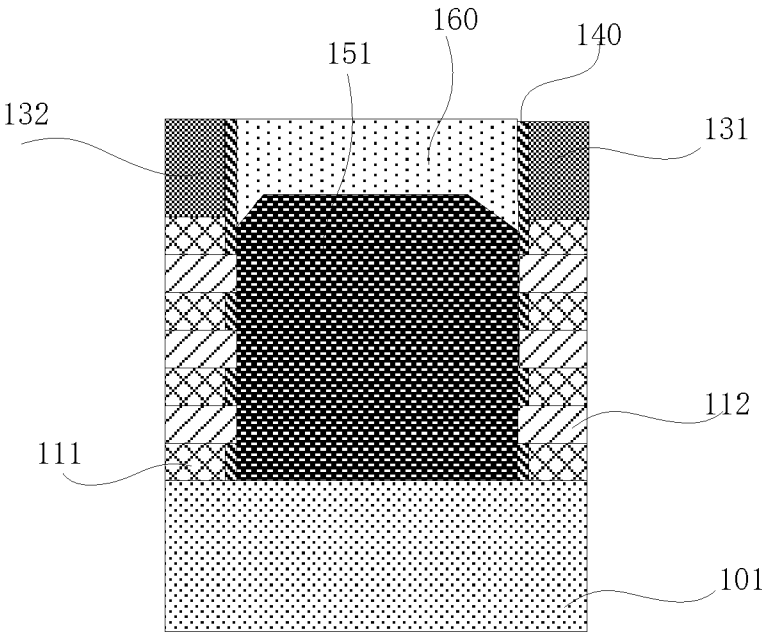


图 10

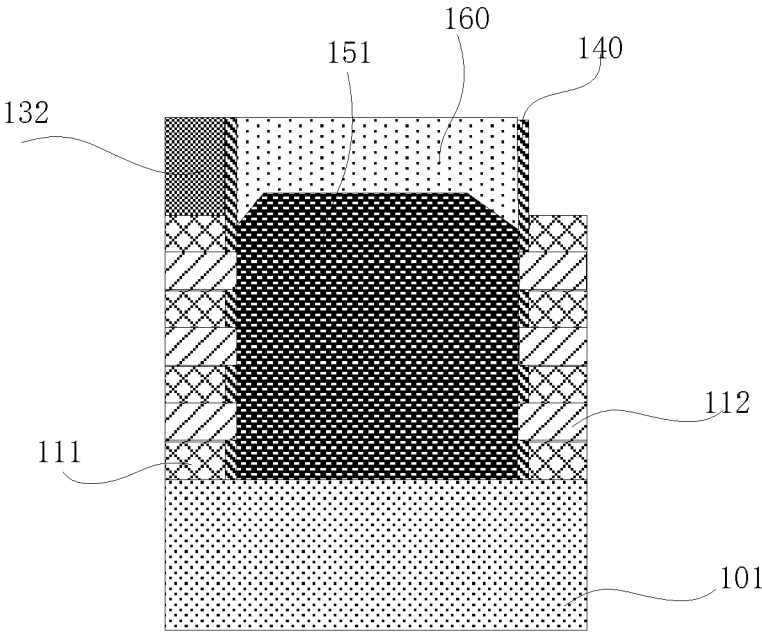


图 11

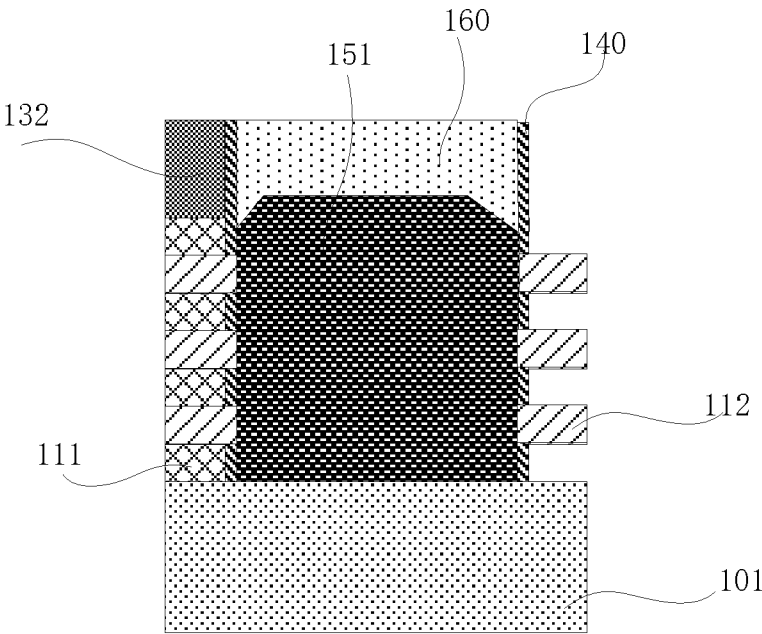


图 12

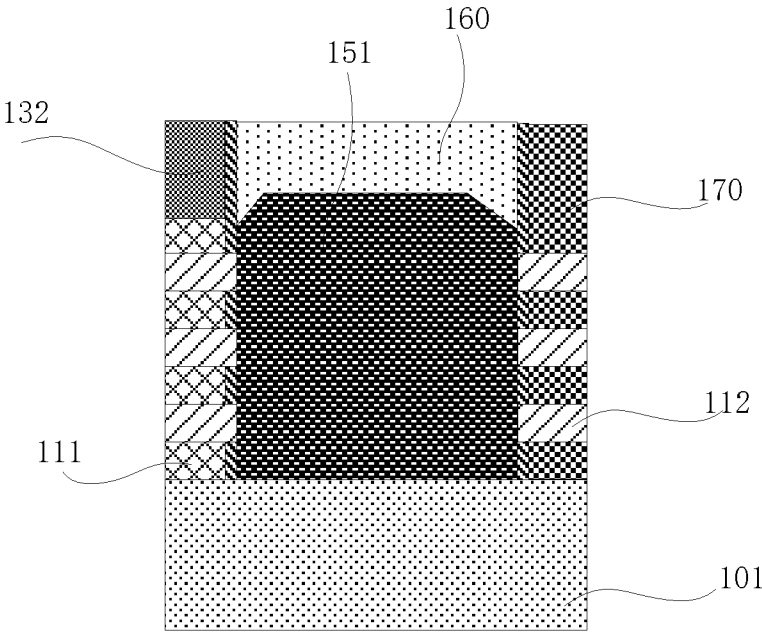


图 13

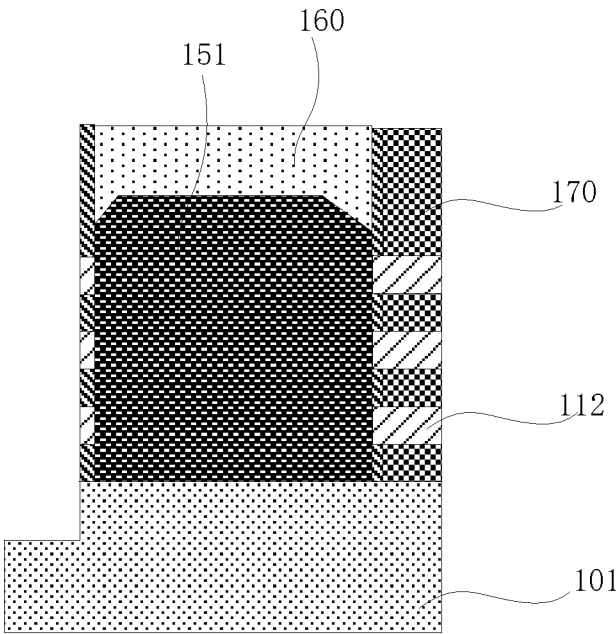


图 14

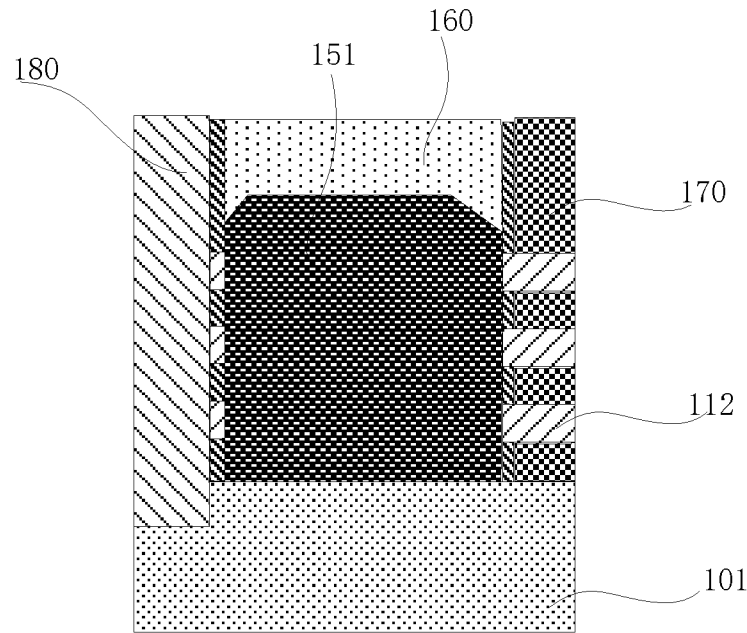


图 15

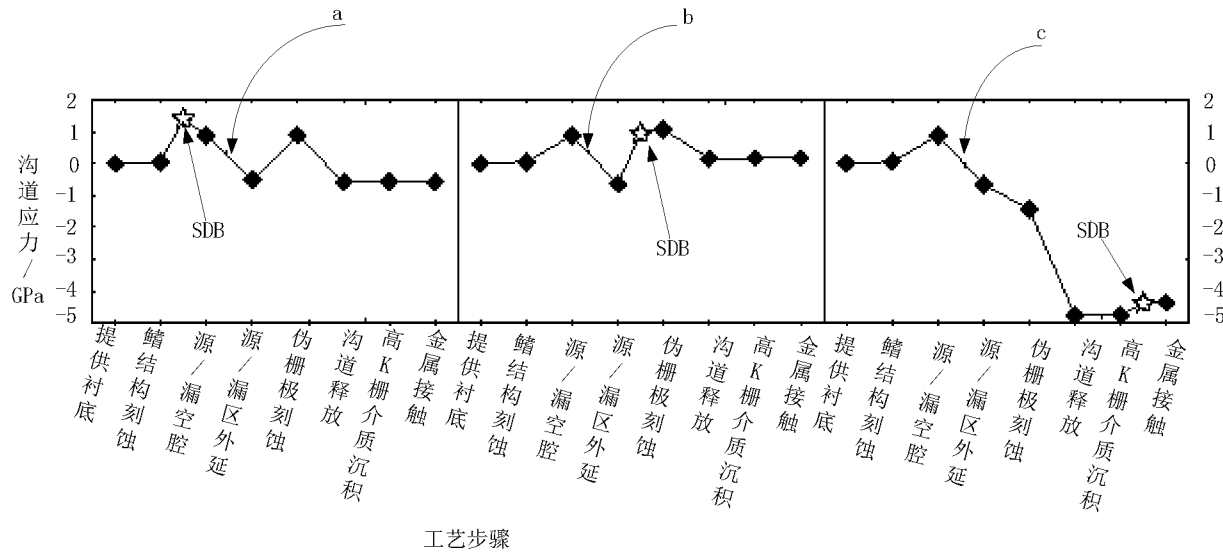


图 16

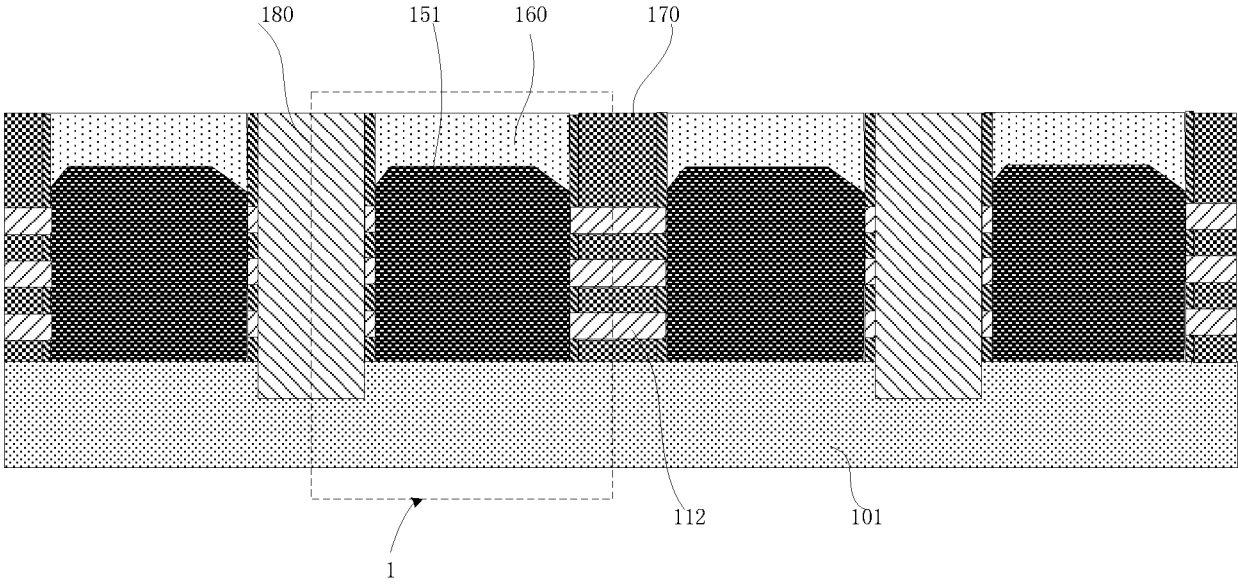


图 17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/137775

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336(2006.01)i; H01L 29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN; CNABS; CNTXT; USTXT; EPTXT; WOTXT; CNKI: 环栅, 晶体管, 单扩散, 隔断, 伪栅, 虚拟栅, 源, 扩散隔离, 鳍, 应力弛豫, GAA, gate all around, SDB, single diffusion break, dummy gate, source, diffusion isolation, fin, stress relaxation

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 113497036 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP. et al.) 12 October 2021 (2021-10-12) description, paragraphs [0046]-[0152], and figures 1-15	1-9
A	US 2018175194 A1 (COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES et al.) 21 June 2018 (2018-06-21) entire document	1-9
A	CN 113394295 A (SHANGHAI INTEGRATED CIRCUIT MANUFACTURING INNOVATION CENTER CO., LTD. et al.) 14 September 2021 (2021-09-14) entire document	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

16 June 2022

Date of mailing of the international search report

01 July 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/137775

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113497036	A	12 October 2021	None			
US	2018175194	A1	21 June 2018	FR	3060838	A1	22 June 2018
				FR	3060838	B1	31 May 2019
				US	10431683	B2	01 October 2019
CN	113394295	A	14 September 2021	None			

国际检索报告

国际申请号

PCT/CN2021/137775

A. 主题的分类 H01L 21/336(2006.01)i; H01L 29/78(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类														
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) VEN;CNABS;CNTXT;USTXT;EPTXT;WOTXT;CNKI: 环栅, 晶体管, 单扩散, 隔断, 伪栅, 虚拟栅, 源, 扩散隔离, 鳍, 应力弛豫, GAA, gate all around, SDB, single diffusion break, dummy gate, source, diffusion isolation, fin, stress relaxation														
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 113497036 A (中芯国际集成电路制造上海有限公司 等) 2021年10月12日 (2021 - 10 - 12) 说明书第[0046]-[0152]段, 附图1-15</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>US 2018175194 A1 (COMMISSARIAT ENERGIE ATOMIQUE 等) 2018年6月21日 (2018 - 06 - 21) 全文</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>CN 113394295 A (上海集成电路制造创新中心有限公司 等) 2021年9月14日 (2021 - 09 - 14) 全文</td> <td>1-9</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 113497036 A (中芯国际集成电路制造上海有限公司 等) 2021年10月12日 (2021 - 10 - 12) 说明书第[0046]-[0152]段, 附图1-15	1-9	A	US 2018175194 A1 (COMMISSARIAT ENERGIE ATOMIQUE 等) 2018年6月21日 (2018 - 06 - 21) 全文	1-9	A	CN 113394295 A (上海集成电路制造创新中心有限公司 等) 2021年9月14日 (2021 - 09 - 14) 全文	1-9
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求												
A	CN 113497036 A (中芯国际集成电路制造上海有限公司 等) 2021年10月12日 (2021 - 10 - 12) 说明书第[0046]-[0152]段, 附图1-15	1-9												
A	US 2018175194 A1 (COMMISSARIAT ENERGIE ATOMIQUE 等) 2018年6月21日 (2018 - 06 - 21) 全文	1-9												
A	CN 113394295 A (上海集成电路制造创新中心有限公司 等) 2021年9月14日 (2021 - 09 - 14) 全文	1-9												
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。														
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件										
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件													
国际检索实际完成的日期 2022年6月16日		国际检索报告邮寄日期 2022年7月1日												
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 张斌 电话号码 (86-512)88995753												

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/137775

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113497036	A	2021年10月12日	无			
US	2018175194	A1	2018年6月21日	FR	3060838	A1	2018年6月22日
				FR	3060838	B1	2019年5月31日
				US	10431683	B2	2019年10月1日
CN	113394295	A	2021年9月14日	无			