

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-153902

(P2014-153902A)

(43) 公開日 平成26年8月25日(2014.8.25)

(51) Int.Cl.
G06F 11/20 (2006.01)

F I
G06F 11/20 310C

テーマコード(参考)
5B034

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願2013-22838 (P2013-22838)
(22) 出願日 平成25年2月8日(2013.2.8)

(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目7番3号
(74) 代理人 100073759
弁理士 大岩 増雄
(74) 代理人 100088199
弁理士 竹中 岑生
(74) 代理人 100094916
弁理士 村上 啓吾
(74) 代理人 100127672
弁理士 吉澤 憲治
(72) 発明者 佐藤 佳子
東京都千代田区丸の内二丁目7番3号 三
菱電機株式会社内
Fターム(参考) 5B034 CC01 CC02 DD02 DD06

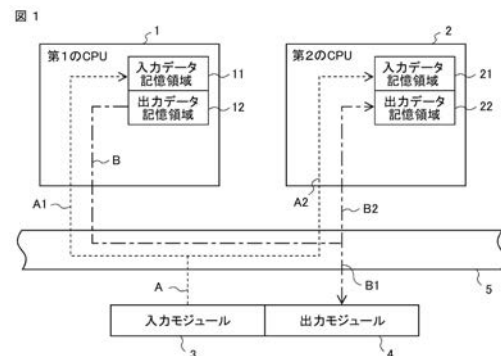
(54) 【発明の名称】 二重化システム

(57) 【要約】

【課題】稼働CPUと待機CPUの内部データの等値化を迅速に行うことができる信頼性の高い二重化システムを提供する。

【解決手段】入力モジュール3からバス5に出力されたデータを稼働状態の第1のCPU1が取り込んだタイミングで、待機状態の第2のCPU2がバス5から同データを取り込む。また、第1のCPU1がバス5を介して出力モジュール4へデータを出したタイミングで、第2のCPU2がバス5から同データを取り込む。これにより、稼働状態の第1のCPU1が出力したデータを出力モジュール4が一時的に保持し、これを待機状態の第2のCPU2が取り込んでいた従来の二重化システムに比べ、第1及び第2のCPU1、2の内部データの等値化を迅速に行うことができ、等値化にタイムラグが発生しない。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

二台のCPUを有し、一方を稼働状態、他方を待機状態として動作させ、稼働状態の前記CPUに異常が生じた場合に待機状態の前記CPUを稼働状態に切り替えるよう構成された二重化システムであって、

前記二台のCPUに共有され外部装置から前記二台のCPUにデータを入力する入力モジュールと、前記二台のCPUに共有され稼働状態の前記CPUが出力したデータを外部装置へ出力する出力モジュールと、前記二台のCPU、前記入力モジュール及び前記出力モジュールを接続し、稼働状態の前記CPUをマスターとしそれ以外をスレーブとして動作するマスター/スレーブ構成のバスを備え、

前記各CPUは前記バスの状態を監視しており、前記入力モジュールから前記バスに出力されたデータを稼働状態の前記CPUが取り込んだタイミングで待機状態の前記CPUが前記バスから同データを取り込み、稼働状態の前記CPUが前記バスを介して前記出力モジュールへデータを出力したタイミングで待機状態の前記CPUが前記バスから同データを取り込むことを特徴とする二重化システム。

10

【請求項 2】

前記各CPUは、稼働状態の前記CPUからのデータ出力を待機状態の前記CPUが監視する出力監視部を備え、前記出力監視部は、稼働状態の前記CPUからのデータ出力が所定時間以上無い場合、稼働状態の前記CPUが異常であると判断し、待機状態の前記CPUが稼働状態に切り替わることを特徴とする請求項 1 記載の二重化システム。

20

【請求項 3】

前記各CPUの状態を監視し必要に応じて系切替の指示を出力する系切替制御部を備え、前記系切替制御部は、前記各CPUが稼働状態と待機状態のどちらであるか、及び正常状態と異常状態のどちらであるかを監視しており、稼働状態の前記CPUが異常状態であり且つ待機状態の前記CPUが正常状態であると判断した場合、待機状態の前記CPUを稼働状態に切り替える指示を出力することを特徴とする請求項 1 記載の二重化システム。

【請求項 4】

前記系切替制御部は、前記二台のCPU各々のデータ記憶領域に格納されたデータを取り込んで比較する入力データチェック部を備え、前記入力データチェック部は、比較したデータが一致しない場合、待機状態の前記CPUが異常であると判断し、その旨を前記二台のCPUに通知することを特徴とする請求項 3 記載の二重化システム。

30

【請求項 5】

前記系切替制御部は、稼働状態の前記CPUからのデータ出力を監視する出力状態チェック部を備え、前記出力状態チェック部は、稼働状態の前記CPUからの出力信号が所定時間以上前記バスを専有している場合、稼働状態の前記CPUが異常であると判断し、稼働状態の前記CPUを停止させ、待機状態の前記CPUを稼働状態に切り替える指示を出力することを特徴とする請求項 3 記載の二重化システム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、二重化システムに関し、特にその演算処理装置の系切替機能向上に関する。

40

【背景技術】**【0002】**

社会インフラに適用される監視制御システム等の信頼性向上策として、演算処理装置（以下CPU）を多重化する方式がある。この方式では、CPUを二台以上用意しておき、一台を稼働状態、他を待機状態とし、稼働CPUの動作に異常が発生した場合には、待機CPUの一台を稼働状態に切り替える。これにより、システムの稼働中に稼働CPUに故障等の異常が発生した場合でも動作を継続させることができ、システムの信頼性を向上させることができる。CPUを二台使用する構成が二重化システムである。

【0003】

50

従来の二重化システムにおいては、稼働CPUと待機CPUは、外部装置との間でデータの入出力を行うための入出力モジュールを共用しており、それらは稼働CPUによって制御されている。また、稼働CPUと待機CPUは互いの状態を監視し合っており、稼働CPUに異常が発生した場合には待機CPUが稼働状態に切り替わり、入出力モジュールは新たな稼働CPUによって制御されるようになる。この時、新たな稼働CPUが動作を継続するためには、切り替わった時点で前の稼働CPUの状態を引き継いでいる必要がある。このため、稼働CPUが動作している状態において、稼働CPUと待機CPU各々の内部データを等値化しておく必要がある。

【0004】

二重化システムにおけるデータの等値化の方法として、例えば特許文献1では、CPUから出力モジュールに伝送するデータに共有マスクデータを付加し、稼働CPUから出力する場合には共有マスクデータを有効にして出力モジュールからそのままデータを出力する。一方、待機CPUから出力する場合には共有マスクデータを無効にし、待機CPUは、稼働CPUから出力されたデータを出力モジュールから参照入力するように制御されている。また、入力モジュールから伝送されるデータについては、双方のCPUが取り込むようにすることで、二台のCPUの内部データを等値化している(図3参照)。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2002-140206号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0006】

二重化システムにおいては、システムの動作を継続して行うために系切替時間の短縮化を図る必要があり、内部データの等値化は常時、速やかになされていることが望ましい。しかしながら、上記特許文献1では、稼働CPUが出力したデータを一旦出力モジュールが保持し、出力モジュールを介して待機CPUが該データを入力しているため、稼働CPUと待機CPUの内部データの等値化にタイムラグが生じている。稼働CPUと待機CPUの内部データが等値化されていない状態では、速やかな系切替が困難であり、二重化システムとしての信頼性に問題があった。

30

【0007】

本発明は、上記のような課題を解決するためになされたものであり、稼働CPUと待機CPUの内部データの等値化を迅速に行うことができる信頼性の高い二重化システムを提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明に係る二重化システムは、二台のCPUを有し、一方を稼働状態、他方を待機状態として動作させ、稼働状態のCPUに異常が生じた場合には待機状態のCPUを稼働状態に切り替えるよう構成された二重化システムであって、二台のCPUに共有され外部装置から二台のCPUにデータを入力する入力モジュールと、二台のCPUに共有され稼働状態のCPUが出力したデータを外部装置へ出力する出力モジュールと、二台のCPU、入力モジュール及び出力モジュールを接続し、稼働状態のCPUをマスターとしそれ以外をスレーブとして動作するマスター/スレーブ構成のバスを備え、各CPUはバスの状態を監視しており、入力モジュールからバスに出力されたデータを稼働状態のCPUが取り込んだタイミングで待機状態のCPUがバスから同データを取り込み、稼働状態のCPUがバスを介して出力モジュールへデータを出したタイミングで待機状態のCPUがバスから同データを取り込むものである。

40

【発明の効果】

【0009】

本発明によれば、稼働状態のCPUがバスを介して出力モジュールへデータを出した

50

タイミングで待機状態のCPUがバスから同データを取り込むようにしたので、稼働状態のCPUが出力したデータを出力モジュールが一時的に保持し、これを待機状態のCPUが取り込んでいた従来の二重化システムに比べ、二台のCPUの内部データの等値化を迅速に行うことができ、信頼性の高い二重化システムが得られる。

【図面の簡単な説明】

【0010】

【図1】本発明の実施の形態1に係る二重化システムの構成とデータの流れを示す図である。

【図2】本発明の実施の形態1に係る二重化システムにおける第1及び第2のCPUの等値化処理動作を説明する図である。

10

【図3】従来の二重化システムの構成とデータの流れを示す図である。

【図4】従来の二重化システムにおける第1及び第2のCPUの等値化処理動作を説明する図である。

【図5】本発明の実施の形態2に係る二重化システムの構成とデータの流れを示す図である。

【図6】本発明の実施の形態3に係る二重化システムの構成とデータの流れを示す図である。

【図7】本発明の実施の形態4に係る二重化システムの構成とデータの流れを示す図である。

【図8】本発明の実施の形態5に係る二重化システムの構成とデータの流れを示す図である。

20

【発明を実施するための形態】

【0011】

実施の形態1 .

以下に、本発明の実施の形態1に係る二重化システムについて、図面に基づいて説明する。図1は、本実施の形態1に係る二重化システムの構成とデータの流れを示している。本実施の形態1に係る二重化システムは、第1のCPU1と第2のCPU2の二台のCPUを有し、一方を稼働状態、他方を待機状態として動作させ、稼働状態のCPUに異常が生じた場合には、待機状態のCPUを稼働状態に切り替えるよう構成されている。なお、以下の説明では、第1のCPU1を稼働状態、第2のCPU2を待機状態とする。

30

【0012】

図1に示すように、第1及び第2のCPU1、2、入力モジュール3、及び出力モジュール4は、マスター/スレーブ構成のバス5で接続されている。バス5は、稼働状態の第1のCPU1をマスターとし、それ以外をスレーブとして動作するもので、バス5上のデータの流れはマスターによりコントロールされる。マスター及び各スレーブは、バス5の状態を監視しており、データの流れるタイミングを把握できるため、バス5上のデータを参照することができる。

【0013】

第1及び第2のCPU1、2は、内部に全く同一のプログラム及び各種システムを制御するための定義情報を有している。また、第1及び第2のCPU1、2は各々、バス5から取り込んだデータを格納する入力データ記憶領域11、22と、バス5に出力するデータを格納する出力データ記憶領域12、22を有している。また、第1及び第2のCPU1、2は、バスインタフェース（図示せず）によりバス5と接続されている。

40

【0014】

入力モジュール3は、第1及び第2のCPU1、2に共有され、外部装置（図示せず）からのデータをバス5に出力し（図1中、Aで示す）、第1のCPU1及び第2のCPU2は該データを入力する（図1中、A1、A2で示す）。また、出力モジュール4は、第1及び第2のCPU1、2に共有され、稼働状態の第1のCPU1がバス5に出力したデータを取り込み、外部装置へ出力する（図1中、B、B1で示す）。また、第1のCPU1がバス5に出力したデータは、バス5から第2のCPU2に取り込まれ参照入力される

50

(図1中、B2で示す)。

【0015】

本実施の形態1に係る二重化システムにおける第1のCPU1と第2のCPU2の等値化処理動作について、図2を用いて説明する。稼働状態の第1のCPU1は、ステップ10(S10)において、入力モジュール3に対しバス5へのデータ出力を指示し、ステップ11(S11)において、入力モジュール3からバス5に出力されたデータを取り込み、入力データ記憶領域11に格納する。

【0016】

一方、待機状態の第2のCPU2は、S11において入力モジュール3からバス5に出力されたデータを第1のCPU1が取り込んだタイミングで、ステップ21(S21)において、バス5から同データを取り込み、入力データ記憶領域21に格納する。

10

【0017】

また、第1のCPU1が出力データ記憶領域12に格納しているデータをバス5に出力する際には、第1のCPU1は、出力モジュール4に対しデータ取り込みを指示し、ステップ12(S12)において、バス5を介して出力モジュール4にデータを出力する。出力モジュール4はバス5から同データを取り込み、外部装置に出力する。

【0018】

一方、第2のCPU2は、バス5の状態を監視しており、S12において第1のCPU1がバス5を介して出力モジュール4にデータを出力したタイミングで、ステップ22(S22)において、同データをバス5から取り込み、出力データ記憶領域22に参照入力する。

20

【0019】

次に比較例として、従来の二重化システムにおける等値化処理動作について、図3及び図4を用いて説明する。なお、図3中、図1と同一部分には同一符号を付している。従来の二重化システムにおいて、入力モジュール3がバス5に出力したデータを、第1のCPU1及び第2のCPU2が取り込む方法は本実施の形態1と同様である(図3中、A、A1、A2で示す)。

【0020】

一方、従来システムにおいて、稼働状態の第1のCPU1がバス5に出力したデータは出力モジュール4に取り込まれ(図3中、Bで示す)、外部装置へ出力される。第2のCPU2は、同データを出力モジュール4から参照入力する(図3中、B3で示す)。

30

【0021】

図4は、従来の二重化システムにおける第1のCPU1と第2のCPU2の等値化処理動作の流れを示している。図4において、ステップ23(S23)以外の処理は図2と同様であり、稼働状態の第1のCPU1は、S10において、入力モジュール3に対しバス5へのデータ出力を指示し、S11において、バス5に出力されたデータを取り込み入力データ記憶領域11に格納する。待機状態の第2のCPU2は、S11と同じタイミングで、S21において、バス5から同データを取り込み、入力データ記憶領域21に格納する。

【0022】

また、第1のCPU1が出力データ記憶領域12に格納しているデータをバス5に出力する際には、第1のCPU1は、出力モジュール4に対しデータ取り込みを指示し、S12において、バス5を介して出力モジュール4にデータを出力する。出力モジュール4はバス5から同データを取り込み、外部装置に出力する。第2のCPU2は、ステップ23(S23)において、出力モジュール4から出力された同データをバス5から取り込み、出力データ記憶領域22に参照入力する。

40

【0023】

図4に示すように、従来システムでは、S12において第1のCPU1が出力モジュール4に出力したデータは、出力モジュール4に一旦保持された後、S23において第2のCPU2に参照入力される。このため、第1のCPU1と第2のCPU2の間に、データ

50

等値化のタイムラグが生じている。

【0024】

以上のように、本実施の形態1では、第1のCPU1と第2のCPU2の二台のCPUを有し、一方を稼働状態、他方を待機状態として動作させる二重化システムにおいて、第1及び第2のCPU1、2、入力モジュール3及び出力モジュール4を、稼働状態の第1のCPU1をマスターとしそれ以外をスレーブとして動作するマスター/スレーブ構成のバス5で接続し、入力モジュール3からバス5に出力されたデータを稼働状態の第1のCPU1が取り込んだタイミングで待機状態の第2のCPU2がバス5から同データを取り込み、第1のCPU1がバス5を介して出力モジュール4へデータを出力したタイミングで第2のCPU2がバス5から同データを取り込むようにした。

10

【0025】

これにより、稼働状態の第1のCPU1が出力したデータを出力モジュール4が一時的に保持し、これを待機状態の第2のCPU2が取り込む従来の二重化システムに比べ、第1のCPU1と第2のCPU2の内部データの等値化を迅速に行うことができ、内部データの等値化にタイムラグが発生しない。その結果、第1及び第2のCPU1、2の系切替時間を短縮することができ、系切替機能の向上が図られ、信頼性の高い二重化システムが得られる。

【0026】

実施の形態2

図5は、本発明の実施の形態2に係る二重化システムの構成とデータの流れを示している。なお、図5中、図1と同一部分には同一符号を付し、説明を省略する。本実施の形態2に係る二重化システムは、上記実施の形態1と同様の構成に加え、第1及び第2のCPU1、2の系切替時間をさらに短縮するために、第1及び第2のCPU1、2に出力監視部13、23を設けたものである。

20

【0027】

本実施の形態2では、第1及び第2のCPU1、2の系切替動作を制御する装置として、出力監視部13、23を備えている。なお、ここでは第1のCPU1が稼働状態であるため、第1のCPU1からのデータ出力を待機状態の第2のCPU2の出力監視部23が監視する。ただし、第1及び第2のCPU1、2の内部構成は全く同一のものであり、第1のCPU1も出力監視部13を備えている。

30

【0028】

出力監視部23は、稼働状態の第1のCPU1からのデータ出力が所定時間以上無い場合、第1のCPU1が異常であると判断し、待機状態の第2のCPU2が稼働状態に切り替わるよう制御する。第2のCPU2が稼働状態となった後は、第2のCPU2からのデータ出力を、待機状態の第1のCPU1の出力監視部13が監視する。

【0029】

本実施の形態2によれば、上記実施の形態1と同様の効果に加え、待機状態の第2のCPU2の出力監視部23により、稼働状態の第1のCPU1の状態を監視するようにしたので、第1のCPU1の異常を迅速に検出することができ、系切替時間を短縮することが可能となり、系切替機能の向上が図られる。

40

【0030】

実施の形態3

図6は、本発明の実施の形態3に係る二重化システムの構成とデータの流れを示している。なお、図6中、図1と同一部分には同一符号を付し、説明を省略する。本実施の形態3に係る二重化システムは、上記実施の形態1と同様の構成に加え、第1及び第2のCPU1、2の系切替時間を短縮するために、第1及び第2のCPU1、2の状態を監視し必要に応じて系切替の指示を出力する系切替制御部6を設けたものである。

【0031】

第1及び第2のCPU1、2は、自身の系状態(稼働/待機、正常/異常)を示す信号を出力する系状態出力部14、24を備えている。系切替制御部6は、各系状態出力部1

50

4、24から出力される信号を所定の間隔で取り込み(図6中、C1で示す)、各CPU1、2が稼働状態と待機状態のどちらであるか、及び正常状態と異常状態のどちらであるかを監視している。

【0032】

さらに、系切替制御部6は、稼働状態の第1のCPU1が異常状態であり且つ待機状態の第2のCPU2が正常状態であると判断した場合、第1のCPU1を待機状態とし、第2のCPU2を稼働状態に切り替える指示を、第1及び第2のCPU1、2に出力する。

【0033】

本実施の形態3によれば、上記実施の形態1と同様の効果に加え、第1及び第2のCPU1、2それぞれの系状態を監視制御する系切替制御部6を設け、この系切替制御部6により第1及び第2のCPU1、2の系切替を指示するようにしたので、稼働状態の第1のCPU1に異常が発生した場合、待機状態の第2のCPU2からの応答を待たずに、即座に系切替を指示することができ、系切替時間を短縮することが可能となり、系切替機能の向上が図られる。

【0034】

また、第1及び第2のCPU1、2の系状態に関する情報を系切替制御部6に集約しているため、第1及び第2のCPU1、2の状態や系情報を得たい場合は系切替制御部6を確認すれば良く、容易且つ迅速に情報を得ることができる。さらに、系切替制御部6に系切替スイッチを設け、第1及び第2のCPU1、2の系状態を手動で切り替えられるようにすることで、切替制御を必要とする試験を容易に行うことができる。

【0035】

実施の形態4 .

図7は、本発明の実施の形態4に係る二重化システムの構成とデータの流れを示している。なお、図7中、図6と同一部分には同一符号を付し、説明を省略する。本実施の形態4に係る二重化システムは、上記実施の形態3と同様に、第1及び第2のCPU1、2それぞれの系状態を監視制御する系切替制御部6を備え、さらに、系切替制御部6に、第1及び第2のCPU1、2に入力されたデータを比較し、等値化が正常になされているかを確認する入力データチェック部61を設けたものである。

【0036】

入力データチェック部61は、第1及び第2のCPU1、2各々の入力データ記憶領域11、21及び出力データ記憶領域12、22に格納されたデータを取り込む機能を有している(図7中、C2で示す)。入力データチェック部61は、第1のCPU1の入力データ記憶領域11のデータと、第2のCPU2の入力データ記憶領域21のデータを比較すると共に、第1のCPU1の出力データ記憶領域12のデータと、第2のCPU2の出力データ記憶領域22のデータを比較する。それらのデータが一致しない場合、待機状態の第2のCPU2が異常であると判断し、その旨を第1及び第2のCPU1、2に通知する。通知を受けた第1のCPU1は、アラーム表示等で管理者に報告する。

【0037】

本実施の形態4によれば、上記実施の形態3と同様の効果に加え、系切替制御部6において第1のCPU1と第2のCPU2のデータを比較し確認することができるので、第1及び第2のCPU1、2の間のデータ等値化の信頼性が向上すると共に、異常が発生した際に早期発見が可能となり、迅速な対応が行える効果がある。

【0038】

実施の形態5 .

図8は、本発明の実施の形態5に係る二重化システムの構成とデータの流れを示している。なお、図8中、図6と同一部分には同一符号を付し、説明を省略する。本実施の形態5に係る二重化システムは、上記実施の形態3と同様に、第1及び第2のCPU1、2それぞれの系状態を監視制御する系切替制御部6を備え、さらに、系切替制御部6に、稼働状態の第1のCPU1からのデータ出力を監視する機能を有する出力状態チェック部62を設けたものである。

【 0 0 3 9 】

第1のCPU1に異常が発生し、その出力信号がバス5を専有し続けた場合、第1及び第2のCPU1、2のデータの等値化が行えず、系切替が困難となる。そこで、本実施の形態5では、系切替制御部6に出力状態チェック部62を設け、第1のCPU1からのデータ出力を監視している(図8中、C3で示す)。出力状態チェック部62は、第1のCPU1からの出力信号が予め設定された所定時間以上バス5を専有している場合、第1のCPU1が異常であると判断し、第1のCPU1を停止させ(図8中、C4で示す)、第2のCPU2を稼働状態に切り替える指示を出力する(図8中、C1で示す)。

【 0 0 4 0 】

系切替後は、第2のCPU2が稼働状態となるため、出力状態チェック部62は、第2のCPU2からのデータ出力を監視する。なお、出力状態チェック部62の機能として、稼働状態のCPUからのデータ出力が所定時間以上無い場合も、該CPUの異常と判断する機能を設けても良い。

10

【 0 0 4 1 】

本実施の形態5によれば、上記実施の形態3と同様の効果に加え、稼働状態の第1のCPU1の異常によりその出力信号がバス5を専有した状態となった場合、系切替制御部6において第1のCPU1を停止させ、バス5を開放させることができる。これにより、第2のCPU2を稼働状態に切り替えることができ、システムの信頼性が向上する。なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

20

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

【 産業上の利用可能性 】

【 0 0 4 2 】

本発明は、監視制御システム等に用いられる二重化システムとして利用することができる。

【 符号の説明 】

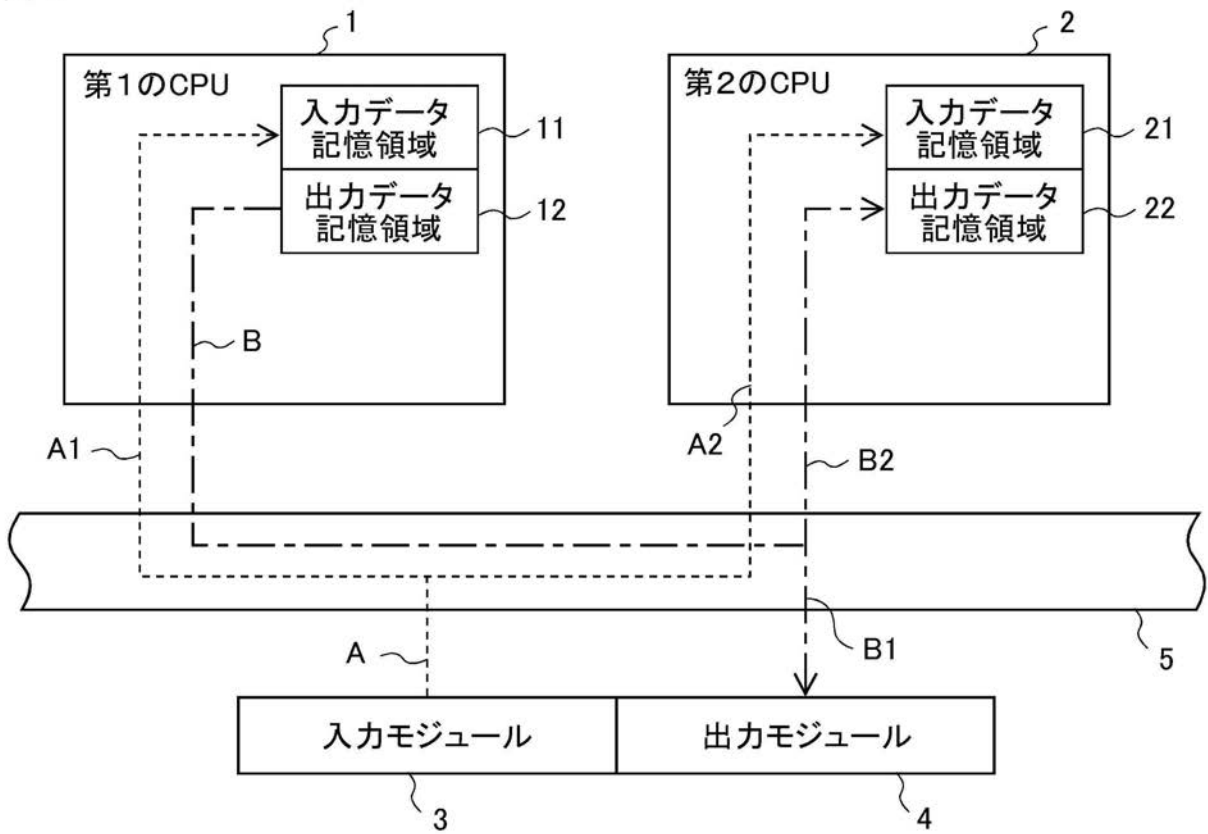
【 0 0 4 3 】

1 第1のCPU、2 第2のCPU、3 入力モジュール、4 出力モジュール、5 バス、6 系切替制御部、11、21 入力データ記憶領域、12、22 出力データ記憶領域、13、23 出力監視部、14、24 系状態出力部、61 入力データチェック部、62 出力状態チェック部。

30

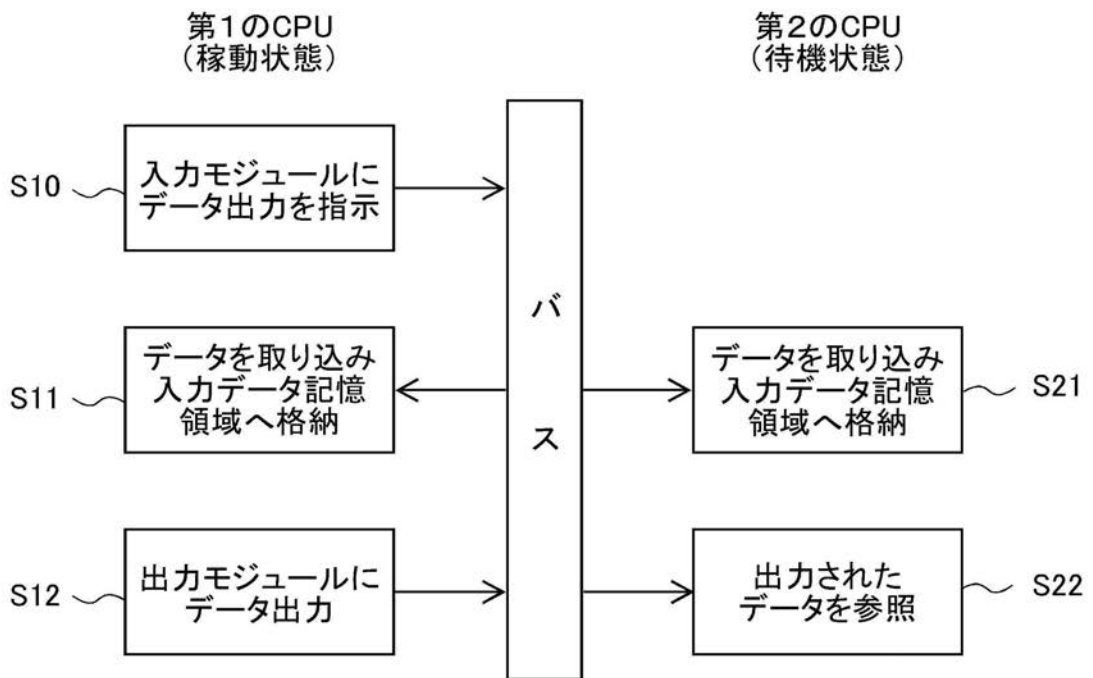
【図1】

図1

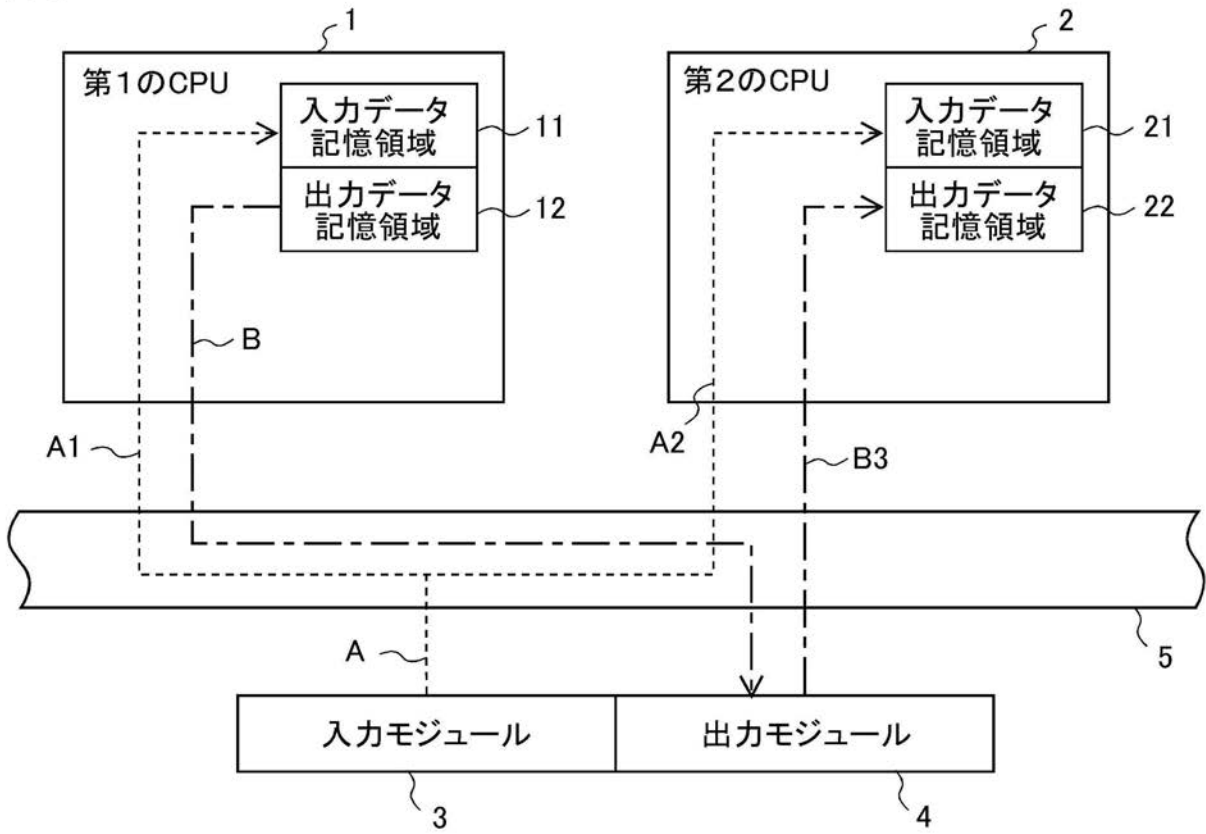


【図2】

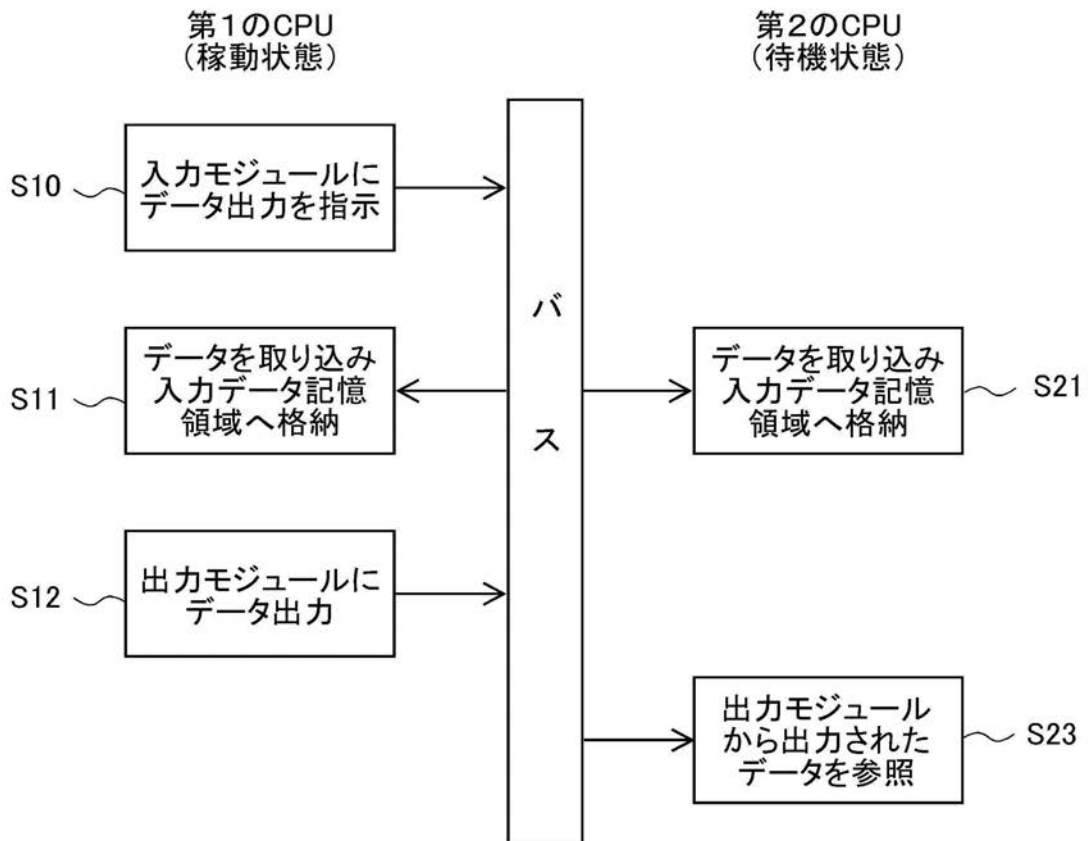
図2



【図3】
図3

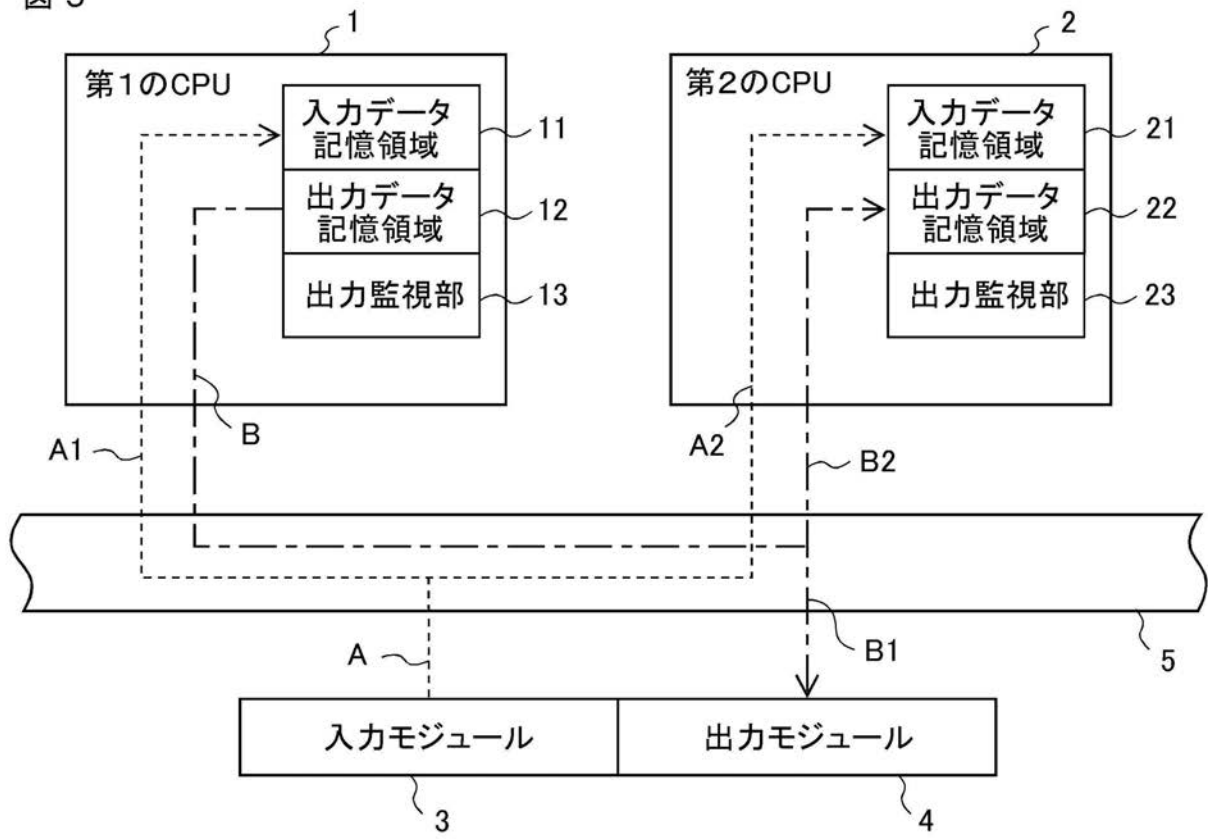


【図4】
図4



【図5】

図5



【 図 6 】

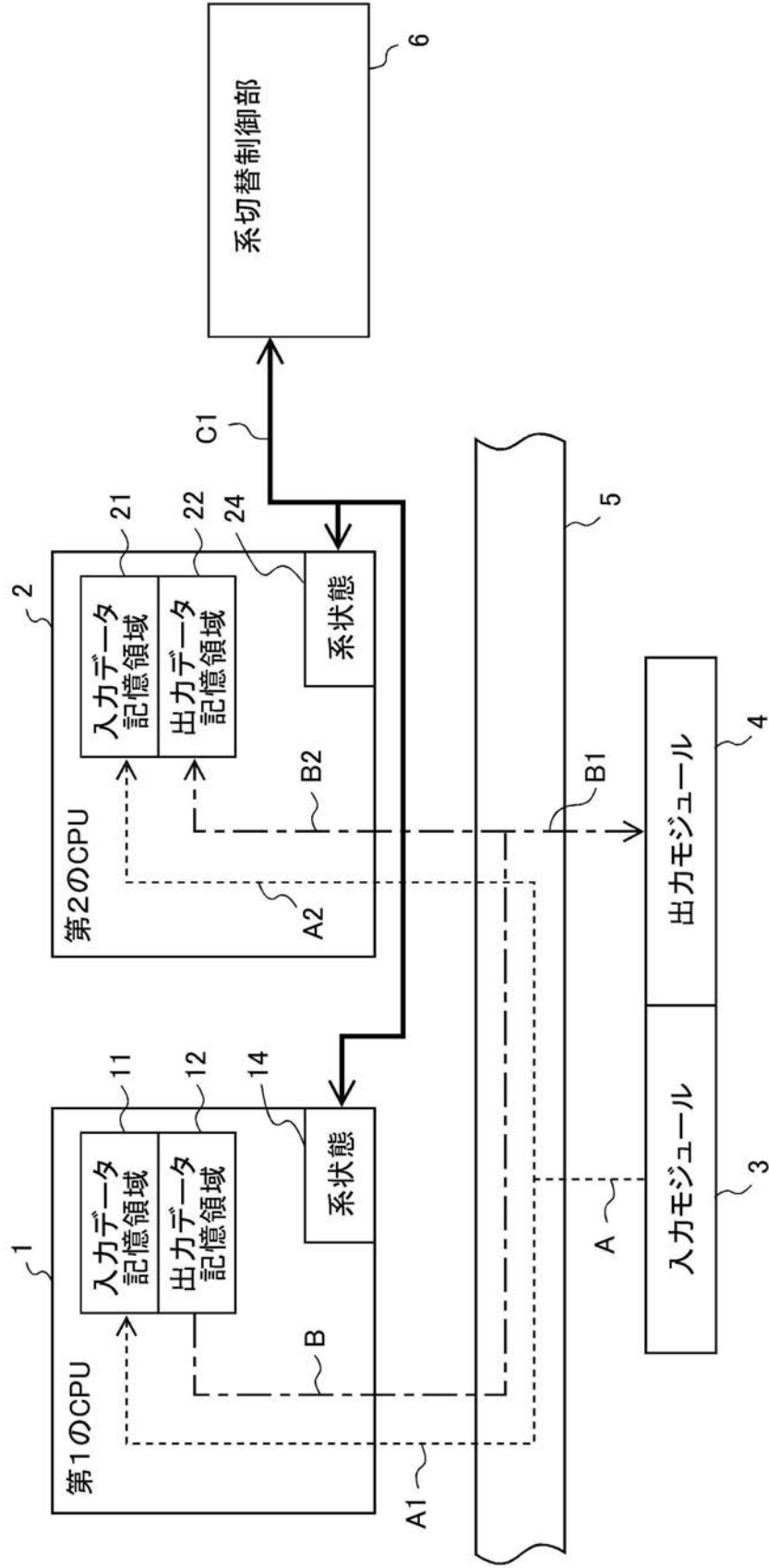


図 6

【 図 7 】

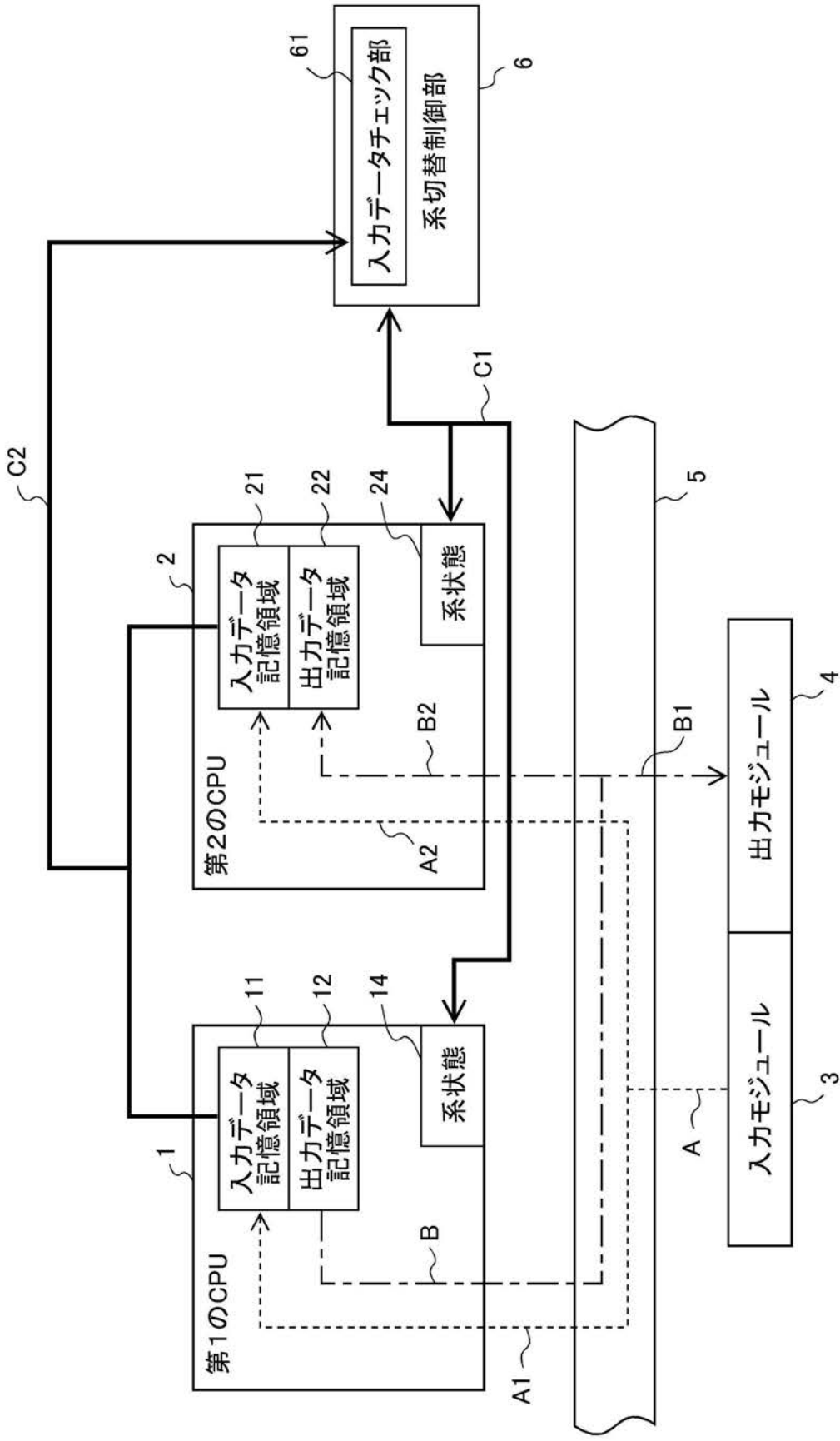


図 7

【 図 8 】

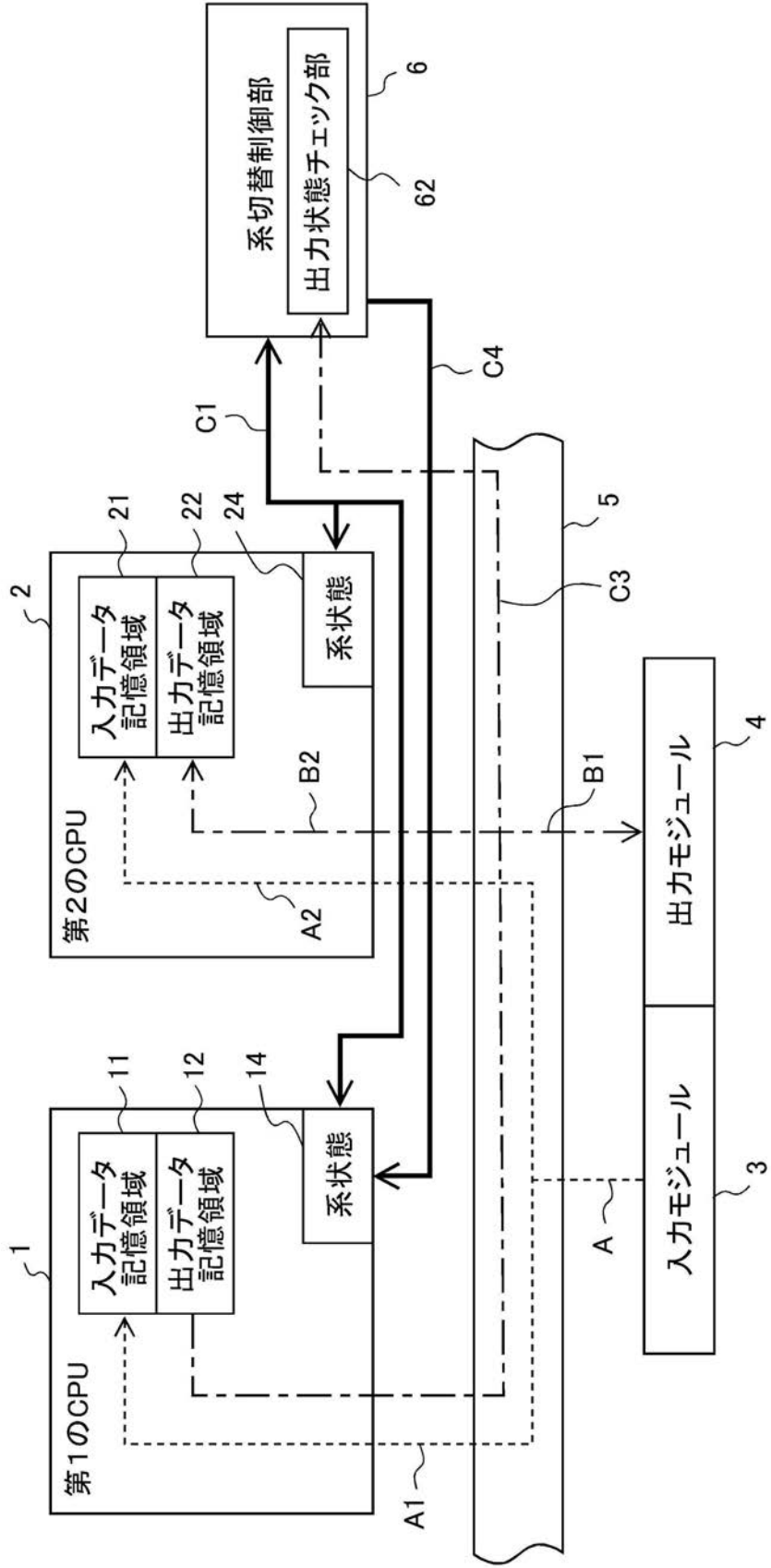


図 8