



(12) 发明专利

(10) 授权公告号 CN 1822227 B

(45) 授权公告日 2012.01.11

(21) 申请号 200510131616.3

(22) 申请日 2005.12.15

(30) 优先权数据

106390/04 2004.12.15 KR

106388/04 2004.12.15 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 金大汉 李升根

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 黄小临 王志森

(51) Int. Cl.

G11C 16/02(2006.01)

G11C 16/06(2006.01)

G11C 11/34(2006.01)

G11C 7/00(2006.01)

H01L 27/115(2006.01)

H01L 21/8247(2006.01)

(56) 对比文件

US 5539690 A, 1996.07.23, 说明书第7栏第10-14行, 第9栏第64-67行, 第10栏1-4行、附图3, 5.

CN 1423279 A, 2003.06.11, 全文.

CN 1261455 A, 2000.07.26, 全文.

US 6490203 B1, 2002.12.03, 全文.

全文.

审查员 李芳

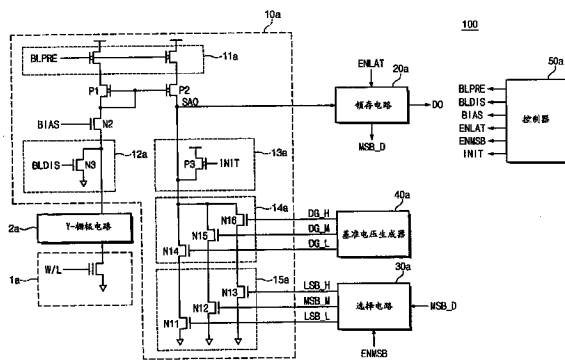
权利要求书 3 页 说明书 7 页 附图 4 页

(54) 发明名称

多电平单元存储器器件及相关读取方法

(57) 摘要

一种 NOR 闪存存储器器件包括适合于存储至少两个比特数据的存储器单元。通过生成检测最高有效比特 (MSB) 的值的、具有第一幅值的基准电流, 以及生成检测最低有效比特 (LSB) 的值的、具有第二幅值的基准电流, 在存储器单元上执行读操作。在读操作期间, 通过把第一和第二基准电流与流过存储器单元的电流进行比较, 检测 MSB 和 LSB 的各自的值。根据基准电压生成器所生成的不同的基准电压确定第一和第二基准电流的各自的幅值。



1. 一种 NOR 闪存存储器器件,包括:
存储器单元,适合于存储两个或两个以上比特的数据;
基准电压生成器,适合于生成多个不同的基准电压;
感测放大器,适合于根据基准电流顺序地检测所述两个或两个以上比特的数据的值,该基准电流的幅值由所述不同的基准电压确定;以及
选择电路,适合于选择所述不同基准电压中的哪一个来确定所述基准电流的幅值。
2. 根据权利要求 1 所述的 NOR 闪存存储器器件,其中,所述感测放大器包括:
基准电流生成电路,连接于感测节点,并且适合于从所述基准电压生成器接收所述不同的基准电压;以及
基准电流选择电路,连接在所述基准电流生成电路和地之间,并且适合于从所述选择电路接收多个选择信号;
其中,基准电流选择电路适合于响应于所述多个选择信号,通过相应于所述不同的基准电压的不同的电流路径,把感测节点连接到地;以及
其中,基准电流的幅值取决于所述不同电流路径中的哪一个把所述感测节点连接到地。
3. 根据权利要求 2 所述的 NOR 闪存存储器器件,其中,所述基准电流生成电路包括:
多个 N 沟道金属氧化物半导体 NMOS 晶体管,并联在所述感测节点和地之间,并且分别由所述不同的基准电压控制。
4. 根据权利要求 3 所述的 NOR 闪存存储器器件,其中,所述基准电流选择电路包括:
多个开关转换器,并联在 NMOS 晶体管和地之间,并且分别由所述多个选择信号控制。
5. 根据权利要求 4 所述的 NOR 闪存存储器器件,其中,每一个开关转换器都包括 NMOS 晶体管。
6. 根据权利要求 1 所述的 NOR 闪存存储器器件,其中,所述感测放大器包括:
基准电流生成电路,适合于根据所述不同的基准电压确定所述基准电流的幅值。
7. 根据权利要求 6 所述的 NOR 闪存存储器器件,其中,所述基准电流生成电路连接在感测节点和地之间。
8. 根据权利要求 7 所述的 NOR 闪存存储器器件,其中,所述基准电流生成电路包括:
N 沟道金属氧化物半导体晶体管,连接在所述感测节点和地之间。
9. 根据权利要求 2 所述的 NOR 闪存存储器器件,还包括:
感测节点预充电电路,适合于在所述感测放大器检测到所述两个或两个以上比特数据中的最高有效比特的值之后,将连接于所述基准电流生成电路的感测节点预充电至预定电压电平。
10. 根据权利要求 9 所述的 NOR 闪存存储器器件,其中,所述预定电压电平为电源电压电平。
11. 根据权利要求 9 所述的 NOR 闪存存储器器件,其中,所述感测节点预充电电路包括:
金属氧化物半导体晶体管,在电源和所述感测节点之间形成电流路径。
12. 一种 NOR 闪存存储器器件,包括:
存储器单元,适合于存储两个或两个以上比特的数据;

基准电压生成器,适合于生成多个不同的基准电压;

感测放大器,适合于根据基准电流顺序地检测所述两个或两个以上比特的数据的值,该基准电流的幅值由所述不同的基准电压确定;

锁存电路,适合于存储所述感测放大器所检测的所述值;以及

选择电路,适合于选择所述不同基准电压中的哪一个来确定所述基准电流的幅值。

13. 根据权利要求 12 所述的 NOR 闪存存储器器件,其中,感测放大器包括:

基准电流生成电路,连接于感测节点,并且适合于从所述基准电压生成器接收所述不同的基准电压;

基准电流选择电路,连接在所述基准电流生成电路和地之间,并且适合于从所述选择电路接收多个选择信号;以及

感测节点预充电电路,适合于在所述感测放大器检测到所述两个或两个以上比特数据中的最高有效比特的值之后,将连接于所述基准电流生成电路的感测节点预充电至预定电压电平;

其中,所述基准电流选择电路适合于响应于所述多个选择信号,通过相应于所述不同的基准电压的不同的电流路径,把所述感测节点连接到地;以及

其中,所述基准电流的幅值取决于所述不同电流路径中的哪一个把所述感测节点连接到地。

14. 根据权利要求 13 所述的 NOR 闪存存储器器件,其中,所述基准电流选择电路包括:多个 N 沟道金属氧化物半导体 NMOS 晶体管,并联在所述感测节点和地之间,并且适合于响应于所述不同的基准电压而在所述感测节点和地之间形成不同的电流路径。

15. 根据权利要求 14 所述的 NOR 闪存存储器器件,其中,所述基准电流选择电路包括:多个开关转换器,并联在所述 NMOS 晶体管和地之间,并且由所述多个选择信号控制。

16. 根据权利要求 13 所述的 NOR 闪存存储器器件,其中,所述感测节点预充电电路包括:

金属氧化物半导体晶体管,连接在电源和所述感测节点之间。

17. 根据权利要求 12 所述的 NOR 闪存存储器器件,其中,所述锁存电路包括:

三态缓冲器,适合于接收所述感测放大器所检测的所述数据比特的值;

数据锁存器,适合于存储所述三态缓冲器所产生的输出值;以及

数据线,连接所述三态缓冲器和所述数据锁存器;

其中,在接收到所述感测放大器所检测的所述数据比特的每一值之前,所述三态缓冲器对所述数据线进行放电。

18. 一种 NOR 闪存存储器器件,包括:

存储器单元,适合于存储两个或两个以上比特的数据;

基准电压生成器,适合于生成多个不同的基准电压;

感测放大器,适合于根据基准电流顺序地检测所述两个或两个以上比特的数据的值,该基准电流的幅值由所述不同的基准电压确定;

锁存电路,适合于存储所述感测放大器所检测的所述值,以及

选择电路,适合于选择所述不同基准电压中的哪一个来确定所述基准电流的幅值;以及

转换电路,适合于响应于所述选择电路所生成的多个选择信号,把所述不同的基准电压之一提供给所述感测放大器。

19. 根据权利要求 18 所述的 NOR 闪存存储器器件,其中,所述感测放大器包括:

基准电流生成电路,连接在所述感测节点和地之间,并且适合于根据提供给所述感测放大器的所述基准电压的电平,生成所述基准电流;以及

感测节点预充电电路,连接于所述感测节点,并且适合于在所述感测放大器检测到最高有效比特数据的值之后,将所述感测节点预充电至预定电压电平。

20. 根据权利要求 19 所述的 NOR 闪存存储器器件,其中,所述基准电流生成电路包括:N 沟道金属氧化物半导体晶体管,连接在所述感测节点和地之间。

21. 根据权利要求 19 所述的 NOR 闪存存储器器件,其中,所述感测节点预充电电路包括连接在电源和所述感测节点之间的金属氧化物半导体晶体管。

22. 根据权利要求 18 所述的 NOR 闪存存储器器件,其中,所述锁存电路包括:

三态缓冲器,适合于接收所述感测放大器所检测的所述数据比特的值;

数据锁存器,适合于存储所述三态缓冲器所产生的输出值;以及

数据线,连接所述三态缓冲器和所述数据锁存器;

其中,在接收到所述感测放大器所检测的所述数据比特的值之前,所述三态缓冲器对所述数据线进行放电。

23. 一种顺序地检测存储在 NOR 闪存存储器器件的存储器单元中的两个或两个以上比特数据的值的方法,该方法包括:

根据在感测节点处表现的电压电平,检测存储在存储器单元中的数据的最高有效比特的值;

在检测所述最高有效比特的值时,将所述感测节点预充电到预定电压电平;以及

根据所述最高有效比特的值,感测存储在所述存储器单元中的最低有效比特的值。

24. 根据权利要求 23 所述的方法,其中,响应于所述最高有效比特启动信号 (ENMSB),检测最高有效比特的值。

25. 根据权利要求 23 所述的方法,其中,预定电压电平为电源电压电平。

多电平单元存储器器件及相关读取方法

技术领域

[0001] 总体上讲,本发明涉及一种 NOR(或非)闪存存储器器件。更具体地讲,本发明涉及一种具有多电平存储器单元的 NOR 闪存存储器器件,以及一种读取(sensing)多电平存储器单元的逻辑状态的方法。

背景技术

[0002] NOR 闪存存储器是用于诸如蜂窝电话、个人数字助手(PDA)、可去除(removable)存储卡等各种便携式电子器件中的一种流行形式的非易失数据存储。所述 NOR 闪存存储器尤其适用于要求高数据存取速度的应用。例如,NOR 闪存存储器通常用于存储程序代码。相比之下,NAND 闪存存储器通常由于其数据存取速度相对较低及其价格较便宜而用于海量数据存储。

[0003] 闪存单元包括:源极和漏极,两者均掺杂有 N⁺ 型杂质;以及形成在源极和漏极之间的 P 型半导体基片中的沟道。所述闪存单元还包括形成在该沟道上的浮置栅极,以及形成在该浮置栅极之上的控制栅极。该浮置栅极通过一薄氧化物绝缘层与沟道分隔开,而控制栅极通过一薄氧化物绝缘层与该浮置栅极分隔开。

[0004] 通过在所述控制栅极上设置高电压(例如,12V),同时例如通过在漏极区上设置 6V 并且把源极区接地而在沟道区上生成电流,从而对闪存单元进行编程。该高电压和该电流的组合致使该电流中的某些电子通过“热电子注入”传送给浮置栅极。

[0005] 通过在控制栅极上设置大约 4.5 或 5V 的电压、在漏极上设置大约 1V 的电压、以及在源极上设置大约 0V 的电压,而读取闪存单元。在这些条件下,电流依据有多少电子存储在浮置栅极中而可能流经沟道或可能不流经沟道。因此,存储器单元的逻辑状态可以通过确定有多大电流流经沟道来进行检测。

[0006] 在对存储器单元编程的情况下,传送给浮置栅极的电子部分地抵消了控制栅极上的电压所生成的电场,因此,相对较小的电流流过沟道。换句话说,浮置栅极上的电子有效地提高了存储器单元的阈值电压,因此其不接通。另一方面,在存储器单元还没有进行编程的情况下,电流很容易流过沟道,因为当未对其进行编程时,控制栅极上的 4.5 或 5V 高于存储器单元的阈值电压。

[0007] 与大多数存储器件一样,NOR 闪存存储器器件优选在较小的面积上存储大量数据。一种增加在 NOR 闪存存储器器件的一个面积中存储的数据量的方法是,增加该面积中的存储器单元的数目。而另一种增加在 NOR 闪存存储器器件的一个面积中存储的数据量的方法是,增加存储在每一存储器单元中的比特的数目。

[0008] 存储一个比特数据以上的存储器单元被称为“多电平单元”,并且包含多电平单元的器件称为“多电平单元器件”。例如,存储 2 个比特的存储器单元具有 4 个“电平”,即“逻辑状态”：“11”、“10”、“01”以及“00”。2- 比特闪存单元的这 4 种状态可以通过在读取操作期间测量流过该沟道的电流量而不是通过简单地检测电流的存在与不存在来进行区分。通过把不同数量的电子置于浮置栅极上,可以把闪存单元编程为这 4 种状态之一。

[0009] 在传统的多电平单元器件中,每个多电平单元的逻辑状态通过一组感测放大器(sense amplifier)来测量,该组感测放大器适合于检测和放大各种基准电流和流过多电平快闪单元(flash cell)的沟道的沟道电流之间的差。例如,通常,可以通过生成三(3)个基准电流,并且使用三个相应的感测放大器来比较每一个基准电流与沟道电流,从而读取该2-比特的闪存单元。然后,利用沟道电流和这三个基准电流之间的关系来确定多电平快闪单元的逻辑状态。例如,如果沟道电流大于所有三个基准电流,则多电平快闪单元具有逻辑状态“11”,如果沟道电流大于其中两个基准电流,则多电平快闪单元具有逻辑状态“10”,余类推。

[0010] 遗憾的是,使得每个感测放大器形成具有同样特性是极为困难的。由于感测放大器特性的不匹配,难以感测到流过 NOR 闪存存储器器件沟道的电流中的微小差别。

发明内容

[0011] 根据本发明的一个实施例,NOR 闪存存储器器件包括:存储器单元,适合于存储两个或两个以上比特的数据;基准电压生成器,适合于生成多个不同的基准电压;感测放大器,适合于根据其幅值由所述不同的基准电压所确定的基准电流顺序地检测所述两个或两个以上比特的数据的值;以及选择电路,适合于选择所述不同基准电压中的哪一个来确定所述基准电流的幅值。

[0012] 根据本发明的另一个实施例,NOR 闪存存储器器件包括:存储器单元,适合于存储两个或两个以上比特的数据;基准电压生成器,适合于生成多个不同的基准电压;感测放大器,适合于根据其幅值由所述不同的基准电压所确定的基准电流顺序地检测所述两个或两个以上比特的数据的值;锁存电路,适合于存储所述感测放大器所检测的所述值;以及选择电路,适合于选择所述不同基准电压中的哪一个来确定所述基准电流的幅值。

[0013] 根据本发明的另一个实施例,NOR 闪存存储器器件包括:存储器单元,适合于存储两个或两个以上比特的数据;基准电压生成器,适合于生成多个不同的基准电压;感测放大器,适合于根据其幅值由所述不同的基准电压所确定的基准电流顺序地检测所述两个或两个以上比特的数据的值;锁存电路,适合于存储所述感测放大器所检测的所述值,以及选择电路,适合于选择所述不同基准电压中的哪一个来确定所述基准电流的幅值;以及转换电路,适合于响应于所述选择电路所生成的多个选择信号,把所述不同的基准电压之一提供给所述感测放大器。

[0014] 根据本发明的又一个实施例,一种顺序地检测存储在 NOR 闪存存储器器件的一个存储器单元中的两个或两个以上比特数据的值的方法包括:根据表现在一个感测节点(sensing node)的电压电平,检测存储在存储器单元中的数据的一个最高有效比特的值。然后,当检测到最高有效比特的值时,该方法还包括:对感测节点进行充电,使其达到一个预定电压电平,并且根据最高有效比特的值读取存储在存储器单元中的一个最低有效比特的值。

[0015] 一种顺序地检测存储在 NOR 闪存存储器器件的存储器单元中的两个或两个以上比特数据的值的方法,该方法包括根据在感测节点处表现的电压电平,检测存储在存储器单元中的数据的一个最高有效比特的值。随后,在检测所述最高有效比特的值时,将所述感测节点预充电到预定电压电平,该方法还包括根据所述最高有效比特的值,读取存储在所述存

存储器单元中的最低有效比特的值。

附图说明

[0016] 下面将针对附图中所示的几个实施例对本发明进行描述。在所有附图中,相同的标记表示相同的示例性元件、部件、或步骤,在附图中:

[0017] 图 1 是根据本发明实施例的 NOR 闪存存储器器件的方框图;

[0018] 图 2 是图 1 中所示锁存电路的电路示意图;

[0019] 图 3 是一个波形时序图,表示了图 1 中的控制器所产生的控制信号的时序;以及

[0020] 图 4 是根据本发明的另一个实施例的 NOR 闪存存储器器件的方框图;

具体实施方式

[0021] 以下,将参照相应的附图描述本发明的几个示例性实施例。这些附图以教导实例给出。本发明的实际范围由随后的权利要求书限定。

[0022] 这些示例性实施例总体上涉及一种含有多电平单元的 NOR 闪存存储器器件。理论上,多电平单元中的每一个都可以存储随机个数的比特。不过,为了阐述简单起见,下面描述的多电平单元适于每个存储 2 比特。

[0023] 图 1 是根据本发明实施例的 NOR 闪存存储器器件的方框图。参照图 1,NOR 闪存存储器器件 100 包括存储器单元 1a、Y-栅极电路 2a、感测放大器 10a、锁存电路 20a、选择电路 30a、基准电压生成器 40a 以及控制器 50a。

[0024] 存储器单元 1a 是多电平单元,包括:漏极、源极、浮置栅极以及控制栅极。在存储器单元 1a 的读操作期间,把大约 1V 的电压施加于漏极,把大约 4.5V 或 5V 的电压施加于控制栅极,以及把大约 0V 的电压施加于源极。

[0025] 在读操作期间,流过存储器单元 1a 的电流取决于存储器单元 1a 的逻辑状态。存储器单元 1a 存储 2 个比特,因而具有 4 个逻辑状态:“00”、“01”、“10”以及“11”。这 4 个逻辑状态中的每一个都由最高有效比特 (MSB) 和最低有效比特 (LSB) 表示。LSB 被称为 LSB 数据 LSB_D,并且 MSB 被称为 MSB 数据 MSB_D。

[0026] 感测放大器 10a 包括形成电流反射镜的正金属氧化物半导体 (PMOS) 晶体管 P1 和 P2。流过存储器单元 1a 的电流与流过 PMOS 晶体管 P1 和 P2 的电流相同。在本书面描述中,术语“单元电流”将意指流过存储器单元 1a 的电流。

[0027] Y-栅极电路 2a 把存储器单元 1a 连接于感测放大器 10a。Y-栅极电路 2a 是一种包括多个串联的负金属氧化物半导体 (NMOS) 晶体管的传统电路。

[0028] 感测放大器 10a 感测并放大单元电流和基准电流之间的差。感测放大器 10a 包括:预充电电路 11a、比特线放电电路 12a、感测节点预充电电路 13a、基准电流生成电路 14a、基准电流选择电路 15a、比特线偏压晶体管 N2 以及 PMOS 晶体管 P1 和 P2。

[0029] 预充电电路 11a 响应于比特线预充电信号 BLPRE,向感测放大器 10a 中的 PMOS 晶体管 P1 和 P2 提供电流。预充电电路 11a 包括第一和第二 PMOS 晶体管,第一和第二 PMOS 晶体管分别连接在提供电源电压的电源与 PMOS 晶体管 P1 和 P2 之间。第一和第二 PMOS 晶体管均由比特线预充电信号 BLPRE 选通。

[0030] 比特线放电电路 12a 包括连接在比特线和地之间的 NMOS 晶体管 N3。在感测存储

器单元 1a 的逻辑状态之前, NMOS 晶体管 N3 响应于比特线放电信号 BLDIS, 对比特线放电。

[0031] 感测节点预充电电路 13a 连接于感测节点 SA0, 感测节点 SA0 用作感测放大器 10a 的输出端子。感测节点预充电电路 13a 响应初始化信号 INIT 将感测节点 SA0 预充电至初始电压电平。然后, 每当感测到存储器单元 1a 的逻辑状态, 感测节点 SA0 的电压电平都改变相应于单元电流的幅值的一个量。

[0032] 感测节点预充电电路 13a 响应于初始化信号 INIT, 向感测节点 SA0 提供电源电压。感测节点预充电电路 13a 包括在电源和感测节点 SA0 之间形成电流路径的金属氧化物半导体 (MOS) 晶体管。优选的是, 感测节点预充电电路 13a 包括 PMOS 晶体管 P3。

[0033] 基准电流生成电路 14a 连接在感测节点 SA0 和基准电流选择电路 15a 之间。基准电流生成电路 14a 根据基准电压生成器 40a 所输出的不同基准电压的各自的电平, 生成在感测节点 SA0 和地之间流动的基准电流。

[0034] 例如, 基准电流生成电路 14a 通常包括并联在感测节点 SA0 和基准电流选择电路 15a 之间的 NMOS 晶体管 N14、N15 以及 N16。NMOS 晶体管 N14、N15 以及 N16 分别由不同基准电压 DG_L、DG_M 以及 DG_H 加以选通。基准电流选择电路 15a 把 NMOS 晶体管 N14、N15 以及 N16 之一接地, 以致在任何给定时刻不同基准电流中至多一个从感测节点 SA0 流向地。

[0035] 基准电流选择电路 15a 包括并联在基准电流生成电路 14a 和地之间的多个选择晶体管。例如, 选择晶体管通常包括并联在基准电流生成电路 14a 和地之间的 NMOS 晶体管 N11、N12 以及 N13。作为选择, 选择晶体管也可包括旁路晶体管 (pass transistor) 或 PMOS 晶体管。NMOS 晶体管 N11、N12 以及 N13 分别由选择信号 LSB_L、MSB_M 以及 LSB_H 加以控制。

[0036] 在存储器单元 1a 的读操作期间, 基准电流生成电路 14a 和基准电流选择电路 15a 通过激活 (即, 转换到第一逻辑状态) 选择信号 MSB_M 来接通 NMOS 晶体管 N12, 同时维持 NMOS 晶体管 N11 和 N13 的关闭, 生成具有第一值的基准电流。因此, 基准电流流过 NMOS 晶体管 N15 和 N12。把具有第一值的基准电流与单元电流加以比较, 以确定 MSB 数据 MSB_D 的值。在确定了 MSB 数据 MSB_D 的值之后, 通过使得选择信号 MSB_M 失活 (即, 转换到第二逻辑状态) 而关闭 NMOS 晶体管 N12, 并且取决于 MSB 数据 MSB_D 的值, 激活 LSB_L 或 LSB_H 来接通 NMOS 晶体管 N11 或 N13, 生成具有第二值的基准电流。把具有第二值的基准电流与单元电流加以比较, 以确定 LSB 数据 LSB_D 的值。

[0037] 在读操作期间, 比特线偏压晶体管 N2 接收恒定直流 (DC) 电压, 例如 1.5V, 以致单元电流可以流过 PMOS 晶体管 P1 和 P2。换句话说, 该 DC 电压接通比特线偏压晶体管 N2, 以把 PMOS 晶体管 P1 和 P2 连接于存储器单元 1a。如果电流流过存储器单元 1a, 则相同的电流随后将流过 PMOS 晶体管 P1 和 P2。

[0038] 在流过 PMOS 晶体管 P2 的电流大于基准电流的情况下, 感测节点 SA0 的电压电平升至感测节点预充电电路 13a 所提供的初始电平之上。因此, 可以把感测节点 SA0 的电压电平的升高用来检测 MSB 数据 MSB_D 和 LSB 数据 LSB_D 的值。

[0039] 与传统的多电平器件不同, 感测放大器 10a 使用了单一的放大器电路感测存储在存储器单元 1a 中的多个比特。该放大器电路包括形成电流反射镜的 PMOS 晶体管 P1 和 P2, 以及生成基准电流的 NMOS 晶体管 N11 ~ N16。

[0040] 如以上所描述的, NOR 闪存存储器器件 100 执行两个感测操作以便感测两个比特

的数据。其使用了一种涉及单一感测放大器的串行感测技术 (serialsensing technique), 以便首先检测 MSB 数据 MSB_D 的值, 然后检测 LSB 数据 LSB_D 的值。

[0041] 相比之下, 传统的多电平单元器件使用了一种涉及三个感测放大器的并联感测技术, 以便在大致相同的时间检测 MSB 数据 MSB_D 和 LSB 数据 LSB_D 的值。然而, 如以上所描述的, 传统的多电平单元器件由于频繁出现在三个感测放大器之间的不匹配而易于出错。由于 NOR 闪存存储器器件 100 仅使用了一个感测放大器, 所以其避免了不匹配的问题。

[0042] 锁存电路 20a 通过感测放大器 10a 的输出端子接收感测节点 SA0 的电压电平。锁存电路 20a 响应锁存启动信号 (enable signal) ENLAT, 而锁存感测节点 SA0 的电压电平, 并且根据感测节点 SA0 的电压电平输出 MSB 数据 MSB_D 的值。以下, 将针对图 2 更详细地描述锁存电路 20a 的构造与操作。

[0043] 选择电路 30a 从锁存电路 20a 接收 MSB 数据 MSB_D 的值和 MSB 启动信号 ENMSB。当启动信号 ENMSB 被激活时, 选择电路 30a 激活选择信号 MSB_M, 并且使得选择信号 LSB_L 和 LSB_H 失活。当 MSB 启动信号被失活时, 选择电路 30a 依据 MSB 数据 MSB_D 的值激活选择信号 LSB_L 或者 LSB_H, 并且使得选择信号 MSB_M 失活。

[0044] 在读操作开始时, MSB 启动信号 ENMSB 通常被激活, 因此选择信号 MSB_M 被激活, 从而导致锁存电路 20a 锁存并且输出 MSB 数据 MSB_D 的值。然后, 选择电路 30a 接收 MSB 数据 MSB_D 的值, 并且失活 MSB 启动信号。选择电路 30a 接收 MSB 数据 MSB_D, 而且如果 MSB 数据 MSB_D 的值为逻辑“1”, 选择电路 30a 激活选择信号 LSB_L。否则, 如果 MSB 数据 MSB_D 的值为逻辑“0”, 选择电路 30a 激活选择信号 LSB_H。

[0045] 基准电压生成器 40a 生成不同的基准电压。在图 1 中, 基准电压具有三个不同的电压电平。基准电压 DG_M 用于生成用于检测 MSB 数据 MSB_D 的值的基准电流, 基准电压 DG_L 和 DG_H 用于生成用于检测 LSB 数据 LSB_D 的值的基准电流。

[0046] 在读操作期间, 控制器 50a 向感测放大器 10a、锁存电路 20a 以及选择电路 30a 提供控制信号 ENLAT、ENMAS 以及 INIT。以下, 针对图 3 描述从控制器 50a 所提供的各个控制信号之间的时序关系。

[0047] 图 2 是图 1 中所示锁存电路 20a 的实施例的电路图。在图 2 中, 锁存电路 20a 包括三态缓冲器 21a 和数据锁存器 22a。

[0048] 三态缓冲器 21a 包括连接于感测放大器 10a 的输出端子的反相器以及一条数据线 DL。反相器包括 PMOS 晶体管 P5 和 NMOS 晶体管 N5。

[0049] 三态缓冲器 21a 还包括响应于锁存启动信号 ENLAT 和反向锁存启动信号 nENLAT 而被接通或关闭的 PMOS 晶体管 P4 和 NMOS 晶体管 N4。PMOS 晶体管 P4 连接在 PMOS 晶体管 P5 和数据线 DL 之间, 并且 NMOS 晶体管 N4 连接在数据线 DL 和 NMOS 晶体管 N5 之间。NMOS 晶体管 N4 接收锁存启动信号 ENLAT, PMOS 晶体管 P4 接收反向锁存启动信号 nENLAT。

[0050] 当在感测放大器 10a 输出端子处表现的感测节点 SA0 的电压电平为“高”, 并且锁存启动信号 ENLAT 被激活时, NMOS 晶体管 N5 和 N4 分别被接通, 以把数据线 DL 接地。在存储器单元 1a 上执行读操作之前, 锁存启动信号 ENLAT 被激活, 以对数据线 DL 进行放电。

[0051] 数据锁存器 22 包括两个反相器 INV1 和 INV2, 以及旁路晶体管 PT1。反相器 INV1 和 INV2 锁存来自数据线 DL 的数据, 并且旁路晶体管 PT1 响应于锁存启动信号 ENLAT 和反向锁存启动信号 nENLAT 而被接通。当反向锁存启动信号 nENLAT 被激活时, 数据锁存器 22a

锁存三态缓冲器 21a 的输出值。

[0052] 图 3 是一个波形时序图,说明了控制器 50a 所输出的控制信号的时序。具体地讲,图 3 描述了存储器单元 1a 的读操作期间控制信号的时序。

[0053] 参照图 3,比特线放电信号 BLDIS 被激活,以对连接于存储器单元 1a 的比特线进行放电。然后,比特线预充电信号 BLPRE 被失活,以接通预充电电路 11a 中的第一和第二 PMOS 晶体管,从而将感测节点 SA0 充电至“高”电平。

[0054] 响应于 MSB 启动信号 ENMSB 的激活,选择信号 MSB_M 被激活,以生成流过 NMOS 晶体管 N12 和 N15 的基准电流。因此,可由基准电压 DG_M 确定基准电流的幅值。

[0055] 感测放大器 10a 感测与放大单元电流和基准电流之间的差。当单元电流大于基准电流时,感测节点 SA0 的电压电平增高。否则,如果单元电流小于基准电流,则感测节点 SA0 的电压电平降低。因此,感测节点 SA0 的电压电平用于确定存储器单元 1a 中的 MSB 数据 MSD_D 的逻辑状态。在 MSB 数据 MSB_D 为逻辑“1”的情况下,感测节点 SA0 的电压电平增高,或者其保持在“高”电平上。在 MSB 数据 MSB_D 为逻辑“0”的情况下,感测节点的电压电平降至“低”电平。在图 3 中,把相应的“高”和“低”电压电平标记成“接通单元 (1)”和“关闭单元 (0)”。

[0056] 接下来,锁存启动信号 ENLAT 被激活,以使锁存电路 20a 锁存感测节点 SA0 的电压电平,并且将其存储为 MSB 数据比特 MSB_D。

[0057] 然后,把初始化信号 INIT 输入于感测节点预充电电路 13a,以将感测节点 SA0 充电至“高”电平。接下来,MSB 启动信号 ENMSB 被失活,并且由锁存电路 20a 输出 MSB 数据 MSB_D。

[0058] 当 MSB 启动信号 MSB_D 被失活时,选择电路 30a 依据 MSB 数据比特 MSB_D 的值生成选择信号 LSB_L 或选择信号 LSB_H。在 MSB 数据比特 MSB_D 的值为逻辑“1”的情况下,生成选择信号 LSB_L,而在 MSB 数据比特 MSB_D 的值为逻辑“0”的情况下,生成选择信号 LSB_H。

[0059] 在生成选择信号 LSB_L 的情况下,由基准电压 DG_L 确定基准电流的幅值。作为选择,在生成选择信号 LSB_H 的情况下,由基准电压 DG_H 确定基准电流的幅值。基准电压 DG_L 和 DG_H 控制基准电流的幅值,以致感测放大器 10a 可以确定存储在存储器单元 1a 中的 LSB 数据 LSB_D 的值。

[0060] 为了进一步说明感测放大器 10a 的操作,将介绍一个具体的实例,其中,MSB 数据 MSB_D 为逻辑“1”,LSB 数据 LSB_D 的值为逻辑“0”。

[0061] 在这些条件下,生成第一基准电流,以检测 MSB 数据 MSB_D 的值。由于 MSB 数据 MSB_D 的值为逻辑“1”,所以基准电流将小于或等于单元电流,因此感测节点 SA0 的电压电平将保持“高”,而且锁存电路 20a 将存储该“高”电压电平。然后,将生成第二基准电流,以检测 LSB 数据 LSB_D 的值。由于 LSB 数据 LSB_D 的值为逻辑“0”,所以基准电流将大于单元电流,因此感测节点 SA0 的电压电平将降至“低”电压电平,而且锁存电路 20a 将把该“低”电压电平存储为 LSB 数据 LSB_D。

[0062] 锁存电路 20a 锁存 MSB 数据 MSB_D 和 LSB 数据比特 LSB_D,并且通过输出节点 D0 输出该数据。

[0063] 图 4 是一个方框图,描述了根据本发明的另一个实施例的 NOR 闪存存储器器件。参

照图 4, NOR 闪存存储器器件 200 包括存储器单元 1b、Y-栅极电路 2b、感测放大器 10b、锁存电路 20b、选择电路 30b、转换电路 35b、基准电压生成器 40b 以及控制器 50b。存储器单元 1b、Y-栅极电路 2b、锁存电路 20b、选择电路 30b、基准电压生成器 40b 以及控制器 50b 与图 1~3 中所描述的相应的元件 1a、2a、20a、30a、40a 以及 50a 相同。

[0064] 感测放大器 10b 包括预充电电路 11b、比特线放电电路 12b、感测节点预充电电路 13b 以及基准电流生成电路 14b。此处, 预充电电路 11b、比特线放电电路 12b 以及感测节点预充电电路 13b 与相对图 1 所描述的相应的元件 11a、12b 以及 13b 相同。基准电流生成电路 14b 响应于基准电压 V_{ref} , 生成基准电流。基准电流生成电路 14b 通常包括 NMOS 晶体管 N1。

[0065] 转换电路 35 包括分别由选择信号 MSB_M、LSB_L 以及 LSB_H 加以控制的第一、第二以及第三转换器 41、42 以及 43。通常, 转换器 41、42 以及 43 包括旁路晶体管、NMOS 晶体管、或者 PMOS 晶体管。转换电路 35b 向基准电流生成电路 14b 提供基准电压 V_{ref} 。

[0066] 当接通第一转换器 41 时, 转换电路 35b 向基准电流生成电路 14b 提供第一基准电压 DG_M。当检测存储在存储器单元 1b 中的 MSB 数据 MSB_D 的电平时, 第一基准电压 DG_M 用于生成基准电流。当接通第二或第三转换器 42 或 43 时, 转换电路 35b 向基准电流生成电路 14b 提供第二或第三基准电压 DG_L 或 DG_H。当检测存储在存储器单元 1b 中的 LSB 数据 LSB_D 时, 第二或第三基准电压 DG_L 或 DG_H 用于生成基准电流。

[0067] 由于 NOR 闪存存储器器件 200 接收单一的 NMOS 晶体管上的不同基准电压, 所以消除了基于晶体管不匹配的基准电流的偏差。

[0068] 如以上所提到的, 根据本发明实施例的 NOR 闪存存储器器件使用了串行感测技术来检测 NOR 闪存单元的逻辑状态。该串行感测技术使用了单一的感测放大器, 以避免通常因传统多电平单元器件中不匹配的感测放大器所引发的错误。

[0069] 以上的优选实施例仅为教导实例。该领域中的普通熟练技术人员将会认识到: 在不脱离以下权利要求所限定的本发明的范围的情况下, 可以对这些示范性实施例的形式与细节进行多方面的修改。

[0070] 要求均在 2004 年 12 月 15 日提出的申请号为 2004-106388 和 2004-106390 的韩国专利申请的优先权, 特将它们所公开的全部内容并入此处, 以作参考。

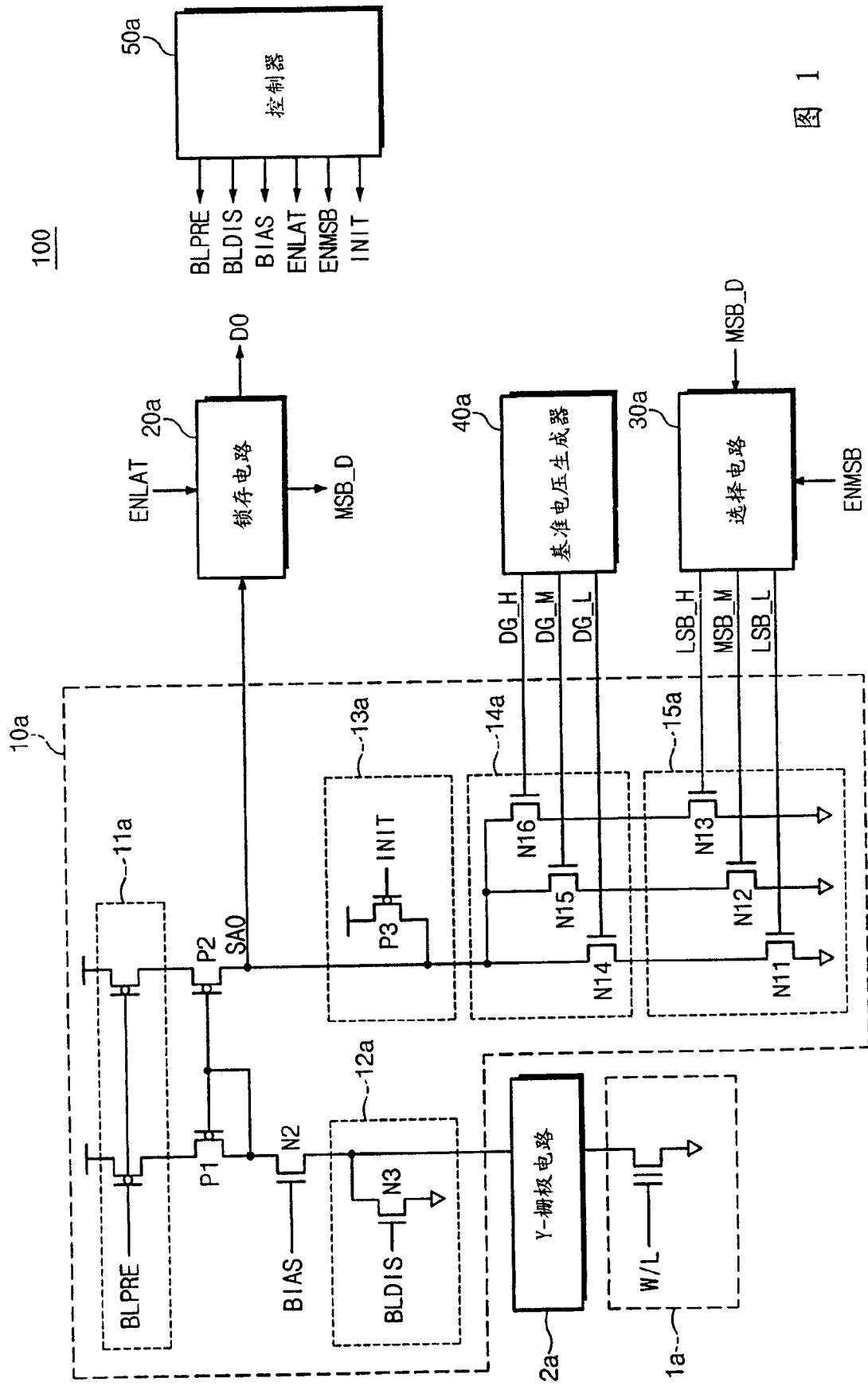


图 1

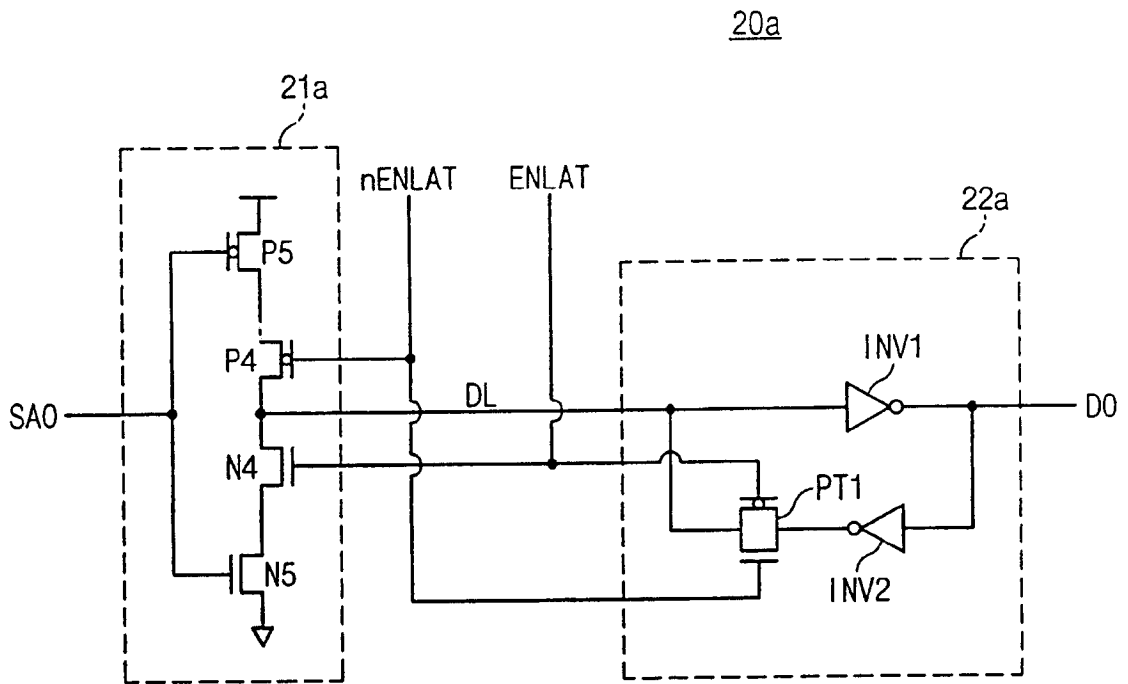


图 2

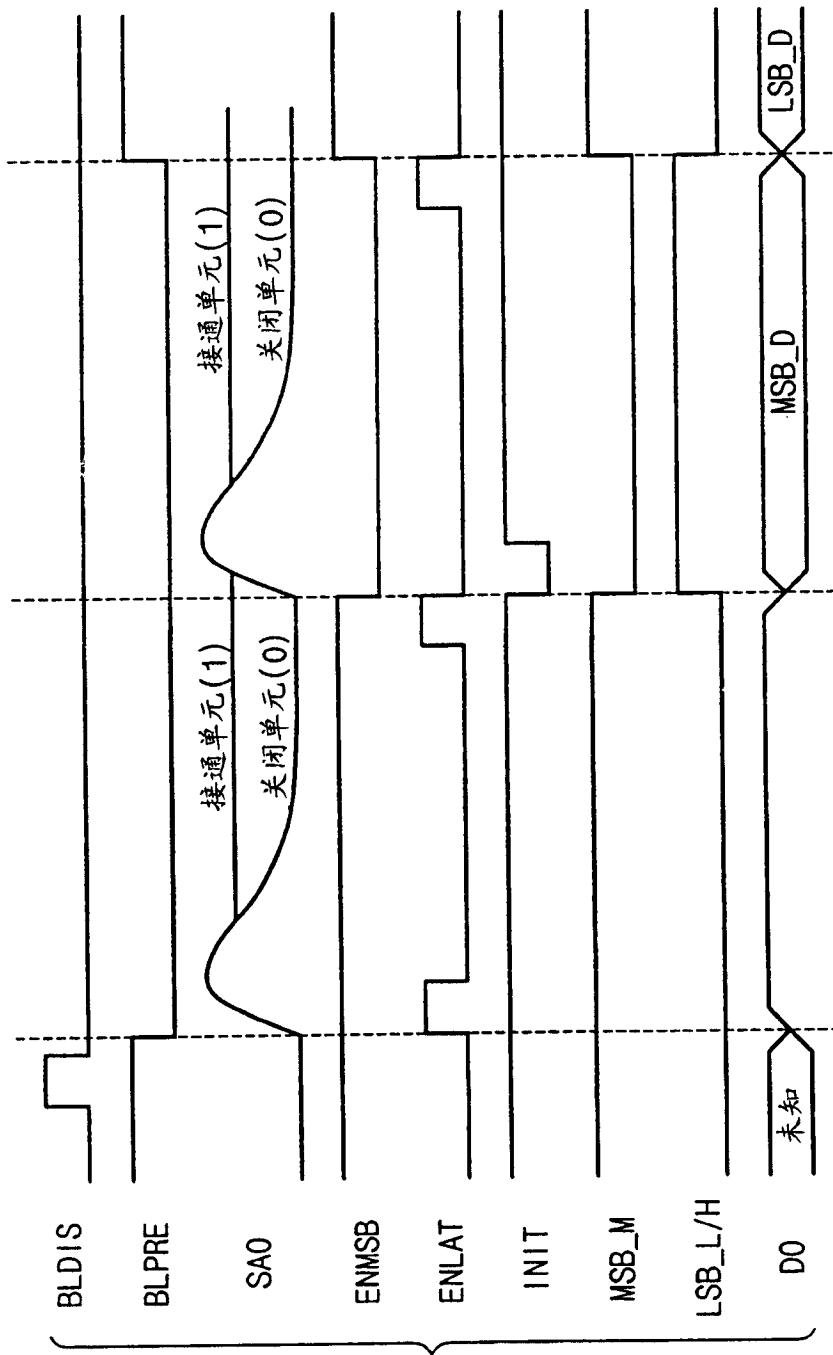


图 3

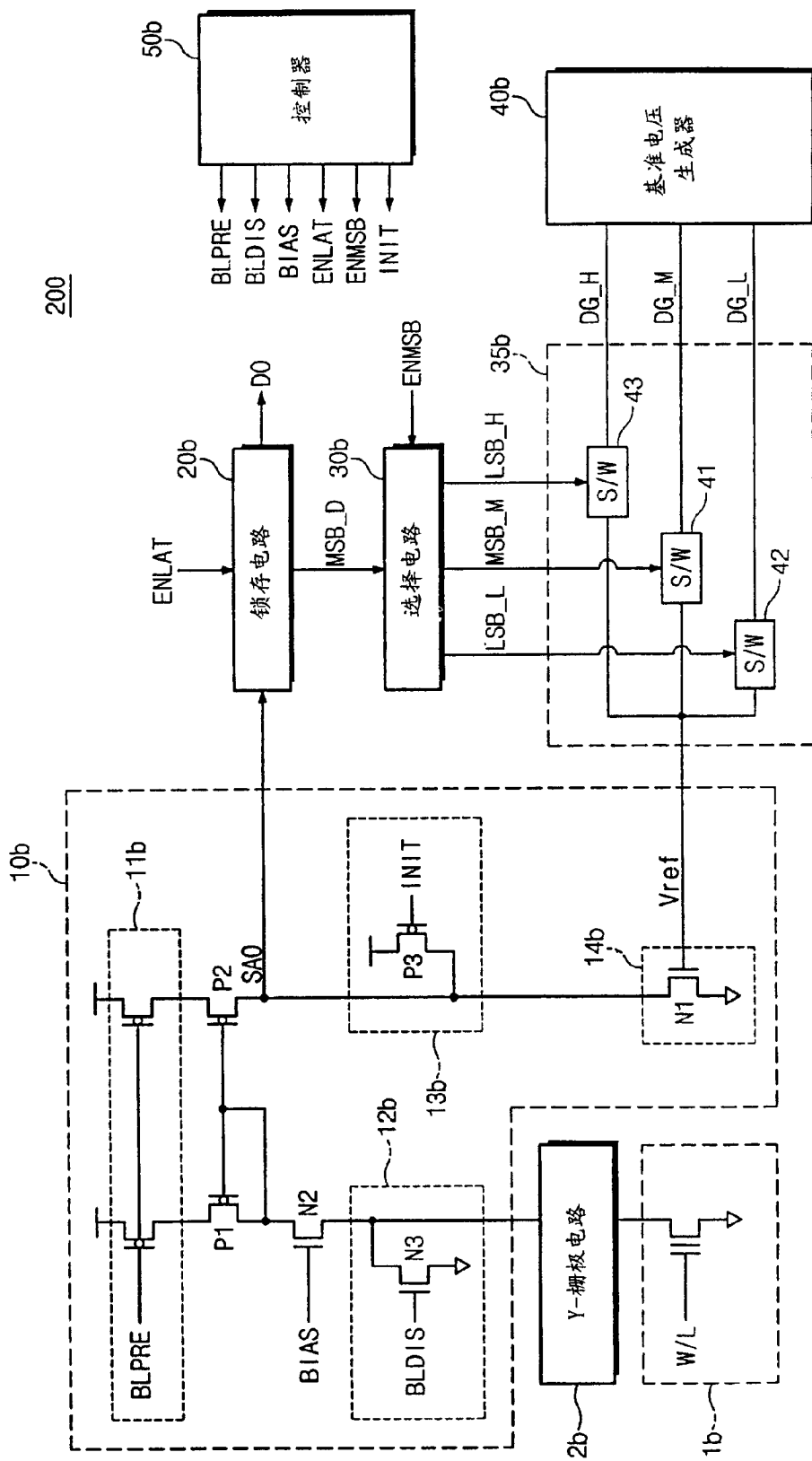


图 4