



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0096023
(43) 공개일자 2017년08월23일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(52) CPC특허분류

G09G 3/3677 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-7019938

(22) 출원일자(국제) 2015년01월08일

심사청구일자 2017년07월17일

(85) 번역문제출일자 2017년07월17일

(86) 국제출원번호 PCT/CN2015/070318

(87) 국제공개번호 WO 2016/106802

국제공개일자 2016년07월07일

(30) 우선권주장

201410851563.1 2014년12월31일 중국(CN)

(71) 출원인

센젠 차이나 스타 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드

중국 광둥 프로빈스, 센젠 시티, 광밍 뉴 디스트릭트, 탕밍 로드, 넘버 9-2

(72) 발명자

시아오, 준청

중국 광둥 518132 선젠 광밍 뉴 디스트릭트 탕밍 로드 베이 나 넘버 9-2 에스에치아이

(74) 대리인

김은구, 송해모

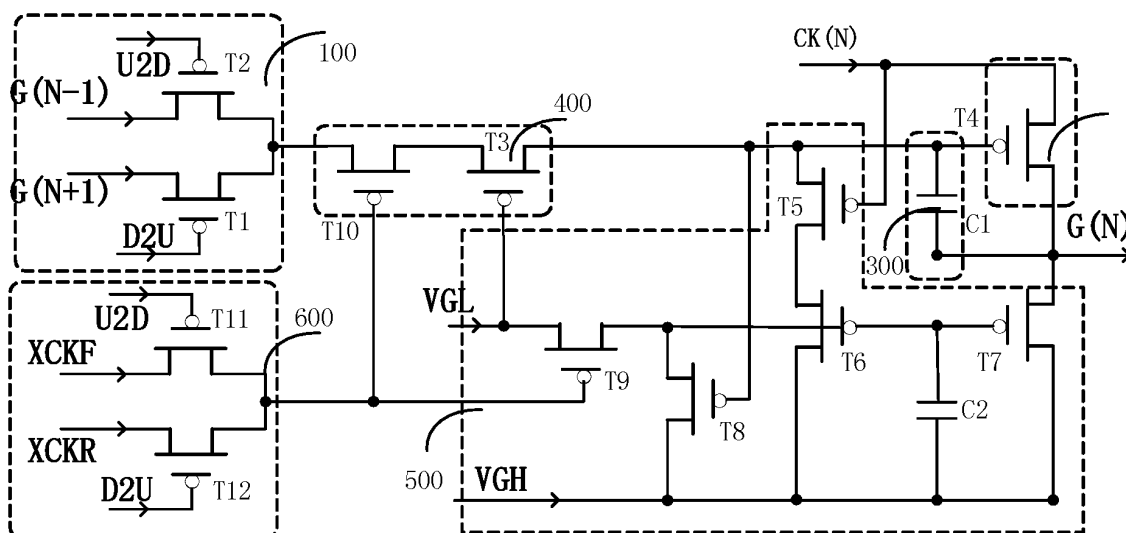
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정 디스플레이 디바이스를 위한 GOA 회로

(57) 요약

액정 디스플레이 디바이스를 위한 GOA(Gate driver On Array, 어레이 상의 게이트 드라이버) 회로가 개시된다. 액정 디스플레이 디바이스는 복수의 스캔 라인들을 포함하고, GOA 회로는 연속 연결된 복수의 시프트 레지스터 유닛들을 포함한다. N번째-레벨의 시프트 레지스터 유닛은 N번째-레벨의 스캔 라인(G(N))의 충전을 제어한다. N번째-레벨의 시프트 레지스터 유닛은, 순방향 및 역방향 스캔 회로(100), 풀-업 회로(200), 부트스트랩 커패시터 회로(300), 게이트 신호 지점 누전 방지 회로(400), 및 풀-다운 유지 회로(500)를 포함한다. 부트스트랩 커패시터 회로(300)와, 게이트 신호 지점 누전 방지 회로(400)와, 그리고 풀-다운 유지 회로(500)는 게이트 신호 지점(Q)이 형성되도록 함께 연결되어, 게이트 신호 지점(Q)의 안정성이 향상되도록 하고 스위치들의 사용이 감소되도록 한다.

대표도 - 도3



(52) CPC특허분류

G09G 2310/0286 (2013.01)

G09G 2330/04 (2013.01)

명세서

청구범위

청구항 1

액정 디스플레이 디바이스(liquid crystal display device)에 적용되는 GOA(Gate driver On Array, 어레이 상의 게이트 드라이버) 회로로서,

상기 액정 디스플레이 디바이스는 복수의 스캔 라인(scanning line)들을 포함하고, 상기 GOA 회로는 연속 연결된 복수의 시프트 레지스터 유닛(shift register unit)들을 포함하고, (N)번째 레벨의 시프트 레지스터 유닛은 (N)번째 레벨의 스캔 라인(G(N))에 대한 충전(charge)을 제어하고,

상기 (N)번째 레벨의 시프트 레지스터 유닛은,

상기 (N)번째 레벨의 스캔 라인(G(N))과 연결되는 풀-다운 유지 회로(pull-down sustain circuit)(500)와;

상기 풀-다운 유지 회로(500)와 연결되는 부트스트랩 커패시터 회로(bootstrap capacitor circuit)(300)와;

상기 부트스트랩 커패시터 회로(300)와 연결되는 게이트 신호 지점(gate signal point)(Q) 누전 방지 회로(electricity leakage preventing circuit)(400)와;

게이트 신호 지점(Q) 누전 방지 회로(400)와 연결되는 순방향-역방향 스캔 회로(forward-rearward scan circuit)(100)와; 그리고

상기 부트스트랩 커패시터 회로(300)와 연결되는 풀-업 회로(pull-up circuit)(200)를 포함하고,

상기 부트스트랩 커패시터 회로(300)와, 상기 게이트 신호 지점(Q) 누전 방지 회로(400)와, 그리고 상기 풀-다운 유지 회로(500)는 게이트 신호 지점(Q(N))이 형성되도록 서로 함께 연결되고;

상기 풀-업 회로(200)와, 상기 부트스트랩 커패시터 회로(300)와, 그리고 상기 게이트 신호 지점(Q) 누전 방지 회로(400)는 상기 (N)번째 레벨의 스캔 라인(G(N))과 각각 연결되고;

상기 순방향-역방향 스캔 회로(100)는 (N-1)번째 레벨의 스캔 라인(G(N-1)) 및 (N+1)번째 레벨의 스캔 라인(G(N+1))과 각각 연결되고;

상기 풀-다운 유지 회로(500)는 제 1 스위치(T9), 제 2 스위치(T8), 제 3 스위치(T7), 제 4 스위치(T6), 제 5 스위치(T5), 및 제 1 커패시터(C2)를 포함하고,

상기 제 1 스위치(T9)는, 상기 게이트 신호 지점(Q) 누전 방지 회로(400)와 연결되는 제어 단자(control terminal)를 갖고, 그리고 제 1 회로 지점(circuit point)(P(N))과 연결되는 출력 단자(output terminal)를 갖고;

상기 제 2 스위치(T8)는, 상기 게이트 신호 지점(Q(N))과 연결되는 제어 단자를 갖고, 그리고 상기 제 1 회로 지점(P(N))과 연결되는 출력 단자를 갖고;

상기 제 3 스위치(T7)는, 상기 제 1 회로 지점(P(N))과 연결되는 제어 단자를 갖고, 그리고 일정한 고전압(high constant voltage)(VGH)과 연결되는 입력 단자(input terminal)를 갖고, 그리고 상기 (N)번째 레벨의 스캔 라인(G(N))과 연결되는 출력 단자를 갖고;

상기 제 4 스위치(T6)는, 상기 제 1 회로 지점(P(N))과 연결되는 제어 단자를 갖고, 그리고 상기 일정한 고전압(VGH)과 연결되는 입력 단자를 갖고;

상기 제 5 스위치(T5)는, (N)번째 레벨의 제 1 클럭 신호(clock signal)(CK(N))를 수신하는 제어 단자를 갖고, 그리고 상기 제 4 스위치(T6)의 출력과 연결되는 입력 단자를 갖고, 그리고 상기 게이트 신호 지점(Q)과 연결되는 출력 단자를 갖고;

상기 제 1 커패시터(C2)는 상기 일정한 고전압(VGH) 및 상기 제 1 회로 지점(P(N))과 각각 연결되는 두 개의 단부(end)들을 갖고;

상기 순방향-역방향 스캔 회로(100)는 제 6 스위치(T1) 및 제 7 스위치(T2)를 포함하고,

상기 제 6 스위치(T1)는, 업-투-다운 제어 신호(Up-to-Down control signal)(U2D)를 수신하는 제어 단자를 갖고, 그리고 상기 (N-1)번째 레벨의 스캔 라인(G(N-1))과 연결되는 입력 단자를 갖고, 그리고 상기 게이트 신호 지점(Q) 누전 방지 회로(400)와 연결되는 출력 단자를 갖고;

상기 제 7 스위치(T2)는, 다운-투-업 제어 신호(Down-to-Up control signal)(D2U)를 수신하는 제어 단자를 갖고, 그리고 상기 (N+1)번째 레벨의 스캔 라인(G(N+1))과 연결되는 입력 단자를 갖고, 그리고 상기 제 5 스위치(T1)의 출력 단자 및 상기 게이트 신호 지점(Q) 누전 방지 회로(400)와 연결되는 출력 단자를 갖고;

상기 게이트 신호 지점(Q) 누전 방지 회로(400)는 제 9 스위치(T3)를 포함하고,

상기 제 9 스위치(T3)는, (N)번째 레벨의 제 2 클럭 신호(XCK(N))를 수신하기 위해 상기 제 1 스위치(T9)의 입력 단자와 연결되는 제어 단자를 갖고, 그리고 상기 제 6 스위치(T1)의 출력 단자 및 상기 제 7 스위치(T2)의 출력 단자와 연결되는 입력 단자를 갖고, 그리고 상기 게이트 신호 지점(Q(N))과 연결되는 출력 단자를 갖고;

상기 (N)번째 레벨의 제 2 클럭 신호(XCK(N))와 상기 제 1 클럭 신호(CK)는 서로에 대해 역전된 신호(reverse signal)들이고;

상기 게이트 신호 지점(Q) 누전 방지 회로(400)는 제 9 스위치(T3) 및 제 10 스위치(T10)를 포함하고,

여기서 제 9 스위치(T3)는, 상기 제 1 스위치(T9)의 입력 단자 및 일정한 저전압(constant low voltage)(VGL)과 연결되는 제어 단자를 갖고, 그리고 상기 게이트 신호 지점(Q(N))과 연결되는 출력 단자를 갖고;

상기 제 10 스위치(T10)는, 상기 제 1 스위치(T9)의 제어 단자와 연결되는 제어 단자를 갖고, 그리고 상기 제 6 스위치(T1)의 출력 단자 및 상기 제 7 스위치(T2)의 출력 단자와 연결되는 입력 단자를 갖고, 그리고 상기 제 9 스위치(T3)의 입력 단자와 연결되는 출력 단자를 갖고;

상기 부트스트랩 커패시터 회로(300)는 제 2 커패시터(C1)를 포함하고,

상기 제 2 커패시터(C1)는 상기 게이트 신호 지점(Q(N)) 및 상기 (N)번째 레벨의 스캔 라인(G(N))과 각각 연결되는 두 개의 단부들을 갖고;

상기 풀-다운 제어 회로(600)는 제 11 스위치(T11) 및 제 12 스위치(T12)를 포함하고,

상기 제 11 스위치(T11)는, 상기 업-투-다운 제어 신호(U2D)를 수신하는 제어 단자를 갖고, 그리고 순방향 제 2 클럭 신호(second positive clock signal)(XCKF)를 수신하는 입력 단자를 갖고, 그리고 상기 풀-다운 유지 회로(500) 및 상기 게이트 신호 지점(Q) 누전 방지 회로(400)와 연결되는 출력 단자를 갖고;

상기 제 12 스위치(T12)는, 상기 다운-투-업 제어 신호(D2U)를 수신하는 제어 단자를 갖고, 그리고 역방향 제 2 클럭 신호(second reverse clock signal)(XCKR)를 수신하는 입력 단자를 갖고, 그리고 상기 풀-다운 유지 회로(500) 및 상기 게이트 신호 지점(Q) 누전 방지 회로(400)와 연결되는 출력 단자를 갖고;

상기 제 11 스위치(T11)의 출력 단자와, 상기 제 12 스위치(T12)의 출력 단자와, 그리고 상기 제 1 스위치(T9)의 제어 단자는 서로 연결되고;

상기 풀-다운 유지 회로(500)는 또한 제 13 스위치(T13)를 포함하고,

상기 제 13 스위치(T13)는, 상기 게이트 신호 지점(Q)과 연결되는 제어 단자를 갖고, 그리고 상기 제 1 스위치(T9)의 제어 단자와 연결되는 입력 단자를 갖고, 그리고 상기 제 1 회로 지점(P(N))과 연결되는 출력 단자를 갖는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 2

제1항에 있어서,

상기 풀-업 회로(200)는 제 8 스위치(T4)를 포함하고,

상기 제 8 스위치(T4)는, 상기 게이트 신호 지점(Q(N))과 연결되는 제어 단자를 갖고, 그리고 상기 (N)번째 레벨의 제 1 클럭 신호(CK(N))와 연결되는 입력 단자를 갖고, 그리고 상기 (N)번째 레벨의 스캔 라인(G(N))과 연

결되는 출력 단자를 갖는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 3

제1항에 있어서,

상기 풀-다운 유지 회로(500)는 또한 제 14 스위치(T14)를 포함하고,

상기 제 14 스위치(T14)는, (N-1)번째 레벨의 제 2 클럭 신호(XCK(N-1))를 수신하는 제어 단자를 갖고, 그리고 상기 제 4 스위치(T6)의 출력 단자와 연결되는 입력 단자를 갖고, 그리고 상기 게이트 신호 지점(Q(N))과 연결되는 출력 단자를 갖는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 4

제1항에 있어서,

상기 풀-다운 유지 회로(500)는 또한 제 14 스위치(T14)를 포함하고,

상기 제 14 스위치(T14)는, (N-2)번째 레벨의 제 2 클럭 신호(XCK(N-2))를 수신하는 제어 단자를 갖고, 그리고 상기 제 4 스위치(T6)의 출력 단자와 연결되는 입력 단자를 갖고, 그리고 상기 게이트 신호 지점(Q(N))과 연결되는 출력 단자를 갖는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 5

액정 디스플레이 디바이스에 적용되는 GOA(Gate driver On Array) 회로로서,

상기 액정 디스플레이 디바이스는 복수의 스캔 라인들을 포함하고, 상기 GOA 회로는 연속 연결된 복수의 시프트 레지스터 유닛들을 포함하고, (N)번째 레벨의 시프트 레지스터 유닛은 (N)번째 레벨의 스캔 라인(G(N))에 대한 충전을 제어하고,

상기 (N)번째 레벨의 시프트 레지스터 유닛은,

상기 (N)번째 레벨의 스캔 라인(G(N))과 연결되는 풀-다운 유지 회로(500)와;

상기 풀-다운 유지 회로(500)와 연결되는 부트스트랩 커패시터 회로(300)와;

상기 부트스트랩 커패시터 회로(300)와 연결되는 게이트 신호 지점(Q) 누전 방지 회로(400)와;

게이트 신호 지점(Q) 누전 방지 회로(400)와 연결되는 순방향-역방향 스캔 회로(100)와; 그리고

상기 부트스트랩 커패시터 회로(300)와 연결되는 풀-업 회로(200)를 포함하고,

상기 부트스트랩 커패시터 회로(300)와, 상기 게이트 신호 지점(Q) 누전 방지 회로(400)와, 그리고 상기 풀-다운 유지 회로(500)는 게이트 신호 지점(Q(N))이 형성되도록 서로 함께 연결되고;

상기 풀-업 회로(200)와, 상기 부트스트랩 커패시터 회로(300)와, 그리고 상기 게이트 신호 지점(Q) 누전 방지 회로(400)는 상기 (N)번째 레벨의 스캔 라인(G(N))과 각각 연결되고;

상기 순방향-역방향 스캔 회로(100)는 (N-1)번째 레벨의 스캔 라인(G(N-1)) 및 (N+1)번째 레벨의 스캔 라인(G(N+1))과 각각 연결되고;

상기 풀-다운 유지 회로(500)는 제 1 스위치(T9), 제 2 스위치(T8), 제 3 스위치(T7), 제 4 스위치(T6), 제 5 스위치(T5), 및 제 1 커패시터(C2)를 포함하고;

상기 제 1 스위치(T9)는, 상기 게이트 신호 지점(Q) 누전 방지 회로(400)와 연결되는 제어 단자를 갖고, 그리고 제 1 회로 지점(P(N))과 연결되는 출력 단자를 갖고;

상기 제 2 스위치(T8)는, 상기 게이트 신호 지점(Q(N))과 연결되는 제어 단자를 갖고, 그리고 상기 제 1 회로 지점(P(N))과 연결되는 출력 단자를 갖고;

상기 제 3 스위치(T7)는, 상기 제 1 회로 지점(P(N))과 연결되는 제어 단자를 갖고, 그리고 일정한 고전압(VGH)과 연결되는 입력 단자를 갖고, 그리고 상기 (N)번째 레벨의 스캔 라인(G(N))과 연결되는 출력 단자를 갖고;

상기 제 4 스위치(T6)는, 상기 제 1 회로 지점(P(N))과 연결되는 제어 단자를 갖고, 그리고 상기 일정한 고전압(VGH)과 연결되는 입력 단자를 갖고;

상기 제 5 스위치(T5)는, (N)번째 레벨의 제 1 클럭 신호(CK(N))를 수신하는 제어 단자를 갖고, 그리고 상기 제 4 스위치(T6)의 출력과 연결되는 입력 단자를 갖고, 그리고 상기 게이트 신호 지점(Q)과 연결되는 출력 단자를 갖고;

상기 제 1 커패시터(C2)는 상기 일정한 고전압(VGH) 및 상기 제 1 회로 지점(P(N))과 각각 연결되는 두 개의 단부들을 갖는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 6

제5항에 있어서,

상기 순방향-역방향 스캔 회로(100)는 제 6 스위치(T1) 및 제 7 스위치(T2)를 포함하고,

상기 제 6 스위치(T1)는, 업-투-다운 제어 신호(U2D)를 수신하는 제어 단자를 갖고, 그리고 상기 (N-1)번째 레벨의 스캔 라인(G(N-1))과 연결되는 입력 단자를 갖고, 그리고 상기 게이트 신호 지점(Q) 누전 방지 회로(400)와 연결되는 출력 단자를 갖고;

상기 제 7 스위치(T2)는, 다운-투-업 제어 신호(D2U)를 수신하는 제어 단자를 갖고, 그리고 (N+1)번째 레벨의 스캔 라인(G(N+1))과 연결되는 입력 단자를 갖고, 그리고 상기 제 5 스위치(T1)의 출력 단자 및 상기 게이트 신호 지점(Q) 누전 방지 회로(400)와 연결되는 출력 단자를 갖는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 7

제6항에 있어서,

상기 게이트 신호 지점(Q) 누전 방지 회로(400)는 제 9 스위치(T3)를 포함하고,

상기 제 9 스위치(T3)는, (N)번째 레벨의 제 2 클럭 신호(XCK(N))를 수신하기 위해 상기 제 1 스위치(T9)의 입력 단자와 연결되는 제어 단자를 갖고, 그리고 상기 제 6 스위치(T1)의 출력 단자 및 상기 제 7 스위치(T2)의 출력 단자와 연결되는 입력 단자를 갖고, 그리고 상기 게이트 신호 지점(Q(N))과 연결되는 출력 단자를 갖는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 8

제7항에 있어서,

상기 (N)번째 레벨의 제 2 클럭 신호(XCK(N))와 상기 (N)번째 레벨의 제 1 클럭 신호(CK(N))는 서로에 대해 역전된 신호들인 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 9

제6항에 있어서,

상기 게이트 신호 지점(Q) 누전 방지 회로(400)는 제 9 스위치(T3) 및 제 10 스위치(T10)를 포함하고,

상기 제 9 스위치(T3)는, 상기 제 1 스위치(T9)의 입력 단자 및 일정한 저전압(VGL)과 연결되는 제어 단자를 갖고, 그리고 상기 게이트 신호 지점(Q(N))과 연결되는 출력 단자를 갖고;

상기 제 10 스위치(T10)는, 상기 제 1 스위치(T9)의 제어 단자와 연결되는 제어 단자를 갖고, 그리고 상기 제 6 스위치(T1)의 출력 단자 및 상기 제 7 스위치(T2)의 출력 단자와 연결되는 입력 단자를 갖고, 그리고 상기 제 9 스위치(T3)의 입력 단자와 연결되는 출력 단자를 갖는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 10

제9항에 있어서,

상기 제 10 스위치(T10)의 제어 단자는 상기 (N)번째 레벨의 제 2 클럭 신호(XCK(N))를 수신하기 위해 상기 제 1 스위치(T9)의 제어 단자와 연결되는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 11

제5항에 있어서,

상기 풀-업 회로(200)는 제 8 스위치(T4)를 포함하고,

상기 제 8 스위치(T4)는, 상기 게이트 신호 지점(Q(N))과 연결되는 제어 단자를 갖고, 그리고 상기 (N)번째 레벨의 제 1 클럭 신호(CK(N))와 연결되는 입력 단자를 갖고, 그리고 상기 (N)번째 레벨의 스캔 라인(G(N))과 연결되는 출력 단자를 갖는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 12

제5항에 있어서,

상기 부트스트랩 커패시터 회로(300)는 제 2 커패시터(C1)를 포함하고,

상기 제 2 커패시터(C1)는 상기 게이트 신호 지점(Q(N)) 및 상기 (N)번째 레벨의 스캔 라인(G(N))과 각각 연결되는 두 개의 단부들을 갖는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 13

제5항에 있어서,

상기 제 2 스위치(T8)의 입력 단자는 상기 일정한 고전압(VGH)과 연결되는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 14

제5항에 있어서,

상기 (N)번째 레벨의 시프트 레지스터 유닛은 또한 풀-다운 제어 회로(600)를 포함하고, 상기 풀-다운 제어 회로(600)는 제 11 스위치(T11) 및 제 12 스위치(T12)를 포함하고,

상기 제 11 스위치(T11)는, 상기 업-투-다운 제어 신호(U2D)를 수신하는 제어 단자를 갖고, 그리고 순방향 제 2 클럭 신호(XCKF)를 수신하는 입력 단자를 갖고, 그리고 상기 풀-다운 유지 회로(500) 및 상기 게이트 신호 지점(Q) 누전 방지 회로(400)와 연결되는 출력 단자를 갖고;

상기 제 12 스위치(T12)는, 상기 다운-투-업 제어 신호(D2U)를 수신하는 제어 단자를 갖고, 그리고 역방향 제 2 클럭 신호(XCKR)를 수신하는 입력 단자를 갖고, 그리고 상기 풀-다운 유지 회로(500) 및 상기 게이트 신호 지점(Q) 누전 방지 회로(400)와 연결되는 출력 단자를 갖는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 15

제14항에 있어서,

상기 제 11 스위치(T11)의 출력 단자와, 상기 제 12 스위치(T12)의 출력 단자와, 그리고 상기 제 1 스위치(T9)의 제어 단자는 서로 연결되는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 16

제15항에 있어서,

상기 제 2 스위치(T8)의 입력 단자는 상기 제 1 스위치(T9)의 제어 단자와 연결되는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 17

제15항에 있어서,

상기 풀-다운 유지 회로(500)는 또한 제 13 스위치(T13)를 포함하고,

상기 제 13 스위치(T13)는, 상기 게이트 신호 지점(Q)과 연결되는 제어 단자를 갖고, 그리고 상기 제 1 스위치(T9)의 제어 단자와 연결되는 입력 단자를 갖고, 그리고 상기 제 1 회로 지점(P(N))과 연결되는 출력 단자를 갖는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 18

제15항에 있어서,

상기 풀-다운 유지 회로(500)는 또한 제 14 스위치(T14)를 포함하고,

상기 제 14 스위치(T14)는, (N-1)번째 레벨의 제 2 클럭 신호(XCK(N-1))를 수신하는 제어 단자를 포함하고, 그리고 상기 제 4 스위치(T6)의 출력 단자와 연결되는 입력 단자를 갖고, 그리고 상기 게이트 신호 지점(Q(N))과 연결되는 출력 단자를 갖는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 19

제15항에 있어서,

상기 풀-다운 유지 회로(500)는 또한 제 14 스위치(T14)를 포함하고,

상기 제 14 스위치(T14)는, (N-2)번째 레벨의 제 2 클럭 신호(XCK(N-2))를 수신하는 제어 단자를 갖고, 그리고 상기 제 4 스위치(T6)의 출력 단자와 연결되는 입력 단자를 갖고, 그리고 상기 게이트 신호 지점(Q(N))과 연결되는 출력 단자를 갖는 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

청구항 20

제1항 내지 제19항에 있어서,

상기 제 1 스위치 내지 상기 제 14 스위치는 PMOS(P-channel Metal-Oxide Semiconductor, P-채널 금속-산화물 반도체) 박막 트랜지스터(thin film transistor)들인 것을 특징으로 하는 액정 디스플레이 디바이스에 적용되는 GOA 회로.

발명의 설명

기술 분야

- [0001] 본 발명은 액정 디스플레이(liquid crystal display) 기술 분야에 관한 것이고, 더 구체적으로는 LTPS(Low-Temperature Poly-Si, 저온 폴리-Si) 기반 PMOS(P-channel Metal Oxide Semiconductor, P-채널 금속 산화물 반도체)로 된 GOA(Gate driver On Array, 어레이 상의 게이트 드라이버) 회로에 관한 것으로, 액정 디스플레이 디바이스(liquid crystal display device)에 적용되는 GOA 회로에 관한 것이다.

배경 기술

- [0002] GOA는 어레이 기판(array substrate)들 상에 게이트 스캔 신호 회로(gate scanning signal circuit)들을 제조하여 게이트 전극(gate electrode)들에 관한 연속 스캔(cascade scanning)이 달성되도록 하기 위해 TFT(Thin Film Transistor, 박막 트랜지스터) 액정 디스플레이에 관한 기존 어레이 공정을 이용하는 기술이다.
- [0003] LTPS TFT들의 개발과 함께, LTPS 자체의 극도로 월등한 높은 캐리어 이동도(carrier mobility) 특성으로 인해, 패널(panels) 주변의 상대적 집적 회로들(예컨대, GOA)에 많은 사람들의 관심이 집중되게 되었다. 많은 사람들이 SOP(System On Panel, 시스템 온 패널)의 대응 기술 연구에 투자하고 있고, 이에 따라 그 기술이 점진적으로 달성되고 있다. LTPS는 NMOS(N type Metal Oxide Semiconductor, N 타입 금속 산화물 반도체) 회로, PMOS(P type Metal Oxide Semiconductor, P 타입 금속 산화물 반도체) 회로, 혹은 CMOS(Complementary Metal Oxide Semiconductor, 상보형 금속 산화물 반도체) 회로의 선택을 위해 이온-코팅 기술(ion-coating technology)로 TFT의 타입들을 조정할 수 있다. 하지만, PMOS와 비교하여, CMOS 및 NMOS에서는 마스크 비용(mask costs)이 크게 증가한다. 또한, CMOS의 회로 구조는 극도로 폭이 좁은 베젤 설계(bezel design)를 달성하기에는 너무 복잡하고, 크기가 더 작은 디스플레이 디바이스들에 초점을 맞추는 경우, 이것은 훨씬 더 중요하게 될 것이다. 따라서, 비용 및 회로 구조의 이점들로 인해 PMOS 회로들이 주류가 되었다. 더욱이, 신호 사용 및 전력 소비는 GOA 회로들에서 중요한 사안들인데, 이것은 LTPS 회로들을 설계할 때 고려될 필요가 있다. 또한, 순방향 스캔(forward scanning) 및 역방향 스캔(reverse scanning)와 같은 소형 제품들의 스캔 특성은 다른 특성들보다 더 중요하기 때문에, LTPS PMOS 기반 GOA 회로는 앞서의 문제점들을 해결하는데 도움을 준다.

발명의 내용

과제의 해결 수단

- [0004] 본 발명의 목적은 LTPS 기반 PMOS로 된 GOA 회로로서 액정 디스플레이 디바이스를 위해 적용되는 GOA 회로를 제공하는 것이다.
- [0005] 앞서의 목적을 달성하기 위해, 본 발명은 액정 디스플레이 디바이스에 적용되는 GOA 회로를 제공하며, 여기서 액정 디스플레이 디바이스는 복수의 스캔 라인(scanning line)들을 포함한다. GOA 회로는 연속 연결된 복수의 시프트 레지스터 유닛(shift register unit)들을 포함하고, (N)번째 레벨의 시프트 레지스터 유닛은 (N)번째 레벨의 스캔 라인에 대한 충전(charge)을 제어한다. (N)번째 레벨의 시프트 레지스터 유닛은, 순방향-역방향 스캔 회로(forward-rearward scan circuit), 풀-업 회로(pull-up circuit), 부트스트랩 커패시터 회로(bootstrap capacitor circuit), 게이트 신호 지점 누전 방지 회로(gate signal point electricity leakage preventing circuit), 및 풀-다운 유지 회로(pull-down sustain circuit)를 포함한다.
- [0006] 풀-다운 유지 회로는 (N)번째 레벨의 스캔 라인과 연결된다. 부트스트랩 커패시터 회로는 풀-다운 유지 회로와 연결된다. 게이트 신호 지점 누전 방지 회로는 부트스트랩 커패시터 회로(300)와 연결된다. 순방향-역방향 스캔 회로는 게이트 신호 지점 누전 방지 회로와 연결된다. 풀-업 회로는 부트스트랩 커패시터 회로와 연결된다.
- [0007] 부트스트랩 커패시터 회로와, 게이트 신호 지점 누전 방지 회로와, 그리고 풀-다운 유지 회로는 게이트 신호 지점이 형성되도록 서로 함께 연결된다.
- [0008] 풀-업 회로와, 부트스트랩 커패시터 회로와, 그리고 게이트 신호 지점 누전 방지 회로는 (N)번째 레벨의 스캔 라인과 각각 연결된다. 순방향-역방향 스캔 회로는 (N-1)번째 레벨의 스캔 라인 및 (N+1)번째 레벨의 스캔 라인과 각각 연결된다.

- [0009] 풀-다운 유지 회로는 제 1 스위치, 제 2 스위치, 제 3 스위치, 제 4 스위치, 제 5 스위치, 및 제 1 커패시터를 포함하고; 제 1 스위치는, 게이트 신호 지점 누전 방지 회로와 연결되는 제어 단자(control terminal)를 갖고, 그리고 제 1 회로 지점(circuit point)과 연결되는 출력 단자(output terminal)를 갖고; 제 2 스위치는, 게이트 신호 지점과 연결되는 제어 단자를 갖고, 그리고 제 1 회로 지점과 연결되는 출력 단자를 갖고; 제 3 스위치는, 제 1 회로 지점과 연결되는 제어 단자를 갖고, 그리고 일정한 고전압(high constant voltage)과 연결되는 입력 단자(input terminal)를 갖고, 그리고 (N)번째 레벨의 스캔 라인과 연결되는 출력 단자를 갖고; 제 4 스위치는, 제 1 회로 지점과 연결되는 제어 단자를 갖고, 그리고 일정한 고전압과 연결되는 입력 단자를 갖고; 제 5 스위치는, (N)번째 레벨의 제 1 클럭 신호(clock signal)를 수신하는 제어 단자를 갖고, 그리고 제 4 스위치의 출력 단자와 연결되는 입력 단자를 갖고, 그리고 게이트 신호 지점과 연결되는 출력 단자를 갖고; 제 1 커패시터는 일정한 고전압 및 제 1 회로 지점과 각각 연결되는 두 개의 단부(end)들을 갖는다.
- [0010] 일 실시예에서, 순방향-역방향 스캔 회로는 제 6 스위치 및 제 7 스위치를 포함한다.
- [0011] 제 6 스위치는, 업-투-다운 제어 신호(Up-to-Down control signal)를 수신하는 제어 단자를 갖고, 그리고 (N-1)번째 레벨의 스캔 라인과 연결되는 입력 단자를 갖고, 그리고 게이트 신호 지점 누전 방지 회로와 연결되는 출력 단자를 갖는다.
- [0012] 제 7 스위치는, 다운-투-업 제어 신호(Down-to-Up control signal)를 수신하는 제어 단자를 갖고, 그리고 (N+1)번째 레벨의 스캔 라인과 연결되는 입력 단자를 갖고, 그리고 제 5 스위치의 출력 단자 및 게이트 신호 지점 누전 방지 회로와 연결되는 출력 단자를 갖는다.
- [0013] 일 실시예에서, 게이트 신호 지점 누전 방지 회로는 제 9 스위치를 포함한다.
- [0014] 제 9 스위치는, (N)번째 레벨의 제 2 클럭 신호를 수신하기 위해 제 1 스위치의 입력 단자와 연결되는 제어 단자를 갖고, 그리고 제 6 스위치의 출력 단자 및 제 7 스위치의 출력 단자와 연결되는 입력 단자를 갖고, 그리고 게이트 신호 지점과 연결되는 출력 단자를 갖는다.
- [0015] 일 실시예에서, 게이트 신호 지점 누전 방지 회로는 제 9 스위치 및 제 10 스위치를 포함한다.
- [0016] 제 9 스위치는, 제 1 스위치의 입력 단자 및 일정한 저전압(constant low voltage)과 연결되는 제어 단자를 갖고, 그리고 게이트 신호 지점과 연결되는 출력 단자를 갖는다.
- [0017] 제 10 스위치는, 제 1 스위치의 제어 단자와 연결되는 제어 단자를 갖고, 그리고 제 6 스위치의 출력 단자 및 제 7 스위치의 출력 단자와 연결되는 입력 단자를 갖고, 그리고 제 9 스위치의 입력 단자와 연결되는 출력 단자를 갖는다.
- [0018] 일 실시예에서, 제 10 스위치의 제어 단자는 (N)번째 레벨의 제 2 클럭 신호를 수신하기 위해 제 1 스위치의 제어 단자와 연결된다.
- [0019] 일 실시예에서, 풀-업 회로는 제 8 스위치를 포함한다.
- [0020] 제 8 스위치는, 게이트 신호 지점과 연결되는 제어 단자를 갖고, 그리고 (N)번째 레벨의 제 1 클럭 신호와 연결되는 입력 단자를 갖고, 그리고 (N)번째 레벨의 스캔 라인과 연결되는 출력 단자를 갖는다.
- [0021] 일 실시예에서, 부트스트랩 커패시터 회로는 제 2 커패시터를 포함한다.
- [0022] 제 2 커패시터는 게이트 신호 지점 및 (N)번째 레벨의 스캔 라인과 각각 연결되는 두 개의 단부들을 갖는다.
- [0023] 일 실시예에서, 제 2 스위치의 입력 단자는 일정한 고전압과 연결된다.
- [0024] 일 실시예에서, (N)번째 레벨의 시프트 레지스터 유닛은 또한 풀-다운 제어 회로를 포함하고, 풀-다운 제어 회로는 제 11 스위치 및 제 12 스위치를 포함한다.
- [0025] 제 11 스위치는, 업-투-다운 제어 신호를 수신하는 제어 단자를 갖고, 그리고 순방향 제 2 클럭 신호를 수신하는 입력 단자를 갖고, 그리고 풀-다운 유지 회로 및 게이트 신호 지점 누전 방지 회로와 연결되는 출력 단자를 갖는다.
- [0026] 제 12 스위치는, 다운-투-업 제어 신호를 수신하는 제어 단자를 갖고, 그리고 역방향 제 2 클럭 신호를 수신하는 입력 단자를 갖고, 그리고 풀-다운 유지 회로 및 게이트 신호 지점 누전 방지 회로와 연결되는 출력 단자를 갖는다.

- [0027] 일 실시예에서, 제 11 스위치의 출력 단자와, 제 12 스위치의 출력 단자와, 그리고 제 1 스위치의 제어 단자는 서로 연결된다.
- [0028] 일 실시예에서, 제 2 스위치의 입력 단자는 제 1 스위치의 제어 단자와 연결된다.
- [0029] 일 실시예에서, 풀-다운 유지 회로는 또한 제 13 스위치를 포함한다.
- [0030] 제 13 스위치는, 게이트 신호 지점과 연결되는 제어 단자를 갖고, 그리고 제 1 스위치의 제어 단자와 연결되는 입력 단자를 갖고, 그리고 제 1 회로 지점과 연결되는 출력 단자를 갖는다.
- [0031] 일 실시예에서, 풀-다운 유지 회로는 또한 제 14 스위치를 포함한다.
- [0032] 제 14 스위치는, (N-1)번째 레벨의 제 2 클럭 신호를 수신하는 제어 단자를 갖고, 그리고 제 4 스위치의 출력 단자와 연결되는 입력 단자를 갖고, 그리고 게이트 신호 지점과 연결되는 출력 단자를 갖는다.
- [0033] 일 실시예에서, 풀-다운 유지 회로는 또한 제 14 스위치를 포함한다.
- [0034] 제 14 스위치(T14)는, (N-2)번째 레벨의 제 2 클럭 신호를 수신하는 제어 단자를 갖고, 그리고 제 4 스위치의 출력 단자와 연결되는 입력 단자를 갖고, 그리고 게이트 신호 지점과 연결되는 출력 단자를 갖는다.
- [0035] 일 실시예에서, (N)번째 레벨의 제 2 클럭 신호와 (N)번째 레벨의 제 1 클럭 신호는 서로에 대해 역전된 신호(reverse signal)들이다.
- [0036] 일 실시예에서, 제 1 스위치 내지 제 14 스위치는 PMOS(P-channel Metal-Oxide Semiconductor) 박막 트랜지스터들이다.
- [0037] 본 발명의 기술적 제안으로 얻을 수 있는 이점들은 다음과 같다.
- [0038] 1. LTPS 기반 PMOS로 된 GOA 회로의 설계.
- [0039] 2. 다양한 구동 타입의 디스플레이 디바이스들이 장-기간의 동작 동안 안정적임을 보장하는 순방향 및 역방향 스캔 제어 기능.
- [0040] 3. 제 1 클럭 신호, 제 2 클럭 신호, 및 제 1 커패시터의 구성으로, 게이트 신호 지점 및 (N)번째 레벨의 스캔 라인의 풀-다운 유지 기능이 달성된다. 이러한 구성으로, GOA 회로 내에서의 신호 라인(signal line)들의 사용 및 TFT들의 양(amount)이 감소된다. 한편, 제 2 스위치의 입력 단자를 제 12 스위치의 입력 단자와 연결함으로써 풀-다운 유지 회로의 기능이 향상된다.
- [0041] 4. 비-동작 기간(non-operation periods) 동안 제 1 회로 지점을 유지하기 위해 직류 저전압(direct-current low voltage)을 사용함으로써, 게이트 신호 지점 및 (N)번째 레벨의 스캔 라인의 리플(ripple)이 제거됨이 보장된다.
- [0042] 5. 회로의 누전을 조정하도록 제 9 스위치를 배치함으로써, 회로 기능이 안정화된다.

도면의 간단한 설명

- [0043] 도 1은 본 발명의 바람직한 제 1 실시예에 따른 GOA 회로의 회로 개략도이다.
- 도 2는 본 발명의 바람직한 제 2 실시예에 따른 GOA 회로의 회로 개략도이다.
- 도 3은 본 발명의 바람직한 제 3 실시예에 따른 GOA 회로의 회로 개략도이다.
- 도 4는 본 발명의 바람직한 제 4 실시예에 따른 GOA 회로의 회로 개략도이다.
- 도 5는 본 발명의 바람직한 제 5 실시예에 따른 GOA 회로의 회로 개략도이다.
- 도 6은 본 발명의 바람직한 제 6 실시예에 따른 GOA 회로의 회로 개략도이다.
- 도 7은 본 발명의 바람직한 제 7 실시예에 따른 GOA 회로의 회로 개략도이다.
- 도 8은 도 1 내지 도 5에서 제시된 GOA 회로들의 역방향 스캔 동안의 파형 개략도이다.
- 도 9는 도 1 내지 도 5에서 제시된 GOA 회로들의 순방향 스캔 동안의 파형 개략도이다.
- 도 10은 도 6 내지 도 7에서 제시된 GOA 회로들의 역방향 스캔 동안의 파형 개략도이다.

도 11은 도 6 내지 도 7에서 제시된 GOA 회로들의 순방향 스캔 동안의 파형 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0044] 첨부되는 도면들을 참조하여 기술되는 각각의 실시예에 관한 다음의 설명은 본 발명으로 수행될 수 있는 특정 실시예들을 예시하기 위해 사용된다. 본 발명의 명세서에서 언급되는 방향성 용어들, 예를 들어, "상부", "하부", "전방", "후방", "좌측", "우측", "내부", "외부", "측면" 등은 오로지 첨부 도면들의 배향을 참조하여 사용된 것이다. 따라서, 본 명세서에서 사용되는 방향성 용어들은 본 발명을 예시할 의도를 갖고 있는 것이지, 본 발명을 한정하려는 의도를 갖고 있지 않다. 도면에서, 유사한 구조들을 갖는 유닛들은 동일한 부호들로 표시된다.
- [0045] 도 1은 본 발명의 바람직한 제 1 실시예에 따른 GOA 회로의 회로도이다. 액정 디스플레이 디바이스에 적용되는 GOA 회로에서, 액정 디스플레이 디바이스는 복수의 스캔 라인들을 포함한다. GOA 회로는 연속 연결된 복수의 시프트 레지스터 유닛들을 포함하고, 여기서 (N)번째 레벨의 시프트 레지스터 유닛은 (N)번째 레벨의 스캔 라인에 대한 충전을 제어한다. (N)번째 레벨의 시프트 레지스터 유닛은, 순방향-역방향 스캔 회로(100), 풀-업 회로(200), 부트스트랩 커패시터 회로(300), 게이트 신호 지점(Q) 누전 방지 회로(400), 및 풀-다운 유지 회로(500)를 포함한다.
- [0046] 풀-다운 유지 회로(500)는 (N)번째 레벨의 스캔 라인(G(N))과 연결된다. 부트스트랩 커패시터 회로(300)는 풀-다운 유지 회로(500)와 연결된다. 게이트 신호 지점(Q) 누전 방지 회로(400)는 부트스트랩 커패시터 회로(300)와 연결된다. 순방향-역방향 스캔 회로(100)는 게이트 신호 지점(Q) 누전 방지 회로(400)와 연결된다. 풀-업 회로(200)는 부트스트랩 커패시터 회로(300)와 연결된다.
- [0047] 부트스트랩 커패시터 회로(300)와, 게이트 신호 지점(Q) 누전 방지 회로(400)와, 그리고 풀-다운 유지 회로(500)는 게이트 신호 지점(Q(N))이 형성되도록 서로 함께 연결된다.
- [0048] 풀-업 회로(200)와, 부트스트랩 커패시터 회로(300)와, 그리고 게이트 신호 지점(Q) 누전 방지 회로(400)는 (N)번째 레벨의 스캔 라인(G(N))과 각각 연결된다. 순방향-역방향 스캔 회로(100)는 (N-1)번째 레벨의 스캔 라인(G(N-1)) 및 (N+1)번째 레벨의 스캔 라인(G(N+1))과 각각 연결된다.
- [0049] 풀-다운 유지 회로(500)는 제 1 스위치(T9), 제 2 스위치(T8), 제 3 스위치(T7), 제 4 스위치(T6), 제 5 스위치(T5), 및 제 1 커패시터(C2)를 포함하고; 제 1 스위치(T9)는, 게이트 신호 지점(Q) 누전 방지 회로(400)와 연결되는 제어 단자를 갖고, 그리고 제 1 회로 지점(P(N))과 연결되는 출력 단자를 갖고; 제 2 스위치(T8)는, 게이트 신호 지점(Q(N))과 연결되는 제어 단자를 갖고, 그리고 제 1 회로 지점(P(N))과 연결되는 출력 단자를 갖고, 그리고 제 2 스위치(T8)의 입력 단자는 일정한 고전압(VGH)과 연결되고; 제 3 스위치(T7)는, 제 1 회로 지점(P(N))과 연결되는 제어 단자를 갖고, 그리고 일정한 고전압(VGH)과 연결되는 입력 단자를 갖고, 그리고 (N)번째 레벨의 스캔 라인(G(N))과 연결되는 출력 단자를 갖고; 제 4 스위치(T6)는, 제 1 회로 지점(P(N))과 연결되는 제어 단자를 갖고, 그리고 일정한 고전압(VGH)과 연결되는 입력 단자를 갖고; 제 5 스위치(T5)는, (N)번째 레벨의 제 1 클럭 신호(CK(N))를 수신하는 제어 단자를 갖고, 그리고 제 4 스위치(T6)의 출력과 연결되는 입력 단자를 갖고, 그리고 게이트 신호 지점(Q)과 연결되는 출력 단자를 갖고; 제 1 커패시터(C2)는 일정한 고전압(VGH) 및 제 1 회로 지점(P(N))과 각각 연결되는 두 개의 단부들을 갖는다.
- [0050] 순방향-역방향 스캔 회로(100)는 제 6 스위치(T1) 및 제 7 스위치(T2)를 포함한다. 제 6 스위치(T1)는, 업-투-다운 제어 신호(U2D)를 수신하는 제어 단자를 갖고, (N-1)번째 레벨의 스캔 라인(G(N-1))과 연결되는 입력 단자를 갖고, 그리고 게이트 신호 지점(Q) 누전 방지 회로(400)와 연결되는 출력 단자를 갖는다. 제 7 스위치(T2)는, 다운-투-업 제어 신호(D2U)를 수신하는 제어 단자를 갖고, 그리고 (N+1)번째 레벨의 스캔 라인(G(N+1))과 연결되는 입력 단자를 갖고, 그리고 제 5 스위치(T1)의 출력 단자 및 게이트 신호 지점(Q) 누전 방지 회로(400)와 연결되는 출력 단자를 갖는다.
- [0051] 게이트 신호 지점(Q) 누전 방지 회로(400)는 제 9 스위치(T3)를 포함한다. 제 9 스위치(T3)는, (N)번째 레벨의 제 2 클럭 신호(XCK(N))를 수신하기 위해 제 1 스위치(T9)의 입력 단자와 연결되는 제어 단자를 갖고, 그리고 제 6 스위치(T1)의 출력 단자 및 제 7 스위치(T2)의 출력 단자와 연결되는 입력 단자를 갖고, 그리고 게이트 신호 지점(Q(N))과 연결되는 출력 단자를 갖는다. 게이트 신호 지점(Q) 누전 방지 회로(400)는 게이트 신호 지점(Q(N))의 누전 발생을 방지하는 역할을 하고, 아울러 비-동작 기간 동안 게이트 신호 지점의 전위(electric potential)를 조정하는 역할을 한다.

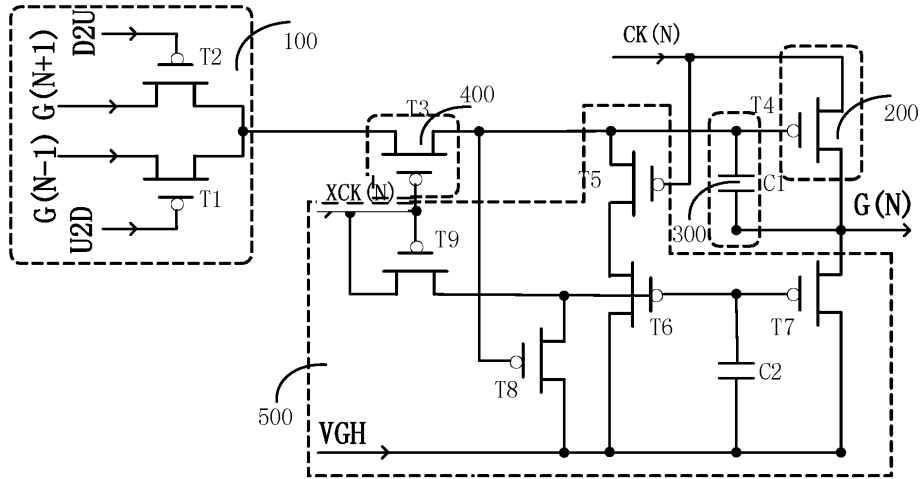
- [0052] 풀-업 회로(200)는 제 8 스위치(T4)를 포함한다. 제 8 스위치(T4)는, 게이트 신호 지점(Q(N))과 연결되는 제어 단자를 갖고, 그리고 (N)번째 레벨의 제 1 클럭 신호(CK(N))와 연결되는 입력 단자를 갖고, 그리고 (N)번째 레벨의 스캔 라인(G(N))과 연결되는 출력 단자를 갖는다. 풀-업 회로(200)는 (N)번째 레벨의 제 1 클럭 신호(CK(N))를 출력하는 역할을 하고, 그림으로써 게이트 신호 지점(Q(N))의 전위가 합당하게(rationally) 조정되게 되고, 그 다음에 원하는 (N)번째 레벨의 스캔 라인(G(N))의 신호가 출력되게 된다.
- [0053] 부트스트랩 커패시터 회로(300)는 제 2 커패시터(C1)를 포함한다. 제 2 커패시터(C1)는 게이트 신호 지점(Q(N)) 및 (N)번째 레벨의 스캔 라인(G(N))과 각각 연결되는 두 개의 단부들을 갖는다. 부트스트랩 커패시터 회로(300)는 게이트 신호 지점(Q(N))의 전위를 상승시키는 역할을 하고, 그림으로써 (N)번째 레벨의 제 1 클럭 신호(CK(N))의 출력이 보장되게 된다. 게이트 신호 지점(Q(N))의 전위 관리는 패널의 디스플레이 및 회로의 성능을 직접적으로 결정하게 될 GOA 회로의 핵심 요소이다.
- [0054] 바람직한 실시예에서, (N)번째 레벨의 제 1 클럭 신호(CK(N)) 및 (N)번째 레벨의 제 2 클럭 신호(XCK(N))는 GOA 회로의 풀-다운 유지를 수행하는 역할을 한다.
- [0055] 도 2는 본 발명의 바람직한 제 2 실시예에 따른 GOA 회로의 회로도이다. 바람직한 제 2 실시예와 바람직한 제 1 실시예 간의 차이는, 게이트 신호 지점(Q) 누전 방지 회로(400)가 제 10 스위치(T10)를 더 포함한다는 것이다. 또한, 제 1 스위치(T9) 및 제 9 스위치(T3)의 연결 배치는 바람직한 제 1 실시예와 바람직한 제 2 실시예에서 서로 다르다. 바람직한 제 2 실시예에서, 제 9 스위치(T3)는, 제 1 스위치(T9)의 입력 단자 및 일정한 저전압(VGL)과 연결되는 제어 단자를 포함하고, 그리고 게이트 신호 지점(Q(N))과 연결되는 출력 단자를 포함한다. 제 10 스위치(T10)는, 제 1 스위치(T9)의 제어 단자와 연결되는 제어 단자를 포함하고, 그리고 제 6 스위치(T1)의 출력 단자 및 제 7 스위치(T2)의 출력 단자와 연결되는 입력 단자를 포함하고, 그리고 제 9 스위치(T3)의 입력 단자와 연결되는 출력 단자를 포함한다. 제 1 스위치(T9)의 입력 단자, 제 9 스위치(T3)는 일정한 저전압(VGL)과 연결된다. 제 10 스위치(T10)의 제어 단자는 (N)번째 레벨의 제 2 클럭 신호(XCK(N))를 수신하기 위해 제 1 스위치(T9)의 제어 단자와 연결된다.
- [0056] 이러한 바람직한 실시예에서, 제 10 스위치(T10)를 게이트 신호 지점(Q) 누전 방지 회로(400) 안으로 배치하고 회로를 일부 변경함으로써, 누전 문제가 개선되고, 게이트 신호 지점(Q(N))의 비정상 파형(unusual waveform)의 발생이 제거된다.
- [0057] 도 3은 본 발명의 바람직한 제 3 실시예에 따른 GOA 회로의 회로도이다. 바람직한 제 3 실시예와 바람직한 제 2 실시예 간의 차이는 (N)번째 레벨의 시프트 레지스터 유닛이 풀-다운 제어 회로(600)를 더 포함하는 것이다. 풀-다운 제어 회로(600)는 제 11 스위치(T11) 및 제 12 스위치(T12)를 포함한다. 제 11 스위치(T11)는, 업-투-다운 제어 신호(U2D)를 수신하는 제어 단자를 포함하고, 그리고 순방향 제 2 클럭 신호(XCKF)를 수신하는 입력 단자를 포함하고, 그리고 풀-다운 유지 회로(500) 및 게이트 신호 지점(Q) 누전 방지 회로(400)와 연결되는 출력 단자를 포함한다. 제 12 스위치(T12)는, 다운-투-업 제어 신호(D2U)를 수신하는 제어 단자를 포함하고, 그리고 역방향 제 2 클럭 신호(XCKR)를 수신하는 입력 단자를 포함하고, 그리고 풀-다운 유지 회로(500) 및 게이트 신호 지점(Q) 누전 방지 회로(400)와 연결되는 출력 단자를 포함한다. 풀-다운 제어 회로(600)는 유지 기간(maintenance periods) 동안 회로의 풀-다운을 수행하는 역할을 하고, 그림으로써 (N)번째 레벨의 스캔 라인(G(N))의 연속 전달을 위한 순방향 및 역방향 제어 구조들이 서로 독립적으로 유지되게 된다.
- [0058] 이러한 바람직한 실시예에서, 풀-다운 유지 회로(500)는 작동을 위해 한 쌍의 역전된 신호들을 사용하고, 여기서 한 쌍의 역전된 신호들은 (N)번째 레벨의 제 1 클럭 신호(CK(N)) 및 (N)번째 레벨의 제 2 클럭 신호(XCK(N))이다. 순방향 제 2 클럭 신호(XCKF) 및 역방향 제 2 클럭 신호(XCK(N))는 제 1 스테이지(stage)에서 일정한 저전압(VGL)을 제 4 스위치(T6)의 제어 단자 및 제 3 스위치(T7)의 제어 단자에 도입시켜 제 1 커패시터(C2)로 저전압이 저장되도록 한다. 한편, 이러한 기간 동안, 제 5 스위치(T5)는 턴오프(turn off)된다. (N)번째 레벨의 제 1 클럭 신호(CK(N))가 로우(low) 상태일 때, 제 5 스위치(T5) 및 제 4 스위치(T6)는 GOA 회로의 게이트 신호 지점(Q(N))을 풀 다운시키기 위해 턴온(turn on)된다. 제 1 커패시터(C2)를 갖는 순방향 제 2 클럭 신호(XCKF) 및 역방향 제 2 클럭 신호(XCKR)의 구성을 통해, (N)번째 레벨의 스캔 라인(G(N)) 및 게이트 신호 지점(Q(N))의 높은 전위가 유지되고, GOA 회로의 정상적인 출력이 보장된다.
- [0059] 도 4는 본 발명의 바람직한 제 4 실시예에 따른 GOA 회로의 회로도이다. 바람직한 제 4 실시예와 바람직한 제 3 실시예 간의 차이는, 제 2 스위치(T8)가, 일정한 고전압(VGH)과 연결되는 것이 아니라 제 1 스위치(T9)의 제어 단자와 연결된다는 것이다.

- [0060] 이러한 바람직한 실시예에서, 동작 기간 동안, 순방향 제 2 클럭 신호(XCKF) 및 역방향 제 2 클럭 신호(XCKR)의 높은 전위를 제 4 스위치(T6)의 제어 단자 및 제 3 스위치(T7)의 제어 단자에 도입시킴으로써, 제 4 스위치(T6) 및 제 3 스위치(T7)는 누전을 방지하기 위해 충분히 턴오프될 수 있다.
- [0061] 도 5는 본 발명의 바람직한 제 5 실시예에 따른 GOA 회로의 회로도이다. 바람직한 제 5 실시예와 바람직한 제 3 실시예 간의 차이는, 풀-다운 유지 회로(500)가 제 13 스위치(T13)를 더 포함한다는 것이고, 제 13 스위치(T13)는, 게이트 신호 지점(Q(N))과 연결되는 제어 단자를 갖고, 그리고 제 1 스위치(T9)의 제어 단자와 연결되는 입력 단자를 갖고, 그리고 제 1 회로 지점(P(N))과 연결되는 출력 단자를 갖는다.
- [0062] 바람직한 실시예에서, 제 13 스위치(T13)를 추가함으로써, 제 4 스위치(T6)의 제어 단자 및 제 3 스위치(T7)의 제어 단자를 높은 전위로 끌어당기는 기능이 회로의 출력 기간 동안 강화되고, 이에 따라 GOA 회로의 성능이 더 강화된다.
- [0063] 도 6은 본 발명의 바람직한 제 6 실시예에 따른 GOA 회로의 회로도이다. 바람직한 제 6 실시예와 바람직한 제 3 실시예 간의 차이는, 풀-다운 유지 회로(500)가 제 14 스위치(T14)를 더 포함한다는 것이고, 제 14 스위치(T14)는, (N-1)번째 레벨의 제 2 클럭 신호(XCK(N-1))를 수신하는 제어 단자를 갖고, 그리고 제 4 스위치(T6)의 출력 단자와 연결되는 입력 단자를 갖고, 그리고 게이트 신호 지점(Q(N))과 연결되는 출력 단자를 갖는다.
- [0064] 이러한 바람직한 실시예에서, 제 14 스위치(T14)를 추가함으로써, 제 4 스위치(T6)의 제어 단자 및 제 3 스위치(T7)의 제어 단자를 낮은 전위로 끌어당기는 기능이 회로의 출력 기간 동안 강화되고, 이에 따라 GOA 회로의 성능이 더 강화된다. 이것은 풀 다운의 기간이 증가되어 풀 다운 기능을 증가시키게 되는 것을 보장한다.
- [0065] 도 7은 본 발명의 바람직한 제 7 실시예에 따른 GOA 회로의 회로도이다. 바람직한 제 7 실시예와 바람직한 제 6 실시예 간의 차이는, 제 14 스위치의 제어 단자가 (N-2)번째 레벨의 제 2 클럭 신호(XCK(N-2))를 수신한다는 것이다.
- [0066] 이러한 바람직한 실시예에서, 제 14 스위치(T14)의 제어 단자에서의 이러한 변경을 통해, 제 4 스위치(T6)의 제어 단자 및 제 3 스위치(T7)의 제어 단자를 낮은 전위로 끌어당기는 기능이 회로의 출력 기간 동안 강화되고, 파형은 개별적으로 풀 다운되고, 이에 따라 GOA 회로의 성능이 더 강화된다. 이것은 풀 다운의 기간이 증가되어 풀 다운 기능을 증가시키게 되는 것을 보장한다.
- [0067] 도 1 내지 도 8에서, 제 1 스위치 내지 제 14 스위치는 PMOS TFT들이고, 제어 단자들은 게이트 전극(gate electrode)을 나타내고, 입력 단자들은 소스 전극(source electrode)을 나타내고, 그리고 출력 단자들은 드레인 전극(drain electrode)을 나타낸다.
- [0068] 도 8 내지 도 9를 참조하기 바란다. 도 8은 도 1 내지 도 5에서 제시된 GOA 회로들의 역방향 스캔 동안의 파형도이다. 도 9는 도 1 내지 도 5에서 제시된 GOA 회로들의 순방향 스캔 동안의 파형도이다. 다운-투-업 제어 신호(D2U)는 역방향 스캔 제어 신호이고, 업-투-다운 제어 신호(U2D)는 순방향 스캔 제어 신호이고, 이들 신호들은 순방향 스캔 및 역방향 스캔을 시작하도록 하는데 각각 사용된다.
- [0069] (N)번째 레벨의 제 1 클럭 신호(CK(N)) 및 (N)번째 레벨의 제 2 클럭 신호(XCK(N))는 GOA 회로의 신호 출력 및 게이트 신호 지점(Q(N))의 풀-다운 유지를 수행하는 역할을 한다. (N)번째 레벨의 제 1 클럭 신호(CK(N))와 (N)번째 레벨의 제 2 클럭 신호(XCK(N))는 서로에 관해 역전된 신호들이다.
- [0070] 일정한 고전압(VGH) 및 일정한 저전압(VGL)은 입력되는 일정한 전압 신호들이다. 일정한 고전압(VGH)은 일정한 고전위이고, 일정한 저전압(VGL)은 일정한 저전위이고, 이들은 GOA 회로에 고전위 및 저전위를 공급하는데 사용된다. 다른 것들은 GOA 회로의 중요 지점의 출력 신호들이다.
- [0071] 도 10 내지 도 11을 참조하기 바란다. 도 10은 도 6 내지 도 7에서 제시된 GOA 회로들의 역방향 스캔 동안의 파형도이다. 도 11은 도 6 내지 도 7에서 제시된 GOA 회로들의 순방향 스캔 동안의 파형도이다. 다운-투-업 제어 신호(D2U) 및 업-투-다운 제어 신호(U2D)는 순방향 스캔 및 역방향 스캔을 시작시키기 위해 사용되는 순방향 스캔 제어 신호 및 역방향 스캔 제어 신호이다. 이러한 바람직한 실시예들에서는 네 개의 신호들이 사용되고, (N)번째 레벨의 제 1 클럭 신호(CK(N)) 및 (N)번째 레벨의 제 2 클럭 신호(XCK(N))는 다양한 회로 기술에 따라 대체가능하게 변경된다.
- [0072] 비록 본 발명이 바람직한 실시예들로서 개시되었지만, 앞서의 바람직한 실시예들은 본 발명을 한정하도록 의도된 것이 아니다. 본 발명의 기술분야에서 통상의 기술을 가진 자들은 본 발명의 사상 및 범위로 부터 벗어남이 없이 본 발명에 대한 다양한 종류의 수정들 및 변형들을 행할 수 있다. 따라서, 이러한 것을 고려하여 본 발명

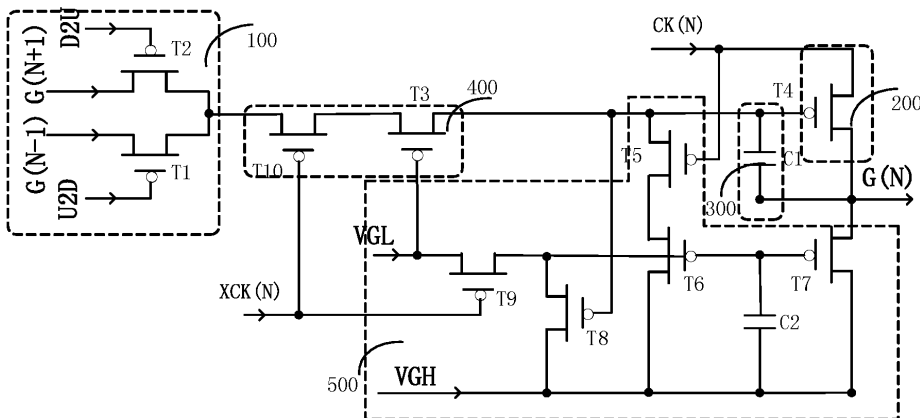
의 청구항들의 범위가 정의돼야만 한다.

도면

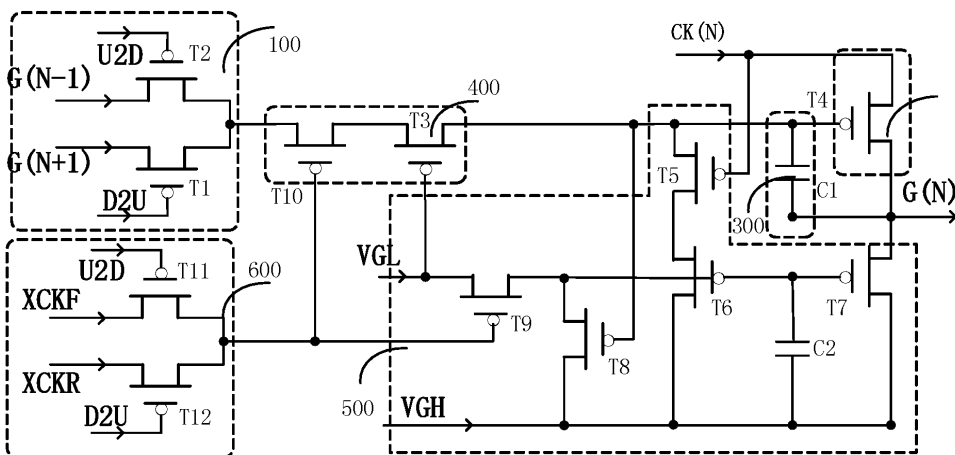
도면1



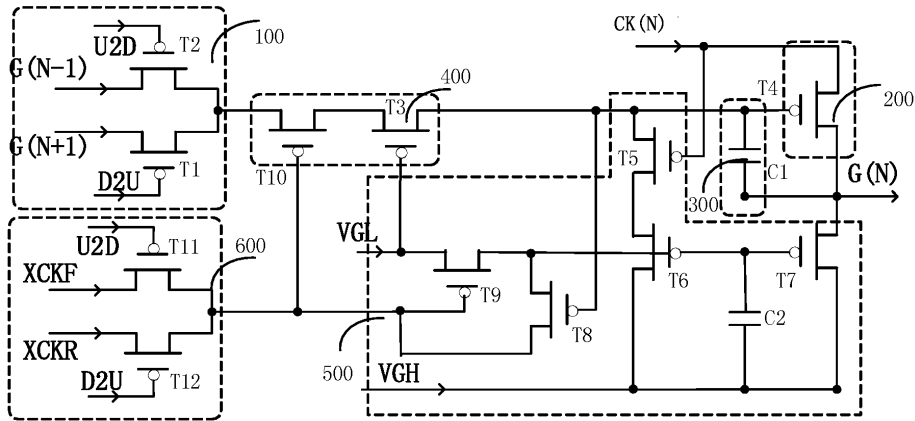
도면2



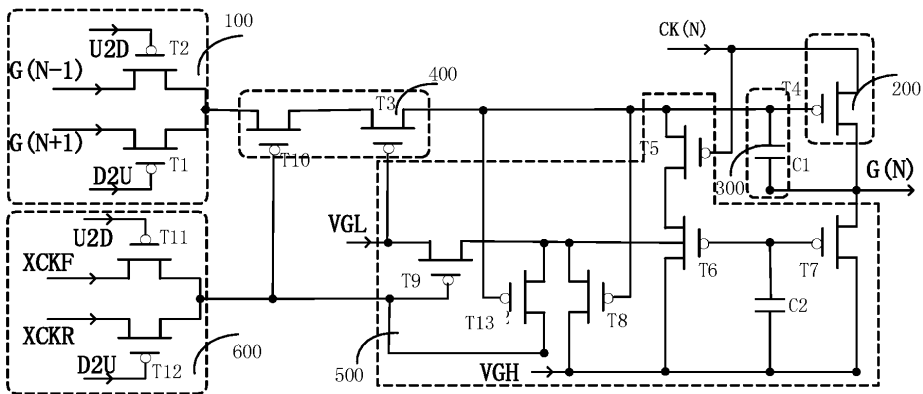
도면3



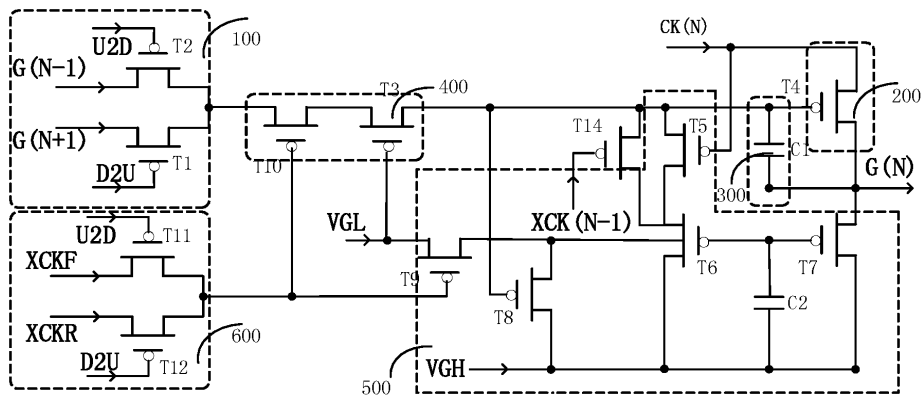
도면4



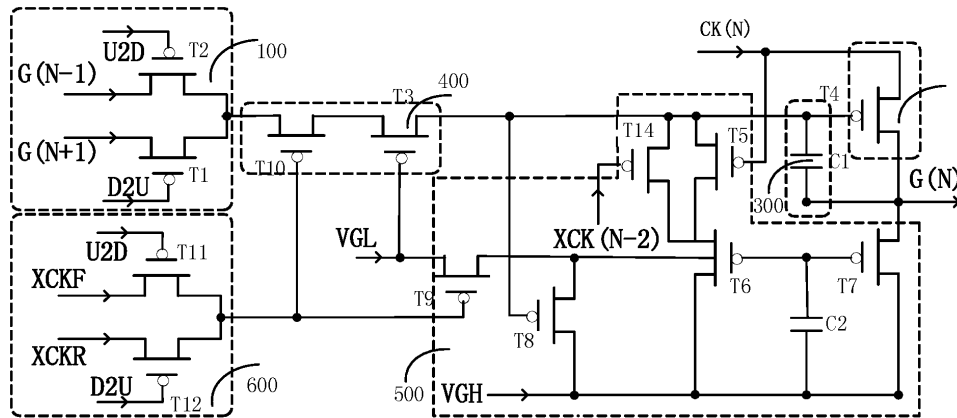
도면5



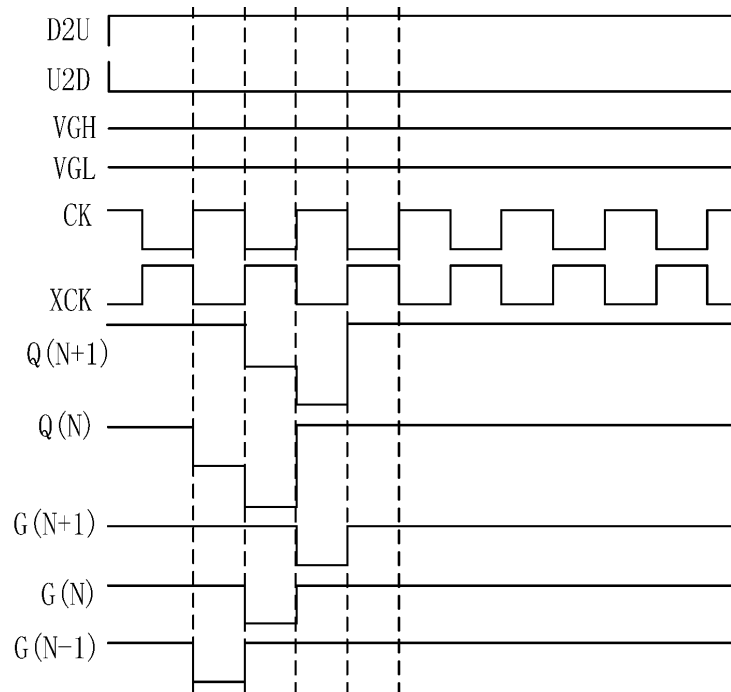
도면6



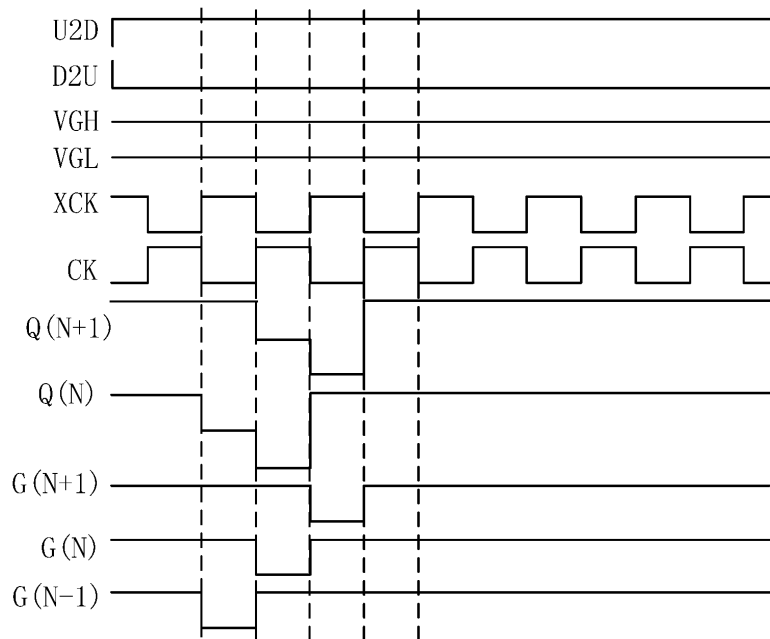
도면7



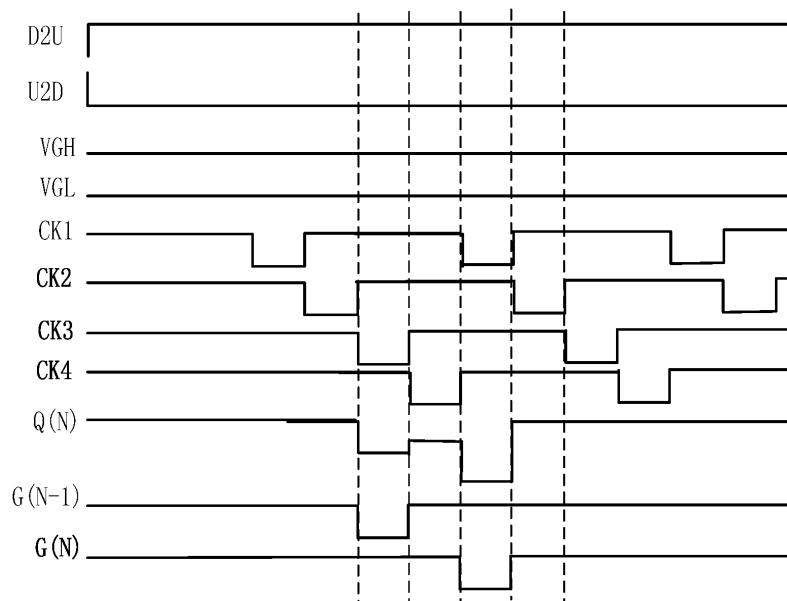
도면8



도면9



도면10



도면11

