(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년08월13일
(11) 등록번호 10-1967872
(24) 등록일자 2019년04월04일

(51) 국제특허분류(Int. Cl.)
G06F 7/523 (2006.01)
(52) CPC특허분류
G06F 7/523 (2013.01)
(21) 출원번호 10-2018-0024614
(22) 출원일자 2018년02월28일
심사청구일자 2018년02월28일
(56) 선행기술조사문헌
KR1020100098017 A

(73) 특허권자
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
강석형
울산광역시 울주군 언양읍 유니스트길 50
강예성
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
전용준

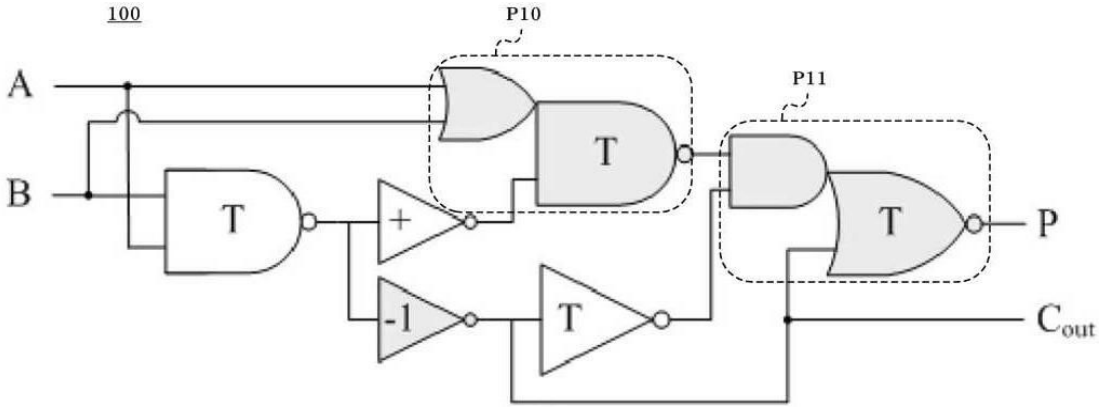
전체 청구항 수 : 총 19 항 심사관 : 지정훈

(54) 발명의 명칭 **삼진 곱셈기**

(57) 요 약

본 발명은 삼진 트랜지스터를 사용한 NAND 게이트로 구성된 1개의 NMIN(not MIN) 게이트, 이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 양-삼진 인버터(positive ternary inverter, PTI), 이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 NSHIFT(NOT-SHIFT) 게이트, 삼진 트랜지스터를 사용하여 구성된 1개의 표준 삼진 인버터(standard ternary inverter, STI), 삼진 트랜지스터를 사용하여 구성된 1개의 OAI21(OR-AND-INVERT) 게이트, 및 삼진 트랜지스터를 사용하여 구성된 1개의 AOI21(AND-OR-INVERT) 게이트를 포함하되, NMIN 게이트, PTI, NSHIFT, STI, OAI21게이트 및 AOI21 게이트의 트랜지스터의 연결 구조는 서로 상이한 것인 1×1 삼진 곱셈기를 제공한다.

대 표 도



이 발명을 지원한 국가연구개발사업
과제고유번호 1711048674
부처명 과학기술정보통신부
연구관리전문기관 한국연구재단
연구사업명 나노·소재기술개발
연구과제명 그래핀 배리스터 기반 삼진로직 아키텍쳐 연구
기 여 율 1/2
주관기관 울산과학기술원
연구기간 2017.03.01 ~ 2018.02.28
이 발명을 지원한 국가연구개발사업
과제고유번호 1711058485
부처명 과학기술정보통신부
연구관리전문기관 한국연구재단
연구사업명 미래소재디스커버리지원
연구과제명 다중 정전용량 소재 및 멤커패시터 응용 기초기술 개발
기 여 율 1/2
주관기관 광주과학기술원
연구기간 2017.09.01 ~ 2018.02.28

공지예외적용 : 있음

명 세 서

청구범위

청구항 1

삼진 트랜지스터를 사용한 NAND 게이트로 구성된 1개의 NMIN(not MIN) 게이트;

이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 양-삼진 인버터(positive ternary inverter, PTI);

이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 NSHIFT(NOT-SHIFT) 게이트;

삼진 트랜지스터를 사용하여 구성된 1개의 표준 삼진 인버터(standard ternary inverter, STI);

삼진 트랜지스터를 사용하여 구성된 1개의 OAI21(OR-AND-INVERT) 게이트; 및

삼진 트랜지스터를 사용하여 구성된 1개의 AOI21(AND-OR-INVERT) 게이트를 포함하되,

상기 NMIN 게이트, PTI, NSHIFT, STI, OAI21게이트 및 AOI21 게이트 각각의 트랜지스터의 연결 구조는 서로 상이한 것인, 1×1 삼진 곱셈기.

청구항 2

제 1 항에 있어서,

상기 NSHIFT 게이트는 아래의 수학식 1의 함수에 따라 동작하는 것인, 1×1 삼진 곱셈기.

<수학식 1>

$$Y(A) = \begin{cases} 1 & if\ A = 0 \\ 0 & otherwise \end{cases}$$

(이때, A는 입력이며, Y는 출력임.)

청구항 3

제 1 항에 있어서,

상기 OAI21 게이트는 아래의 수학식 2에 따라 동작하는 것인, 1×1 삼진 곱셈기.

<수학식 2>

$$Y(A,B,C) = [(A \vee B) \wedge C]'$$

(이때, A 및 B는 입력이고, C는 캐리이고, Y는 출력이며, ∧는 최소(MIN) 함수, ∨는 최대(MAX) 함수, ′는 부정(not) 함수임.)

청구항 4

제 1 항에 있어서,

상기 AOI21 게이트는 아래의 수학식 3에 따라 동작하는 것인, 1×1 삼진 곱셈기.

<수학식 3>

$$Y\ (A,B,C) = [(A \wedge B) \vee C]'$$

(이때, A 및 B는 입력이고, C는 캐리이고, Y는 출력이며, ∧는 최소(MIN) 함수, ∨는 최대(MAX) 함수, ′는 부정(not) 함수임.)

청구항 5

제 1 항 에 있어서,

상기 삼진 트랜지스터는 Ternary nMOS(T-nMOS)및 Ternary pMOS(T-pMOS) 중 적어도 하나이고,

상기 이진 트랜지스터는 binary nMOS 및 binary pMOS 중 적어도 하나인 것인, 1×1 삼진 곱셈기.

청구항 6

제 5 항에 있어서,

상기 NSHIFT 게이트는,

출력 노드의 상단 회로(pull-upnetwork, PUN)로서 T-pMOS인 제 1 트랜지스터를 포함하고, 출력 노드의 하단 회로(pull-down network, PDN)로서 binary nMOS인 제 2 트랜지스터 및 T-nMOS인 제 3 트랜지스터를 포함하되,

상기 제 1 및 제 3 트랜지스터의 게이트 단자에는 각각 1이 입력되고, 제 2 트랜지스터의 게이트 단자에는 제 1 데이터가 입력되며,

상기 1 트랜지스터의 드레인 단자는 상기 제 2 및 제 3 트랜지스터 각각의 소스 단자 및 출력 단자와 연결되고, 상기 제 2 및 제 3 트랜지스터 각각의 드레인 단자는 그라운드와 연결되는 것인, 1×1 삼진 곱셈기.

청구항 7

제 5 항에 있어서,

상기 OAI21 게이트는,

출력 노드의 상단 회로(pull-upnetwork, PUN)로서 T-pMOS인 제 1 내지 제 3 트랜지스터를 포함하고, 출력 노드의 하단 회로(pull-downnetwork, PDN)로서 T-nMOS인 제 4 내지 제 6 트랜지스터를 포함하되,

상기 제 1 및 제 5 트랜지스터의 게이트 단자에는 각각 제 1 데이터가 입력되고, 제 2 및 제 6 트랜지스터의 게이트 단자에는 각각 제 2 데이터가 입력되며, 상기 제 3 및 제 4 트랜지스터의 게이트 단자에는 각각 제 3 데이터가 입력되며,

상기 제 1 및 제 3 트랜지스터 각각의 소스 단자가 연결되고, 상기 제 1 트랜지스터의 드레인 단자와 상기 제 2 트랜지스터의 소스 단자가 연결되고, 상기 제 2 및 제 3 트랜지스터 각각의 드레인 단자는 상기 제 4 트랜지스터의 소스 단자 및 출력 단자와 연결되고, 상기 제 4 트랜지스터의 드레인 단자는 상기 제 5 및 제 6 트랜지스터 각각의 소스 단자와 연결되고, 상기 제 5 및 제 6 트랜지스터 각각의 드레인 단자는 그라운드에 연결되는 것인, 1×1 삼진 곱셈기.

청구항 8

제 5 항에 있어서,

상기 AOI21 게이트는,

출력 노드의 상단 회로(pull-upnetwork, PUN)로서 T-pMOS인 제 1 내지 제 3 트랜지스터를 포함하고, 출력 노드의 하단 회로(pull-down network, PDN)로서 T-nMOS인 제 4 내지 제 6 트랜지스터를 포함하되,

상기 제 1 및 제 4 트랜지스터의 게이트 단자에는 각각 제 1 데이터가 입력되고, 제 2 및 제 5 트랜지스터의 게이트 단자에는 각각 제 2 데이터가 입력되고, 상기 제 3 및 제 6 트랜지스터의 게이트 단자에는 각각 제 3 데이터가 입력되며,

상기 제 1 및 제 2 트랜지스터 각각의 소스 단자가 연결되고, 상기 제 1 및 제 2 트랜지스터 각각의 드레인 단자는 상기 제 3 트랜지스터의 소스 단자와 연결되고, 상기 제 3 트랜지스터의 드레인 단자는 상기 제 4 및 제 6 트랜지스터 각각의 소스 단자 및 출력 단자와 연결되고, 상기 제 4 트랜지스터의 드레인 단자는 상기 제 5 트랜지스터의 소스 단자와 연결되며, 상기 제 5 및 제 6 트랜지스터 각각의 드레인 단자는 그라운드에 연결되는 것인, 1×1 삼진 곱셈기.

청구항 9

삼진 트랜지스터를 사용한 NAND 게이트로 구성된 1개의 NMIN(not MIN) 게이트, 이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 양-삼진 인버터(positive ternary inverter, PTI), 이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 NSHIFT(NOT-SHIFT) 게이트, 삼진 트랜지스터를 사용하여 구성된 1개의 표준 삼진 인버터(standard ternary inverter, STI), 삼진 트랜지스터를 사용하여 구성된 1개의 OAI21(OR-AND-INVERT) 게이트, 및 삼진 트랜지스터를 사용하여 구성된 1개의 AOI21(AND-OR-INVERT) 게이트를 각각 포함하는 복수의 1×1 삼진 곱셈기;

상기 복수의 1×1 삼진 곱셈기를 통해 생성된 부분 곱(partial product)들을 합산하는 5개의 삼진 반가산기(Ternary Half Adder, THA); 및

상기 THA들의 출력들을 합산하는 2개의 삼진 전가산기(Ternary FullAdder, TFA)를 포함하되,

상기 NMIN 게이트, PTI, NSHIFT, STI, OAI21게이트 및 AOI21 게이트 각각의 트랜지스터의 연결 구조는 서로 상이한 것인, 2×2 삼진 곱셈기.

청구항 10

제 9 항에 있어서,

상기 THA는,

이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 CARRY 게이트,

각각 삼진 트랜지스터를 사용한 NOR 게이트로 구성된 3개의 NMAX(not MAX) 게이트,

각각 삼진 트랜지스터를 사용한 NAND 게이트로 구성된 2개의 NMIN(not MIN) 게이트,

각각 삼진 트랜지스터를 사용하여 구성된2개의 표준 삼진 인버터(standard ternary inverter, STI),

이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 양-삼진 인버터(positive ternary inverter, PTI),

이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 NSHIFT(NOT-SHIFT) 게이트, 및

이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 NAOI21(NOT-AND-OR-INVERT) 게이트를 포함하되,

상기 CARRY 게이트, NMAX 게이트, NMIN 게이트, STI, PTI, NSHIFT, 및 NAOI21 게이트의 트랜지스터의 연결 구조는 서로 상이한 것인, 2×2 삼진 곱셈기.

청구항 11

제 10 항에 있어서,

상기 CARRY 게이트는 아래의 수학식 4에 따라 동작하는 것인, 2×2 삼진 곱셈기.

<수학식 4>

$$Y(A,B) = \begin{cases} 2 & if\ A = B = 1 \\ (A \wedge B)' & otherwise \end{cases}$$

(이때, A 및 B는 입력이고, C는 캐리이고, Y는 출력이며, ∧는 최소(MIN) 함수, ∨는 최대(MAX) 함수, ′는 부정(not) 함수임.)

청구항 12

제 10 항에 있어서,

상기 NAOI21 게이트는 아래의 수학식 5에 따라 동작하는 것인, 2×2 삼진 곱셈기.

<수학식 5>

$$Y(A,B,C) = \begin{cases} A' & if\ (B \wedge C) = 1 \\ 0 & otherwise \end{cases}$$

(이때, A 및 B는 입력이고, C는 캐리이고, Y는 출력이고, ∧는 최소(MIN) 함수이고, ′는 부정(not) 함수이며, $C = (A \vee B)'$ 이고, ∨는 최대(MAX) 함수임.)

청구항 13

제 10 항에 있어서,

상기 TFA는,

2개의 상기 THA, 2개의 인버터 및 1개의 CARRY 게이트를 포함하는 것인, 2×2 삼진 곱셈기.

청구항 14

제 10 항에 있어서,

상기 삼진 트랜지스터는 Ternary nMOS(T-nMOS) 및 Ternary pMOS(T-pMOS) 중 적어도 하나이고,

상기 이진 트랜지스터는 binary nMOS 및 binary pMOS 중 적어도 하나인 것인, 2×2 삼진 곱셈기.

청구항 15

제 14 항에 있어서,

상기 CARRY 게이트는,

출력 노드의 상부 회로(PUN, pull-upnetwork)로서 T-pMOS 인 제 1 및 제 2 트랜지스터와 binary pMOS인 제 3 및 제 4 트랜지스터를 포함하고, 출력 노드의 하부 회로(PDN, pull-downnetwork)로서 T-nMOS 인 제 5 및 제 6 트랜지스터를 포함하되,

상기 제 1, 제3 및 제 5 트랜지스터의 게이트 단자에는 각각 제 1 데이터가 입력되고, 상기 제 2, 제 4 및 제 6

트랜지스터의 게이트 단자에는 각각 제 2 데이터가 입력되며,

상기 제 1 내지 제 3 트랜지스터 각각의 소스 단자가 연결되고, 상기 제 1, 제 2 및 제 4 트랜지스터 각각의 드레인 단자와 출력 단자가 연결되고, 상기 제 3 및 제 4 트랜지스터 각각의 드레인 단자가 연결되고, 상기 제 5 트랜지스터의 소스 단자는 상기 제 1, 제 2, 제4 트랜지스터 각각의 드레인 단자 및 출력 단자에 연결되고, 상기 제 5 트랜지스터의 드레인 단자는 상기 제 6 트랜지스터의 소스 단자와 연결되며, 상기 제 6 트랜지스터의 드레인 단자는 그라운드에 연결된 것인, 2×2 삼진 곱셈기.

청구항 16

제 14 항에 있어서,

상기 NAOI21 게이트는,

출력 노드의 상단 회로(PUN, pull-upnetwork)로서 T-nMOS인 제 1 및 제 2 트랜지스터와T-pMOS인 제 3 트랜지스터를 포함하고, 출력 노드의 하단 회로(PDN, pull-downnetwork)로서 T-nMOS인 제 4 트랜지스터와 binary nMOS인 제 5 및 제 6 트랜지스터를 포함하되,

상기 제 3 및 제 4 트랜지스터의 게이트 단자에는 각각 제 1 데이터가 입력되고, 상기 제 1 및 제 5 트랜지스터의 게이트 단자에는 각각 제 2 데이터가 입력되고, 상기 제 2 및 제 6 트랜지스터의 게이트 단자에는 각각 제 3 데이터가 입력되며,

상기 제 1 및 제 2 트랜지스터 각각의 소스 단자가 연결되고, 상기 제 1 및 제 2 트랜지스터 각각의 드레인 단자와 상기 제 3 트랜지스터의 소스 단자가 연결되고, 상기 제 3 트랜지스터의 드레인 단자는 상기 제4 및 제 5 트랜지스터 각각의 소스 단자와 출력 단자와 연결되고, 상기 제 5 트랜지스터의 드레인 단자와 상기 제 6 트랜지스터의 소스 단자가 연결되고, 상기 제 4 트랜지스터의 드레인 단자는 상기 제 6 트랜지스터의 드레인 단자 및 그라운드와 연결되는 것인, 2×2 삼진 곱셈기.

청구항 17

복수의 1×1 삼진 곱셈기, 상기 복수의 1×1 삼진 곱셈기를 통해 생성된 부분 곱(partial product)들을 합산하는 5개의 삼진 반가산기(Ternary Half Adder, THA), 및 상기 THA들의 출력들을 합산하는 2개의 삼진 전가산기(Ternary FullAdder, TFA)를 각각 포함하는 복수의 2×2 삼진 곱셈기; 및

상기 복수의 2×2 삼진 곱셈기를 통해 생성된 부분 곱들을 합산하는 13개의 THA 및 22 개의 TFA를 포함하되,

상기 1×1 삼진 곱셈기는,

삼진 트랜지스터를 사용한 NAND 게이트로 구성된 1개의 NMIN(not MIN) 게이트, 이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 양-삼진 인버터(positive ternary inverter, PTI), 이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 NSHIFT(NOT-SHIFT) 게이트, 삼진 트랜지스터를 사용하여 구성된 1개의 표준 삼진 인버터(standard ternary inverter, STI), 삼진 트랜지스터를 사용하여 구성된 1개의 OAI21(OR-AND-INVERT) 게이트, 및 삼진 트랜지스터를 사용하여 구성된 1개의 AOI21(AND-OR-INVERT) 게이트를 포함하고,

상기 NMIN 게이트, PTI, NSHIFT, STI, OAI21게이트 및 AOI21 게이트, CARRY 게이트, NMAX 게이트, 및 NAOI21 게이트 각각의 트랜지스터의 연결 구조는 서로 상이한 것인, 6×6 삼진 곱셈기.

청구항 18

제 17 항에 있어서,

상기 THA는,

이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 CARRY 게이트,

각각 삼진 트랜지스터를 사용한 NOR 게이트로 구성된 3개의 NMAX(not MAX) 게이트,

각각 삼진 트랜지스터를 사용한 NAND 게이트로 구성된 2개의 NMIN(not MIN) 게이트,

각각 삼진 트랜지스터를 사용하여 구성된 2개의 표준 삼진 인버터(standard ternary inverter, STI),

이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 양-삼진 인버터(positive ternary inverter, PTI),

이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 NSHIFT(NOT-SHIFT) 게이트, 및

이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 NAOI21(NOT-AND-OR-INVERT) 게이트를 포함하는 것인, 6×6 삼진 곱셈기.

청구항 19

제 18 항에 있어서,

상기 TFA는,

2개의 상기 THA, 2개의 인버터 및 1개의 CARRY 게이트를 포함하는 것인, 6×6 삼진 곱셈기.

발명의 설명

기 술 분 야

[0001] 본 발명은 삼진 트랜지스터에 기반하여 설계된 삼진 곱셈기에 관한 것이다.

배 경 기 술

[0002] 반도체 공정의 미세화를 통해 컴퓨팅 시스템의 성능이 계속 향상되어 왔다. 하지만 폭발적인 전력 밀도 증가로 인하여 공정 미세화를 통한 성능 향상이 점점 힘들어 지고 있다.

[0003] 이러한 문제의 대책으로서 다치로직(multiple-valued logic)이 제안되었다. 다치로직은 3개 이상의 논리 상태를 가지고 연산하는 컴퓨팅 방법으로서, 이진 로직에 비해 면적 및 전력 소모감소에 큰 이점이 있다. 특히, 삼진 시스템은 n-비트(bit)를 가지는 이진 시스템 대비 회로 복잡도를 log3(2n) = n×63.1 % 수준으로 낮출 수 있다. 이러한 삼진 로직을 적용한 소자 단위의 연구는 활발히 진행 되어 왔지만, 집적 가능한 삼진 소자의 부재로 회로 단위의 설계 연구는 미미한 실정이다.

[0004] 한편, 최근에는 삼진 소자 연구 중 기존 시모스(CMOS) 공정을 그대로 사용한 삼진 CMOS(Ternary CMOS, T-CMOS)가 제안되었으며, 이를 이용하여 집적 가능한 삼진 회로 설계가 가능하게 되었다.

[0005] 그러나 기존의 T-CMOS 에 기반한 삼진 곱셈기는 다음과 같은 문제점들을 가지고 있다. 전류 모드 삼진 곱셈기는 그 특성상 전력 소모가 높고, 노이즈와 PVT(공정, 전압, 온도) 변이에 취약하다. 또한, 부동 게이트(floating gate)를 활용한 삼진 곱셈기 역시 노이즈와 PVT 변이에 취약하다. 그리고 T/U(ternary-to-unary) 변환기를 이용한 삼진 곱셈기는 회로 복잡도가 증가하고 전력 소모가 큰 단점이 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 대한민국 등록 특허 10-1689159 (발명의 명칭: "3진수 논리회로")

발명의 내용

해결하려는 과제

[0007] 본 발명의 일 실시예는 전술한 종래 기술의 문제점을 해결하기 위한 것으로서, 삼진 트랜지스터에 기반하되 부동 게이트 및 T/U변환기를 사용하지 않는 전압 모드의 새로운 삼진 곱셈기를 제공하고자 한다.

[0008] 다만, 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제로 한정되지 않으며, 또 다른 기술적 과제들이 존재할 수 있다.

과제의 해결 수단

[0009] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 일 측면에 따른 1×1 삼진 곱셈기는, 삼진 트랜지스터를 사용한 NAND 게이트로 구성된 1개의 NMIN(not MIN) 게이트; 이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 양-삼진 인버터(positive ternary inverter, PTI); 이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 NSHIFT(NOT-SHIFT) 게이트; 삼진 트랜지스터를 사용하여 구성된 1개의 표준 삼진 인버터(standard ternary inverter, STI); 삼진 트랜지스터를 사용하여 구성된 1개의 OAI21(OR-AND-INVERT) 게이트; 및 삼진 트랜지스터를 사용하여 구성된 1개의 AOI21(AND-OR-INVERT) 게이트를 포함하되, 상기 NMIN 게이트, PTI, NSHIFT, STI, OAI21게이트 및 AOI21 게이트의 트랜지스터의 연결 구조는 서로 상이하다.

[0010] 그리고 본 발명의 다른 측면에 따른 2×2 삼진 곱셈기는, 복수의 상기 1×1 삼진 곱셈기; 복수의 1×1 삼진 곱셈기를 통해 생성된 부분 곱(partial product)들을 합산하는 5개의 삼진 반가산기(Ternary Half Adder, THA); 및 THA들의 출력들을 합산하는 2개의 삼진 전가산기(Ternary FullAdder, TFA)를 포함하되, NMIN 게이트, PTI, NSHIFT, STI, OAI21게이트 및 AOI21 게이트의 트랜지스터의 연결 구조는 서로 상이하다.

[0011] 이때, 상기 THA는, 이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 CARRY 게이트, 각각 삼진 트랜지스터를 사용한 NOR 게이트로 구성된 3개의 NMAX(not MAX) 게이트, 각각 삼진 트랜지스터를 사용한 NAND 게이트로 구성된 2개의 NMIN(not MIN) 게이트, 각각 삼진 트랜지스터를 사용하여 구성된2개의 표준 삼진 인버터(standard ternary inverter, STI), 이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 양-삼진 인버터(positive ternary inverter, PTI), 이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 NSHIFT(NOT-SHIFT) 게이트, 및 이진 트랜지스터 및 삼진 트랜지스터를 사용하여 구성된 1개의 NAOI21(NOT-AND-OR-INVERT) 게이트를 포함하되, CARRY 게이트, NMAX 게이트, NMIN 게이트, STI, PTI, NSHIFT, 및 NAOI21 게이트의 트랜지스터의 연결 구조는 서로 상이하다.

[0012] 또한, 상기 TFA는, 2개의 THA, 2개의 인버터, 및 1개의 CARRY 게이트를 포함한다.

[0013] 또한, 본 발명의 또 다른 측면에 따른 6×6 삼진 곱셈기는, 복수의 1×1 삼진 곱셈기; 상기 복수의 1×1 삼진 곱셈기를 통해 생성된 부분 곱(partial product)들을 합산하는 5개의 삼진 반가산기(Ternary Half Adder, THA); 및 상기 THA들의 출력들을 합산하는 2개의 삼진 전가산기(Ternary FullAdder, TFA)를 각각 포함하는 복수의 2×2 삼진 곱셈기와 상기 복수의 2×2 삼진 곱셈기를 통해 생성된 부분 곱들을 합산하는 13개의 THA 및 22개의 TFA를 포함한다.

발명의 효과

[0014] 전술한 본 발명의 과제 해결 수단 중 어느 하나에 의하면, 삼진 트랜지스터를 사용하되 T/U변환기를 사용하지 않는 전압 모드의 삼진 곱셈기를 제공함으로써, 사용되는 논리 게이트의 개수 및 그에 따른 삼진 트랜지스터의 개수를 크게 줄일 수 있다. 이에 따라, 기존의 삼진 곱셈기에 비해 높은 에너지 효율 및 성능을 증가시킬 수 있으며, 전력 지연 및 전력 소모를 크게 줄일 수 있다.

도면의 간단한 설명

[0015] 도 1a는 종래의 1×1 삼진 곱셈기의 구조를 나타낸 도면이다.

도 1b는 본 발명의 일 실시예에 따른 1×1 삼진 곱셈기의 구조를 나타낸 도면이다.

도 2는 일반적으로 삼진 곱셈기에 포함되는 삼진 논리 게이트들을 나타낸 도면이다.

도 3은 본 발명의 일 실시예에 따른 삼진 곱셈기에 포함된 삼진 논리 게이트들을 나타낸 도면이다.

도 4는 본 발명의 일 실시예에 따른 2×2 삼진 곱셈기의 구조를 나타낸 도면이다.

도 5는 종래의 삼진 반가산기의 구조를 나타낸 도면이다.

도 6은 본 발명의 일 실시예에 따른 삼진 반가산기 및 삼진 전가산기의 구조를 나타낸 도면이다.

도 7은 본 발명의 일 실시예에 따른 6×6 삼진 곱셈기의 구조를 나타낸 도면이다.

도 8은 본 발명의 일 실시예에 따른 1×1 삼진 곱셈기 및 삼진 가산기의 동작 결과를 나타낸 그래프이다.

도 9는 본 발명의 일 실시예에 따른 삼진 곱셈기와 기존의 삼진 곱셈기의 트랜지스터 개수를 비교한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0016] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0017] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0018] 이하, 도면을 참조하여 본 발명의 일 실시예에 따른 삼진 곱셈기에 대해서 상세히 설명하도록 한다.

[0019] 도 1a는 종래의 1×1 삼진 곱셈기의 구조를 나타낸 도면이고, 도 1b는 본 발명의 일 실시예에 따른 1×1 삼진 곱셈기의 구조를 나타낸 도면이다.

[0020] 그리고 도 2는 일반적으로 삼진 곱셈기에 사용되는 삼진 논리 게이트들을 나타낸 도면이며, 도 3은 본 발명의 일 실시예에 따른 삼진 곱셈기에 포함된 삼진 논리 게이트들을 나타낸 도면이다.

[0021] 먼저, 도 1a를 참조하여 종래의 1×1 삼진 곱셈기에 대해 설명하도록 한다.

[0022] 도 1a의 (a)는 종래의 1×1 삼진 곱셈기의 전체 논리 회로를 도시하고, 도 1a의 (b)는 종래의 1×1 삼진 곱셈기에 포함된 T/U 변환기의 심볼을 도시하며, 도 1a의 (c)는 이러한 T/U 변환기의 논리 회로를 도시하였다.

[0023] 도 2를 참조하면, 일반적으로 삼진 곱셈기에 사용되는 삼진 논리 게이트(ternary logic gate)는, (a)에 도시된 표준 삼진 인버터(standard ternary inverter: STI), (b)에 도시된 음-삼진 인버터(negative ternary inverter: NTI), (c)에 도시된 양-삼진 인터버(positive ternary inverter: PTI), (d)에 도시된 부정-최소(not MIN) 게이트, 및 (e)에 도시된 부정-최대(not MAX) 게이트 등을 포함한다.

[0024] 참고로, 도 2에 도시된 STI, NTI, PTI, not MIN 게이트 및not MAX 게이트의 진리표는 각각 아래의 표 1과 같다. 아래의 표 1에서 I_1 및 I_2는 각각 입력을 의미한다.

[0025] <표 1>

I_1	STI	NTI	PTI
0	2	2	2
1	1	0	2
2	0	0	0

not MIN		I_2		
		0	1	2
I_1	0	2	2	2
	1	2	1	1
	2	2	1	0

not MAX		I_2		
		0	1	2
I_1	0	2	1	0
	1	1	1	0
	2	0	0	0

[0026]

[0027] 이와 같은 도 2에 도시된 논리 게이트들을 참조하면, 도 1a의 (a)에서와 같은 종래의 1×1 삼진 곱셈기는 2개의 T/U 변환기(T/U Converter)와 6개의 MIN 게이트 및 3개의 MAX 게이트를 포함하되, 도 1a의 (c)에서와 같이 하나의 T/U 변환기는 2개의 NTI, 1개의 PTI 및 1개의 not MAX 게이트를 포함하는 것을 알 수 있다. 이때, 도 1a의 (a)에 도시된 MIN 게이트는 하나의 STI와 하나의 not MIN 게이트를 포함하며, MAX 게이트는 하나의 STI와 하나의 not MAX 게이트를 포함한다.

[0028] 이에 따라, 종래의 1×1 삼진 곱셈기는 2개의 T/U 변환기에 포함된 총 8개의 논리 게이트, 6개의 MIN 게이트에 포함된 12개의 논리 게이트, 및 3개의 MAX 게이트에 포함된 6개의 논리 게이트들의 총합인 26개의 논리 게이트로 구현된다.

[0029] 이처럼, 종래의 1×1 삼진 곱셈기는 2개의 T/U 변환기가 필요하되 논리 게이트 중 MIN 게이트 및 MAX 게이트만 사용하여 설계됨에 따라, 삼진 논리 설계의 효율성이 크게 떨어지는 단점이 있었다.

[0030] 반면에, 도 1b에 도시된 바와 같은 본 발명의 일 실시예에 따른 1×1 삼진 곱셈기(100)는 6개의 논리 게이트로 구현된다.

[0031] 구체적으로, 본 발명의 일 실시예에 따른 1×1 삼진 곱셈기(100)는, 앞서 도 2에서 설명한 PTI, not MIN 게이트 및 STI와 더불어 새로운 논리 게이트들과의 조합으로 설계된다.

[0032] 도 3을 참조하면, 본 발명의 일 실시예에 따른 삼진 곱셈기에 사용되는 새로운 삼진 논리 게이트는, (b)에 도시된 CARRY 게이트, (c)에 도시된 NAOI21(NOT-AND-OR-INVERT) 게이트, (d)에 도시된 NSHIFT(NOT-SHIFT) 게이트, (e)에 도시된 OAI21(OR-AND-INVERT) 게이트, 및 (f)에 도시된 AOI21(AND-OR-INVERT) 게이트를 포함한다.

[0033] 이때, 도 3의 (b) 내지 (f)에 도시된 5종의 새로운 삼진 논리 게이트들은 각각 '3진수 트랜지스터와 2진수 트랜지스터의 조합' 또는 '3진수 트랜지스터의 조합'로 구현된다. 본 발명의 일 실시예에서는 새로운 삼진 논리 게이트에 적용되는 트랜지스터가 도 3의 (a)에 도시된 3진 시모스(TERNARY CMOS, T-COMS) 및 2진 시모스(Binary CMOS, CMOS)인 것을 설명하도록 하나, 트랜지스터의 종류는 한정되지는 않으며 동일한 기능으로 동작하는 다양한 트랜지스터를 적용할 수 있다. 이때, 도 3의 (a)에 도시된 3진 시모스는 T-*n*/*p*MOS 이고, 2진 시모스는 binary *n*/*p*MOS이다.

[0034] 도 3의 (b) 내지 (f)에는 각각의 삼진 논리 게이트의 개략적인 회로와 심볼이 도시되어 있다.

[0035] 이러한 각 삼진 논리 게이트의 회로의 구조를 상세히 설명하도록 한다.

[0036] (b)에 도시된 CARRY 게이트는 2개의 T-*p*MOS, 2개의 T-*n*MOS, 및 2개의 binary *p*MOS로 구현된다. 구체적으로, CARRY 게이트는 T-*p*MOS 인 제 1 및 제 2 트랜지스터(11, 12), binary *p*MOS인 제 3 및 제 4 트랜지스터(13, 14), T-*n*MOS 인 제 5 및 제 6 트랜지스터(15, 16)를 포함한다.

[0037] 이때, 제 1, 제3 및 제 5 트랜지스터(11, 13, 15)의 게이트 단자에는 각각 데이터 A가 입력되고, 제 2, 제 4 및 제 6 트랜지스터(12, 14, 16)의 게이트 단자에는 각각 데이터 B가 입력된다.

[0038] 그리고 제 1 트랜지스터(11) 내지 제 3 트랜지스터(11, 12, 13) 각각의 소스 단자가 연결되고, 제 1, 제 2 및 제 4 트랜지스터(11, 12, 14) 각각의 드레인 단자와 출력단(Y_1)이 연결된다. 또한, 제 3 트랜지스터(13)의 드레인 단자와 제 4 트랜지스터(14)의 드레인 단자가 연결된다. 제 5 트랜지스터(15)의 소스 단자는 제 1, 제 2, 제4 트랜지스터(11, 12, 14) 각각의 드레인 단자 및 출력단(Y_1)에 연결되며, 제 5 트랜지스터(15)의 드레인 단자는 제 6 트랜지스터(15)의 소스 단자와 연결된다. 또한, 제 6 트랜지스터(16)의 드레인 단자는 그라운드에 접지된다.

[0039] 이러한, CARRY 게이트의 동작은 입력 전압에 따라 각 트랜지스터의 임피던스는 아래의 표 2과 같이 변화한다.

[0040] <표 2>

[0041]

입력값	nMOS	pMOS	T-nMOS	T-pMOS
"0"	High	0	Low	0
"1"	0	0	Low	Low
"2"	0	High	0	Low

[0042] 표 2에서, 임피던스의 크기는 0 < Low < High 순이며, 이때 '0'은 매우 작은 것을 의미하지만 실제로 0은 아니다. 트랜지스터가 직렬로 연결 되어 있을 때는 트랜지스터 중 임피던스가 가장 큰 것을 따라가게 되고, 병렬 연결인 경우는 반대로 가장 작은 임피던스 값을 가지게 된다.

[0043] 이러한 임피던스 변화에 기반하여, 출력 노드(Y_1)를 기준으로 상부의 회로(PUN, pull-upnetwork)와 하부의 회로(PDN, pull-downnetwork)의 임피던스를 계산할 수 있으며, 이에 따라 아래의 표 3에서와 같이 출력 값이 결정된다.

[0044] <표 3>

PUN	PDN	출력값
0	High	"2"
0	Low	"2"
Low	High	"2"
Low	Low	"1"
Low	0	"0"
High	Low	"0"
High	0	"0"

[0045]

[0046] 참고로, 표 3에서와 같이 (High, High)나 (0,0)는 발생할 수 없다.

[0047] 예를 들어, (b)에 도시된 CARRY 게이트의 회로에서 A=0, B=0일 때, 제 1 내지 제 4 트랜지스터(11 ~ 14)의 임피던스는 0이고, 제 5 및 제 6 트랜지스터(15, 16)의 임피던스는 Low이다. 즉, PUN의 임피던스가 0이고, PDN의 임피던스는 Low이기 때문에 출력 값은 '2'가 된다.

[0048] 다른 예를 들어, (b)에 도시된 CARRY 게이트의 회로에서 A=1, B=2일 때, 제 1 내지 제 6 트랜지스터(11 ~16) 각각의 임피던스는 Low, Low, 0, High, Low, 0이다. 이에 따라, 제 5 및 제 6 트랜지스터(15, 16)는 직렬이기 때문에 둘 중 임피던스가 큰 Low를 따라가게 되며, PDN의 임피던스는 Low가 된다. 또한, 제 3 및 제 4 트랜지스터(13, 14) 직렬 연결의 임피던스는 High이고, 제 1 및 제 2 트랜지스터(11, 12)는 제 3 및 제 4 트랜지스터(13, 14)와 병렬이므로 이 중 가장 작은 가장 작은 값인 Low가 되며, PUN의 임피던스는 Low가 된다. 따라서 PDN과 PUN의 임피던스가 Low-Low가 되어 출력 값은 '1'이 된다.

[0049] 아래에서 설명할 나머지 게이트 소자들도 이상에서 설명한 구동 원리에 기반하여 동작을 해석할 수 있다.

[0050] (c)에 도시된 NAOI21 게이트는 3개의 T-*n*MOS, 1개의 T-*p*MOS, 및 2개의 binary *n*MOS로 구현된다. 구체적으로, NAOI21 게이트는 출력 노드(Y_2)의 상단 회로(PUN)로서 T-*n*MOS인 제 1 및 제 2 트랜지스터(21, 22), T-*p*MOS인 제 3 트랜지스터(23)를 포함하고, 출력 노드(Y_2)의 하단 회로(PDN)로서 T-*n*MOS인 제 4 트랜지스터(24), binary *n*MOS인 제 5 및 제 6 트랜지스터(25, 26)를 포함한다.

[0051] 이때, 제 3 및 제 4 트랜지스터(23, 24)의 게이트 단자에는 각각 데이터 A가 입력되고, 제 1 및 제 5 트랜지스터(21, 25)의 게이트 단자에는 각각 데이터 B가 입력되며, 제 2 및 제 6 트랜지스터(22, 26)의 게이트 단자에는 각각 데이터 C가 입력된다.

[0052] 그리고 제 1 및 제 2 트랜지스터(21, 22) 각각의 소스 단자가 연결되고, 제 1 및 제 2 트랜지스터(21, 22) 각각의 드레인 단자와 제 3 트랜지스터(23)의 소스 단자가 연결된다. 제 3 트랜지스터(23)의 드레인 단자는 제4 및 제 5 트랜지스터(24, 25) 각각의 소스 단자와 출력단(Y_2)과 연결된다. 또한, 제 5 트랜지스터(25)의 드레인 단자와 제 6 트랜지스터(26)의 소스 단자가 연결되고, 제 4 트랜지스터(24)의 드레인 단자는 제 6 트랜지스터(26)의 드레인 단자 및 그라운드와 연결된다.

[0053] (d)에 도시된 NSHIFT 게이트는 1개의 T-*p*MOS, 1개의 T-*n*MOS, 및 1개의 binary *n*MOS로 구현된다. 구체적으로, NSHIFT 게이트는 출력 노드(Y_3)의 상단 회로(PUN)로서 T-*p*MOS인 제 1 트랜지스터(31)가 포함되고, 출력 노드(Y_3)의 하단 회로(PDN)로서 binary *n*MOS인 제 2 트랜지스터(32) 및 T-*n*MOS인 제 3 트랜지스터(33)를 포함한다.

[0054] 이때, 제 1 및 제 3 트랜지스터(31, 33)의 게이트 단자에는 각각 1이 입력되고, 제 2 트랜지스터(32)의 게이트 단자에는 데이터 A가 입력된다. 그리고 제 1 트랜지스터(31)의 드레인 단자는 제 2 및 제 3 트랜지스터(32, 33) 각각의 소스 단자 및 출력단(Y_3)과 연결된다. 또한, 제 2 및 제 3 트랜지스터(32, 33) 각각의 드레인 단자는 그라운드와 연결된다.

[0055] (e)에 도시된 OAI21 게이트는 3개의 T-*p*MOS와 3개의 T-*n*MOS로 구현되며, 출력 노드(Y_4)의 상단 회로(PUN)로서 T-*p*MOS인 제 1 내지 제 3 트랜지스터(41, 42, 43)가 포함되고, 출력 노드(Y_4)의 하단 회로(PDN)로서 T-*n*MOS인 제 4 내지 제 6 트랜지스터(44, 45, 46)를 포함한다.

[0056] 이때, 제 1 및 제 5 트랜지스터(41, 45)의 게이트 단자에는 각각 데이터 A가 입력되고, 제 2 및 제 6 트랜지스터(42, 46)의 게이트 단자에는 각각 데이터 B가 입력되며, 제 3 및 제 4 트랜지스터(43, 44)의 게이트 단자에는 각각 데이터 C가 입력된다.

[0057] 그리고, 제 1 트랜지스터(41) 및 제 3 트랜지스터(43) 각각의 소스 단자가 연결되고, 제 1 트랜지스터(41)의 드레인 단자와 제 2 트랜지스터(42)의 소스 단자가 연결되며, 제 2 트랜지스터(42) 및 제 3 트랜지스터(43) 각각의 드레인 단자는 제 4 트랜지스터(44)의 소스 단자 및 출력단(Y_4)과 연결된다. 또한, 제 4 트랜지스터(44)의 드레인 단자는 제 5 및 제 6 트랜지스터(45, 46) 각각의 소스 단자와 연결되고, 제 5 및 제 6 트랜지스터(45, 46) 각각의 드레인 단자는 그라운드에 연결된다.

[0058] (f)에 도시된 AOI21 게이트는 3개의 T-*p*MOS와 3개의 T-*n*MOS로 구현되되, 출력 노드(Y_5)의 상단 회로(PUN)로서 T-*p*MOS인 제 1 내지 제 3 트랜지스터(51, 52, 53)가 포함되고, 출력 노드(Y_5)의 하단 회로(PDN)로서 T-*n*MOS인 제 4 내지 제 6 트랜지스터(54, 55, 56)를 포함한다. 다만, AOI21 게이트 소자는 앞서 (e)에서 설명한 OAI21 게이트 소자와는 트랜지스터 간의 연결 구조가 상이하다.

[0059] 이때, 제 1 및 제 4 트랜지스터(51, 54)의 게이트 단자에는 각각 데이터 A가 입력되고, 제 2 및 제 5 트랜지스터(52, 55)의 게이트 단자에는 각각 데이터 B가 입력되며, 제 3 및 제 6 트랜지스터(53, 56)의 게이트 단자에는 각각 데이터 C가 입력된다.

[0060] 그리고, 제 1 및 제 2 트랜지스터(51, 52) 각각의 소스 단자가 연결되고, 제 1 및 제 2 트랜지스터(51, 52) 각각의 드레인 단자는 제 3 트랜지스터(53)의 소스 단자와 연결된다. 제 3 트랜지스터(53)의 드레인 단자는 제 4 및 제 6 트랜지스터(54, 56) 각각의 소스 단자 및 출력단(Y_5)과 연결된다. 또한, 제 4 트랜지스터(54)의 드레인 단자는 제 5 트랜지스터(55)의 소스 단자와 연결되며, 제 5 및 제 6 트랜지스터(55, 56) 각각의 드레인 단자는 그라운드에 연결된다.

[0061] 이상에서 설명한 도 3에 도시된 새로운 삼진 논리 게이트들과, 앞서 도 2에서 설명한 일반적인 삼진 논리 게이트들을 적용하면, 도 1b에 도시된 1×1 삼진 곱셈기(100)는, 1개의 not MIN 게이트, 1개의 PTI, 1개의 NSHIFT 게이트, 1개의 STI, 1개의 OAI21 게이트(P10) 및 1개의 AOI21 게이트(P11)를 포함하여, 총 6개의 삼진 논리 게이트만으로 구현 가능하다.

[0062] 이처럼, 본 발명의 일 실시예에 따른 도시된 1×1 삼진 곱셈기(100)는, 기존의 삼진 곱셈기와는 달리 T/U 변환기를 사용할 필요가 없을 뿐만 아니라 총 논리 게이트 개수를 줄임으로써, 삼진 곱셈기의 면적 및 전력 소비를 크게 줄일 수 있다. 또한, 앞서 도 1a를 통해 설명한 기존의 1×1 삼진 곱셈기는 논리 깊이(logic depth)가 11인데 반해, 본 발명의 일 실시예에 따른 1×1 삼진 곱셈기(100)는 논리 깊이가 4에 불과하므로 곱셈기의 성능(예: 처리 속도) 또한 크게 향상된다.

[0063] 한편, 도 1b 내지 도 3을 통해 설명한 본 발명의 일 실시예에 따른 1×1 삼진 곱셈기(100)를 이용하여, 아래 도 4에서와 같은 본 발명의 일 실시예에 따른 2×2 삼진 곱셈기(200)를 설계할 수 있다. 또한, 본 발명의 일 실시예에 따른 2×2 삼진 곱셈기(200)를 이용하여 아래 도 7에서와 같은 본 발명의 일 실시예에 따른 6×6 삼진 곱셈기를 설계할 수 있다.

[0064] 이러한 본 발명의 일 실시예에 따른 2×2 삼진 곱셈기(200) 및 6×6 삼진 곱셈기를 설명하기에 앞서, 도 3을 통해 설명한 본 발명의 일 실시예에 따른 5종의 새로운 삼진 논리 게이트들의 동작에 대해서 좀 더 상세히 설명하도록 한다.

[0065] 참고로, 앞서 설명한 STI, PTI, NTI는 각각 T-CMOS(T-nMOS 및 T-pMOS), binary nMOS 및 T-pMOS, T-nMOS 및 binary pMOS로 설계할 수 있다. 또한, MIN/MAX 게이트는 이진 논리의 AND/OR 게이트와 동일한 기능을 하기 때문에 binary CMOS 대신 T-CMOS를 사용하여 NAND 및 NOR 게이트로 not MIN(또는 NMIN) 및 not MAX(또는NMAX) 게이트를 설계할 수 있다.

[0066] 곱셈기는 일반적인 MIN/MAX 게이트를 사용하여 설계할 수도 있으나, 본 발명의 일 실시예에서는 삼진 산술용 곱셈기 설계 시 성능 및 에너지 효율성을 높이기 위해서 단순화된 단일 게이트를 갖는 새로운 삼진 논리 함수를 사용한다.

[0067] 도 3의 (b)에 도시된 CARRY 게이트는, 아래 도 6에서 설명할 본 발명의 일 실시예에 따른 삼진 반가산기(Ternary Half Adder, THA)와 삼진 전가산기(Ternary Full Adder, TFA)에 포함되어 곱셈기의 캐리 트리트

(carry trit)를 처리하며, 이러한 CARRY 게이트를 사용하여 지연 및 전력 소모를 크게 줄일 수 있다.

[0068] 예를 들어, CARRY 게이트에서 binary *p*MOS가 입력 '0' 및 '1'에 의해 스위치 온(switch on)되기 위한 임계 전압(V_{th})이 -0.3V로 설계되고, T-*p*MOS 및 T-nMOS 가 입력 '2'와 입력 '0' 각각에 의해 스위치 온 되기 위한 임계 전압 ($|V_{th}|$)이 0.8V로 설계된 경우, 풀 업 및 풀다운 회로가 모두 오프 상태일 때 출력은 전압 분할에 의해 '1'로 이동한다.

[0069] CARRY 게이트는 아래의 수학식 1에 따라 동작한다.

[0070] 참고로, 이하에서 ∧는 최소(MIN) 함수, ∨는 최대(MAX) 함수, ′는 부정(not) 함수를 의미한다. 또한, Y는 출력을 의미하고, A 및 B는 각각 입력을 의미하며, C는 캐리를 의미한다.

[0071] <수학식 1>

[0072]
$$Y_1(A,B) = \begin{cases} 2 & if\ A = B = 1 \\ (A \wedge B)' & otherwise \end{cases}$$

[0073] 이러한, CARRY 게이트의 진리표는 아래의 표 4와 같다.

[0074] <표 4>

[0075]

Y_1		B		
		0	1	2
A	0	2	2	2
	1	2	2	1
	2	2	1	0

[0076] 이때, 캐리 트리트는 $Y = (1 \wedge Y_1)$ 의 함수로서, 입력 (A, B) = (1, 2), (2, 1), (2, 2)에 의해 생성된다.

[0077] 다음으로, 도 3의 (c) 및 (d)에 도시된 NAOI21 게이트 및 NSHIFT 게이트는 각각 아래 도 6에서 설명할 THA의 합산 생성기(SUM generator)용으로 동작한다.

[0078] 이때, NAOI21 게이트는 아래의 수학식 2와 같이 동작하여, 입력쌍 (1, 1) 및 (2, 2)를 제외하고 합산 동작을 처리한다.

[0079] <수학식 2>

[0080]
$$Y_2(A,B,C) = \begin{cases} A' & if\ (B \wedge C) = 1 \\ 0 & otherwise \end{cases}$$

[0081] 이때, $C = (A \vee B)'$ 이다.

[0082] 이러한 NAOI21 게이트의 진리표는 아래의 표 5와 같다.

[0083] <표 5>

[0084]

A	B	C	Y_2
X	0	X	INV(A)
X	X	0	INV(A)
X	1,2	1,2	0

[0085] 예를 들어, NAOI21 게이트의 binary *n*MOS가 V_{th} = 0.3V로 설계된 경우, 입력 '1' 및 '2'에 대해 그라운드(GND)로 전류 경로를 만든다.

[0086] 한편, 아래 도 6에서 설명할 THA에서 입력 (1, 1)에 의한 출력 '2'는 앞서 설명한 기존의 MIN 게이트, MAX 게이트, PTI 를 사용하여 설계할 수 있으며, 입력 (2, 2)에 의한 출력 '1'은 NSHIFT 게이트의 함수가 필요하다.

[0087] 이때, NSHIFT 게이트는 아래의 수학식 3과 같이 동작한다.

[0088] <수학식 3>

[0089]
$$Y_3(A) = \begin{cases} 1 & if\ A = 0 \\ 0 & otherwise \end{cases}$$

[0090] 이러한 NSHIFT 게이트의 진리표는 아래의 표 6와 같다.

[0091] <표 6>

[0092]

A	Y_3
0	1
1	0
2	0

[0093] 마지막으로, 도 3의 (e) 및 (f)에 도시된 OAI21 게이트 및 AOI21 게이트는 1×1 삼진 곱셈기(100)에 포함되며, 삼진 시모스(T-*n*/*p*MOS) 만으로 설계되었기 때문에not MIN 게이트와 not MAX 게이트를 사용하여 if 조건(if-conditions)없이 함수를 간단하게 표현할 수 있다.

[0094] 이때, OAI21 게이트는 아래의 수학식 4와 같이 동작하며, OAI21 게이트의 진리표는 아래의 표 7와 같다.

[0095] <수학식 4>

[0096]
$$Y_4(A,B,C) = [(A \vee B) \wedge C]'$$

[0097] <표 7>

[0098]

A	B	C	Y_4
X	X	0	2
X	X	1	max(NOR(A,B),1)
X	X	2	NOR(A,B)

[0099] 또한, AOI21 게이트는 아래의 수학식 5와 같이 동작하며, AOI21 게이트의 진리표는 아래의 표 8과 같다.

[0100] <수학식 5>

[0101]
$$Y_5(A,B,C) = [(A \wedge B) \vee C]'$$

[0102] <표 8>

[0103]

A	B	C	Y_5
0	0	0	2
0	0	1	1
0	0	2	0
0	1	0	2
0	1	1	1
0	1	2	0
0	2	0	2
0	2	1	1
0	2	2	0

A	B	C	Y_5
1	0	0	2
1	0	1	1
1	0	2	0
1	1	0	1
1	1	1	1
1	1	2	0
1	2	0	1
1	2	1	1
1	2	2	0

A	B	C	Y_5
2	0	0	2
2	0	1	1
2	0	2	0
2	1	0	1
2	1	1	1
2	1	2	0
2	2	0	0
2	2	1	0
2	2	2	0

[0104] 한편, 도 2 및 도 3을 통해 설명한 삼진 논리 게이트들의 본 발명의 일 실시예에 따른 n×n 삼진 곱셈기에서의

동작은 각각의 삼진 논리 게이트를 지연 및 전력 소비 측면에서 특성화하여 검증할 수 있다.

[0105] 예를 들어, 본 발명의 일 실시예에서는, 각각의 삼진 논리 게이트들의 특성화 및 동작 검증을 위해 아래의 수학식 6과 같이 동작하는 T-CMOS 모델("Compact Design of Low Power Standard Ternary Inverter based on OFF-State CurrentMechanism using Nano-CMOS Technology", IEEE Trans. Electron Devices, 62(8) (2015))을 사용하였다.

[0106] <수학식 6>

[0107]
$$I_{OUT}(V_{IN},V_{OUT}) = I_{CON}(V_{OUT}) + I_{EXP}(V_{OUT})$$
$$= I_C exp[\pm\alpha(V_{OUT} - V_{DD}/2)]$$
$$+ I_{MAX} exp[\pm\beta(V_{IN} - V_{DD})]$$

[0108] 수학식 6에서, I_{CON}는 접합 대역 대 대역 터널링(band-to-band tunneling, BTBT) 메커니즘에 따른 전류에 해당하고, I_{EXP}는 서브임계 전류(subthreshold current)에 해당한다. 그리고 수학식 6의 T-CMOS 모델의 파라미터들은 α = 4.6, β = 33, I_C = 100 nA이며, V_{DD} = 1V에서 I_{MAX} = 30kA로 설정하였다.

[0109] 그리고, 아래의 표 9에서와 같이 삼진 논리 게이트 별로 지연, 커패시턴스 및 전력 소비에 대한 시뮬레이션 결과를 획득하였다.

[0110] <표 9>

[0111]

Gate	STI	NMIN	NMAX	CARRY	NAOI21	NSHIFT	OAI21	AOI21
# of tr	2	4	4	4	6	3	6	6
$\tau_{0,0\to1}[ps]$	67.1	94.2	100	116	286.8	101.1	240.5	214
$\chi_{0\to1}[ps/fF]$	2.63	0.89	2.74	1.37	2.54	1.74	1.96	2.03
$\tau_{0,2\to1}[ps]$	69.5	105	102	330	110.1	-	240.5	116
$\chi_{2\to1}[ps/fF]$	2.41	1.86	1.03	0.85	2.31	-	1.96	0.38
$C_{in}[fF]$	0.7	0.7	0.7	1.05	0.7	0.35	0.7	0.7
$C_{out}[fF]$	0.24	0.36	0.48	0.48	0.36	0.36	0.36	0.36
$P_S[nW]$	700	1,400	1,400	740	440	700	2,100	2,100
$P_D[nW]$	0.94	1.06	1.06	1.53	1.06	0.71	1.06	1.06

[0112] 그리고 타이밍 분석을 위해, 6개의 입력 전환(0→1, 1→2, 2→1, 1→0, 0→2, 2→0)의 과도 시뮬레이션(transient simulations)을 1ps의 상승시간(t_r) 및 하강시간(t_f)으로 수행하였다. 이때, 50 %-50 % 전파 지연 추정(propagation delay estimation)에 기초하여, 아래의 수학식 7에서와 같은 부하 커패시턴스 C_L에 따른 선형 지연 모델에 의해 고유 지연(intrinsic delay) τ_0 및 선형 계수(linear coefficient) X가 추출된다.

[0113] <수학식 7>

[0114]
$$\tau_d = \tau_0 + \chi C_L$$
$$C_L = C_{out} + \sum_i C_{in,i} \quad \text{where} \quad i \in fanout$$

[0115] 이때, 부하 커패시턴스 C_L에 대한 입력 커패시턴스 C_{in} 및 출력 커패시턴스 C_{out}는 수학식 6의 T-CMOS 모델을 사용한 C-V 시뮬레이션으로부터 추출된다. 이는 1nm의 등가 산화물 두께(equivalent oxide thickness, EOT)로부터 계산된 게이트 커패시턴스(C_{gg}=0.345 fF) 및 드레인 커패시턴스(C_{dd}~C_{gg}/3)에 의해 확인할 수 있다. 최악의 지연은 '0'→ '1'과 '2'→ '1'전환에서 관찰되었다.

[0116] 삼진 논리 게이트들의 정적 전력 소모(static power consumption, static Ps)는 n/pMOS and T- n/pMOS 의 오프 누설 전류(off-leakage current)를 고려하여 3개의 출력 상태('0', '1', '2')의 평균 값으로 추정된다. 예를 들어, STI의 정적 전류는출력 '0' 및 '2'의 경우 1 μA이고 출력 '1'의 경우 100 nA이며, NTI(또는 PTI)의 출력은 binary nMOS(또는 pMOS)로 인해 출력 '0'(또는 '2')의 경우 10 nA이다. 참고로, 아래의 도 7에서 설명할 6×6 삼진 곱셈기의 동작에 대한 동적 전력(P_D)은 스위칭 동작이 0.1이고, 동작 주파수가 20MHz 인 것으로

계산된다.

[0117] 이하, 도 4 내지 도 7을 참조하여 본 발명의 일 실시예에 따른 2×2 삼진 곱셈기 및 6×6 삼진 곱셈기에 대해서 상세히 설명하도록 한다.

[0118] 도 4는 본 발명의 일 실시예에 따른 2×2 삼진 곱셈기의 구조를 나타낸 도면이다. 그리고 도 5는 종래의 삼진 반가산기의 구조를 나타낸 도면이며, 도 6은 본 발명의 일 실시예에 따른 삼진 반가산기 및 삼진 전가산기의 구조를 나타낸 도면이다.

[0119] 도 4를 참조하면, 본 발명의 일 실시예에 따른 2×2 삼진 곱셈기(200)는 1×1 삼진 곱셈기(100)와, 기존의 삼진 반가산기(THA) 및 삼진 전가산기(TFA)와는 다른 새로운 THA 및 TFA와의 조합을 통해 설계할 수 있다.

[0120] 이때, 1×1 삼진 곱셈기(100)를 통해 생성된 부분 곱(partial product)은 삼진 반가산기(즉, 새로운 THA)에 의해 더해지고, 삼진 반가산기들의 출력은 삼진 전가산기(즉, 새로운 TFA)에 의해 더해진다.

[0121] 이와 관련하여, 도 5를 참조하면 기존의 THA 는 총 34 개의 논리 게이트가 필요하며, 이때 출력 S와 캐리 C_{out}의 논리 깊이는 각각 10과 8이다.

[0122] 반면에, 도 6의 (a)를 참조하면 본 발명의 일 실시예에 따른 삼진 반가산기(즉, 새로운 THA)는 T/U 변환기가 포함되어 있지 않으며, 단지 11개의 논리 게이트만으로 설계 가능하다.

[0123] 구체적으로, 도 6의 (a)에 도시된 THA는 1개의 CARRY 게이트, 3개의 not MAX 게이트, 2개의 not MIN 게이트, 2개의 STI, 1개의 PTI, 1개의 NSHIFT, 및 1개의 NAOI21 게이트를 포함한다.

[0124] 따라서, 본 발명의 일 실시예에 따른THA에서의 S와 C_{out}의 논리 깊이는 각각 4와 2로서 기존의 THA에 비해 약 40% 미만이며, 이를 통해 처리 성능 및 에너지 효율이 크게 향상된다.

[0125] 또한, 도 6의 (b)를 참조하면, 본 발명의 일 실시예에 따른 삼진 전가산기(즉, 새로운 TFA)는 도 6의 (a)에서 설명한 THA 2개와, 2개의 인버터 및 1개의 CARRY 게이트로 설계된다.

[0126] 다시 도 4로 돌아가서, 본 발명의 일 실시예에 따른 2×2 삼진 곱셈기(200)는, 도 1b 내지 도 3을 통해 설명한 1×1 삼진 곱셈기(100) 4개(100-1, 100-2, 100-3, 100-4)와, 도 6의 (a)를 통해 설명한 삼진 반가산기(THA) 5개, 및 도 6의 (b)를 통해 설명한 삼진 전가산기(TFA) 2개를 포함한다.

[0127] 또한, 도 4에서와 같은 2×2 삼진 곱셈기(200)와 도 6에서와 같은 삼진 반가산기(THA) 및 삼진 전가산기(TFA)를 사용하여, 본 발명의 일 실시예에 따른 6×6 삼진 곱셈기를 설계할 수 있다.

[0128] 도 7은 본 발명의 일 실시예에 따른 6×6 삼진 곱셈기의 구조를 나타낸 도면이다.

[0129] 도 7의 (a)에서와 같이, 2×2 삼진 곱셈기(200)를 사용하여 부분 곱(partial product)들이 생성된다. 이때, 2×2 삼진 곱셈기(200)를 사용하여 생성된 각각의 부분 곱들은, 도 7의 (b)에서와 같이 월레스 합산 구조(Wallace adding structure)에 따라 합산될 수 있다. 이때, 본 발명의 일 실시예에 따른 6×6 삼진 곱셈기의 합산 구조는 13개의 THA와 22개의 TFA로 구성될 수 있다.

[0130] 참고로, 본 발명의 일 실시예에서는 HSPICE(Hspice Reference Manual(Synopsy사))을 사용하여 본 발명의 일 실시예에 따른 1×1 삼진 곱셈기 및 삼진 전가산기(TFA)를 설계하여, 그 기능을 검증하였다. 그리고 이와 동일한 방식으로 본 발명의 일 실시예에 따른 2×2 삼진 곱셈기 및 6×6 삼진 곱셈기의 기능 또한 검증할 수 있다.

[0131] 도 8은 본 발명의 일 실시예에 따른 1×1 삼진 곱셈기 및 삼진 가산기의 동작 결과를 나타낸 그래프이다.

[0132] 이때, 모든 가능한 입력 조합을 50MHz의 동작 주파수로 넣은 뒤 출력을 확인하였으며, 그 결과는 도 8과 같다.

[0133] 도 8의 (a)에서는 1×1 삼진 곱셈기의 출력 결과를 나타냈으며, 도 8의 (b)에서는 TFA의 출력 결과를 나타냈다. 즉, 본 발명의 일 실시예에 따른 1×1 삼진 곱셈기 및 TFA가 모든 입력 조합에 대해 정상적인 출력을 생성하는 것을 확인할 수 있다.

[0134] 한편, 도 9를 통해 본 발명의 일 실시예에 따른 삼진 곱셈기와 기존의 삼진 곱셈기를 비교한 결과를 확인할 수 있다.

[0135] 도 9는 본 발명의 일 실시예에 따른 삼진 곱셈기와 기존의 삼진 곱셈기의 트랜지스터 개수를 비교한

그래프이다.

[0136] 도 9를 참조하면, 기존 설계에 따른 삼진 곱셈기에 대비하여 본 발명의 일 실시예에 따른 삼진 곱셈기들과 삼진 가산기들은 모두 60% 이상의 트랜지스터 개수를 줄일 수 있다는 것을 알 수 있다.

[0137] 한편, 기존의 6×6 삼진 곱셈기와 본 발명의 일 실시예에 따른 6×6 삼진 곱셈기 간의 전력 소모와 성능을 비교하기 위해, 삼진 정적 타이밍 분석(Ternary Static Timing Analysis, T-STA) 방법을 사용하면, 모든 삼진 논리 게이트의 여섯 가지 입력 변이(전환)에 대해 가장 느린 딜레이와 누설 전력을 HSPICE 시뮬레이션을 통해 추출할 수 있다. 이때, 동적 전압 분석을 위해서 구동 게이트(driving gate)의 출력 커패시턴스 크기와 팬 아웃 게이트(fanout gate)의 입력 커패시턴스 크기가 고려되었다. 이를 바탕으로 두 개의 삼진 곱셈기의 총 전력 및 지연을 분석한 결과는 아래의 표 8과 같다. 여기서 사용된 전력 지연 곱(power delay product, PDP)은 다음의 수학식 8과 같이 정의된다.

[0138] <표 8>

	기존6×6	Proposed 6×6	Saving [%]
Power [mW]	8.23	2.45	70
Delay [ns]	63.8	49.2	23
Norm. PDP	1	0.23	77

[0139]

[0140] <수학식 8>

$$PDP = \sum_{i} (P_{D,i} + P_{S,i}) \times Delay(worst\ \ path)$$

[0141]

[0142] 수학식 8에서, i는 모든 사용된 논리 게이트이다. 그리고 표 8에서의 PDP는 Dhande가 제안한 곱셈기(“Ternary Digital System: Concepts and Applications", SM online PublisherLLC, (2014))의 결과에 비교한(normalized) 수치이다. 이때, 본 발명의 일 실시예에 따른 6×6 삼진 곱셈기는 69.7%의 전력 소모 감소와 동시에 22.8%의 성능 향상을 얻을 수 있으며, 기존 삼진 곱셈기 대비 77%의 PDP와 70%의 전력 소모를 줄일 수 있다.

[0143] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

[0144] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

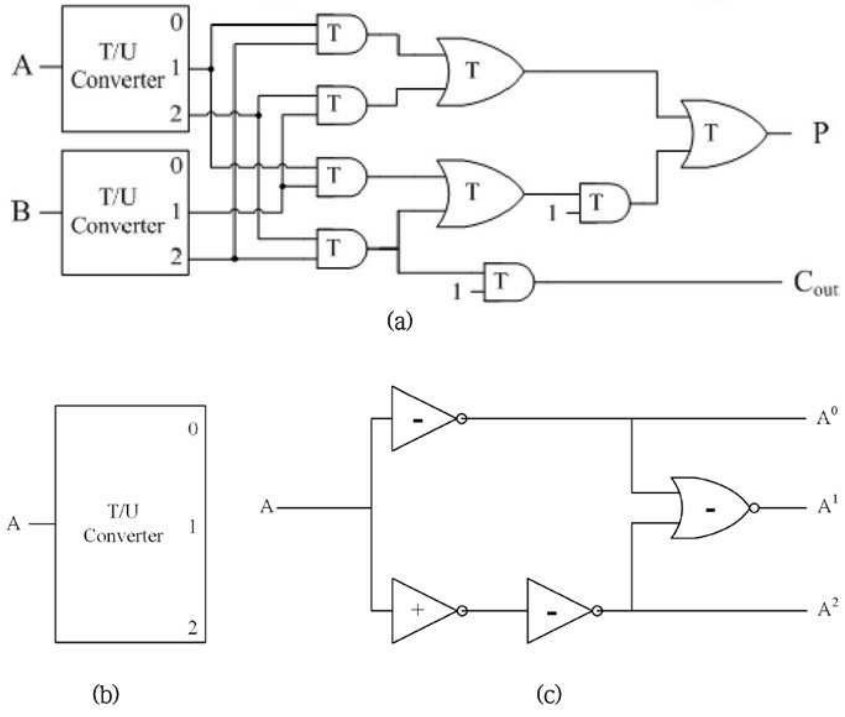
부호의 설명

[0145] 100: 1×1 삼진 곱셈기 P10: OAI21 게이트

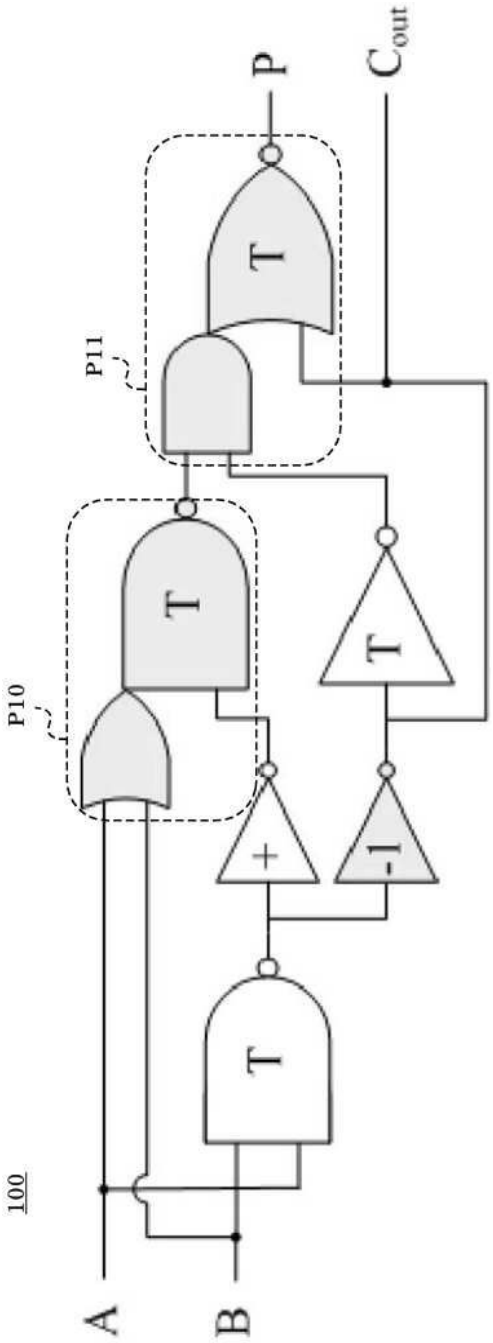
P11: AOI21 게이트 200: 2×2 삼진 곱셈기

도면

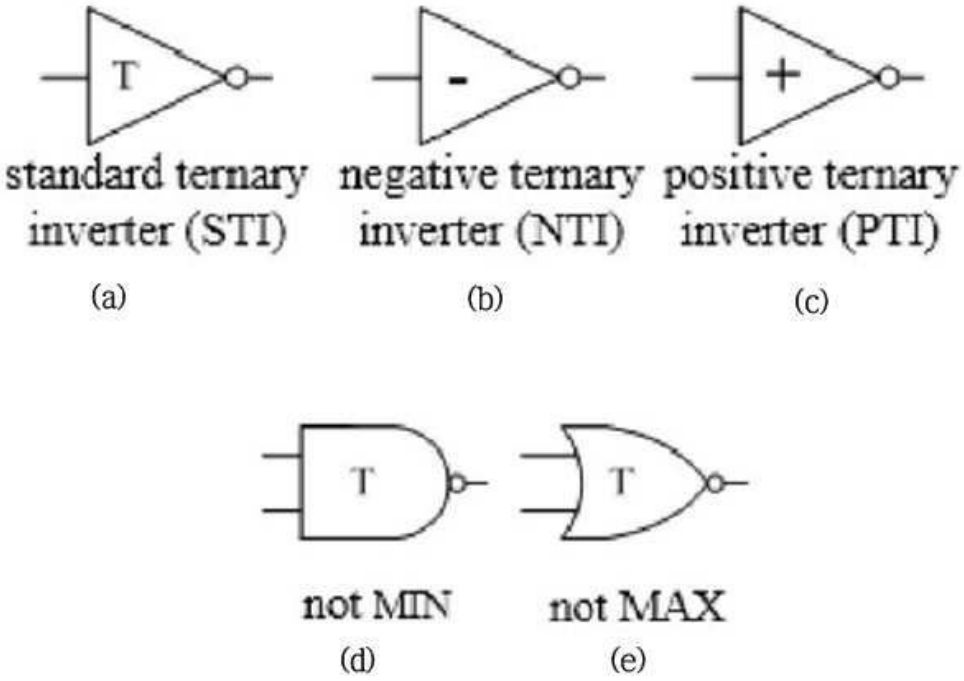
도면1a


A
T/U Converter
0
1
2
B
T/U Converter
0
1
2
T
T
T
T
T
T
T
T
1
1
P
C_{out}
(a)
A
T/U Converter
0
1
2
(b)
A
-
+
-
-
A^0
A^1
A^2
(c)

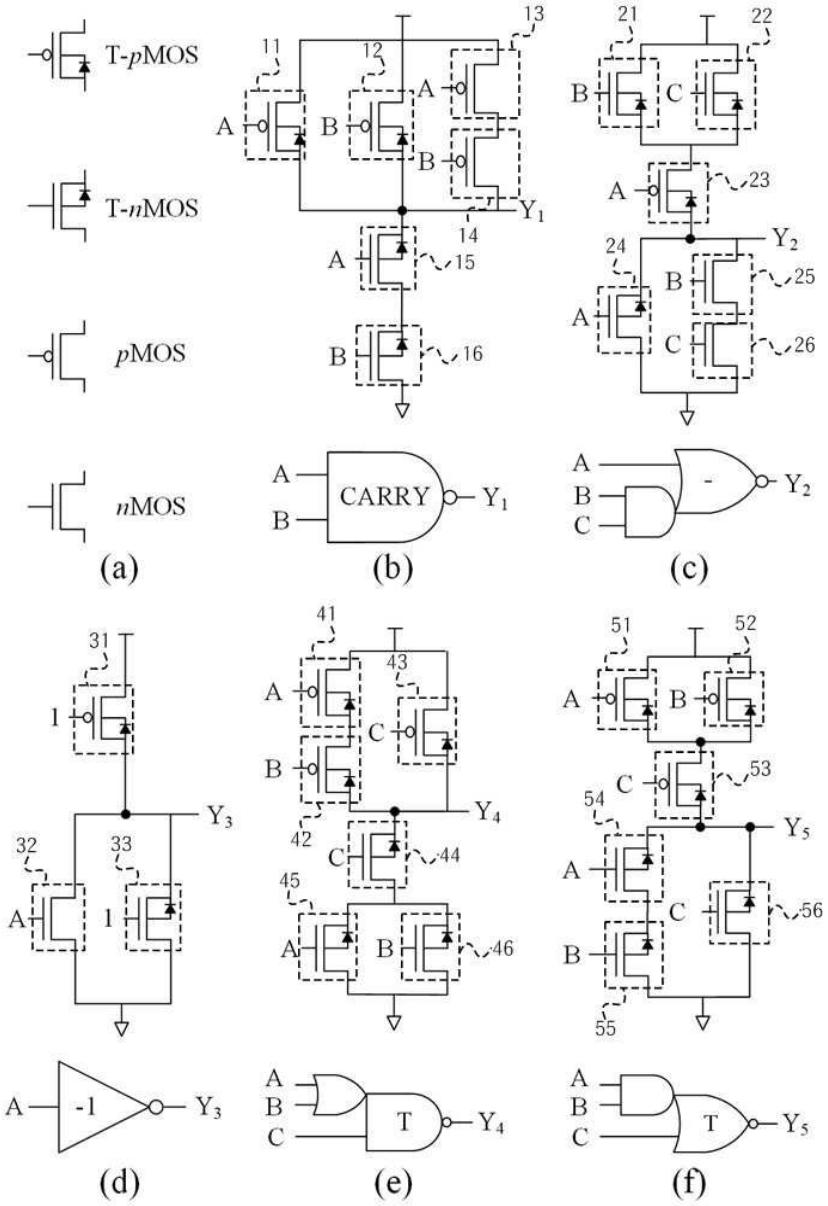
도면1b



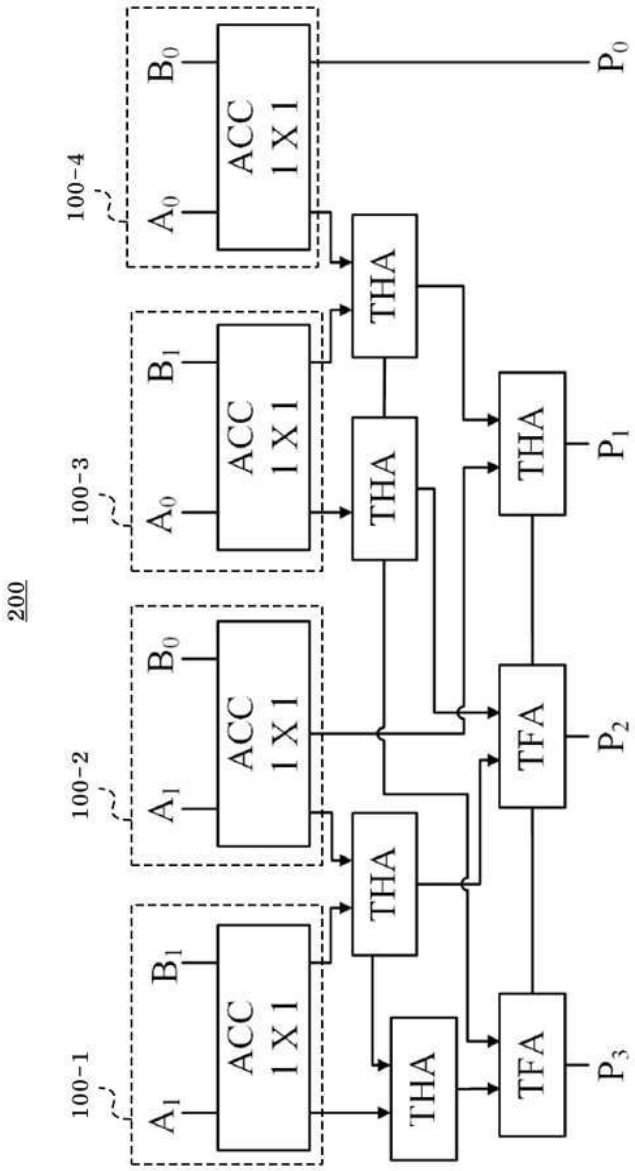
도면2


T
-
+
standard ternary inverter (STI)
negative ternary inverter (NTI)
positive ternary inverter (PTI)
(a)
(b)
(c)
T
T
not MIN
not MAX
(d)
(e)

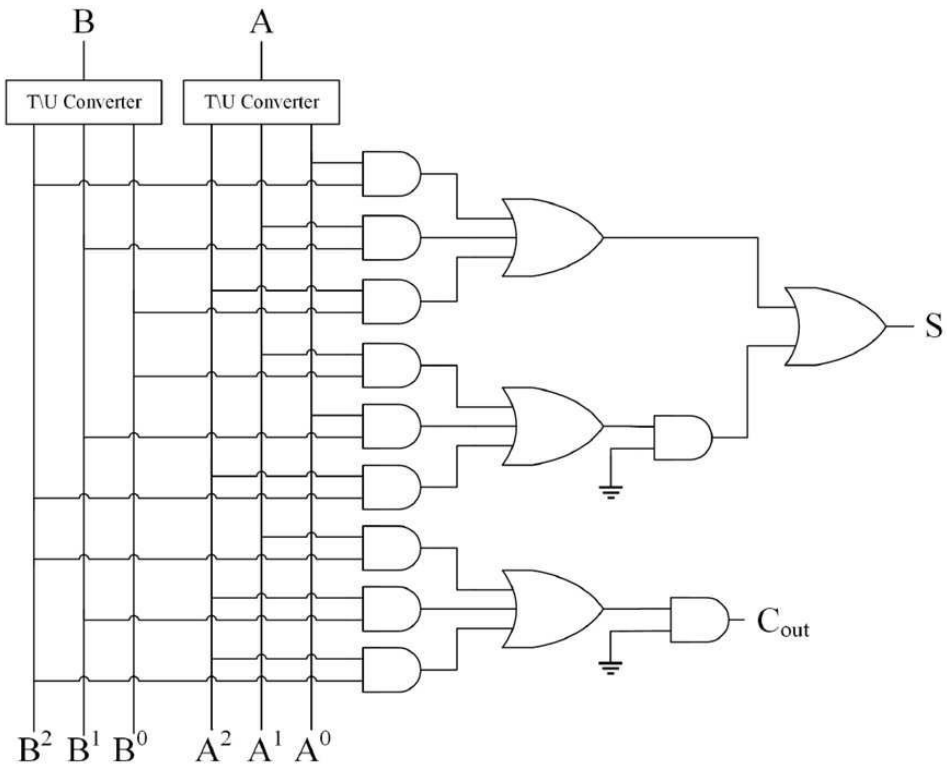
도면3


T-pMOS
T-nMOS
pMOS
nMOS
11
12
13
14
15
16
A
B
Y1
CARRY
(a)
(b)
21
22
23
24
25
26
C
Y2
(c)
31
32
33
Y3
-1
(d)
41
42
43
44
45
46
Y4
T
(e)
51
52
53
54
55
56
Y5
(f)

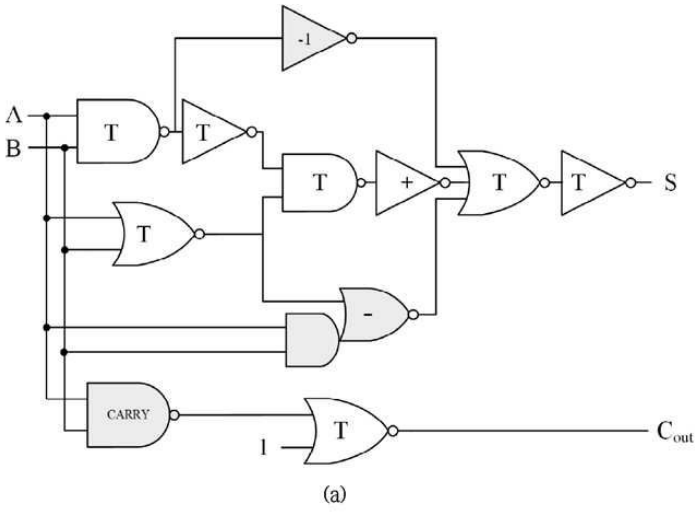
도면4



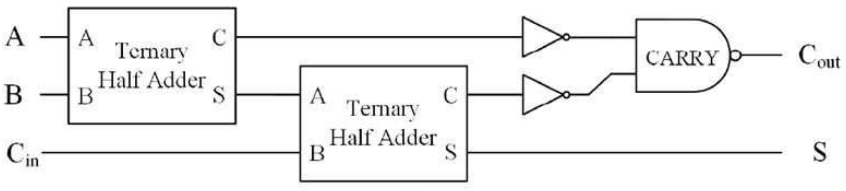
도면5


B
A
T\U Converter
T\U Converter
S
Cout
B2 B1 B0 A2 A1 A0

도면6

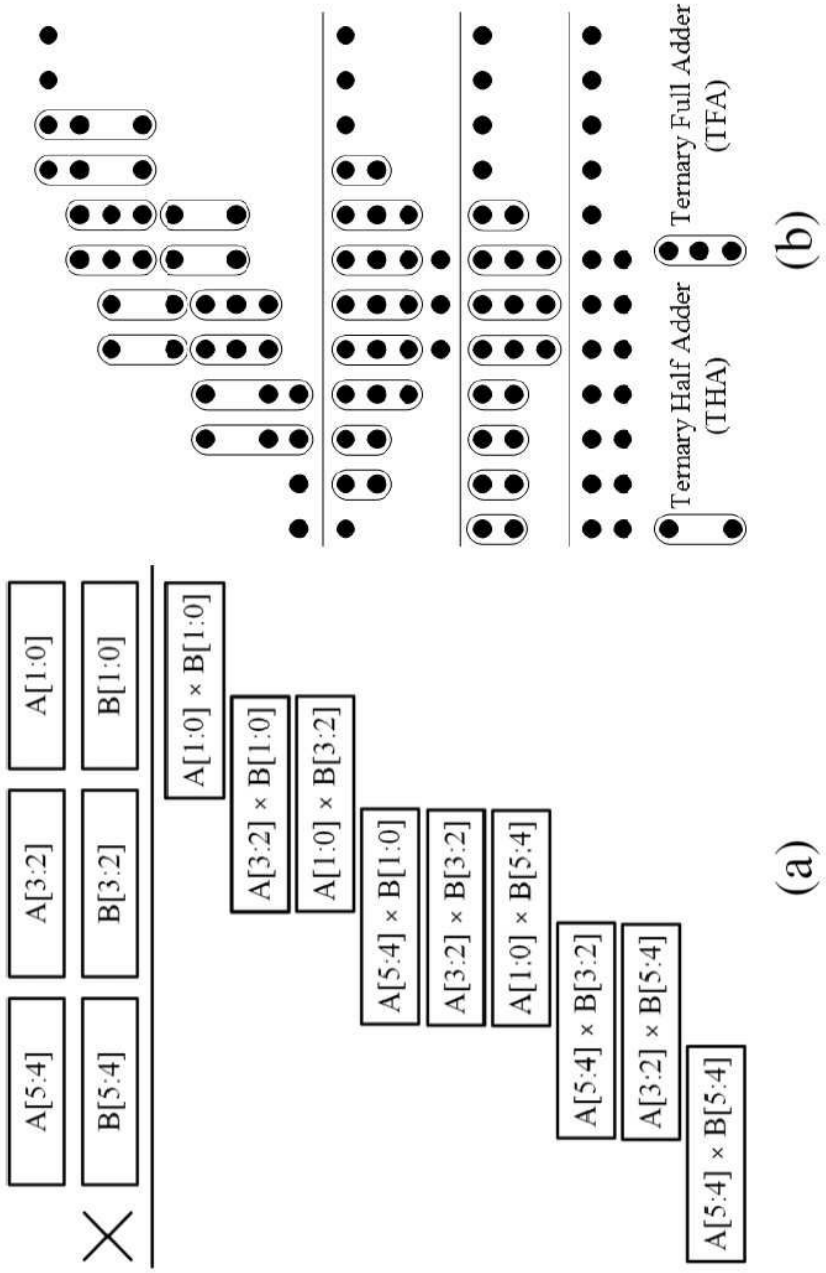

-1
A
B
T
T
T
+
T
T
S
T
-
CARRY
1
T
Cout

(a)

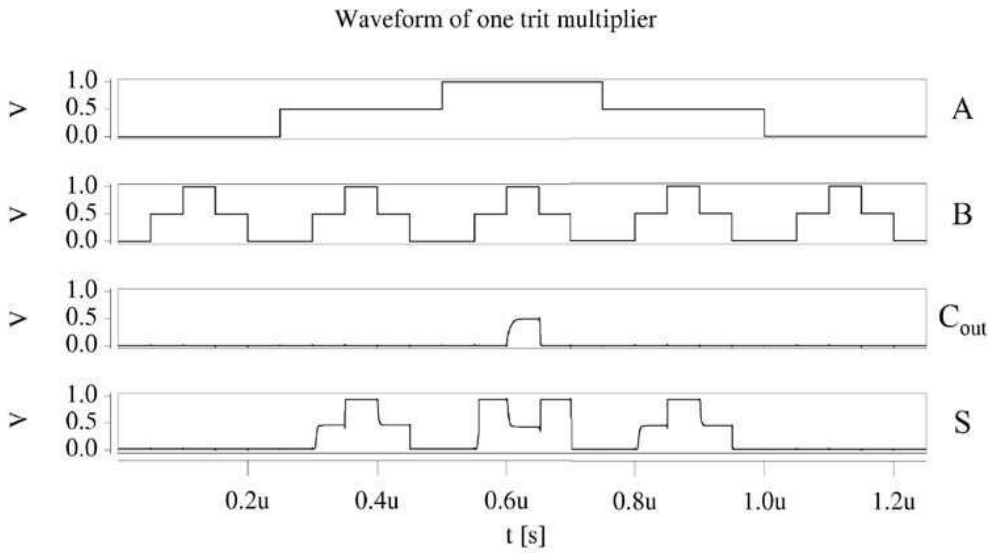

A
B
Cin
A
Ternary
Half Adder
B
C
S
A
Ternary
Half Adder
B
C
S
CARRY
Cout
S

(b)

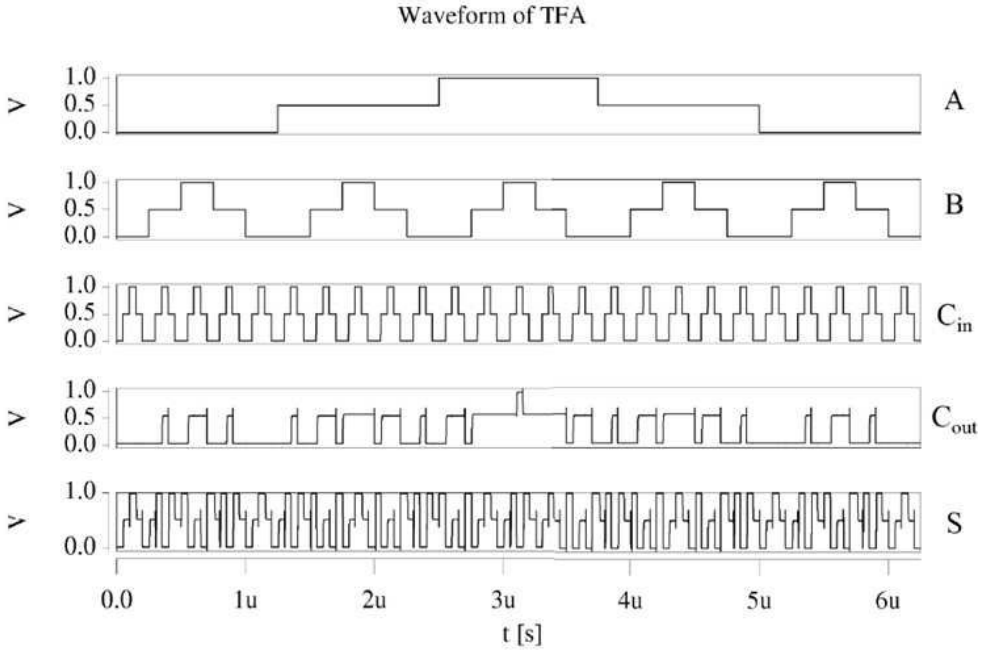
도면7


A[5:4]
A[3:2]
A[1:0]
B[5:4]
B[3:2]
B[1:0]
A[1:0] × B[1:0]
A[3:2] × B[1:0]
A[1:0] × B[3:2]
A[5:4] × B[1:0]
A[3:2] × B[3:2]
A[1:0] × B[5:4]
A[5:4] × B[3:2]
A[3:2] × B[5:4]
A[5:4] × B[5:4]
(a)
Ternary Half Adder (THA)
Ternary Full Adder (TFA)
(b)

도면8

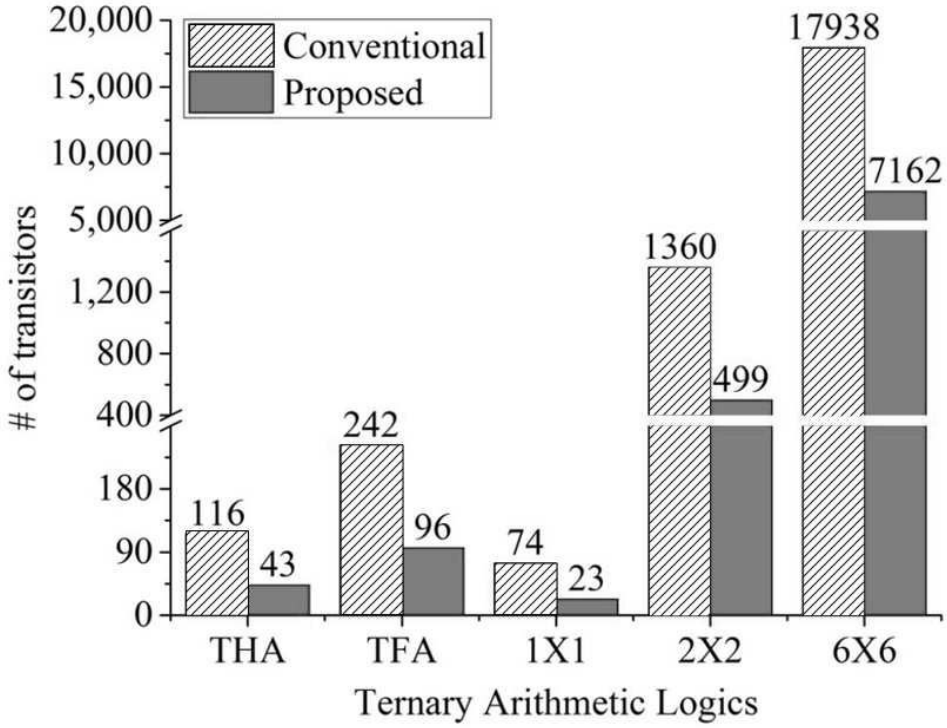

Waveform of one trit multiplier
V
1.0
0.5
0.0
A
B
C_{out}
S
0.2u
0.4u
0.6u
0.8u
1.0u
1.2u
t [s]

(a)


Waveform of TFA
V
1.0
0.5
0.0
A
B
C_{in}
C_{out}
S
0.0
1u
2u
3u
4u
5u
6u
t [s]

(b)

도면9



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제8항

【변경전】

상기 제 2 및 제 5 트랜지스터의

【변경후】

제 2 및 제 5 트랜지스터의

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 제7항

【변경전】

상기 제 2 및 제 6 트랜지스터의

【변경후】

제 2 및 제 6 트랜지스터의