Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 857987

(61) Дополнительное к авт. свид-ву –

(22) Заявлено 11.11.79 (21) 2839097/18-24

с присоединением заявки № –

(23) Приоритет –

Опубликовано 23.08.81. Бюллетень № 31

Дата опубликования описания 23.08.81

(51) М. Кл.^{3} G 06 F 7/64

(53) УДК 681.323 (088.8)

(72) Авторы изобретения В.Ф.Гузик и И.М.Криворучко

(71) Заявитель Таганрогский радиотехнический институт им. В.Д.Калмыкова

Библиотека ТРТИ

(54) ИНТЕГРО-ВЫЧИСЛИТЕЛЬНАЯ СТРУКТУРА

1

Изобретение относится к вычислительной технике и предназначено для решения широкого класса задач, описываемых системами дифференциальных и алгебраических уравнений и уравнениями, сводящимися к дифференциальным, для моделирования сложных динамических систем, непрерывных процессов и подвижных объектов, а также для использования в системах управления этими процессами и объектами.

Известна цифровая интегрирующая структура, содержащая решающие блоки, блок коммутации, блоки ввода и вывода и блок управления, и предназначенная для решения широкого класса задач, описываемых системами дифференциальных и алгебраических уравнений и уравнениями, сводящимися к дифференциальным [1].

Недостатком известной структуры является трудность миниатюризации из-за наличия блока коммутации, имеющего очень большое количество внешних выводов и требующего больших затрат оборудования.

Наиболее близкой по технической сущности к предлагаемому изобретению является цифровая интегрирующая структура, содержащая решающие блоки,

2

блок ввода, блок вывода, блок набора, блок управления, блок коммутаций, причем выход блока набора соединен с группой входов каждого решающего блока, а вход блока набора соединен с первым выходом каждого решающего блока, первый выход блока ввода соединен с первым входом каждого решающего блока, первый выход блока управления соединен с входом блока ввода и вторым входом каждого решающего блока, а вход блока управления соединен с вторым выходом каждого решающего блока и с первым входом блока вывода, второй вход которого соединен с вторым выходом блока управления, первая группа входов блока коммутации соединена с вторым выходом блока ввода, а каждый вход второй группы входов блока коммутации соединен с первым выходом соответствующего решающего блока, первая группа входов каждого решающего блока соединена также с соответствующей группой выходов блока коммутации [2].

Недостатком известной интегрирующей структуры является ее низкая надежность.

Цель изобретения - повышение надежности.

Поставленная цель достигается тем, что в структуру, содержащую блок ввода, блок управления, блок вывода и решающие блоки, каждый из которых включает арифметико-логический узел, причем выход блока ввода соединен с первым входом арифметико-логического узла каждого решающего блока, первый выход блока управления соединен с входом блока ввода и вторым входом арифметико-логического узла каждого решающего блока, второй выход блока управления соединен с входом блока вывода, группа входов которого соединена с первыми выходами арифметико-логического узла каждого решающего блока, введены адресный счетчик, элемент ИЛИ положительных приращений, элемент ИЛИ отрицательных приращений и в каждый решающий блок введены группа регистров адреса, регистр адреса, триггеры положительных и отрицательных приращений, группа узлов сравнения, узел сравнения, входные элементы И положительных и отрицательных приращений, выходные элементы И положительных и отрицательных приращений, причем вход адресного счетчика соединен с третьим выходом блока управления, выход каждого разряда адресного счетчика соединен с группой входов блока управления, с первой группой входов узла сравнения каждого решающего блока и с первой группой входов узлов сравнения группы каждого решающего блока, выход блока ввода соединен с первыми входами регистра адреса и регистров адреса группы каждого решающего блока, первый выход блока управления соединен с вторым входом регистра адреса, с вторыми входами регистров адреса группы и с нулевыми входами триггеров положительных и отрицательных приращений каждого решающего блока, в каждом решающем блоке вторая группа входов узлов сравнения группы соединена с выходом каждого разряда соответствующего регистра адреса группы и вторая группа входов узлов сравнения соединена с выходом каждого разряда регистра адреса, выходы узлов сравнения группы соединены с первыми входами соответствующих входных элементов И положительных и отрицательных приращений каждого решающего блока, группы входов арифметико-логического узла соединена с выходом триггеров положительных и отрицательных приращений каждого решающего блока, единичные входы которых соединены соответственно с выходами входных элементов И положительных и отрицательных приращений каждого решающего блока, второй и третий выходы арифметико-логического узла соединены соответственно с первыми входами выходных элементов И положительных и отрицательных приращений в каждом решающем блоке, вторые входы которых соединены с выходом узла сравнения каждого решающего блока, входы элементов ИЛИ положительных и отрицательных приращений соединены соответственно с выходами выходных элементов И положительных и отрицательных приращений каждого решающего блока, а их выходы соединены соответственно с вторыми входами каждого входного элемента И положительных и отрицательных приращений каждого решающего блока.

На фиг. 1 представлена блок-схема интегро-вычислительной структуры; на фиг. 2 - блок управления структуры.

Структура содержит блок 1 управления, блок 2 ввода, блок 3 вывода, адресный счетчик 4, элемент ИЛИ 5 положительных приращений, элемент ИЛИ 6 отрицательных приращений и решающие блоки 7, содержащие арифметико-логический узел 8, регистр 9 адреса, группу регистров 10 адреса, триггеры 11 положительных приращений, триггеры 12 отрицательных приращений, узел 13 сравнения, группу узлов 14 сравнения адресов, входные элементы И 15 положительных приращений, входные элементы И 16 отрицательных приращений, выходной элемент И 17 положительных приращений, выходной элемент И 18 отрицательных приращений.

Блок 1 управления (фиг.2) содержит пульт 19 управления, счетчик 20 итераций, узел 21 пуска-останова, узел 22 управляющих импульсов и потенциалов. Узел 21 содержит первый элемент 23 сравнения, второй элемент 24 сравнения, первый элемент И 25, инвертор 26, второй элемент И 27, первый элемент 28 задержки, первый элемент ИЛИ 29, второй элемент ИЛИ 30, первый триггер 31, второй элемент 32 задержки, третий элемент ИЛИ 33, второй триггер 34, третий элемент И 35, четвертый элемент И 36, третий триггер 37, пятый элемент И 38, третий элемент 39 задержки, четвертый элемент ИЛИ 40.

Узел 22 управляющих импульсов и потенциалов содержит распределитель 41 импульсов, элемент И 42, счетчик 43, элемент ИЛИ 44, дешифратор 45, групп 46 клапанов, группу 47 триггеров, генератор 48 тактовых импульсов, группу входов 49 блока управления, первый выход 50 блока управления, второй выход 51 блока управления, третий выход 52 блока управления.

Решение задач на интегро-вычислительной структуре осуществляется приближенными методами численного

интегрирования. Результаты решения получаются в виде числовых значений искомых величин через разные интервалы времени.

Решаемая задача представляется в виде симметричной формы уравнений Шеннона

$$dy_{pK}=\sum_{j=1}^{N} A_{pKj}\,dz_j;$$

$$dy_{qK}=\sum_{j=1}^{N} A_{qKj}\,dz_j;$$

$$dz_K=y_{pK}\,dy_{qK};$$

$$dz_1=dx;$$

$$y_{pK}(x_0)=y_{pK0},\ K=2,3,\ldots,N,$$

где A_{pKy} и A_{qKj} ($j=1,2,\ldots,N$) являются постоянными коэффициентами, принимающими значения 0 или 1 в зависимости от решаемой задачи.

На входе арифметико-логических узлов информация подается в виде приращений подынтегральной функции и переменной интегрирования. Арифметико-логический узел оперирует с одноразрядными приращениями, представленными в тернарной системе кодирования, и выполняет цифровое интегрирование, суммирование приращений, функцию знака, ограничение, слежение.

Программа коммутации для каждого решающего блока записывается в виде адресов входных приращений по каждому входу.

Перед настройкой интегро-вычислительной структуры на решение задачи и выполнением процесса решения производится установка в исходное положение блока 2 ввода и узла 8, регистра 9, регистров 10, триггеров 11 и 12, соответствующего сигнала с выхода пульта 19 управления на выход 50 блока 1 управления. Одновременно подачей этого же сигнала на выход 51 блока 1 управления производится установка в исходное состояние блока 3 вывода, а подачей этого сигнала с выхода пульта 19 управления через элементы ИЛИ 33 и ИЛИ 29 блока 21 на третий выход 52 блока 1 управления производится установка в нулевое положение адресного счетчика 4. Кроме того, этот сигнал с выхода пульта 19 управления, пройдя через ИЛИ 33, устанавливает в нулевое положение триггер 34 блока 21 и счетчик 20, пройдя через элемент ИЛИ 40, устанавливает в нулевое положение триггеры 31 и 37 блока 21, пройдя через элемент ИЛИ 44, устанавливает в нулевое положение счетчик 43 блока 22, а также устанавливает в исходное положение распределитель 41 импульсов блока 22, поступив на третий его вход.

Затем производится настройка интегро-вычислительной структуры на решение задачи. При этом с выхода пульта 19 управления подается сигнал начала настройки, который через выход 50 блока 1 управления поступает в блок 2 ввода и через элемент ИЛИ 30 блока 21 поступает на единичный вход триггера 31 этого же блока. В результате триггер 31 блока 21 переходит в единичное состояние и подает на первый вход распределителя 41 импульсов блока 22 сигнал разрешения запуска.

По этому сигналу распределитель 41 блока 22 запускается и начинает вырабатывать распределенные временные импульсы, которые с выходов распределителя 41 поступают на единичные и нулевые входы группы 47 триггеров блока 22 и производят выработку управляющих потенциалов соответствующей длительности, которые с второго выхода узла 47, так же как и распределенные временные импульсы с третьего выхода распределителя 41, поступают через первый выход 50 блока 1 в блок 2 ввода и решающие блоки 7 для обеспечения организации ввода настроечной информации.

Кроме того, первый временной импульс в каждом цикле проходит с первого выхода распределителя 41 через открытый элемент И 42 блока 22 (так как триггер 34 блока 21 после установки в исходное состояние выдает с нулевого выхода разрешающий сигнал на второй вход И 42 блока 22) на суммирующий вход счетчика 43 и изменяет его состояние. Счетчик 43 является счетчиком по модулю $(d+3)$, где d - количество входов подынтегральной функции и переменной интегрирования в узле 8, т.е. через каждые $(d+3)$ цикла состояние счетчика повторяется и на $(d+3)$ выходах дешифратора 45 блока 22 последовательно появляются разрешающие сигналы, которые поступают на соответствующие клапаны узла 46 и последовательно пропускают потенциалы соответствующей длительности с выхода узла 47 через узел 46 и первый выход 50 блока 1 на управляющий вход соответствующего адресного регистра 9 или 10, или регистра подынтегральной функции или регистра кода операции в узле 8 для организации последовательного ввода настроечной информации в каждом цикле в соответствующий регистр из $(d+3)$ регистров выбранного решающего блока 7.

В то же время, после подачи сигнала начала настройки одновременно с выработкой блоком 1 управления управляющих сигналов, необходимых для организации ввода настроечной информации в решающие блоки 7, сигнал начала настройки поступает с выхода пульта 19 управления через первый выход 50 блока 1 в блок 2 ввода, запускает его и этот блок начинает считывать с внешних носителей настроечную информацию и пода-

вать ее в последовательно выбираемые решающие блоки 7. И за (d+3) цикла подаваемая в выбранный решающий блок 7 настроечная информация последовательно вводится в соответствующие регистры этого блока с помощью последовательно поступающих в каждом цикле на соответствующий регистр блока 7 с выходов группы 46 клапанов узла 22 управляющих потенциалов соответствующей длительности. При этом в каждый решающий блок 7, в регистр 9 заносится адрес, соответствующий номеру решающего элемента на структурной схеме задачи, в узел 8 заносятся соответствующие этому решающему элементу начальные значения подынтегральной функции и кода операций, а в регистры 10 - соответствующие ему адреса входных приращений, т.е. номера тех решающих элементов, которые по структурной схеме решения задачи соединены с соответствующим входом данного решающего элемента.

После ввода всей настроечной информации в решающие блоки 7 настройки предлагаемой интегро-вычислительной структуры на решение задачи заканчивается и начинается выполнение процесса решения, который на каждой итерации разбивается на два этапа: этап вычислений и этап передачи приращений.

Перед началом решения на пульте 19 управления блока 1 устанавливается необходимое количество итераций, в течение которого вычисляется точка решения, и устанавливается количество решающих модулей, задействованных в решаемой задаче. Затем на пульте 19 управления вырабатывается команда "Пуск" и соответствующий сигнал с второго выхода пульта 19 управления поступает на единичный вход триггера 34 узла 21, устанавливая его в единичное состояние, и через элемент ИЛИ 30 - на единичный вход триггера 31, подтверждая его единичное состояние. В результате триггер 34 узла 21 закрывает элемент И 42 узла 22 и подачей сигнала с единичного выхода через ИЛИ 44 узла 22 устанавливает в нулевое состояние счетчик 43, запрещая тем самым выработку управляющих сигналов, обеспечивающих ввод настроечной информации в регистры решающих блоков 7. Одновременно сигнал с единичного выхода триггера 34 узла 21 открывает элемент И 35 узла 21 и первый временный импульс, соответствующий началу итерации, с первого выхода распределителя 41 узла 22 проходит через элемент И 35 и устанавливает в единичное состояние триггер 37 узла 21, который начинает выдавать через первый выход 50 блока 1 в узел 8 каждого решающего блока 7 сигнал, разрешающий решение. Одновременно в решающие блоки 7 из блока 1 управления с выходов распределителя 41 и группы 47 триггеров поступают временные импульсы и управляющие потенциалы, обеспечивающие процесс вычислений.

Начинается этап вычислений на первой итерации, в течение которого в узле 8 каждого решающего блока 7 производятся вычисления приращений интеграла для следующей итерации. Одновременно с выхода триггера 37 узла 21 поступает на управляющий вход счетчика 20 разрешающий сигнал, который разрешает суммирование, и первый временной импульс, соответствующий началу итерации, поступает с выхода распределителя 41 импульса узла 22 и перебрасывает счетчик 20 в состояние, равное единице.

По окончании этапа вычислений на первой итерации последний временной импульс, соответствующий концу итерации, поступает с третьего выхода распределителя 41 через первый выход 50 блока 1 на нулевые входы триггеров 11 и 12 каждого решающего блока 7 и устанавливает их в нулевое состояние, подготовляя их этим к выполнению этапа передачи приращений. Одновременно последний временной импульс пройдет с второго выхода распределителя 41 узла 22 через открытый элемент И 38 узла 21 и, задерживаясь на один такт на элементе 39 задержки, поступает через ИЛИ 40 на нулевые входы триггеров 31 и 37 узла 21 и устанавливает их в нулевое состояние. В результате триггер 31 узла 21 прекращает выработку сигнала разрешения запуска в распределитель 41 узла 22, и распределитель 41 перестает выдавать на выход 50 блока 1 распределенные временные импульсы, а группа 47 триггеров - управляющие потенциалы, необходимые для организации процесса вычислений в решающих блоках 7, а триггер 37 узла 21 прекращает выработку сигнала, разрешающего решение.

На этом этап вычислений заканчивается и, начиная со следующего такта, тактирующие импульсы с выхода генератора 48 узла 22 через открытый элемент И 36 узла 21 (так как триггер 31 после окончания этапа вычислений устанавливается в нулевое состояние, а триггер 34 находится с начала процесса решения задачи в единичном состоянии) и через третий выход 52 блока 1 начинают поступать как импульсы адресации на суммирующий вход адресного счетчика 4, последовательно изменяя его состояние от 0 до N' ($N' \leq N$, где N' - количество решающих блоков, задействованных в решаемой задаче, а N - общее количество решающих модулей в структуре) и, обеспечивая передачу выходных одноразрядных приращений, пред-

ставленных в тернарной системе кодирования, на входы решающих блоков 7, начинается этап передачи приращений для второй итерации. При этом первый импульс, поступивший в счетчик 4 из блока 1 управления с выхода элемента И 36, перебрасывает этот счетчик в состояние, равное единице. В результате в решающем блоке 7, в регистр 9 которого записан адрес, равный единице, узел 13 выдает сигнал равенства адресов и разрешает подачу выходных приращений этого решающего блока 7, соответствующего первому решающему элементу на структурной схеме задачи, через соответствующие элементы И 17 и И 18 этого блока и через соответствующие элементы ИЛИ 5 и ИЛИ 6 - на входы всех решающих блоков 7. Одновременно в решающих блоках 7, соответствующих решающим элементам, входы которых по структурной схеме задачи соединены с выходом первого решающего элемента, в соответствующих регистрах 10 записывается адрес, равный единице, и соответствующие им узлы 14 сравнения выдают сигналы равенства адресов, которые открывают соответствующие входные элементы И 15 и И 16 и выходные приращения первого решающего элемента с выходов ИЛИ 5 и ИЛИ 6 через эти элементы И 15 и И 16 поступают на единичные входы соответствующих триггеров 11 и 12 и записываются в них.

В следующем такте из блока 1 управления с выхода элемента И 36 в счетчик 4 поступает второй импульс Счетчик 4 устанавливается в состояние, равное двум, и выходные приращения из решающего блока 7, соответствующего второму решающему элементу, записываются в соответствующие триггеры 11 и 12 тех решающих блоков 7, которые соответствуют решающим элементам, соединенным по структурной схеме задачи с выходом второго решающего элемента.

В следующем такте счетчик 4 устанавливается в состояние, равное трем, и происходит переадресация приращений третьего решающего элемента и т.д. до N'-го такта, в котором происходит переадресация приращений последнего N'-го решающего элемента решаемой задачи. Одновременно в N'-ом такте установленное на пульте 19 управления блока 1 значение числа решающих модулей, задействованных в решаемой задаче, совпадает с кодом, поступающим через группу входов 49 блока 1 из адресного счетчика 4. В результате элемент 24 сравнения выдает сигнал равенства кодов, который поступает на входы элементов И 25 и И 27. Но так как на выходе элемента 23 сравнения сигнал равенства кодов еще отсутствует, то элемент И 25 закрыт, а элемент И 27 открыт, так как на выходе инвертора 26 разрешающий сигнал, и сигнал равенства кодов поступает в N'-ом такте с выхода элемента 24 через И 27, и, задерживаясь на один такт на элементе 28 задержки, происходит в следующем такте через элемент ИЛИ 29 в счетчик 4, устанавливая его в нулевое состояние, а через элемент ИЛИ 30 на единичный вход триггера 31, устанавливая его в единичное состояние и запрещая тем самым прохождение импульсов адресации через элемент И 36 на вход счетчика 4 и одновременно разрешая запуск распределителя 41 подачей сигнала разрешения запуска с единичного выхода триггера 31.

На этом этап передачи приращений заканчивается, распределитель 41 импульсов запускается и первый временной импульс пройдет через открытый элемент И 35, так как триггер 34 находится с начала процесса решения задачи в единичном состоянии, и устанавливает в единичное состояние триггер 37, который начнет выдавать через первый выход 50 блока 1 в узел 8 каждого решающего блока 7 сигнал, разрешающий решение. Одновременно в решающие блоки 7 из блока 1 управления с выходов распределителя 41 и группы 47 триггеров поступают временные импульсы и управляющие потенциалы, обеспечивающие процесс вычислений.

Начинается этап вычислений на второй итерации, в течение которого одноразрядные приращения, представленные в тернарной системе кодирования, с выходов триггеров 11 и 12 поступают в виде потенциалов, соответствующих +1 или -1, на соответствующие входы узла 8 каждого решающего блока 7 и в них производятся вычисления новых значений подынтегральной функции и приращений интеграла для следующей интерации. Одновременно с выхода триггера 37 узла 21 поступает на управляющий вход счетчика 20 итераций разрешающий сигнал, который разрешает суммирование, и первый временной импульс, соответствующий началу итерации, поступает с выхода распределителя импульсов 41 узла 22 и перебрасывает счетчик 20 в состояние, равное двум.

По окончании этапа вычислений на второй итерации последний временной импульс, соответствующий концу итерации, поступает с третьего выхода распределителя 41 через первый выход 50 блока 1 на нулевые входы триггеров 11 и 12 и устанавливает их в нулевое состояние, подготовляя тем самым к выполнению этапа передачи приращений. Одновременно последний временной импульс проходит с второго

выхода распределителя 41 узла 22 через открытый элемент И 38 узла 21 и, задержавшись на один такт на элементе 39 задержки, поступает через ИЛИ 40 на нулевые входы триггеров 31 и 37 и устанавливает их в нулевое состояние. В результате триггер 31 узла 21 прекращает выработку сигнала разрешения запуска в распределитель 41 узла 22, и распределитель 41 перестает выдавать на выход 50 блока 1 распределенные временные импульсы, а группа 47 триггеров - управляющие потенциалы, необходимые для организации процесса вычислений в решающих блоках 7, а триггер 37 узла 21 прекращает выработку сигнала, разрешающего решение.

На этом этап вычислений заканчивается и со следующего такта начинается этап передачи приращений. Далее этап вычислений и этап передачи приращений периодически повторяется.

Синхронизация работы всех блоков структуры осуществляется подачей синхронизирующих импульсов с выхода генератора 48 узла 22.

После обработки заданного количества итераций счетчик 20 в начале этапа вычислений на последней итерации первым временным импульсов перебрасывается в состояние, соответствующее заданному на пульте управления количеству итераций и в результате элемент 24 сравнения блока 21 выдает сигнал равенства кодов, который через второй выход 51 поступает в блок 3 вывода и запускает его. Блок 3 производит вывод на печать получаемых на последней итерации значений подынтегральных функций из тех узлов 8, в коде операции которых имеется признак печати. После проведения этапа вычислений на последней итерации выполняется этап передачи приращений, по окончании которого элемент 24 сравнения выдает сигнал равенства кодов и, так как на выходе элемента 23 сравнения тоже имеется сигнал равенства кодов, элемент И 27 закрыт и не пропускает сигнал на запуск распределителя 41, но в то же время элемент И 25 открыт и сигнал с выхода узла 24 проходит через элемент И 25 и, задержавшись на один такт на элементе задержки 32, проходит через элемент ИЛИ 33 и устанавливает в нулевое состояние триггер 34 узла 21, счетчик итераций 20, а, пройдя через ИЛИ 29 и третий выход 52 блока 1, устанавливает в нулевое состояние адресный счетчик 4.

На этом процесс вычисления первой точки решения заканчивается и после окончания печати всей выводимой информации данной точки решения подачей сигнала "Пуск" с второго выхода пульта 19 управления устанавливаются в единичное состояние триггера 31 и 34 узла 21 и начинаются вычисления второй точки решения.

После получения необходимого количества точек решения процесс решения задачи заканчивается.

Таким образом, предлагаемая интегро-вычислительная структура с одноразрядными приращениями позволяет устранить трудно поддающийся миниатюризации блок коммутации за счет изменения принципа передачи приращений и введения коммутационного оборудования в решающие модули, в результате чего обеспечивается возможность миниатюризации структуры, так как реализация решающих модулей с введенным в них коммутационным оборудованием, а также остальных блоков структуры в виде больших интегральных схем не представляет затруднений.

В то же время реализация блоков известной интегро-вычислительной структуры в виде больших интегральных схем не представляется возможной из-за наличия блока коммутации, имеющего очень большое количество внешних выводов и требующего больших затрат оборудования, а расчленение блока коммутации на отдельные узлы с целью реализации их в виде отдельных больших интегральных схем малоэффективно, так как, во-первых, число этих интегральных схем для известной структуры оказывается значительным, а во-вторых, число внешних выводов еще более возрастает. Кроме того, устранение блока коммутации повышает надежность предложенной интегро-вычислительной структуры, так как значительно сокращается число внешних выводов и уменьшились затраты оборудования. При всем этом предлагаемая структура сохраняет универсальность коммутации, которую известная интегро-вычислительная структура обеспечивает посредством блока коммутации, так как любой вход любого решающего модуля предлагаемой структуры можно соединить с выходом любого решающего модуля, задав соответствующий адрес в регистр адреса входных приращений выбранного решающего модуля.

Формула изобретения

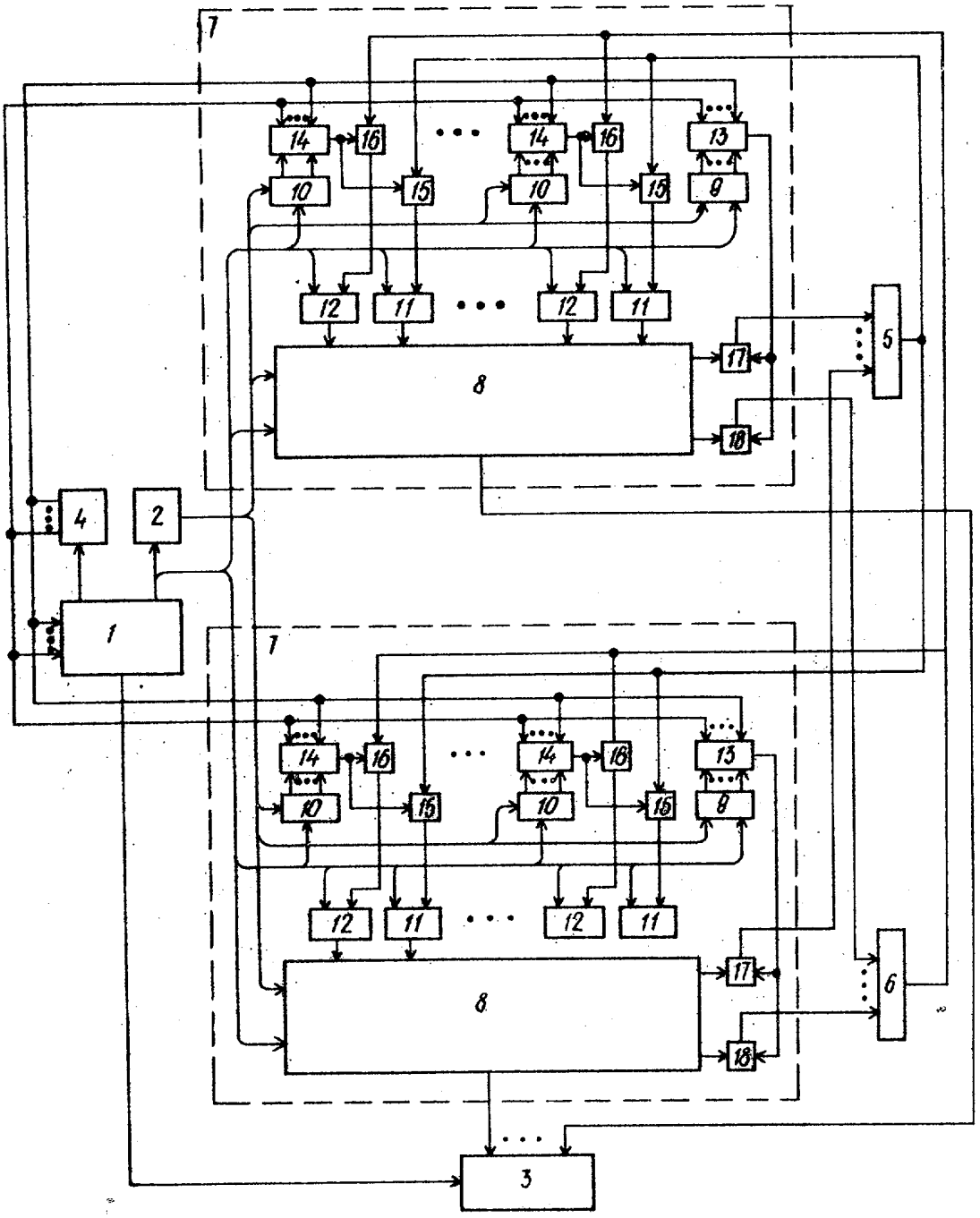
Интегро-вычислительная структура, содержащая блок ввода, блок управления, блок вывода и решающие блоки, каждый из которых включает арифметико-логический узел, причем выход блока ввода соединен с первым входом арифметико-логического узла каждого решающего блока, первый выход блока управления соединен с входом блока ввода и вторым входом арифметико-логического узла каждого решающего блока, второй выход блока управления

соединен с входом блока вывода, группа входов которого соединена с первыми выходами арифметико-логического узла каждого решающего блока, отличающаяся тем, что, с целью повышения надежности, в нее введены адресный счетчик, элементы ИЛИ положительных приращений, элементы ИЛИ отрицательных приращений и в каждый решающий блок введены группа регистров адреса, регистр адреса, триггеры положительных и отрицательных приращений, группа узлов сравнения, узел сравнения, входные элементы И положительных и отрицательных приращений, выходные элементы И положительных и отрицательных приращений, причем вход адресного счетчика соединен с третьим выходом блока управления, выход каждого разряда адресного счетчика соединен с группой входов блока управления, с первой группой входов узла сравнения каждого решающего блока и с первой группой входов узлов сравнения группы каждого решающего блока, выход блока ввода соединен с первыми входами регистра адреса и регистров адреса группы каждого решающего блока, первый выход блока управления соединен с вторым входом регистра адреса, с вторыми входами регистров адреса группы и с нулевыми входами триггеров положительных и отрицательных приращений каждого решающего блока, в каждом решающем блоке вторая группа входов узлов сравнения группы соединена с выходом каждого разряда соответствующего регистра адреса группы и вторая группа входов узлов сравнения соединена с выходом каждого разряда регистра адреса, выходы узлов сравнения группы соединены с первыми входами соответствующих входных элементов И положительных и отрицательных приращений каждого решающего блока, группа входов арифметико-логического узла соединена с выходами триггеров положительных и отрицательных приращений каждого решающего блока, единичные входы которых соединены соответственно с выходами входных элементов И положительных и отрицательных приращений каждого решающего блока, второй и третий выходы арифметико-логического узла соединены соответственно с первыми входами выходных элементов И положительных и отрицательных приращений в каждом решающем блоке, вторые входы которых соединены с выходом узла сравнения каждого решающего блока, входы элементов ИЛИ положительных и отрицательных приращений соединены соответственно с выходами выходных элементов И положительных и отрицательных приращений каждого решающего блока, а их выходы соединены соответственно с вторыми входами каждого входного элемента И положительных и отрицательных приращений каждого решающего блока.

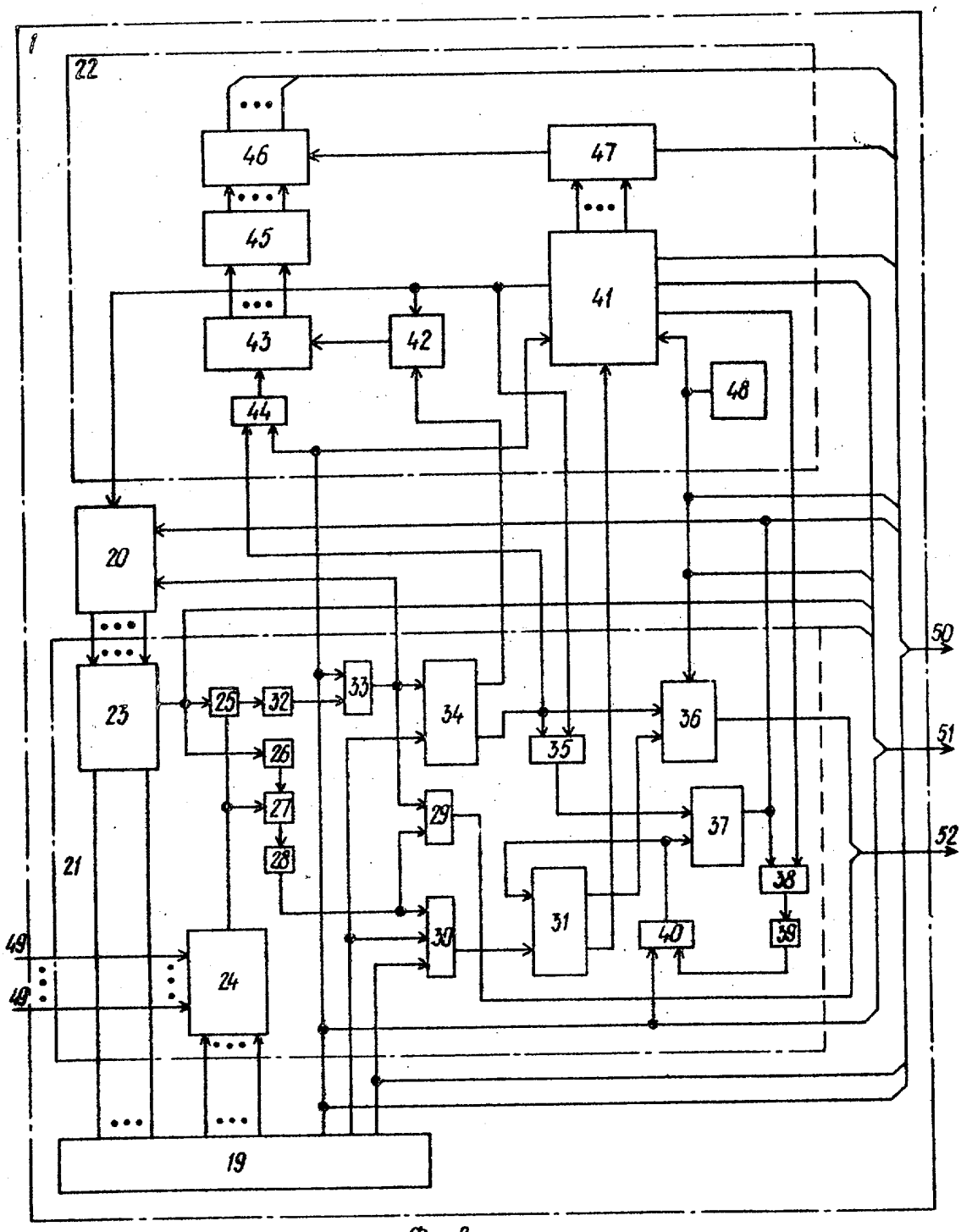
Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР №488205, кл. G 06 F 7/00, 1975.

2. Авторское свидетельство СССР №532112, кл. G 06 J 1/02, 1976 (прототип).


7
14
16
14
16
13
10
15
10
15
9
12
11
12
11
8
17
18
5
4
2
1
7
14
16
14
16
13
10
15
10
15
9
12
11
12
11
8
17
18
6
3

Фиг. 1



Фиг 2

Составитель Н.Палеева
Редактор П.Ортутай Техред М. Голинка Корректор Г.Решетник

Заказ 7245/79 Тираж 745 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4