

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-93658  
(P2010-93658A)

(43) 公開日 平成22年4月22日(2010.4.22)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 7/025 (2006.01)	HO4N 7/08	5C063
HO4N 7/03 (2006.01)	HO4J 3/00 M	5K028
HO4N 7/035 (2006.01)		
HO4N 7/08 (2006.01)		
HO4N 7/081 (2006.01)		

審査請求 有 請求項の数 7 O L (全 32 頁) 最終頁に続く

(21) 出願番号 特願2008-263243 (P2008-263243)  
(22) 出願日 平成20年10月9日 (2008.10.9)

(71) 出願人 000002185  
ソニー株式会社  
東京都港区港南1丁目7番1号  
(74) 代理人 100122884  
弁理士 角田 芳末  
(74) 代理人 100133824  
弁理士 伊藤 仁恭  
(72) 発明者 山下 重行  
東京都港区港南1丁目7番1号 ソニー株式会社内  
Fターム(参考) 5C063 AB03 AB05 AC01  
5K028 AA11 BB01 EE03 GG00 KK01  
KK03 SS04 SS06 SS07 SS14  
SS16 SS17

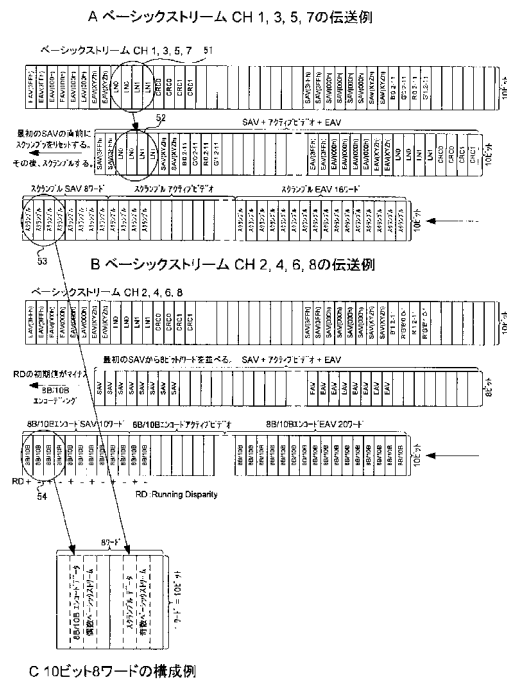
(54) 【発明の名称】 信号送信装置及び信号送信方法

(57) 【要約】

【課題】フラットフィールドの映像信号を好適に出力すること。

【解決手段】所定の伝送規格に従ってLink A及びBのHD-SDI信号にマッピングし、Link Aについては、各水平ラインのデータのうち、000h, 000h, 000h, 000hで規定されるタイミング基準信号SAVを所定の値に書き換える。そして、水平ランキング期間以外のデータに自己同期型スクランブルを掛ける。そして、SAVの直前でスクランブラ内のレジスタの値を全て0にセットしてエンコードし、誤り検出符号CRCに続く少なくとも数ビットまでのデータを出力する。一方、Link BのRGBのビットを8B/10Bエンコーディングしたデータと多重して、10.692 Gbpsのシリアル・デジタルデータを生成する。

【選択図】 図1



ベーシックストリームのフォーマットの例

## 【特許請求の範囲】

## 【請求項 1】

所定の伝送規格に従ってマッピングされた Link A である CH 1, CH 3, CH 5, CH 7 及び Link B である CH 2, CH 4, CH 6, CH 8 の HD - SDI フォーマットのシリアル・デジタルビデオ信号を、それぞれシリアル/パラレル変換するシリアル/パラレル変換部と、

前記シリアル/パラレル変換部によってシリアル/パラレル変換された Link A の各水平ラインのデータのうち、000h, 000h, 000h, 000h で規定されるタイミング基準信号 SAV を所定の値に書き換えて、タイミング基準信号 SAV, アクティブライン, タイミング基準信号 EAV, ライン番号 LN 及び誤り検出符号 CRC のデータのみ自己同期型スクランブルを掛け、タイミング基準信号 SAV の直前でスクランブラ内のレジスタの値を全て 0 にセットしてエンコードし、誤り検出符号 CRC に続く少なくとも数ビットまでのデータを出力するスクランブラと、

10

前記シリアル/パラレル変換部によってシリアル/パラレル変換された Link B の各水平ラインのデータのうち、タイミング基準信号 SAV, アクティブライン, タイミング基準信号 EAV, ライン番号 LN 及び誤り検出符号 CRC のデータのみから RGB のビットを抜き出す抜き出し部と、

前記抜き出し部によって抜き出された Link B の RGB のビットを 8 ビット/10 ビットエンコーディングする 8 ビット/10 ビットエンコーダと、

前記スクランブラによって自己同期型スクランブルを掛けられた Link A のパラレル・デジタルデータと、前記 8 ビット/10 ビットエンコーダによって 8 ビット/10 ビットエンコーディングされた Link B のパラレル・デジタルデータとを多重する多重部と、

20

前記多重部によって多重されたパラレル・デジタルデータから、所定のビットレートのシリアル・デジタルデータを生成するシリアル・デジタルデータ生成部とを備える信号送信装置。

## 【請求項 2】

請求項 1 に記載の信号送信装置において、

前記 000h, 000h, 000h, 000h で規定されるタイミング基準信号 SAV を、Link A に含まれるタイミング基準信号 EAV に続く、ライン番号 LN 0, LN 0, LN 1, LN 1 の順に書き換える

30

信号送信装置。

## 【請求項 3】

請求項 1 に記載の信号送信装置において、

前記 000h, 000h, 000h, 000h で規定されるタイミング基準信号 SAV をランダムな数値に書き換える

信号送信装置。

## 【請求項 4】

請求項 1 に記載の信号送信装置において、

前記 000h, 000h, 000h, 000h で規定されるタイミング基準信号 SAV を、Link A に含まれるタイミング基準信号 EAV に続く、ライン番号 LN 0, LN 0, LN 1, LN 1 の順に書き換える

40

信号送信装置。

## 【請求項 5】

請求項 1 に記載の信号送信装置において、

前記 000h, 000h, 000h, 000h で規定されるタイミング基準信号 SAV を、000h, 000h 及び Link A に含まれるタイミング基準信号 EAV に続く、ライン番号 LN 0, LN 1 の順に書き換える

信号送信装置。

## 【請求項 6】

50

請求項 1 に記載の信号送信装置において、

前記 0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h で規定されるタイミング基準信号 S A V を、 L i n k A に含まれるタイミング基準信号 E A V に続く、ライン番号 L N 0 , L N 1 及び 0 0 0 h , 0 0 0 h の順に書き換える

信号送信装置。

【請求項 7】

所定の伝送規格に従ってマッピングされた L i n k A である C H 1 , C H 3 , C H 5 , C H 7 及び L i n k B である C H 2 , C H 4 , C H 6 , C H 8 の H D - S D I フォーマットのシリアル・デジタルビデオ信号を、それぞれシリアル/パラレル変換する第 1 のステップと、

10

前記第 1 のステップでシリアル/パラレル変換した L i n k A の各水平ラインのデータのうち、0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h で規定されるタイミング基準信号 S A V を所定の値に書き換えて、タイミング基準信号 S A V , アクティブライン, タイミング基準信号 E A V , ライン番号 L N 及び誤り検出符号 C R C のデータのみ自己同期型スクランブルを掛けるステップであって、タイミング基準信号 S A V の直前でスクランブラ内のレジスタの値を全て 0 にセットしてエンコードし、誤り検出符号 C R C に続く少なくとも数ビットまでのデータを出力する第 2 のステップと、

前記第 1 のステップでシリアル/パラレル変換した L i n k B の各水平ラインのデータのうち、タイミング基準信号 S A V , アクティブライン, タイミング基準信号 E A V , ライン番号 L N 及び誤り検出符号 C R C のデータのみから R G B のビットを抜き出す第 3 のステップと、

20

前記第 3 のステップで抜き出した L i n k B の R G B のビットを 8 ビット / 1 0 ビットエンコーディングする第 4 のステップと、

前記第 2 のステップで自己同期型スクランブルを掛けた L i n k A のパラレル・デジタルデータと、前記第 4 のステップで 8 ビット / 1 0 ビットエンコーディングした L i n k B のパラレル・デジタルデータとを多重する第 5 のステップと、

前記第 5 のステップで多重したパラレル・デジタルデータから、所定のビットレートのシリアル・デジタルデータを生成する第 7 のステップと、を有する

信号送信方法。

【発明の詳細な説明】

30

【技術分野】

【0 0 0 1】

本発明は、例えば、 $3840 \times 2160 / 24P, 24 / 1.001P, 25P, 30P, 30 / 1.001P / 4 : 4 : 4 / 12$  ビット信号をビットレート  $10\text{ Gbps}$  以上でシリアル伝送する場合に適用して好適な信号送信装置及び信号送信方法に関する。

【背景技術】

【0 0 0 2】

本出願人は、 $3840 \times 2160 / 24P, 24 / 1.001P, 25P, 30P, 30 / 1.001P / 4 : 4 : 4 / 12$  ビット信号を、ビットレート  $10\text{ Gbps}$  以上でシリアル伝送する技術を既に開示済みである。 $3840 \times 2160 / 24P, 24 / 1.001P, 25P, 30P, 30 / 1.001P / 4 : 4 : 4 / 12$  ビット信号は、 $4\text{ k} \times 2\text{ k}$  信号 ( $4\text{ k}$  サンプル  $\times 2\text{ k}$  ラインの超高解像度信号) の一種である。

40

【特許文献 1】特開 2 0 0 8 - 9 9 1 8 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 3】

ところで、特許文献 1 に開示された技術を用いて、 $4\text{ k} \times 2\text{ k}$  信号のシリアル伝送を行う場合、単一色のみからなる画面 (フラットフィールド) を構成する映像信号の生成が行えなくなることが判明した。この点について図 2 0 を参照して説明する。

【0 0 0 4】

50

図 20 は、従来のベーシックストリームの伝送例を示す。

図 20 A は、ベーシックストリーム CH 1, 3, 5, 7 を伝送する場合におけるデータ構造の例を示す。

従来、ベーシックストリーム CH 1, 3, 5, 7 の EAV に続くフィールド 101 には、(LN0, LN0, LN1, LN1) が含まれる。CH 1, 3, 5, 7 の SAV 内における(3FFh, 3FFh, 000h, 000h, 000h, 000h, XYZ, ZYZh)のフィールド 102 で示される(000h, 000h, 000h, 000h)はそのままスクランブルが掛けられる。このとき、CXYZh の下位 2 ビットを、CH 1, 3, 5, 7 でそれぞれ、(0, 0), (0, 1), (1, 0), (1, 1) に書き換える。

【0005】

図 20 B は、ベーシックストリーム CH 2, 4, 6, 8 を伝送する場合におけるデータ構造の例を示す。

ベーシックストリーム CH 2, 4, 6, 8 は、それぞれ SAV とアクティブビデオと EAV によって構成される映像信号に変換される。ただし、この映像信号は、8B/10B 変換される。

【0006】

図 20 C は、10 ビット 8 ワードのデータ構造の例を示す。

図 20 A におけるフィールド 103 と、図 20 B におけるフィールド 104 は、それぞれ、10 ビット 8 ワードのデータに挿入される。

【0007】

ここで、フィールド 103 は元データをスクランブルしたデータであるため、K28.5 信号に相当する 8B/10B 符号のワード同期信号を誤って生成することがある。例えば、単一色の映像信号をスクランブルした場合に、K28.5 信号に相当する 8B/10B 符号のワード同期信号を生成すると、この 8B/10B 符号のワード同期信号が 1 フィールドの同じ水平位置に出力されてしまう。映像信号の出力は、ステートマシンによって制御されており、この 8B/10B 符号のワード同期信号が 1 フィールドの同じ水平位置に連続して出力されると、映像信号の出力のワード区切りを誤ってしまい、フラットフィールドの映像信号を出力できなくなる。

【0008】

本発明はこのような状況に鑑みて成されたものであり、フラットフィールドの映像信号を好適に出力することを目的とする。

【課題を解決するための手段】

【0009】

上記課題を解決するために、本発明は、所定の伝送規格に従ってマッピングされた CH 1 ~ CH 8 の HD - SDI フォーマットのシリアル・デジタルビデオ信号を、それぞれシリアル/パラレル変換する。ここで、CH 1 ~ CH 8 は、Link A である CH 1, CH 3, CH 5, CH 7 及び Link B である CH 2, CH 4, CH 6, CH 8 である。

次に、シリアル/パラレル変換された Link A の各水平ラインのデータのうち、000h, 000h, 000h, 000h で規定されるタイミング基準信号 SAV を所定の値に書き換える。

次に、スクランブラによって、タイミング基準信号 SAV, アクティブライン, タイミング基準信号 EAV, ライン番号 LN 及び誤り検出符号 CRC のデータのみ自己同期型スクランブルを掛ける。

次に、タイミング基準信号 SAV の直前でスクランブラ内のレジスタの値を全て 0 にセットしてエンコードし、誤り検出符号 CRC に続く少なくとも数ビットまでのデータを出力する。

次に、シリアル/パラレル変換された Link B の各水平ラインのデータのうち、タイミング基準信号 SAV, アクティブライン, タイミング基準信号 EAV, ライン番号 LN 及び誤り検出符号 CRC のデータのみから RGB のビットを抜き出す。

次に、抜き出された Link B の RGB のビットを 8 ビット/10 ビットエンコーディ

10

20

30

40

50

ングする。

次に、自己同期型スクランブルを掛けられた Link A のパラレル・デジタルデータと、8ビット/10ビットエンコーディングされた Link B のパラレル・デジタルデータとを多重する。

そして、多重されたパラレル・デジタルデータから、所定のビットレートのシリアル・デジタルデータを生成する。

【0010】

これにより、伝送規格に従ってマッピングされた CH1～CH8 の HD-SDI フォーマットのシリアル・デジタルビデオ信号を、それぞれシリアル/パラレル変換する。Link A については、タイミング基準信号 SAV, アクティブライン, タイミング基準信号 EAV, ライン番号 LN 及び誤り検出符号 CRC のデータのみ自己同期型スクランブルを掛ける。一方、水平ブランキング期間のデータには自己同期型スクランブルを掛けない。そして、タイミング基準信号 SAV の直前でスクランブラ内のレジスタの値を全て0にセットしてエンコードし、誤り検出符号 CRC に続く少なくとも数ビットまでのデータを出力する。

10

【0011】

Link B については、各水平ラインのデータのうち、タイミング基準信号 SAV, アクティブライン, タイミング基準信号 EAV, ライン番号 LN 及び誤り検出符号 CRC のデータのみから RGB のビットが抜き出される。この RGB のビットが8ビット/10ビットエンコーディングされる。そして、自己同期型スクランブルを掛けられた Link A のデータと、8ビット/10ビットエンコーディングされた Link B のデータとが多重される。その多重されたパラレル・デジタルデータから、所定のビットレートのシリアル・デジタルデータが生成される。

20

【発明の効果】

【0012】

本発明によれば、シリアル/パラレル変換された Link A の各水平ラインのデータのうち、000h, 000h, 000h, 000h で規定されるタイミング基準信号 SAV を所定の値に書き換える。このデータがスクランブルされた結果、フラットフィールドの映像信号であっても、タイミング基準信号 SAV の値は異なる値となる。このため、あるデータがスクランブルされたことによって8B/10B符号のワード同期信号を示すデータに変換されたとしても、この8B/10B符号のワード同期信号を示すデータは連続しない。これにより、フィールドの映像信号を好適に出力できるという効果がある。

30

【発明を実施するための最良の形態】

【0013】

以下、発明を実施するための最良の形態(以下実施の形態とする。)について説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態(スクランブル制御: SAV へのデータ書換え処理の例)
2. 変形例

【0014】

< 1. 第1の実施の形態 >

40

[ 伝送システムの例 ]

図1は、本発明を適用したテレビジョン放送局用のカメラ伝送システムの全体構成を示す図である。このカメラ伝送システムは、複数台の放送用カメラ1とCCU(カメラコントロールユニット)2とで構成されており各放送用カメラ1が光ファイバーケーブル3でCCU2に接続されている。

【0015】

各放送用カメラ1は、同一構成のものであり、3840×2160/24P, 24/1.001P, 25P, 30P, 30/1.001P(以下単に24P, 25P, 30Pと記載する)/4:4:4/12ビット信号を生成するカメラである。この信号は、4k×2k信号(4kサンプル×2kラインの超高解像度信号)として用いられる。

50

## 【0016】

CCU2は、各放送用カメラ1を制御したり、各放送用カメラ1から映像信号を受信したり、各放送用カメラ1のモニタに他の放送用カメラ1で撮影中の映像を表示させるための映像信号(リターンビデオ)送信するユニットである。

## 【0017】

[放送用カメラの内部構成例]

図2は、放送用カメラ1の回路構成のうち、本発明に関連する部分を示すブロック図である。放送用カメラ1内の撮像部及び映像信号処理部(図示略)によって生成された3840×2160/24P, 25P, 30P/4:4:4/12ビット信号が、マッピング部11に送られる。

10

## 【0018】

図3は、この3840×2160/24P, 25P, 30P/4:4:4/12ビット信号のフォーマットを示す図である。3840×2160/24P, 25P, 30P/4:4:4/12ビット信号は、ワード長が12ビットずつのGデータ系列, Bデータ系列, Rデータ系列の同期を取って並列配置した、36ビット幅の信号である。1フレーム期間は1/24秒, 1/25秒, 1/30秒のうちのいずれかであり、1フレーム期間内に2160の有効ライン期間が含まれている。

## 【0019】

各有効ライン期間には、タイミング基準信号EAV(End of Active Video)と、ライン番号LNと、誤り検出符号CRCが配置される。また、水平ブランキング期間(補助データ/未定義ワードデータの区間)と、タイミング基準信号SAV(Start of Active Video)と、映像データの区間であるアクティブラインとが配置される。アクティブラインのサンプル数は3840であり、Gデータ系列, Bデータ系列, Rデータ系列のアクティブラインには、それぞれG, B, Rの映像データが配置される。

20

## 【0020】

図2のマッピング部11は、この3840×2160/24P, 25P, 30P/4:4:4/12ビット信号を、SMPTE435Mに従ってCH1~CH8の8チャンネルのHD-SDI信号にマッピングする回路である。CH1~CH8は、LinkAであるCH1, CH3, CH5, CH7及びLinkBであるCH2, CH4, CH6, CH8である。そして、8チャンネルのHD-SDI信号は、ビットレート1.485Gbpsまたは1.485Gbps/1.001(以下単に1.485Gbpsと記載する)である。

30

## 【0021】

SMPTE435Mは、10Gインタフェースの規格である。この規格は、複数チャンネルのHD-SDI信号を、2サンプル(40ビット)単位で8B/10Bエンコーディングして50ビットに変換することを定める。また、チャンネル毎に多重してビットレート10.692Gbpsまたは10.692Gbps/1.001(以下単に10.692Gbpsと記載する)でシリアル伝送することを定める。4k×2k信号をHD-SDI信号にマッピングする方法は、SMPTE435M Part1の5.4 Octal Link 1.5 Gbps ClassのFigure3及びFigure4に示されており、図4はその概略を示す図である。4k×2k信号の1フレーム分のデータが、画面の上下左右に4分割した4つのサブイメージ1~4に分割される。そして、各サブイメージ1, 2, 3, 4から、SMPTE372M(Dual Link)によるCH1(LinkA)及びCH2(LinkB), CH3(LinkA)及びCH4(LinkB)がそれぞれ形成される。また、CH5(LinkA)及びCH6(LinkB), CH7(LinkA)及びCH8(LinkB)がそれぞれ形成される。

40

## 【0022】

LinkA, LinkBのデータ構造は、SMPTE372MのTable2及びFigure6に示されており、図5はその概略を示す図である。図5(a)に示すように、LinkAは、1サンプルが20ビットであり、全てのビットがRGBの値を表してい

50

る。Link Bも、図5(a)に示すように1サンプルが20ビットである。しかし、図5(b)に示すように、Link BのYchは10ビットのR'G'B'n:0-1のうち、ビットナンバー2~7の6ビットのみがRGBの値を表しており、したがって1サンプル中でRGBの値を表しているビット数は16ビットである。

【0023】

マッピング部11によってこのようにマッピングされたCH1~CH8のHD-SDI信号は、図2に示すようにS/P・スクランブル・8B/10B部12に送られる。

【0024】

[S/P・スクランブル・8B/10B部の内部構成例]

図6は、S/P・スクランブル・8B/10B部12の構成を示すブロック図である。S/P・スクランブル・8B/10B部12は、各CH1~CH8に一対一に対応した8個のブロック12-1~12-8から成っている。

【0025】

Link AであるCH1, CH3, CH5, CH7用のブロック12-1, 12-3, 12-5, 12-7は、ブロック12-1だけがブロック12-3, 12-5, 12-7と構成が相違する。一方、ブロック12-3, 12-5, 12-7は同一構成である(図ではブロック12-3について構成を記載し, 12-5, 12-7の構成の記載は省略している)。Link BであるCH2, CH4, CH6, CH8用のブロック12-2, 12-4, 12-6, 12-8は、全て同一構成である(図ではブロック12-2について構成を記載し, 12-4, 12-6, 12-8の構成の記載は省略している)。また、各

【0026】

最初に、Link A用のブロック12-1, 12-3, 12-5, 12-7について説明する。ブロック12-1, 12-3, 12-5, 12-7では、入力したCH1, CH3, CH5, CH7のHD-SDI信号が、S/P(シリアル/パラレル)変換部21に送られる。S/P変換部21は、このHD-SDI信号をビットレート74.25Mbpsまたは74.25Mbps/1.001(以下単に74.25Mbpsと記載する)の20ビット幅のパラレル・デジタルデータにシリアル/パラレル変換する。そして、74.25MHzのクロックを抽出する。

【0027】

S/P変換部21によってシリアル/パラレル変換されたパラレル・デジタルデータは、TRS検出部22に送られる。S/P変換部21によって抽出された74.25MHzのクロックは、FIFOメモリ23に書き込みクロックとして送られる。また、ブロック12-1内のS/P変換部21によって抽出された74.25MHzのクロックは、図2に示すPLL13にも送られる。

【0028】

TRS検出部22は、S/P変換部21から送られたパラレル・デジタルビデオ信号からタイミング基準信号SAV及びEAVを検出し、その検出結果に基づいてワード同期を確立する。

【0029】

TRS検出部22の処理を経たパラレル・デジタルデータは、FIFOメモリ23に送られて、S/P変換部21からの74.25MHzのクロックによってFIFOメモリ23に書き込まれる。

【0030】

図2のPLL13は、ブロック12-1内のS/P変換部21からの74.25MHzのクロックを1/2に分周した37.125MHzのクロックを、各ブロック12-1~12-8内のFIFOメモリ23に読出しクロックとして送る。そして、各ブロック12-1~12-8内のFIFOメモリ26及びブロック12-1内のFIFOメモリ27に書き込みクロックとして送る。

【0031】

10

20

30

40

50

また P L L 1 3 は、ブロック 1 2 - 1 内の S / P 変換部 2 1 からの 7 4 . 2 5 M H z のクロックの周波数を 9 / 8 倍した 8 3 . 5 3 1 2 M H z のクロックを、各ブロック 1 2 - 1 ~ 1 2 - 8 内の F I F O メモリ 2 6 に読出しクロックとして送る。また、ブロック 1 2 - 1 内の F I F O メモリ 2 7 にも読出しクロックとして送る。そして、図 2 の F I F O メモリ 1 6 に書込みクロックとして送る。

【 0 0 3 2 】

また P L L 1 3 は、ブロック 1 2 - 1 内の S / P 変換部 2 1 からの 7 4 . 2 5 M H z のクロックの周波数を 9 / 4 倍した 1 6 7 . 0 6 2 5 M H z のクロックを、図 2 の F I F O メモリ 1 6 に読出しクロックとして送る。

【 0 0 3 3 】

また P L L 1 3 は、ブロック 1 2 - 1 内の S / P 変換部 2 1 からの 7 4 . 2 5 M H z のクロックの周波数を 9 倍した 6 6 8 . 2 5 M H z のクロックを、図 2 の多チャンネルデータ形成部 1 7 に読出しクロックとして送る。

【 0 0 3 4 】

図 6 に示すように、F I F O メモリ 2 3 からは、S / P 変換部 2 1 からの 7 4 . 2 5 M H z のクロックによって書き込まれた 2 0 ビット幅の平行・デジタルデータが読出される。このとき、図 2 の P L L 1 3 からの 3 7 . 1 2 5 M H z のクロックにより、2 サンプルを単位とした 4 0 ビット幅の平行・デジタルデータとして読み出されて、スクランブラ 2 4 に送られる。また、ブロック 1 2 - 1 では、F I F O メモリ 2 3 から読み出されたこの 4 0 ビット幅の平行・デジタルデータが、8 B / 1 0 B エンコーダ 2 5 にも送られる。

【 0 0 3 5 】

スクランブラ 2 4 は、自己同期型のスクランブラである。自己同期型スクランブル方式は、S M P T E 2 9 2 M で採用されているスクランブル方式である。スクランブラ 2 4 は、送信側が、入力したシリアル信号を多項式とみなして 9 次の原始多項式

$$X^9 + X^4 + 1$$

で順次割り算する。そして、割り算した結果である商を伝送することにより、統計的に伝送データのマーク率 ( 1 と 0 の割合 ) を平均 1 / 2 にする。このスクランブルは、原始多項式による信号の暗号化という意味も併せ持っている。この商をさらに  $X + 1$  で割ることによって極性フリー ( データとその反転データで同じ情報を持つこと ) のデータにして送信する。受信側では、受信したシリアル信号に  $X + 1$  を掛け、さらに上記原始多項式  $X^9 + X^4 + 1$  を掛ける処理 ( デスクランブル ) により、元のシリアル信号を再生する。

【 0 0 3 6 】

まず、スクランブラ 2 4 は、シリアル / 平行変換部によってシリアル / 平行変換された L i n k A の各水平ラインのデータのうち、0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h で規定されるタイミング基準信号 S A V を所定の値に書き換える。本例では、0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h で規定されるタイミング基準信号 S A V を、L i n k A に含まれるタイミング基準信号 E A V に続く、ライン番号 L N 0 , L N 0 , L N 1 , L N 1 の順に書き換える。この処理については、図 1 1 を参照して後述する。

【 0 0 3 7 】

そして、スクランブラ 2 4 は、各水平ラインの全てのデータにスクランブルを掛けるのではなく、タイミング基準信号 S A V , アクティブライン , タイミング基準信号 E A V , ライン番号 L N 及び誤り検出符号 C R C のデータのみスクランブルを掛ける。一方、水平ブランキング期間のデータにはスクランブルを掛けない。そして、タイミング基準信号 S A V の直前でスクランブラ内のレジスタの値を全て 0 にセットしてエンコードし、誤り検出符号 C R C に続く 1 0 ビットまでのデータを出力する。

【 0 0 3 8 】

スクランブラ 2 4 でこうした処理を行うのは、次のような理由による。従来の自己同期型スクランブル方式では各水平ラインの全てのデータを途切れることなく送信するが、本発明では、自己同期型スクランブルを掛けた水平ブランキング期間のデータを送信しない

10

20

30

40

50



。そのための方法としては、水平ブランキング期間も含めて各水平ラインの全てのデータにスクランブルを掛けるが水平ブランキング期間のデータだけは送信しない、という方法もある。しかし、その方法では、送信のスクランブラと受信のデスクランブラとでデータの連続性が保存されないので、受信側のデスクランブラでデータを再生する時にCRCの最後の数ビットで桁上がりの計算間違いを起こし、正確に誤り検出符号CRCが再生されない。また、データを送信しない水平ブランキング期間でスクランブラのクロックを止めることによって正確にCRCを再生できるようにするという方式もある。しかし、その方法を採用すると、CRCの計算時に次のタイミング基準信号SAVが必要となり、タイミング制御が困難になる等の問題が発生する。

**【0039】**

そこで、タイミング基準信号SAV，アクティブライン，タイミング基準信号EAV，ライン番号LN及び誤り検出符号CRCのデータのみスクランブルを掛ける。また、タイミング基準信号SAVの直前でスクランブラ24内のレジスタの値を全て0にセットしてエンコードする。そして、誤り検出符号CRCに続く少なくとも数ビット（一例として10ビットとする）までのデータを出力するようにした。

**【0040】**

こうすることにより、受信側の装置では、タイミング基準信号SAVの直前でデスクランブラ内のレジスタの値を全て0にセットしてデコードを開始できる。また、誤り検出符号CRCに続く少なくとも数ビットのデータにもデスクランブルを掛けることにより、掛け算回路であるデスクランブラの桁上がりを考慮した正確な計算を行って元のデータを再生できる。

**【0041】**

さらに、タイミング基準信号SAVの直前でスクランブラ内のレジスタの値を全て0にセットすると、スクランブルデータにパソロジカルパターンが発生しないことが計算によって判明した。パソロジカルパターンとは、自己同期型スクランブルを掛けた際に、シリアル伝送路上に、1水平ラインに亘り、所定のビット数で‘H’または‘L’が連続するパターン信号が発生するものである。例えば、図7(a)には、1ビットの‘H’に続いて19ビットの‘L’が続くパターン（あるいはその反転パターン）の信号が示される。また、図7(b)には、20ビットの‘H’が連続した後20ビットの‘L’が連続するパターン（あるいはその反転パターン）の信号が示される。

**【0042】**

図7(a)のパターンやその反転パターンは、直流成分の多いパターンである。そして、10Gbpsというような高速な伝送レートを実現するためにはAC結合の伝送系を用いることが一般的である。しかし、AC結合の伝送系では、直流成分が多い場合に図8に示すようなベースラインのうねりを起こしてしまうので、受信側の装置で直流成分を再生することが必要になってしまう。

**【0043】**

図7(b)のパターンやその反転パターンは、0から1への遷移や1から0への遷移が少ないパターンなので、受信装置の側でシリアル信号からクロックを再生することが困難になってしまう。

**【0044】**

これに対し、前述のように、タイミング基準信号SAVの直前でスクランブラ内のレジスタの値を全て0にセットすることにより、こうしたパソロジカルパターンが発生しないことが計算によって判明したので、伝送符号として良好な信号であるといえる。

**【0045】**

また、図9に示すように、タイミング基準信号SAV内の最後のワードであるXYZ（同一フレームの第1フィールド/第2フィールドを識別したり、SAVとEAVとを識別するためのワード）の下位2ビットは(0,0)になっている。しかし、例えば、ブロック12-1内のスクランブラ24ではこの下位2ビットを(0,0)にしたままスクランブルを掛ける。次に、ブロック12-3内のスクランブラ24ではこの下位2ビットを(

10

20

30

40

50

0, 1) に書き換えた後スクランブルを掛ける。次に、ブロック 12 - 5 内のスクランブラ 24 ではこの下位 2 ビットを (1, 0) に書き換えた後スクランブルを掛ける。そして、ブロック 12 - 7 内のスクランブラ 24 ではこの下位 2 ビットを (1, 1) に書き換えた後スクランブルを掛ける。このように、CH 1, CH 3, CH 5, CH 7 のチャンネル毎にこの下位 2 ビットの値を変えてスクランブルを掛ける。

【0046】

このような処理を行うのは、次のような理由による。3840 × 2160 / 24P, 25P, 30P / 4 : 4 : 4 / 12 ビット信号がフラットな (画面全体で RGB の値がほぼ同じ) 信号である場合を想定する。この場合、CH 1, CH 3, CH 5, CH 7 と CH 2, CH 4, CH 6, CH 8 とでデータ値が均一になると、EMI (電磁放射) 等が発生して好ましくない。これに対し、SAV 内の XYZ の下位 2 ビットの値を CH 1, CH 3, CH 5, CH 7 のチャンネル毎に変えてスクランブルを掛ける場合を想定する。この場合、スクランブル後のデータは、XYZ の下位 2 ビットを (0, 0) にしたデータに加えて、(0, 1), (1, 0), (1, 1) を生成多項式で割った結果を伝送することになる。このため、データの均一性を回避することが可能になる。

10

【0047】

さらに、このように XYZ の下位 2 ビットの値をチャンネル毎に変えても、前述のようにタイミング基準信号 SAV の直前でスクランブラ内のレジスタの値を全て 0 にセットすると、パソロジカルパターンが発生しないことが計算によって判明した。

20

【0048】

このようにしてスクランブラ 24 でスクランブルを掛けられた 40 ビット幅の平行・デジタルデータは、図 2 の PLL 13 からの 37.125 MHz のクロックによって FIFO メモリ 26 に書き込まれる。その後、PLL 13 からの 83.5312 MHz のクロックによって 40 ビット幅のまま FIFO メモリ 26 から読み出されて、図 2 に示す多重部 14 に送られる。

【0049】

ブロック 12 - 1 内の 8B / 10B エンコーダ 25 は、FIFO メモリ 23 から読み出された 40 ビット幅の平行・デジタルデータのうち、水平ブランキング期間のデータのみを 8 ビット / 10 ビットエンコーディングする。

30

【0050】

8B / 10B エンコーダ 25 によって 8 ビット / 10 ビットエンコーディングされた 50 ビットのビット幅の平行・デジタルデータは、図 2 の PLL 13 からの 37.125 MHz のクロックによって FIFO メモリ 27 に書き込まれる。その後、PLL 13 からの 83.5312 MHz のクロックによって 50 ビット幅のまま FIFO メモリ 27 から読み出されて、図 2 に示す多重部 14 に送られる。

【0051】

なお、ブロック 12 - 1 からのみ (すなわち CH 1 についてのみ) 水平ブランキング期間のデータを多重部 14 に送る。ブロック 12 - 3, 12 - 5, 12 - 7 からは (CH 3, CH 5, CH 7 については) 水平ブランキング期間のデータを多重部 14 に送らない。このようにするのは、データ量の制約上の理由からである。

40

【0052】

次に、Link B 用のブロック 12 - 2, 12 - 4, 12 - 6, 12 - 8 について説明する。このブロックでは、入力した CH 2, CH 4, CH 6, CH 8 の HD - SDI 信号が、S/P 変換部 21 及び TRS 検出部 22 によってブロック 12 - 1, 12 - 3, 12 - 5, 12 - 7 におけるのと同じの処理を施された後、抜き出し部 28 に送られる。

【0053】

抜き出し部 28 は、Link B の各水平ラインのデータから、RGB のビット (図 5 に示した Link B の 1 サンプルの 20 ビットのうちの、RGB の値を表している 16 ビット) を抜き出す回路である。このとき、抜き出し部 28 は、タイミング基準信号 SAV, アクティブライン, タイミング基準信号 EAV, ライン番号 LN 及び誤り検出符号 CRC

50

のデータのみからRGBのビットを抜き出す。

【0054】

抜き出し部28によって抜き出された16ビット幅の平行・デジタルデータは、S/P変換部21からの74.25MHzのクロックによってFIFOメモリ23に書き込まれる。その後、図2のPLL13からの37.125MHzのクロックにより、2サンプルを単位とした32ビット幅の平行・デジタルデータとして読み出されて、K28.5挿入部29に送られる。

【0055】

K28.5挿入部29は、タイミング基準信号SAVまたはEAVの先頭部分に、2個の8ビットワードデータを挿入する。この8ビットワードデータは、8ビット/10ビットエンコーディングした際に、映像信号を表すワードデータとしては用いられない10ビットワードデータ(K28.5というコードネームで呼ばれるもの)に変換されるものである。

【0056】

K28.5挿入部29の処理を経た32ビット幅の平行・デジタルデータは、8B/10Bエンコーダ30に送られる。8B/10Bエンコーダ30は、この32ビット幅の平行・デジタルデータを8ビット/10ビットエンコーディングして出力する。

【0057】

2サンプルを単位とした32ビット幅の平行・デジタルデータを8B/10Bエンコーダ30で8ビット/10ビットエンコーディングさせるのは、次の理由による。つまり、10Gインタフェース規格であるSMPTE 435Mにおける50ビットのContent IDの上位の40ビットとの互換をとるためである。

【0058】

8B/10Bエンコーダ30によって8ビット/10ビットエンコーディングされた40ビット幅の平行・デジタルデータは、図2のPLL13からの37.125MHzのクロックによってFIFOメモリ26に書き込まれる。その後、PLL13からの83.5312MHzのクロックによって40ビット幅のままFIFOメモリ26から読み出されて、図2に示す多重部14に送られる。

【0059】

図2の多重部14は、S/P・スクランブル・8B/10B部12の各ブロック12-1~12-8内のFIFOメモリ26から読み出されたCH1~CH8の40ビット幅の平行・デジタルデータを、40ビット単位で、順に320ビット幅に多重する。この様子は図10(a)に示される。40ビット幅の平行・デジタルデータとは、タイミング基準信号SAV、アクティブライン、タイミング基準信号EAV、ライン番号LN及び誤り検出符号CRCのみのデータである。320ビット幅に多重する順は、CH2, CH1, CH4, CH3, CH6, CH5, CH8, CH7である。CH2, CH4, CH6, CH8は、8ビット/10ビットエンコーディングしたチャンネルである。CH1, CH3, CH5, CH7は、自己同期型スクランブルを掛けたチャンネルである。

【0060】

このように、8ビット/10ビットエンコーディングしたデータを、自己同期型スクランブルを掛けたデータに40ビット毎にはさむことによって、パソロジカルパターンの発生を防止できる。このとき、スクランブル方式によるマーク率(0と1の割合)変動や、0-1、1-0の遷移の不安定さを解消できる。

【0061】

また、多重部14は、S/P・スクランブル・8B/10B部12のブロック12-1内のFIFOメモリ27から読み出されたCH1の水平ブランキング期間のみの50ビット幅の平行・デジタルデータを、4サンプル分多重して200ビット幅にする。この様子は、図10(b)に示す。

【0062】

多重部14によって多重されたこの320ビット幅の平行・デジタルデータと20

10

20

30

40

50

0ビット幅の平行・デジタルデータとは、データ長変換部15に送られる。データ長変換部15は、シフトレジスタを用いて構成されている。この320ビット幅の平行・デジタルデータを256ビット幅に変換したデータと、この200ビット幅の平行・デジタルデータを256ビット幅に変換したデータとを用いて、256ビット幅の平行・デジタルデータを形成する。そして、この256ビット幅の平行・デジタルデータをさらに128ビット幅に変換する。

【0063】

図11は、本実施の形態に係るベーシックストリームの伝送例を示す。

図11Aは、ベーシックストリームCH1, 3, 5, 7を伝送する場合におけるデータ構造の例を示す。

10

フラットフィールドに対する安定性を向上させるために以下の処理を行う。すなわち、スクランブラ24は、スクランブルを掛ける前に、CH1, 3, 5, 7のSAV(3FFh, 3FFh, 000h, 000h, 000h, 000h, XYZh, XYZh)の(000h, 000h, 000h, 000h)を、所定の値に書き換える。本例において、スクランブラ24は、フィールド51に含まれるライン番号(LN0, LN0, LN1, LN1)の内容を、フィールド52に含まれるSAV(000h, 000h, 000h, 000h)の内容と書き換える処理を行う。つまり、CH1, 3, 5, 7のSAVが多重してある同じラインのEAVに続く(LN0, LN0, LN1, LN1)に書き換えた後、スクランブルを掛ける。この処理によって、ベーシックストリームCH1, 3, 5, 7は、それぞれSAVとアクティブビデオとEAVによって構成される映像信号に変換される。このとき、CXYZhの下位2ビットを、CH1, 3, 5, 7でそれぞれ、(0, 0), (0, 1), (1, 0), (1, 1)に書き換える。

20

【0064】

図11Bは、ベーシックストリームCH2, 4, 6, 8を伝送する場合におけるデータ構造の例を示す。

ベーシックストリームCH2, 4, 6, 8は、それぞれSAVとアクティブビデオとEAVによって構成されるHD-SDIフォーマット信号に変換される。ただし、このHD-SDIフォーマット信号は、8B/10B変換される。

【0065】

図11Cは、10ビット8ワードのデータ構造の例を示す。

30

図11Aにおけるフィールド53と、図11Bにおけるフィールド54は、それぞれ、10ビット8ワードのデータに挿入される。

【0066】

このように、CH1, 3, 5, 7はSAVタイミング基準信号とEAVタイミング基準信号とアクティブビデオのみスクランブルして多重される。このとき、SAVの直前でスクランブラのレジスタ値を全て0にセットしてエンコードし、タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCに続く10ビットまでのデータを送る。一方、受信側の後述するデスクランブラ41は、レジスタ値をSAVの直前で全て0にセットしてデコードを開始する。そして、10ビット余計に送られてきたデータにもデスクランブル処理する。これにより、掛け算回路であるデスクランブルの桁上りを計算して元のデータを正確に再生できる。

40

【0067】

また、4k画面がフラットフィールドである場合、CH1, 3, 5, 7とCH2, 4, 6, 8のデータ値が同じになり、EMI等で好ましくない。このため、スクランブル時にSAV内の000h, 000h, 000h, 000hを、入力HD-SDIの同一ライン内のEAVに続くCLN0, YLN0, CLN1, YLN1に書き換える。そして、XYZ下位2ビット(リザーブ0)をチャンネル毎に変えてスクランブルする。これによりデータの均一性を回避できる。XYZ下位2ビットは、受信側で元の00に戻すように処理すればよい。

【0068】

50

図 1 2 ~ 図 1 4 は、データ長変換部 1 5 によって形成される 2 5 6 ビット幅の平行・デジタルデータの構造を示す図である。

図 1 2 は 3 0 P の場合の 1 ライン分のデータ構造を示す。

図 1 3 は 2 5 P の場合の 1 ライン分のデータ構造を示す。

図 1 4 は 2 4 P の場合の 4 ライン分のデータ構造を示す。

ただし、2 4 P の場合には、4 ライン周期で最後のワードのビット数が 1 2 8 ビットになるので、4 ライン分を描いている。

S M P T E 4 3 5 M では、フレームレート及びライン数が、C H 1 の H D - S D I 信号と同じにされる。そして、S / P ・スクランブル・8 B / 1 0 B 部 1 2 では、スクランブルと 8 B / 1 0 B エンコーディングとを併用しているが、C H 1 にはスクランブル ( S M P T E 2 9 2 M で採用されているもの ) を掛けている。したがって、図 1 2 ~ 図 1 4 に示したデータ構造は、基本的には H D - S D I 信号と同じになっている。

10

#### 【 0 0 6 9 】

図 1 2 ~ 図 1 4 に示すように、1 ライン分のデータは、次の 3 つの領域で構成されている。

- ・斜線を付した領域：C H 2 , C H 1 , C H 4 , C H 3 , C H 6 , C H 5 , C H 8 , C H 7 の順に 4 0 ビット単位で多重された各 C H 1 ~ C H 8 のタイミング基準信号 S A V , アクティブライン , タイミング基準信号 E A V , ライン番号 L N 及び誤り検出符号 C R C のデータの領域

- ・白地の領域：8 B / 1 0 B エンコーディングされた C H 1 の 5 0 ビットずつの水平ブランキング期間のデータの領域

20

- ・ドット模様を付した領域：データ量調整のための付加データの領域

#### 【 0 0 7 0 】

図 2 に示すように、データ長変換部 1 5 によって 1 2 8 ビット幅に変換された平行・デジタルデータは、F I F O メモリ 1 6 に送られて、P L L 1 3 からの 8 3 . 5 3 1 2 M H z のクロックによって F I F O メモリ 1 6 に書き込まれる。

#### 【 0 0 7 1 】

F I F O メモリ 1 6 に書き込まれたこの 1 2 8 ビット幅の平行・デジタルデータは、図 2 の P L L 1 3 からの 1 6 7 . 0 6 2 5 M H z のクロックにより、6 4 ビット幅の平行・デジタルデータとして F I F O メモリ 1 6 から読み出される。その後、多チャンネルデータ形成部 1 7 に送られる。

30

#### 【 0 0 7 2 】

多チャンネルデータ形成部 1 7 は、例えば X S B I ( Ten gigabit Sixteen Bit Interface : 1 0 ギガビットイーサネット ( 登録商標 ) のシステムで使用される 1 6 ビットインタフェース ) である。多チャンネルデータ形成部 1 7 は、F I F O メモリ 1 6 からの 6 4 ビット幅の平行・デジタルデータから、各々がビットレート 6 6 8 . 2 5 M b p s を有する 1 6 チャンネル分のシリアル・デジタルデータを形成する。このとき、多チャンネルデータ形成部 1 7 は、P L L 1 3 からの 6 6 8 . 2 5 M H z のクロックを用いる。多チャンネルデータ形成部 1 7 によって形成された 1 6 チャンネルのシリアル・デジタルデータは、多重・P / S 変換部 1 8 に送られる。

40

#### 【 0 0 7 3 】

多重・P / S 変換部 1 8 は、多チャンネルデータ形成部 1 7 からの 1 6 チャンネルのシリアル・デジタルデータを多重し、その多重した平行・デジタルデータを平行 / シリアル変換する。これにより、 $6 6 8 . 2 5 M b p s \times 1 6 = 1 0 . 6 9 2 G b p s$  のシリアル・デジタルデータを生成する。

#### 【 0 0 7 4 】

図 1 5 は、この 1 0 . 6 9 2 G b p s のシリアル・デジタルデータの 1 ライン分のデータ構造を示す図であり、図 1 5 ( a ) は 2 4 P の場合の構造、図 1 5 ( b ) は 2 5 P の場合の構造、図 1 5 ( c ) は 3 0 P の場合の構造である。この図では、ライン番号 L N 及び誤り検出符号 C R C を含めたものを S A V , アクティブライン及び E A V として示すと

50

もに、図12～図14に示した付加データの領域を含めたものを水平ブランキング期間として示している。

【0075】

24P, 25P, 30Pの場合の1ラインのビット数は、それぞれ下記式によって求められる。

$$10.692 \text{ Gbps} \div 24 \text{ フレーム/秒} \div 1125 \text{ ライン/フレーム} = 396000 \text{ ビット}$$

$$10.692 \text{ Gbps} \div 25 \text{ フレーム/秒} \div 1125 \text{ ライン/フレーム} = 380160 \text{ ビット}$$

$$10.692 \text{ Gbps} \div 30 \text{ フレーム/秒} \div 1125 \text{ ライン/フレーム} = 316800 \text{ ビット}$$

【0076】

タイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのビット数は、下記式によって求められる。

$$(1920T + 12T) \times 36 \text{ ビット} \times 4 \text{ ch} \times 40/36 = 309120 \text{ ビット}$$

【0077】

24P, 25P, 30Pの場合の水平ブランキング期間のビット数は、それぞれ下記式によって求められる。

$$(1) \text{ 24Pの場合: } 396000 \text{ ビット} - 309120 \text{ ビット} = 86880 \text{ ビット}$$

$$(2750T - 1920T - 12T(SAV + EAV + LN + CRC)) \times 20 \text{ ビット} \times 10/8 = 20450 \text{ ビット}$$

$$86880 \text{ ビット} > 20450 \text{ ビット}$$

$$(2) \text{ 25Pの場合: } 380160 \text{ ビット} - 309120 \text{ ビット} = 71040 \text{ ビット}$$

$$(2640T - 1920T - 12T(SAV + EAV + LN + CRC)) \times 20 \text{ ビット} \times 10/8 = 17700 \text{ ビット}$$

$$71040 \text{ ビット} > 17700 \text{ ビット}$$

$$(3) \text{ 30Pの場合: } 316800 \text{ ビット} - 309120 \text{ ビット} = 7680 \text{ ビット}$$

$$(22T - 1920T - 12T(SAV + EAV + LN + CRC)) \times 20 \text{ ビット} \times 10/8 = 6700 \text{ ビット}$$

$$7680 \text{ ビット} > 6700 \text{ ビット}$$

【0078】

上記式に示したように、

24Pの場合、SMPTE435Mによる水平ブランキング期間のビット数である86880ビットの方が、20450ビットより大きい。

25Pの場合、SMPTE435Mによる水平ブランキング期間のビット数である71040ビットの方が、17700ビットより大きい。

30Pの場合、SMPTE435Mによる水平ブランキング期間のビット数である7680ビットの方が、6700ビットより大きい。

ここで、24Pの場合における20450ビットは、CH1の{水平ブランキング期間のデータ-(タイミング基準信号SAV, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータ)}のビット数である。以下、25Pの場合における17700ビット、30Pの場合における6700ビットも同様である。

このため、CH1の水平ブランキング期間のデータを多重することが可能である。

【0079】

図2に示すように、多重・P/S変換部18によって生成されたビットレート10.692Gbpsのシリアル・デジタルデータは、光電変換部19に送られる。そして、光電変換部19によって光信号に変換されたビットレート10.692Gbpsのシリアル・デジタルデータが、放送用カメラ1から図1の光ファイバケーブル3経由でCCU2に伝送される。

【0080】

[CCUの内部構成例]

図16は、CCU2の回路構成のうち、本発明に関連する部分を示すブロック図である。CCU2には、図16に示すような回路が、各放送用カメラ1に一対一に対応して複数

10

20

30

40

50

組設けられている。

【 0 0 8 1 】

放送用カメラ 1 から光ファイバーケーブル 3 経由で伝送されたビットレート 1 0 . 6 9 2 G b p s のシリアル・デジタルデータは、光電変換部 3 1 によって電気信号に変換された後、S / P 変換・多チャンネルデータ形成部 3 2 に送られる。S / P 変換・多チャンネルデータ形成部 3 2 は、例えば前述した X S B I である。

【 0 0 8 2 】

S / P 変換・多チャンネルデータ形成部 3 2 は、ビットレート 1 0 . 6 9 2 G b p s のシリアル・デジタルデータをシリアル / パラレル変換する。そして、シリアル / パラレル変換したパラレル・デジタルデータから、各々がビットレート 6 6 8 . 2 5 M b p s を有する 1 6 チャンネル分のシリアル・デジタルデータを形成する。そして、6 6 8 . 2 5 M H z のクロックを抽出する。

10

【 0 0 8 3 】

S / P 変換・多チャンネルデータ形成部 3 2 によって形成された 1 6 チャンネルのパラレル・デジタルデータは、多重部 3 3 に送られる。また、S / P 変換・多チャンネルデータ形成部 3 2 によって抽出された 6 6 8 . 2 5 M H z のクロックは、P L L 3 4 に送られる。

【 0 0 8 4 】

多重部 3 3 は、S / P 変換・多チャンネルデータ形成部 3 2 からの 1 6 チャンネルのシリアル・デジタルデータを多重して、6 4 ビット幅のパラレル・デジタルデータを F I F O メモリ 3 5 に送る。

20

【 0 0 8 5 】

P L L 3 4 は、S / P 変換・多チャンネルデータ形成部 3 2 からの 6 6 8 . 2 5 M H z のクロックを 4 分の 1 に分周した 1 6 7 . 0 6 2 5 M H z のクロックを F I F O メモリ 3 5 に書き込みクロックとして送る。

【 0 0 8 6 】

また P L L 3 4 は、S / P 変換・多チャンネルデータ形成部 3 2 からの 6 6 8 . 2 5 M H z のクロックを 8 分の 1 に分周した 8 3 . 5 3 1 2 M H z のクロックを、F I F O メモリ 3 5 に読み出しクロックとして送る。そして、後述するデスクランブル・8 B / 1 0 B ・ P / S 部 3 8 内の F I F O メモリ 4 4 に書き込みクロックとして送る。

30

【 0 0 8 7 】

また P L L 3 4 は、S / P 変換・多チャンネルデータ形成部 3 2 からの 6 6 8 . 2 5 M H z のクロックを 1 8 分の 1 に分周した 3 7 . 1 2 5 M H z のクロックを、デスクランブル・8 B / 1 0 B ・ P / S 部 3 8 内の F I F O メモリ 4 4 に読み出しクロックとして送る。そして、デスクランブル・8 B / 1 0 B ・ P / S 部 3 8 内の F I F O メモリ 4 5 に書き込みクロックとして送る。

【 0 0 8 8 】

また P L L 3 4 は、S / P 変換・多チャンネルデータ形成部 3 2 からの 6 6 8 . 2 5 M H z のクロックを 9 分の 1 に分周した 7 4 . 2 5 M H z のクロックを、デスクランブル・8 B / 1 0 B ・ P / S 部 3 8 内の F I F O メモリ 4 5 に読み出しクロックとして送る。

40

【 0 0 8 9 】

F I F O メモリ 3 5 では、多重部 3 3 からの 6 4 ビット幅のパラレル・デジタルデータが、P L L 3 4 からの 1 6 7 . 0 6 2 5 M H z のクロックによって書き込まれる。F I F O メモリ 3 5 に書き込まれたパラレル・デジタルデータは、P L L 3 4 からの 8 3 . 5 3 1 2 M H z のクロックによって 1 2 8 ビット幅のパラレル・デジタルデータとして読み出されて、データ長変換部 3 6 に送られる。

【 0 0 9 0 】

データ長変換部 3 6 は、シフトレジスタを用いて構成されており、この 1 2 8 ビット幅のパラレル・デジタルデータを、2 5 6 ビット幅 ( 図 1 2 ~ 図 1 4 に示した構造のデータ ) に変換する。次に、タイミング基準信号 S A V または E A V に挿入されている K 2 8 .

50

5を検出することによって各ライン期間を判別する。次に、タイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータを320ビット幅に変換する。そして、水平ブランキング期間のデータ(前述のように、8B/10BエンコーディングされたCH1の水平ブランキング期間のデータ)を200ビット幅に変換する。図12~図14に示した付加データは破棄する。

【0091】

データ長変換部36によってデータ長を変換された320ビット幅の平行ル・デジタルデータと200ビット幅の平行ル・デジタルデータとは、分離部37に送られる。

【0092】

分離部37は、データ長変換部36からのこの320ビット幅の平行ル・デジタルデータを、放送用カメラ1内の多重部14(図2)によって多重される前の40ビットずつのCH1~CH8のデータ(図10参照)に分離する。320ビット幅の平行ル・デジタルデータとは、タイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータである。そして、各CH1~CH8の40ビット幅の平行ル・デジタルデータを、デスクランブル・8B/10B・P/S部38に送る。

10

【0093】

また分離部37は、データ長変換部36からのこの200ビット幅の平行ル・デジタルデータを、多重部14によって多重される前の50ビットずつのデータ(図10参照)に分離する。200ビット幅の平行ル・デジタルデータとは、8B/10BエンコーディングされたCH1の水平ブランキング期間のデータである。そして、この50ビット幅の平行ル・デジタルデータを、デスクランブル・8B/10B・P/S部38に送る。

20

【0094】

[デスクランブル・8B/10B・P/S部の内部構成例]

図17は、デスクランブル・8B/10B・P/S部38の構成を示すブロック図である。デスクランブル・8B/10B・P/S部38は、各CH1~CH8に一対一に対応した8個のブロック38-1~38-8から成っている。

【0095】

Link AであるCH1, CH3, CH5, CH7用のブロック38-1, 38-3, 38-5, 38-7は、ブロック38-1だけがブロック38-3, 38-5, 38-7と構成が相違する。そして、ブロック38-3, 38-5, 38-7は同一構成である。図17ではブロック38-3について構成を記載し、38-5, 38-7の構成の記載は省略している。Link BであるCH2, CH4, CH6, CH8用のブロック38-2, 38-4, 38-6, 38-8は、全て同一構成である。図17ではブロック38-2について構成を記載し、38-4, 38-6, 38-8の構成の記載は省略している。また、各ブロックにおいて同一の処理を行う部分には同一符号を付している。

30

【0096】

最初に、Link A用のブロック38-1, 38-3, 38-5, 38-7について説明する。ブロック38-1, 38-3, 38-5, 38-7では、入力したCH1, CH3, CH5, CH7の40ビット幅の平行ル・デジタルデータが、デスクランブラ41に送られる。40ビット幅の平行ル・デジタルデータとは、自己同期型スクランブルを掛けられたタイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータである。

40

【0097】

デスクランブラ41は、自己同期型のデスクランブラである。デスクランブラ41は、送られた平行ル・デジタルデータにデスクランブルを掛けるが、タイミング基準信号SAVの直前でデスクランブラ41内のレジスタの値を全て0にセットしてデコードを開始する。そして、10ビット余計に送られてきたデータにもデスクランブル処理する。これにより、掛け算回路であるデスクランブルの桁上がりを計算して元のデータを正確に再生できる。また、誤り検出符号CRCに続く10ビットのデータにも自己同期型デスクラン

50



ブルを掛ける。

【0098】

これにより、自己同期型スクランブルを掛けた水平ブランキング期間のデータが送信されないにもかかわらず、掛け算回路であるデスクランブラ41の桁上りを考慮した正確な計算を行って元のデータを再生できる。このことは、放送用カメラ1内のスクランブラ24(図6)の箇所でも説明している。

【0099】

またデスクランブラ41は、自己同期型スクランブルを掛けた後、CH1, CH3, CH5, CH7のチャンネル毎に値を変えてスクランブルを掛けられたビット)の値を、元の値である(0, 0)(図9参照)に変更する。このことは、タイミング基準信号SAV内のXYZの下位2ビットの値を元の値である(0, 0)に変更する。この下位2ビットについては、上述したスクランブラ24の箇所で説明済みである。

【0100】

ブロック38-1内のデスクランブラ41でデスクランブルを掛けられた40ビット幅の平行・デジタルデータは、セクタ43に送られる。ブロック38-1では、入力した50ビット幅の平行・デジタルデータ(8B/10BエンコーディングされたCH1の水平ブランキング期間のデータ)が、8B/10Bデコーダ42に送られる。8B/10Bデコーダ42は、この平行・デジタルデータを8ビット/10ビットデコーディングする。8B/10Bデコーダ42によって8ビット/10ビットデコーディングされた40ビット幅の平行・デジタルデータが、セクタ43に送られる。

【0101】

セクタ43は、デスクランブラ41からの平行・デジタルデータと8B/10Bデコーダ42からの平行・デジタルデータとを交互に選択する。これにより、各水平ラインの全てのデータを一本化した40ビット幅の平行・デジタルデータを形成して、この40ビット幅の平行・デジタルデータをFIFOメモリ44に送る。

【0102】

他方、ブロック38-3, 38-5, 38-7では、50ビット幅の平行・デジタルデータは入力しないので8B/10Bデコーダ42及びセクタ43は設けられていない。デスクランブラ41でデスクランブルを掛けられた40ビット幅の平行・デジタルデータは、そのままFIFOメモリ44に送られる。

【0103】

FIFOメモリ44に送られた40ビット幅の平行・デジタルデータは、PLL34(図16)からの83.5312MHzのクロックによってFIFOメモリ44に書き込まれる。その後、PLL34からの37.125MHzのクロックによって40ビット幅のままFIFOメモリ44から読み出されて、FIFOメモリ45に送られる。

【0104】

FIFOメモリ45に送られた40ビット幅の平行・デジタルデータは、PLL34(図16)からの37.125MHzのクロックによってFIFOメモリ45に書き込まれる。その後、PLL34からの74.25MHzのクロックによって20ビット幅(図5に示したLinkAの1サンプル分ずつ)の平行・デジタルデータとしてFIFOメモリ45から読み出されて、P/S(平行/シリアル)変換部46に送られる。

【0105】

P/S変換部46は、この平行・デジタルデータをHD-SDI信号をビットレート1.485GbpsのHD-SDI信号に平行/シリアル変換して、HD-SDI信号を再生する。各ブロック38-1, 38-3, 38-5, 38-7で再生されたCH1, CH3, CH5, CH7のHD-SDI信号は、図17の4kx2k再生部39に送られる。

【0106】

次に、LinkB用のブロック38-2, 38-4, 38-6, 38-8について説明する。ブロック38-2, 38-4, 38-6, 38-8では、入力したCH2, CH4

10

20

30

40

50

、CH6、CH8の40ビット幅の平行・デジタルデータが、8B/10Bデコーダ47に送られる。40ビット幅の平行・デジタルデータとは、8B/10Bエンコーディングされたタイミング基準信号SAV、アクティブライン、タイミング基準信号EAV、ライン番号LN及び誤り検出符号CRCのデータである。

【0107】

8B/10Bデコーダ47は、この平行・デジタルデータを8ビット/10ビットデコーディングする。8B/10Bデコーダ47によって8ビット/10ビットデコーディングされた32ビット幅の平行・デジタルデータは、FIFOメモリ44に送られる。

【0108】

FIFOメモリ44に送られた32ビット幅の平行・デジタルデータは、PLL34(図16)からの83.5312MHzのクロックによってFIFOメモリ44に書き込まれる。その後、PLL34からの37.125MHzのクロックによって32ビット幅のままFIFOメモリ44から読み出されて、FIFOメモリ45に送られる。

【0109】

FIFOメモリ45に送られた32ビット幅の平行・デジタルデータは、PLL34(図16)からの37.125MHzのクロックによってFIFOメモリ45に書き込まれる。その後、PLL34からの74.25MHzのクロックによって16ビット幅(図5に示したLinkBの1サンプル分ずつのRGBのビット)の平行・デジタルデータとしてFIFOメモリ45から読み出されて、サンプルデータ形成部48に送られる。

【0110】

サンプルデータ形成部48は、このLinkBのRGBのビットから、図5に示したR'G'B'n:0-1のビットナンバー0,1,8及び9の4ビットを付加したLinkBの20ビットずつの各サンプルのデータを形成する。このようにして形成された20ビット幅の平行・デジタルデータは、サンプルデータ形成部48からP/S変換部46に送られる。

【0111】

P/S変換部46は、この平行・デジタルデータをHD-SDI信号をビットレート1.485GbpsのHD-SDI信号に平行/シリアル変換して、HD-SDI信号を再生する。各ブロック38-2,38-4,38-6,38-8で再生されたCH2,CH4,CH6,CH8のHD-SDI信号は、図17の4k×2k再生部39に送られる。

【0112】

図17の4k×2k再生部39は、デスクランブル・8B/10B・P/S部38から送られたCH1~CH8(LinkA及びLinkB)のHD-SDI信号に、所定の処理を施す回路である。この処理は、SMPTE435Mに従って放送用カメラ1内のマッピング部11(図2)の処理(図4)と逆の処理を施すことにより、3840×2160/24P,25P,30P/4:4:4/12ビット信号を再生できる。

【0113】

4k×2k再生部39によって再生された3840×2160/24P,25P,30P/4:4:4/12ビット信号は、CCU2から出力されて、例えばVTR等(図省略)に送られる。

【0114】

なお、このようにして各放送用カメラ1からCCU2に3840×2160/24P,25P,30P/4:4:4/12ビット信号に伝送されるだけでなく、CCU2からも前述のリターンビデオが光ファイバケーブル3経由で各放送用カメラ1に伝送される。リターンビデオとは、他の放送用カメラ1で撮影中の映像を表示させるための映像信号である。リターンビデオは周知の技術を用いて生成されるので、そのための回路構成の説明は省略する。例えば、2チャンネル分のHD-SDI信号を、それぞれ8ビット/10ビ

10

20

30

40

50

ットエンコーディングした後、多重してシリアル・デジタルデータに変換する処理によって、リターンビデオが生成される。

【0115】

図18, 図19は、以上に説明した3840×2160/24P, 25P, 30P/4:4:4/12ビット信号の伝送のための放送用カメラ1, CCU2の処理の概要をそれぞれ示す図である。

【0116】

[放送用カメラの処理例]

図18に示すように、放送用カメラ1では、3840×2160/24P, 25P, 30P/4:4:4/12ビット信号が、CH1~CH8のHD-SDI信号にマッピングされる(ステップS1)。CH1~CH8は、Link AであるCH1, CH3, CH5, CH7及びLink BであるCH2, CH4, CH6, CH8である。放送用カメラ1のマッピングは、SMPTE 435M Part 1の5.4 Octa Link 1.5 Gbps Classに従って行われる。このステップS1は、図2のマッピング部11の処理である。

【0117】

続いて、これらのHD-SDI信号をシリアル/パラレル変換する(ステップS2)。そして、Link Aについては、2サンプルを単位とした40ビット幅のデータにし(ステップS3)、その後自己同期型スクランブルを掛ける。このとき、タイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータのみ自己同期型スクランブルを掛ける。そして、タイミング基準信号SAVの直前でスクランブラ内のレジスタの値を全て0にセットしてエンコードする。誤り検出符号CRCに続く10ビットまでのデータを出力する。また、タイミング基準信号SAV内のXYZの下位2ビットの値をチャンネル毎に変えて自己同期型スクランブルを掛ける。そして、各ラインの000h, 000h, 000h, 000hで規定されるタイミング基準信号SAVを所定の値に書き換え、ライン毎に異なるデータを入れる。(ステップS4)。

【0118】

また、CH1については、水平ブランキング期間のデータを8ビット/10ビットエンコーディングする(ステップS5)。

【0119】

他方、Link Bについては、各サンプルのデータからRGBのビットを抜き出す(ステップS6)。そして、このRGBのビットを、2サンプルを単位とした32ビット幅のデータにする(ステップS7)。そして、タイミング基準信号SAV, アクティブライン, タイミング基準信号EAV, ライン番号LN及び誤り検出符号CRCのデータのみを8B/10Bエンコーディングする(ステップS8)。このステップS2~ステップS8は、図2及び図6のS/P・スクランブル・8B/10B部12の処理である。

【0120】

このようにして自己同期型スクランブルを掛けたLink Aのデータと、このようにして8B/10BエンコーディングしたLink Bのデータとを多重する(ステップS9)。この多重したパラレル・デジタルデータから、ビットレート10.692Gbpsのシリアル・デジタルデータを生成する(ステップS10)。このステップS9は、図2の多重部14の処理であり、このステップS10は、図2のデータ長変換部15~多重・P/S変換部18の処理である。

【0121】

[CCUの処理例]

図19に示すように、CCU2では、ビットレート10.692Gbpsのシリアル・デジタルデータからパラレル・デジタルデータを生成する。(ステップS11)。そして、このパラレル・デジタルデータをLink A, Link Bの各チャンネルのデータに分離する(ステップS12)。このステップS11は、図16のS/P変換・多チャンネル

10

20

30

40

50

データ形成部 3 2 ~ データ長変換部 3 6 の処理であり、このステップ S 1 2 は、図 1 6 の分離部 3 7 の処理である。

【 0 1 2 2 】

続いて、Link A については自己同期型デスクランブルを掛ける。ここでは、タイミング基準信号 SAV の直前でデスクランブラ内のレジスタの値を全て 0 にセットしてデコードを開始するとともに、誤り検出符号 CRC に続く 1 0 ビットのデータにも自己同期型デスクランブルを掛ける。また、自己同期型スクランブルを掛けた後、タイミング基準信号 SAV 内の XYZ の下位 2 ビットの値を ( 0 , 0 ) に戻す。そして、異なるデータが入られた各ラインの SAV のデータを元に戻す ( ステップ S 1 3 ) 。

【 0 1 2 3 】

また、CH 1 については、水平ブランキング期間のデータを 8 B / 1 0 B デコーディングする ( ステップ S 1 4 ) 。

【 0 1 2 4 】

そして、1 サンプル分ずつのデータを分離し ( ステップ S 1 5 ) 、分離したパラレル・デジタルデータをパラレル / シリアル変換して、Link A の HD - SDI 信号を再生する ( ステップ S 1 6 ) 。

【 0 1 2 5 】

他方、Link B については、8 B / 1 0 B デコーディングし ( ステップ S 1 7 ) 、1 サンプル分ずつの RGB のビットを分離する ( ステップ S 1 8 ) 。続いて、この RGB のビットから、Link B の各サンプルのデータを形成する ( ステップ S 1 9 ) 。そして、このようにして形成したパラレル・デジタルデータをパラレル / シリアル変換して、Link B の HD - SDI 信号を再生する ( ステップ S 2 0 ) 。このステップ S 1 3 ~ S 2 0 は、図 1 6 , 1 8 のデスクランブル・8 B / 1 0 B ・ P / S 部 3 8 の処理である。

【 0 1 2 6 】

そして、再生した Link A , Link B の HD - SDI 信号から、3 8 4 0 × 2 1 6 0 / 2 4 P , 2 5 P , 3 0 P / 4 : 4 : 4 / 1 2 ビット信号を再生する ( ステップ S 2 1 ) 。このステップ S 2 1 は、図 1 6 の 4 k × 2 k 再生部 3 9 の処理である。

【 0 1 2 7 】

以上に説明したように、このカメラ伝送システムでは、シリアル / パラレル変換された Link A の各水平ラインのデータのうち、0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h で規定されるタイミング基準信号 SAV を所定の値に書き換える。このデータがスクランブルされた結果、フラットフィールドの映像信号であっても、タイミング基準信号 SAV の値は異なる値となる。このため、あるデータがスクランブルされたことによってエラー信号を示すデータに変換されたとしても、このエラー信号を示すデータは連続しない。これにより、フラットフィールドの映像信号を好適に出力できるという効果がある。

【 0 1 2 8 】

また、3 8 4 0 × 2 1 6 0 / 2 4 P , 2 5 P , 3 0 P / 4 : 4 : 4 / 1 2 ビット信号を、所定の伝送規格に従って、CH 1 ~ CH 8 ( Link A 及び Link B ) の HD - SDI 信号にマッピングする。本例における伝送規格は、SMPTE 4 3 5 M Part 1 の 5 . 4 Octa Link 1 . 5 Gbps Class である。これにより、ビットレート 1 0 . 6 9 2 Gbps のシリアル・デジタルデータに変換して伝送できる。このとき、3 8 4 0 × 2 1 6 0 / 2 4 P , 2 5 P , 3 0 P / 4 : 4 : 4 / 1 2 bit 信号がフラットなデータの場合に、第 1 , 3 , 5 , 7 ch と第 2 , 4 , 6 , 8 ch のデータ値が同じになり、EMI 等好ましくない。このため、スクランブル時に SAV 内の 0 0 0 h , 0 0 0 h , 0 0 0 h を、入力 HD - SDI の同一ライン内の EAV に続く CLN 0 , YLN 0 , CLN 1 , YLN 1 に書き換える。また、XYZ 下位 2 ビット ( リザーブ 0 ) をチャンネル毎に変えてスクランブルする。これにより、Ch 1 , 3 , 5 , 7 毎だけではなく、フラットフィールドに対しても Ch 1 , 3 , 5 , 7 のデータの均一性を回避できる。

【 0 1 2 9 】

また、送信側である放送用カメラ 1 では、タイミング基準信号 SAV の直前でスクラン

10

20

30

40

50

ブラ 2 4 内のレジスタの値を全て 0 にセットしてエンコードし、誤り検出符号 C R C に続く 1 0 ビットまでのデータを出力する。受信側である C C U 2 では、タイミング基準信号 S A V の直前でデスクランブラ 4 1 内のレジスタの値を全て 0 にセットしてデコードを開始するとともに、誤り検出符号 C R C に続く 1 0 ビットのデータにもデスクランブルを掛ける。このため、自己同期型スクランブルを掛けた水平ブランピング期間のデータを送信しないにもかかわらず、受信側である C C U 2 で正確に元のデータを再生できる。

【 0 1 3 0 】

< 2 . 変形例 >

なお、以上の例ではカメラ伝送システムに本発明を適用しているが、本発明は、3 8 4 0 × 2 1 6 0 / 2 4 P , 2 5 P , 3 0 P / 4 : 4 : 4 / 1 2 ビット信号を伝送するあらゆるシステムに適用してよい。

10

【 0 1 3 1 】

また、S A V 中の ( 0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h ) の書き換える数値として、上述した実施の形態以外の数値を用いてもよい。例えば、0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h で規定されるタイミング基準信号 S A V をランダムな数値に書き換えてもよい。また、0 0 0 h , 0 0 0 h 及び L i n k A に含まれる前記タイミング基準信号 E A V に続く、ライン番号 L N 0 , L N 1 の順に書き換えてもよい。また、L i n k A に含まれる前記タイミング基準信号 E A V に続く、ライン番号 L N 0 , L N 1 及び 0 0 0 h , 0 0 0 h の順に書き換えてもよい。

20

【 図面の簡単な説明 】

【 0 1 3 2 】

【 図 1 】本発明を適用したテレビジョン放送局用のカメラ伝送システムの全体構成を示す図である。

【 図 2 】図 1 の放送用カメラの回路構成のうち、本発明に関連する部分を示すブロック図である。

【 図 3 】3 8 4 0 × 2 1 6 0 / 2 4 P , 2 5 P , 3 0 P / 4 : 4 : 4 / 1 2 ビット信号のフォーマットを示す図である。

【 図 4 】S M P T E 4 3 5 M P a r t 1 の 5 . 4 O c t a L i n k 1 . 5 G b p s C l a s s による、4 k × 2 k 信号の H D - S D I 信号へのマッピング方法の概略を示す図である。

30

【 図 5 】S M P T E 3 7 2 M による L i n k A , L i n k B のデータ構造の概略を示す図である。

【 図 6 】S / P ・スクランブル・8 B / 1 0 B 部の構成を示すブロック図である。

【 図 7 】パソロジカルパターンを示す図である。

【 図 8 】A C 結合の伝送系におけるベースラインのうねりを示す図である。

【 図 9 】タイミング基準信号 S A V 内の X Y Z のコードを示す図である。

【 図 1 0 】多重部での多重の様子を示す図である。

【 図 1 1 】ベーシックストリームのフォーマットの例を示す図である。

【 図 1 2 】データ長変換部によって形成されるデータの構造を示す図である。

【 図 1 3 】データ長変換部によって形成されるデータの構造を示す図である。

40

【 図 1 4 】データ長変換部によって形成されるデータの構造を示す図である。

【 図 1 5 】多重・P / S 変換部によって生成される 1 0 . 6 9 2 G b p s のシリアル・デジタルデータの 1 ライン分の構造を示す図である。

【 図 1 6 】図 1 の C C U の回路構成のうち、本発明に関連する部分を示すブロック図である。

【 図 1 7 】S / P ・スクランブル・8 B / 1 0 B 部の構成を示すブロック図である。

【 図 1 8 】放送用カメラの処理の概要を示す図である。

【 図 1 9 】C C U の処理の概要を示す図である。

【 図 2 0 】従来のベーシックストリームのフォーマットの例を示す図である。

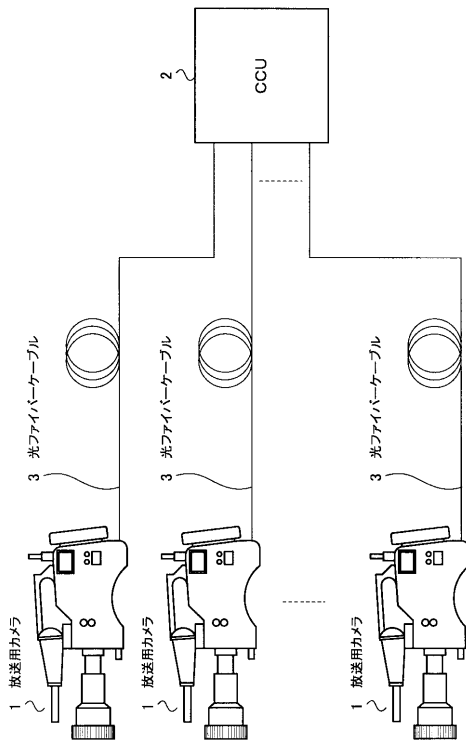
50

【 符号の説明 】

【 0 1 3 3 】

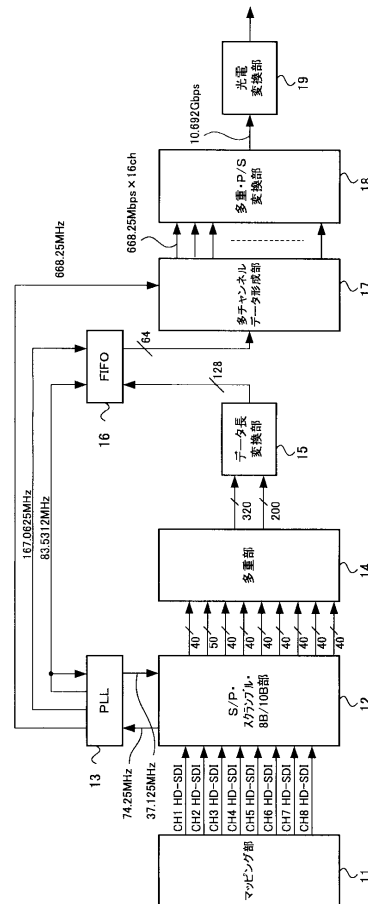
1 ... 放送用カメラ、2 ... C C U、3 ... 光ファイバケーブル、11 ... マッピング部、12 ... S / P ・ スクランプル ・ 8 B / 1 0 B 部、13 ... P L L、14 ... 多重部、15 ... データ長変換部、16 ... F I F Oメモリ、17 ... 多チャンネルデータ形成部、18 ... 多重・P / S変換部、19 ... 光電変換部、21 ... S / P変換部、22 ... T R S検出部、23 ... F I F Oメモリ、24 ... スクランプラ、25 ... 8 B / 1 0 Bエンコーダ、26 ... F I F Oメモリ、27 ... F I F Oメモリ、28 ... 抜き出し部、30 ... 8 B / 1 0 Bエンコーダ、31 ... 光電変換部、32 ... S / P変換・多チャンネルデータ形成部、33 ... 多重部、34 ... P L L、35 ... F I F Oメモリ、36 ... データ長変換部、37 ... 分離部、38 ... デスクランブル・8 B / 1 0 B ・ P / S部、39 ... 2 k再生部、41 ... デスクランブラ、42 ... 8 B / 1 0 Bデコーダ、43 ... セレクタ、44 ... F I F Oメモリ、45 ... F I F Oメモリ、46 ... P / S変換部、47 ... 8 B / 1 0 Bデコーダ、48 ... サンプルデータ形成部

【 図 1 】



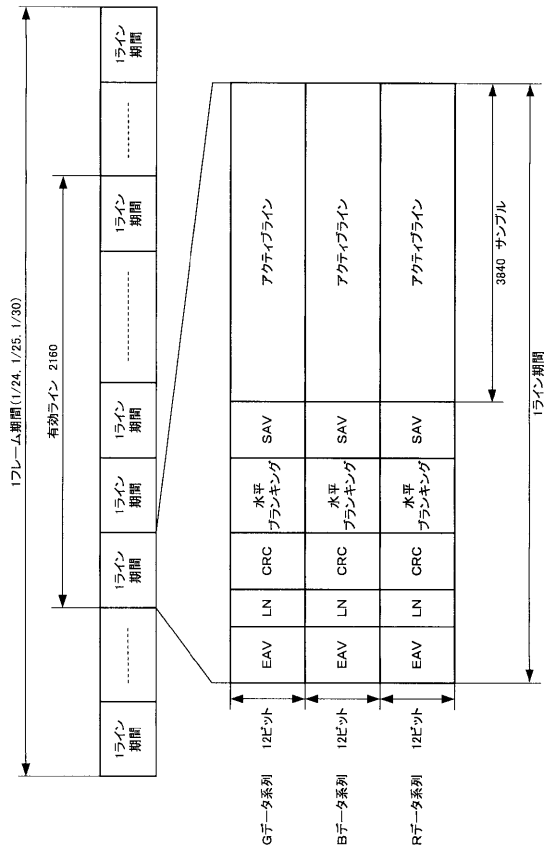
本発明を適用した伝送システムの例

【 図 2 】



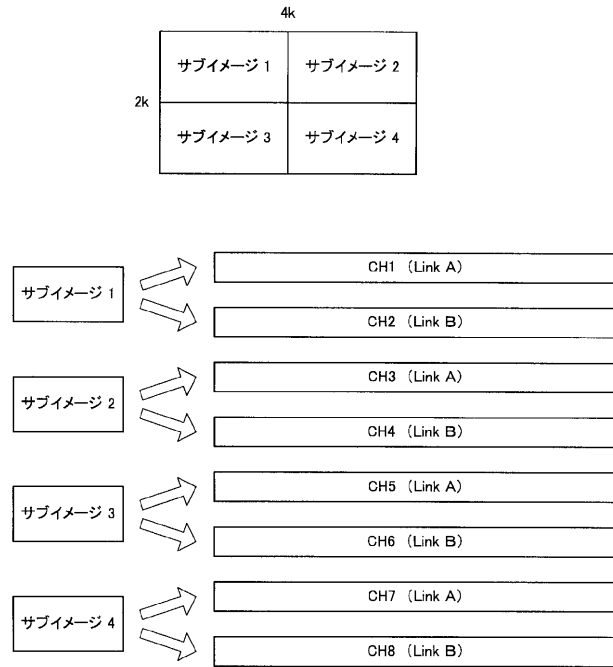
放送用カメラの構成例

【図 3】



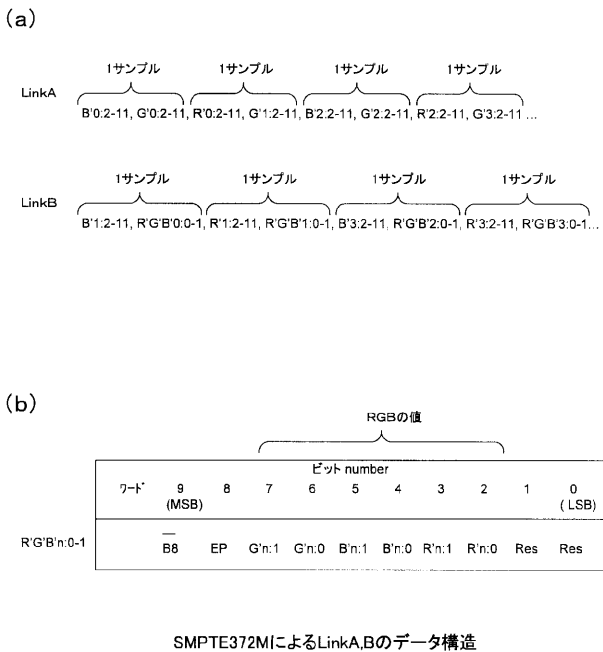
【図 4】

3840 × 2160/24P/25P/30P/4.4.4/12ビット信号のフォーマットの例

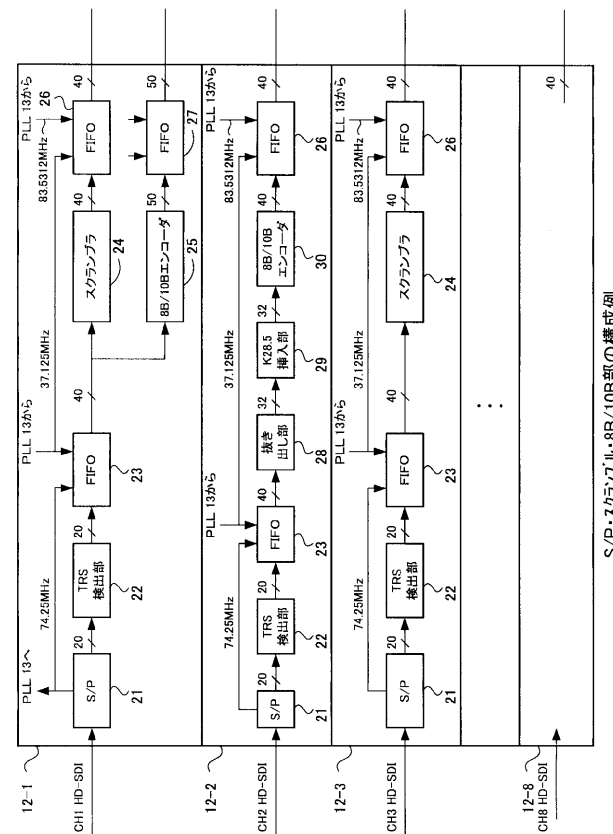


SMPTTE435Mによる4k × 2k信号のSD-HDI信号へのマッピングの例

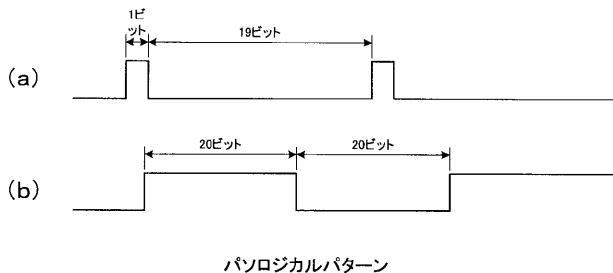
【図 5】



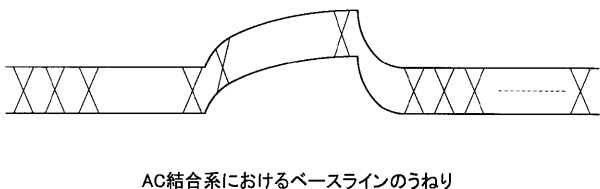
【図 6】



【 図 7 】



【 図 8 】



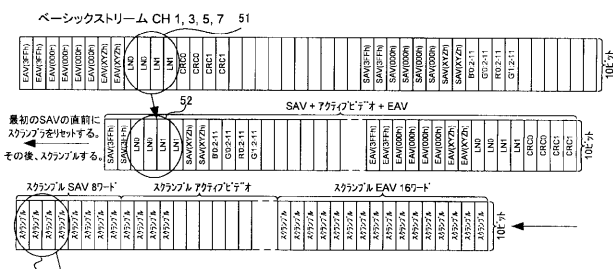
【 図 9 】

ワード	9	8	7	6	5	4	3	2	1	0
(MSB)										(LSB)
	XYZ	1	F	V	H	P3	P2	P1	P0	0

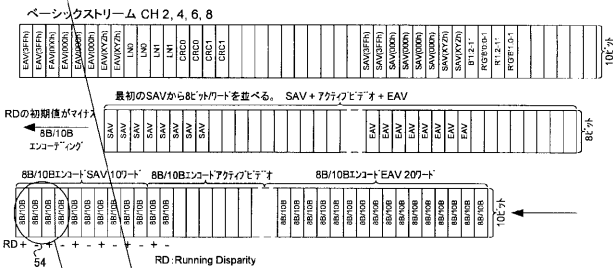
SAV内のXYZのコード

【 図 1 1 】

A ベーシックストリーム CH 1, 3, 5, 7の伝送例



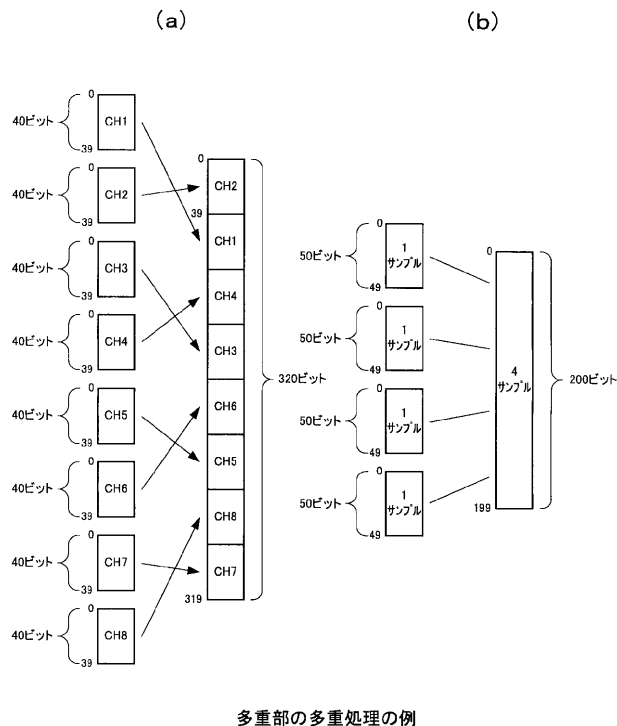
B ベーシックストリーム CH 2, 4, 6, 8の伝送例



C 10ビット8ワードの構成例

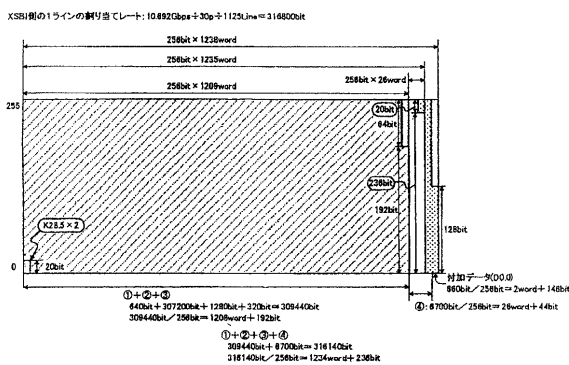
ベーシックストリームのフォーマットの例

【 図 1 0 】



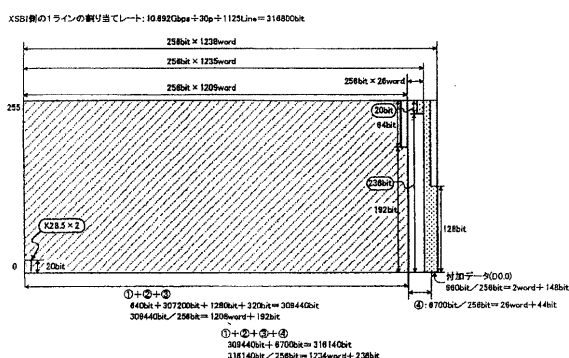
多重部の多重処理の例

【 図 1 2 】



30Pの場合にデータ長変換部で形成される1ライン分のデータ構造の例

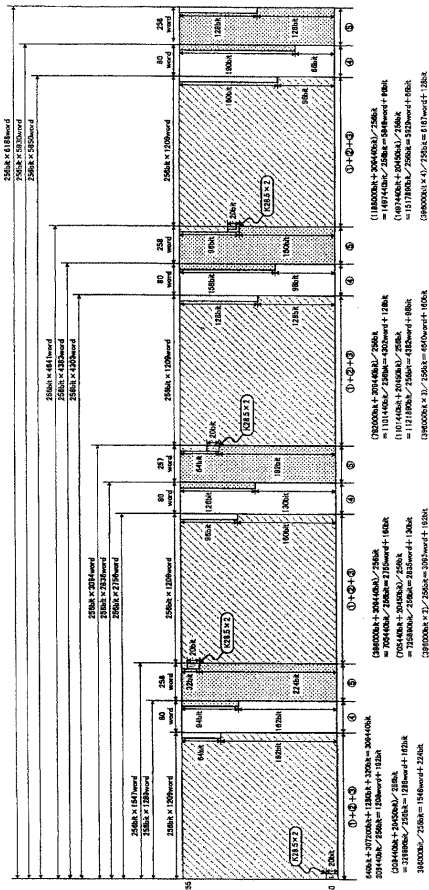
【 図 1 3 】



25Pの場合にデータ長変換部で形成される1ライン分データ構造の例

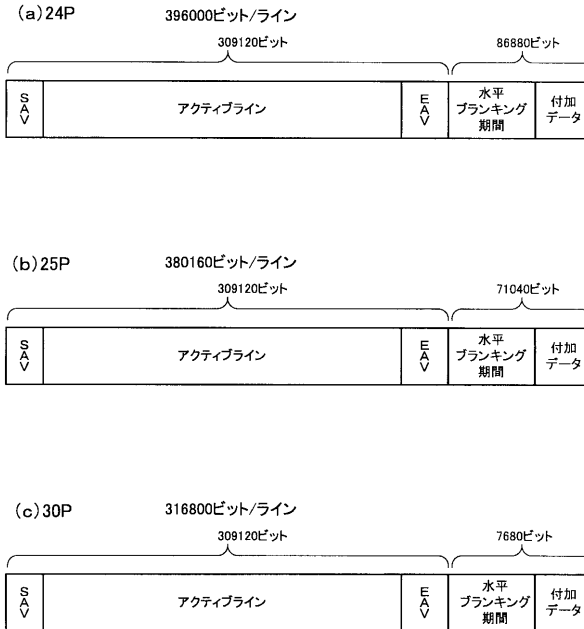


【 図 1 4 】



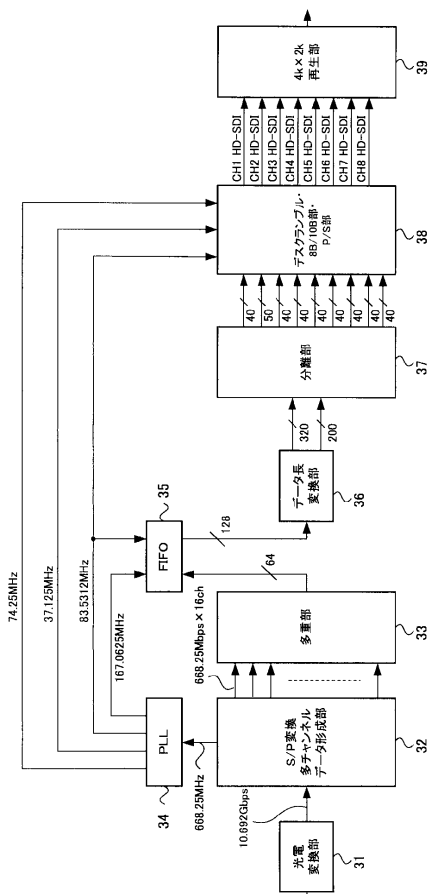
24Pの場合にデータ長変換部で形成される4ライン分のデータ構造の例

【 図 1 5 】



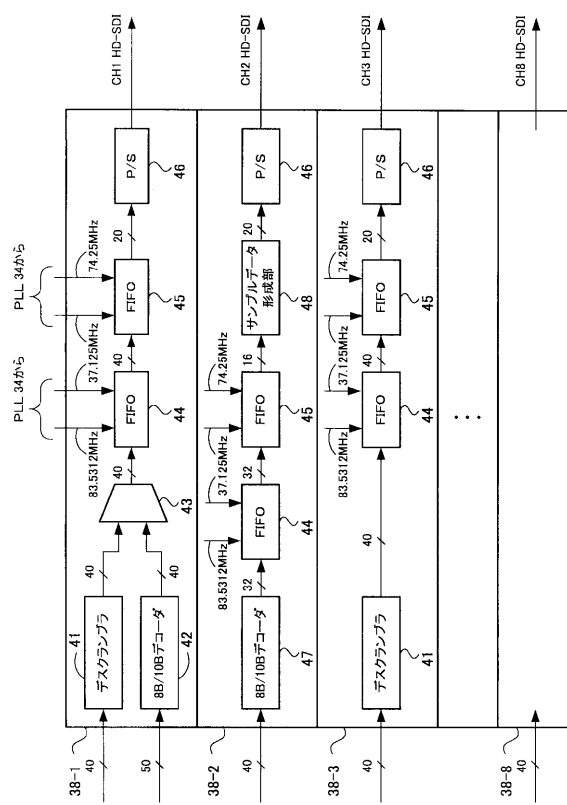
10.692Gbpsのシリアルデータの1ライン分の構造例

【 図 1 6 】



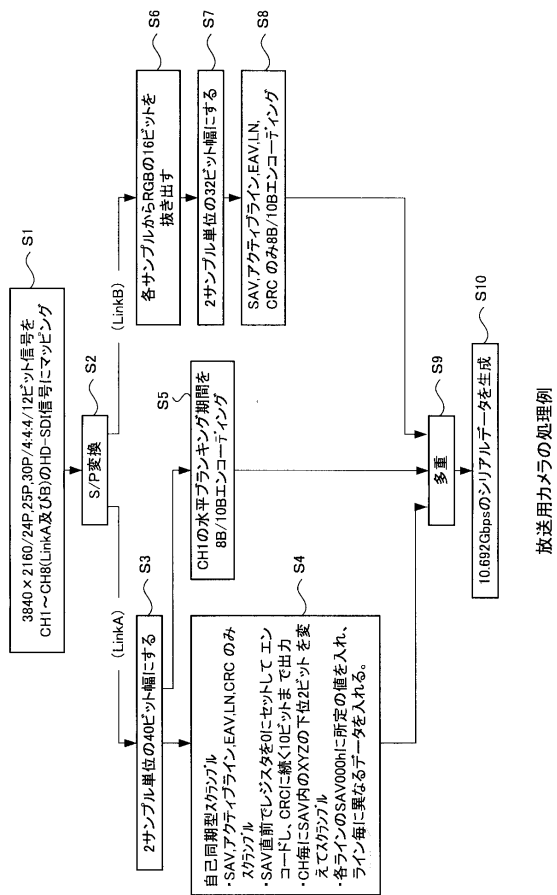
CCUの構成例

【 図 1 7 】

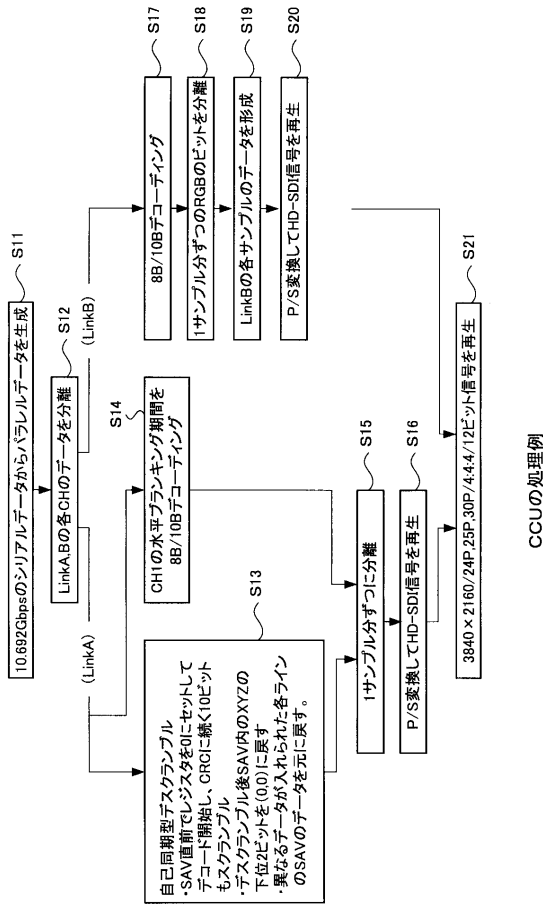


バス可変・8B/10B・P/S部の構成例

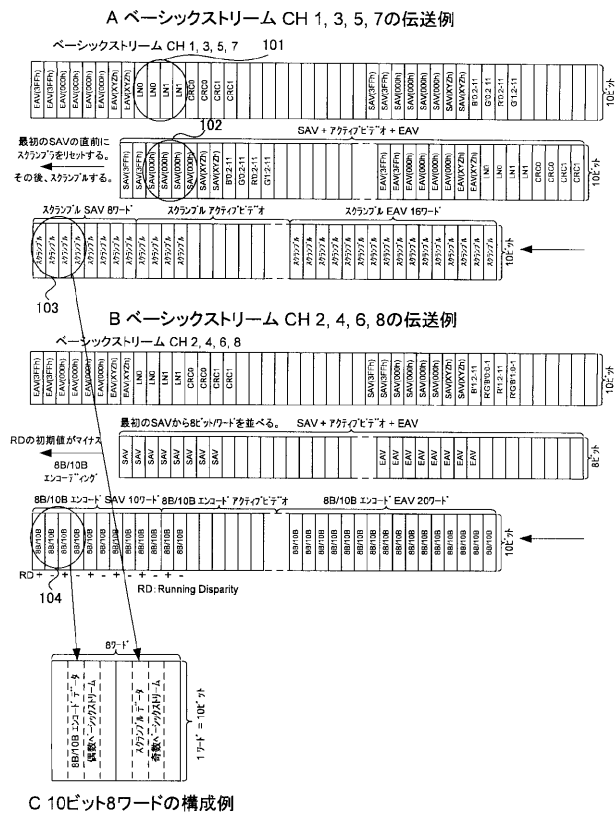
【 図 1 8 】



【 図 1 9 】



【 図 2 0 】



従来のベーシックストリームのフォーマットの例

## 【手続補正書】

【提出日】平成21年11月11日(2009.11.11)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

## 【請求項1】

所定の伝送規格に従ってマッピングされた Link A である CH1, CH3, CH5, CH7 及び Link B である CH2, CH4, CH6, CH8 の HD-SDI フォーマットのシリアル・デジタルビデオ信号を、それぞれシリアル/パラレル変換するシリアル/パラレル変換部と、

前記シリアル/パラレル変換部によってシリアル/パラレル変換された Link A の各水平ラインのデータのうち、000h, 000h, 000h, 000h で規定されるタイミング基準信号 SAV を所定の値に書き換えて、タイミング基準信号 SAV, アクティブライン, タイミング基準信号 EAV, ライン番号 LN 及び誤り検出符号 CRC のデータのみ自己同期型スクランブルを掛け、タイミング基準信号 SAV の直前でスクランブラ内のレジスタの値を全て 0 にセットしてエンコードし、誤り検出符号 CRC に続く少なくとも数ビットまでのデータを出力するスクランブラと、

前記シリアル/パラレル変換部によってシリアル/パラレル変換された Link B の各水平ラインのデータのうち、タイミング基準信号 SAV, アクティブライン, タイミング基準信号 EAV, ライン番号 LN 及び誤り検出符号 CRC のデータのみから RGB のビットを抜き出す抜き出し部と、

前記抜き出し部によって抜き出された Link B の RGB のビットを 8 ビット/10 ビットエンコーディングする 8 ビット/10 ビットエンコーダと、

前記スクランブラによって自己同期型スクランブルを掛けられた Link A のパラレル・デジタルデータと、前記 8 ビット/10 ビットエンコーダによって 8 ビット/10 ビットエンコーディングされた Link B のパラレル・デジタルデータとを多重する多重部と

、  
前記多重部によって多重されたパラレル・デジタルデータから、所定のビットレートのシリアル・デジタルデータを生成するシリアル・デジタルデータ生成部と

を備える信号送信装置。

## 【請求項2】

請求項1に記載の信号送信装置において、

前記 000h, 000h, 000h, 000h で規定されるタイミング基準信号 SAV を、Link A に含まれるタイミング基準信号 EAV に続く、ライン番号 LN0, LN0, LN1, LN1 の順に書き換える

信号送信装置。

## 【請求項3】

請求項1に記載の信号送信装置において、

前記 000h, 000h, 000h, 000h で規定されるタイミング基準信号 SAV をランダムな数値に書き換える

信号送信装置。

## 【請求項4】

請求項1に記載の信号送信装置において、

前記 000h, 000h, 000h, 000h で規定されるタイミング基準信号 SAV を、Link A に含まれるタイミング基準信号 EAV に続く、ライン番号 LN0, LN0, LN1, LN1 の順に書き換える

信号送信装置。

**【請求項 5】**

請求項 1 に記載の信号送信装置において、

前記 0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h で規定されるタイミング基準信号 S A V を、0 0 0 h , 0 0 0 h 及び L i n k A に含まれるタイミング基準信号 E A V に続く、ライン番号 L N 0 , L N 1 の順に書き換える

信号送信装置。

**【請求項 6】**

請求項 1 に記載の信号送信装置において、

前記 0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h で規定されるタイミング基準信号 S A V を、L i n k A に含まれるタイミング基準信号 E A V に続く、ライン番号 L N 0 , L N 1 及び 0 0 0 h , 0 0 0 h の順に書き換える

信号送信装置。

**【請求項 7】**

所定の伝送規格に従ってマッピングされた L i n k A である C H 1 , C H 3 , C H 5 , C H 7 及び L i n k B である C H 2 , C H 4 , C H 6 , C H 8 の H D - S D I フォーマットのシリアル・デジタルビデオ信号を、それぞれシリアル/パラレル変換する第 1 のステップと、

前記第 1 のステップでシリアル/パラレル変換した L i n k A の各水平ラインのデータのうち、0 0 0 h , 0 0 0 h , 0 0 0 h , 0 0 0 h で規定されるタイミング基準信号 S A V を所定の値に書き換えて、タイミング基準信号 S A V , アクティブライン, タイミング基準信号 E A V , ライン番号 L N 及び誤り検出符号 C R C のデータのみ自己同期型スクランブルを掛けるステップであって、タイミング基準信号 S A V の直前でスクランブラ内のレジスタの値を全て 0 にセットしてエンコードし、誤り検出符号 C R C に続く少なくとも数ビットまでのデータを出力する第 2 のステップと、

前記第 1 のステップでシリアル/パラレル変換した L i n k B の各水平ラインのデータのうち、タイミング基準信号 S A V , アクティブライン, タイミング基準信号 E A V , ライン番号 L N 及び誤り検出符号 C R C のデータのみから R G B のビットを抜き出す第 3 のステップと、

前記第 3 のステップで抜き出した L i n k B の R G B のビットを 8 ビット / 1 0 ビットエンコーディングする第 4 のステップと、

前記第 2 のステップで自己同期型スクランブルを掛けた L i n k A のパラレル・デジタルデータと、前記第 4 のステップで 8 ビット / 1 0 ビットエンコーディングした L i n k B のパラレル・デジタルデータとを多重する第 5 のステップと、

前記第 5 のステップで多重したパラレル・デジタルデータから、所定のビットレートのシリアル・デジタルデータを生成する第 6 のステップと、を有する

信号送信方法。

**【手続補正 2】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0 0 6 6

**【補正方法】**変更

**【補正の内容】**

**【0 0 6 6】**

このように、C H 1 , 3 , 5 , 7 はタイミング基準信号 S A V とタイミング基準信号 E A V とアクティブビデオのみスクランブルして多重される。このとき、S A V の直前でスクランブラのレジスタ値を全て 0 にセットしてエンコードし、タイミング基準信号 E A V , ライン番号 L N 及び誤り検出符号 C R C に続く 1 0 ビットまでのデータを送る。一方、受信側の後述するデスクランブラ 4 1 は、レジスタ値を S A V の直前で全て 0 にセットしてデコードを開始する。そして、1 0 ビット余計に送られてきたデータにもデスクランブル処理する。これにより、掛け算回路であるデスクランブラの桁上りを計算して元のデータを正確に再生できる。

## 【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0097

【補正方法】変更

【補正の内容】

【0097】

デスクランブラ 41 は、自己同期型のデスクランブラである。デスクランブラ 41 は、送られたパラレル・デジタルデータにデスクランブルを掛けるが、タイミング基準信号 SAV の直前でデスクランブラ 41 内のレジスタの値を全て 0 にセットしてデコードを開始する。そして、10 ビット余計に送られてきたデータにもデスクランブル処理する。これにより、掛け算回路であるデスクランブラの桁上がりを計算して元のデータを正確に再生できる。また、誤り検出符号 CRC に続く 10 ビットのデータにも自己同期型デスクランブルを掛ける。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0099

【補正方法】変更

【補正の内容】

【0099】

またデスクランブラ 41 は、自己同期型スクランブルを掛けた後、CH1, CH3, CH5, CH7 のチャンネル毎に値を変えてスクランブルを掛けられたビットの値を、元の値である (0, 0) (図 9 参照) に変更する。このことは、タイミング基準信号 SAV 内の XYZ の下位 2 ビットの値を元の値である (0, 0) に変更する。この下位 2 ビットについては、上述したスクランブラ 24 の箇所で説明済みである。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0105

【補正方法】変更

【補正の内容】

【0105】

P/S 変換部 46 は、このパラレル・デジタルデータをビットレート 1.485 Gbps の HD-SDI 信号にパラレル/シリアル変換して、HD-SDI 信号を再生する。各ブロック 38-1, 38-3, 38-5, 38-7 で再生された CH1, CH3, CH5, CH7 の HD-SDI 信号は、図 16 の 4k x 2k 再生部 39 に送られる。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0111

【補正方法】変更

【補正の内容】

【0111】

P/S 変換部 46 は、このパラレル・デジタルデータをビットレート 1.485 Gbps の HD-SDI 信号にパラレル/シリアル変換して、HD-SDI 信号を再生する。各ブロック 38-2, 38-4, 38-6, 38-8 で再生された CH2, CH4, CH6, CH8 の HD-SDI 信号は、図 16 の 4k x 2k 再生部 39 に送られる。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0112

【補正方法】変更

【補正の内容】

【0112】

図1\_6の4k×2k再生部39は、デスクランブル・8B/10B・P/S部38から送られたCH1～CH8(Link A及びLink B)のHD-SDI信号に、所定の処理を施す回路である。この処理は、SMPTE 435Mに従って放送用カメラ1内のマッピング部11(図2)の処理(図4)と逆の処理を施すことにより、3840×2160/24P, 25P, 30P/4:4:4/12ビット信号を再生できる。

【手続補正8】

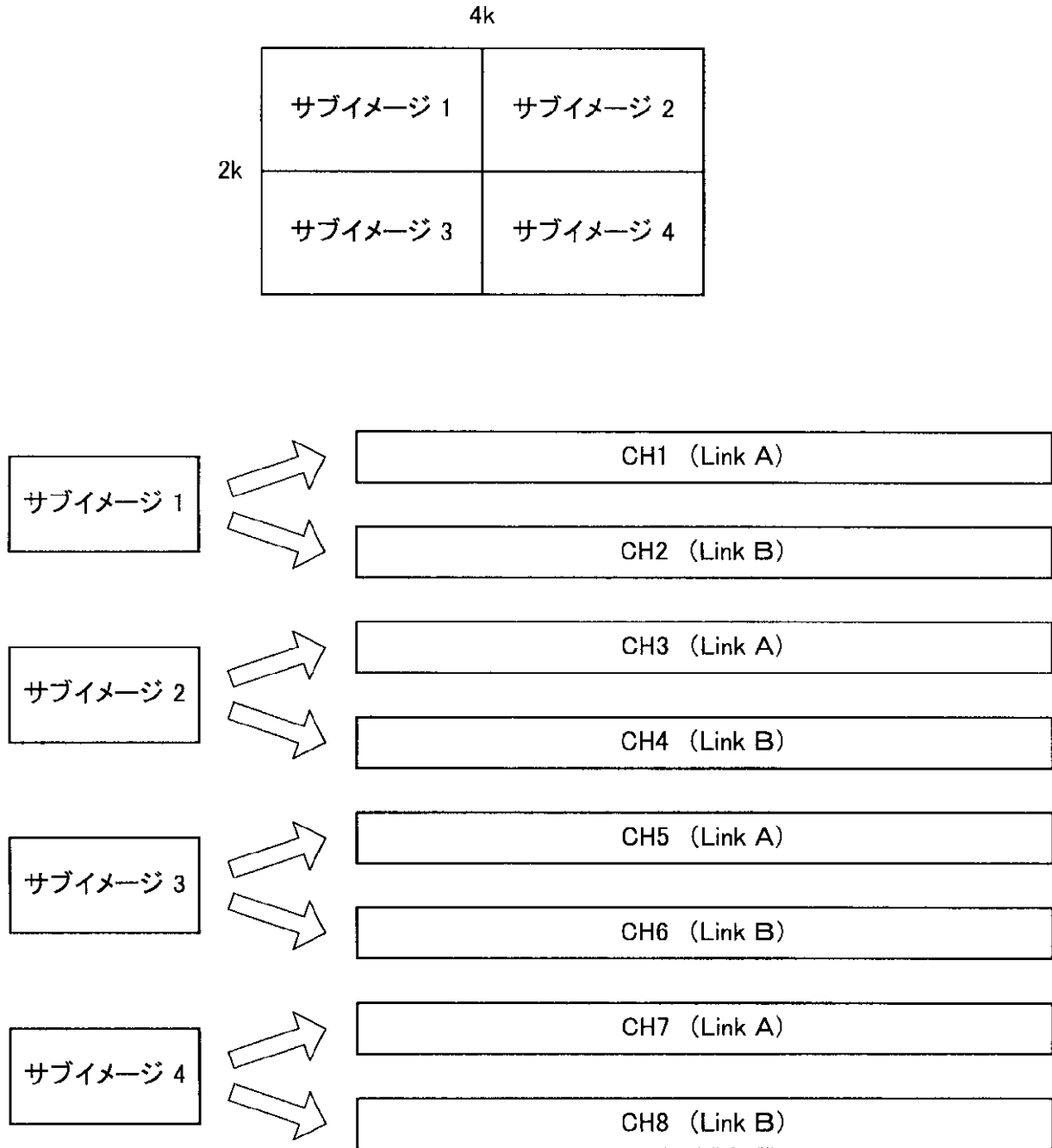
【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正の内容】

【 図 4 】



SMPTE435Mによる4k x 2k信号のHD-SDI信号へのマッピングの例

---

フロントページの続き

(51)Int.Cl.

**H 0 4 J 3/00 (2006.01)**

F I

テーマコード(参考)