

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-178172

(P2014-178172A)

(43) 公開日 平成26年9月25日(2014.9.25)

|                             |              |             |
|-----------------------------|--------------|-------------|
| (51) Int.Cl.                | F I          | テーマコード (参考) |
| <b>GO1J 1/02 (2006.01)</b>  | GO1J 1/02 C  | 2G065       |
| <b>HO1L 35/32 (2006.01)</b> | GO1J 1/02 Q  |             |
|                             | HO1L 35/32 A |             |

審査請求 未請求 請求項の数 4 O L (全 14 頁)

|   |   |
|---|---|
| <p>(21) 出願番号 特願2013-51506 (P2013-51506)</p> <p>(22) 出願日 平成25年3月14日 (2013.3.14)</p> <p>(出願人による申告) 平成24年度、独立行政法人新エネルギー・産業技術総合開発機構「グリーンセンサ・ネットワークシステム技術開発プロジェクト」共同研究、産業技術力強化法第19条の適用を受ける特許出願</p> | <p>(71) 出願人 000002945<br/>オムロン株式会社<br/>京都市下京区塩小路通堀川東入南不動堂町801番地</p> <p>(74) 代理人 110001195<br/>特許業務法人深見特許事務所</p> <p>(72) 発明者 相田 富実二<br/>京都府京都市下京区塩小路通堀川東入南不動堂町801番地 オムロン株式会社内</p> <p>(72) 発明者 川井 和哉<br/>京都府京都市下京区塩小路通堀川東入南不動堂町801番地 オムロン株式会社内</p> <p>(72) 発明者 塩▲崎▼ 真良<br/>京都府京都市下京区塩小路通堀川東入南不動堂町801番地 オムロン株式会社内<br/>最終頁に続く</p> |
|---|---|

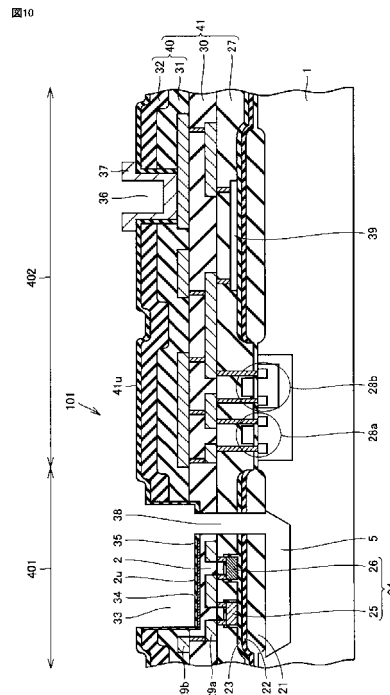
(54) 【発明の名称】 赤外線センサおよびその製造方法

(57) 【要約】

【課題】 赤外線センサの製造方法において、センサ領域のサーモパイルを形成する際の熱で周辺回路領域の回路特性が変化するという問題を回避する。

【解決手段】 赤外線センサの製造方法は、第1領域にサーモパイル支持層を形成する工程と、その上面にサーモパイル24を形成する工程と、その後で、第2領域に回路素子を形成する工程と、前記第1および第2領域を覆って上部層41を形成する工程と、上部層41を途中まで掘り下げる工程と、上部層41をさらに掘り下げることによってエッチングホール38を形成する工程と、エッチングホール38を通じて半導体基板1の一部をエッチングして前記サーモパイル支持層およびサーモパイル24を半導体基板1から浮かせることによって、センサ部2を形成する工程とを含む。センサ部2の上面2uは、前記第2領域における上部層41uの上面より低い位置となっている。

【選択図】 図10



## 【特許請求の範囲】

## 【請求項 1】

センサ領域となるべき第 1 領域および周辺回路領域となるべき第 2 領域を上面に有する半導体基板の前記第 1 領域にサーモパイル支持層を形成する工程と、  
前記サーモパイル支持層の上面にサーモパイルを形成する工程と、  
前記サーモパイルを形成する工程より後で、前記第 2 領域に回路素子を形成する工程と

、  
前記第 1 領域および前記第 2 領域を覆って上部層を形成する工程と、  
前記第 1 領域において前記上部層を途中まで掘り下げる工程と、  
前記上部層を途中まで掘り下げた領域のうち一部の領域において前記上部層をさらに掘り下げることによって前記半導体基板が露出するエッチングホールを形成する工程と、  
前記エッチングホールを通じて前記第 1 領域にある前記半導体基板の一部をエッチングして前記サーモパイル支持層および前記サーモパイルを前記半導体基板から浮かせること  
によって、センサ部を形成する工程とを含み、  
前記センサ部の上面は、前記第 2 領域における前記上部層の上面より低い位置となっ  
ている、赤外線センサの製造方法。

10

## 【請求項 2】

前記サーモパイル支持層を形成する工程は、LOCOS 法によって酸化膜を形成する工程を含む、請求項 1 に記載の赤外線センサの製造方法。

## 【請求項 3】

前記上部層は、内部に配線層を含む、請求項 1 または 2 に記載の赤外線センサの製造方法。

20

## 【請求項 4】

上面に凹部を有する半導体基板と、  
前記半導体基板の上側に形成され、前記凹部に対応した開口部であるセンサ開口部を有する上部層と、  
前記センサ開口部の内周の少なくとも 1 ヶ所につながるように、前記凹部の内面から隔離した状態で前記センサ開口部内に支持されるセンサ部とを備え、  
前記センサ部はサーモパイルを備え、  
平面的に見て前記センサ開口部とは異なる場所において、回路素子が前記上部層の内部  
に形成されている周辺回路領域が設けられており、  
前記センサ部の上面は、前記周辺回路領域における前記上部層の上面より低い位置にあ  
る、赤外線センサ。

30

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、赤外線センサおよびその製造方法に関するものである。

## 【背景技術】

## 【0002】

近年の電子機器においては、周囲環境を検出し、その検出結果を運転制御に利用することが行なわれている。たとえばエアコンにおいては、人の存在を検知し、人の存在する場所を狙って温度制御するといった運転制御が行なわれている。また、照明機器においては、一定領域内における人の存在を検知して、当該領域の照明をオンにするといった制御が行なわれている。このような制御においては、周囲環境を検出するためのセンサ装置が用いられ、センサ装置の一種として、物体からの輻射熱によって非接触で物体温度を検知する赤外線センサが用いられる。

40

## 【0003】

従来技術に基づく赤外線センサの一例が、特許第 4661207 号（特許文献 1）に記載されている。特許文献 1 に記載された赤外線センサは、基板に設けられた凹部の上方で浮くように配置された正方形の赤外線吸収膜を備えている。赤外線吸収膜は、2 本の支持

50

梁によって支持されている。基板の上側にシリコン酸化膜が積層されており、支持梁は赤外線吸収膜をシリコン酸化膜に接続している。各支持梁は2度直角に折れ曲がった形状をしており、各支持梁の内部にはP型ポリシリコン層およびN型ポリシリコン層が線状に形成されており、これらはサーモパイルを構成している。赤外線吸収膜が赤外線を受けて高温となることで、赤外線吸収膜と周辺のシリコン酸化膜との間に温度差が生じ、この温度差をサーモパイルによって電気信号に変換することによって、赤外線の量を検出することができる。

#### 【0004】

特許文献1では、赤外線センサを得るために、以下のような製造方法が記載されている。まず、シリコン基板においてLOCOSによりセンサ領域と配線領域とに素子分離を行なう。センサ領域にポリシリコンからなるエッチング犠牲層を形成し、配線領域においてポリシリコンからなるゲート配線を形成する。センサ領域においてさらにポリシリコンからなるエッチング犠牲層を積層することによってセンサ領域の高さを底上げする。全面を覆うようにシリコン酸化膜を形成する。センサ領域においてP型ポリシリコン層、N型ポリシリコン層を所定形状に形成してサーモパイルを形成する。

10

#### 【0005】

センサ領域および配線領域において所定のアルミ配線を形成し、これらのアルミ配線を覆うように全面にシリコン酸化膜を形成する。シリコン酸化膜の表面をCMPなどによりアルミ配線が露出しない程度に薄くして平坦化する。センサ領域においてシリコン酸化膜を選択的にエッチングしてスリットを形成する。スリットを通じて強アルカリ溶液を用いて異方性エッチングを行なうことによって、センサ領域のエッチング犠牲層およびシリコン基板を除去する。その結果、センサ領域においては、シリコン基板の上面から掘り下げた形の空洞が形成される。これにより、サーモパイルを含む部材がシリコン基板から浮いた構造が得られる。

20

#### 【先行技術文献】

#### 【特許文献】

#### 【0006】

【特許文献1】特許第4661207号

#### 【発明の概要】

#### 【発明が解決しようとする課題】

30

#### 【0007】

特許文献1に記載された赤外線センサの製造方法では、配線領域の配線を形成した後でセンサ領域のサーモパイルを形成している。センサ領域のサーモパイルを形成する工程にはイオン拡散工程が含まれ、イオン拡散工程は加熱を伴う。この加熱により、既に配線が形成されている配線領域において拡散濃度が変化し、その結果、回路特性に変化が生じる。配線領域では、スイッチング回路や増幅回路など、さまざまな回路素子が形成されるが、このように回路素子形成より後の工程で加わる熱によって特性に変化が生じるような製造方法である場合、回路を変更するごとに設計段階での調整が必要になったり、他の製品に比べて回路設計を特別に変更する必要が生じたりする。

#### 【0008】

40

また、配線領域における配線形成のための積層数が増加した場合、または、センサを薄型化すべき場合には、センサ領域の底上げすべき高さが増すので、センサ領域に形成するエッチング犠牲層の厚みを増加させる必要がある。エッチング犠牲層をシリコン酸化膜によって形成する場合、1回の成長工程によって得られる厚みは限りがあるので、大きな厚みのエッチング犠牲層を得るためには、膜の成長工程を複数回繰り返さなければならず、工程数が増大してしまう。また、その場合、回路配線のリソグラフィ時にマスクと基板との間にギャップが生じるので、パターンサイズにばらつきが生じる。この影響により、回路素子の導通不良が生じるおそれがある。

#### 【0009】

そこで、本発明は、センサ領域のサーモパイルを形成する際の熱によって、周辺回路領

50

域において回路特性が変化するという現象に伴う不都合を回避した赤外線センサおよびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

上記目的を達成するため、本発明に基づく赤外線センサの製造方法は、センサ領域となるべき第1領域および周辺回路領域となるべき第2領域を上面に有する半導体基板の上記第1領域にサーモパイル支持層を形成する工程と、上記サーモパイル支持層の上面にサーモパイルを形成する工程と、上記サーモパイルを形成する工程より後で、上記第2領域に回路素子を形成する工程と、上記第1領域および上記第2領域を覆って上部層を形成する工程と、上記第1領域において上記上部層を途中まで掘り下げる工程と、上記上部層を途中まで掘り下げた領域のうち一部の領域において上記上部層をさらに掘り下げることによって上記半導体基板が露出するエッチングホールを形成する工程と、上記エッチングホールを通じて上記第1領域にある上記半導体基板の一部をエッチングして上記サーモパイル支持層および上記サーモパイルを上記半導体基板から浮かせることによって、センサ部を形成する工程とを含み、上記センサ部の上面は、上記第2領域における上記上部層の上面より低い位置となっている。

10

【発明の効果】

【0011】

本発明によれば、センサ領域となるべき第1領域にサーモパイルを早い段階で形成した後で、第2領域に回路素子を形成し、その上の上部層を一旦形成してからセンサ領域において凹部を掘り下げることによって、サーモパイルに近い層まで露出させてサーモパイルを含むセンサ部を形成することとしているので、周辺回路領域における回路素子を形成した後は、サーモパイル形成の工程に伴う熱が加わることを避けることができる。したがって、センサ領域のサーモパイルを形成する際の熱によって、周辺回路領域において回路特性が変化するという現象に伴う不都合を回避しつつ赤外線センサを製造することができる。

20

【図面の簡単な説明】

【0012】

【図1】本発明に基づく実施の形態1における赤外線センサの製造方法のフローチャートである。

30

【図2】本発明に基づく実施の形態1における赤外線センサの製造方法の第1の工程の説明図である。

【図3】本発明に基づく実施の形態1における赤外線センサの製造方法の第2の工程の説明図である。

【図4】本発明に基づく実施の形態1における赤外線センサの製造方法の第3の工程の説明図である。

【図5】本発明に基づく実施の形態1における赤外線センサの製造方法の第4の工程の説明図である。

【図6】本発明に基づく実施の形態1における赤外線センサの製造方法の第5の工程の説明図である。

40

【図7】本発明に基づく実施の形態1における赤外線センサの製造方法の第6の工程の説明図である。

【図8】本発明に基づく実施の形態1における赤外線センサの製造方法の第7の工程の説明図である。

【図9】本発明に基づく実施の形態1における赤外線センサの製造方法の第8の工程の説明図である。

【図10】本発明に基づく実施の形態1における赤外線センサの製造方法の第9の工程の説明図である。

【図11】本発明に基づく実施の形態1における赤外線センサの製造方法によって製造した赤外線センサを用いて得られる赤外線センサチップの断面図である。

50

【図 1 2】シミュレーションのモデルの断面図である。

【図 1 3】センサ部の厚みが 2.5  $\mu\text{m}$  の場合のシミュレーション結果を示すグラフである。

【図 1 4】センサ部の厚みが 4.0  $\mu\text{m}$  の場合のシミュレーション結果を示すグラフである。

【発明を実施するための形態】

【0013】

(実施の形態 1)

(製造方法)

図 1 ~ 図 1 0 を参照して、本発明に基づく実施の形態 1 における赤外線センサの製造方法について説明する。本実施の形態における赤外線センサの製造方法のフローチャートを図 1 に示す。

10

【0014】

本実施の形態における赤外線センサの製造方法は、センサ領域となるべき第 1 領域および周辺回路領域となるべき第 2 領域を上面に有する半導体基板の前記第 1 領域にサーモパイル支持層を形成する工程 S 1 と、前記サーモパイル支持層の上面にサーモパイルを形成する工程 S 2 と、前記サーモパイルを形成する工程 S 2 より後で、前記第 2 領域に回路素子を形成する工程 S 3 と、前記第 1 領域および前記第 2 領域を覆って上部層を形成する工程 S 4 と、前記第 1 領域において前記上部層を途中まで掘り下げる工程 S 5 と、前記上部層を途中まで掘り下げた領域のうち一部の領域において前記上部層をさらに掘り下げることによって前記半導体基板が露出するエッチングホールを形成する工程 S 6 と、前記エッチングホールを通じて前記第 1 領域にある前記半導体基板の一部をエッチングして前記サーモパイル支持層および前記サーモパイルを前記半導体基板から浮かせることによって、センサ部を形成する工程 S 7 とを含み、前記センサ部の上面は、前記第 2 領域における前記上部層の上面より低い位置となっている。

20

【0015】

半導体基板とは、たとえばシリコン基板である。回路素子とは、たとえばトランジスタ、キャパシタ、抵抗体などである。

【0016】

以下に各工程を詳しく説明する。

30

まず、図 2 に示すように半導体基板 1 を用意する。ここでは、説明の便宜のため、センサ領域 4 0 1 と周辺回路領域 4 0 2 とに属する各要素を代表的に抽出して並べて表示している。センサ領域 4 0 1 として表示されている領域は第 1 領域に相当し、周辺回路領域 4 0 2 として表示されている領域は第 2 領域に相当する。

【0017】

図 3 に示すように半導体基板 1 の上面の一部に L O C O S (Local Oxidation of Silicon) 法によりシリコン酸化膜 2 1 を形成する。シリコン酸化膜 2 1 のうちセンサ領域 4 0 1 にあるものはサーモパイル支持層に相当する。したがって、シリコン酸化膜 2 1 を形成する工程は、工程 S 1 に相当する。

【0018】

40

図 4 に示すように、シリコン酸化膜 2 1 の上に S i N 膜 2 2 を形成し、さらにその上を覆うように S i O<sub>2</sub> 膜 2 3 を形成する。S i O<sub>2</sub> 膜 2 3 の上側を全体的に覆うようにポリシリコン膜を形成し、このポリシリコン膜をエッチングすることによって、のちにサーモパイルを構成する熱電対に相当する部分のみを残す。ポリシリコン膜に P 型および N 型の不純物をそれぞれ局所的に注入し、アニール処理を行なうことによって、図 4 に示すように P 型ポリシリコン膜 2 5 および N 型ポリシリコン膜 2 6 を形成する。P 型ポリシリコン膜 2 5 および N 型ポリシリコン膜 2 6 はサーモパイル 2 4 を構成する。このように P 型ポリシリコン膜 2 5 および N 型ポリシリコン膜 2 6 を形成する工程は、サーモパイルを形成する工程であるので工程 S 2 に相当する。

【0019】

50

実際にはサーモパイルは複数の熱電対が接続された集合体として構成されるのが通常であり、サーモパイルに含まれる複数対のP型ポリシリコン膜25およびN型ポリシリコン膜26が配列されて形成される。図4では、説明の便宜のため、代表して1対の熱電対に相当する部分のP型ポリシリコン膜25およびN型ポリシリコン膜26のみを表示している。

#### 【0020】

工程S2より後で、図5に示すように、周辺回路領域402に回路素子としてトランジスタ28a、28bおよび抵抗体39を形成する。これらの回路素子を形成する工程は、工程S3に相当する。ただし、周辺回路領域402に形成される回路素子としてここで示したものはあくまで一例であって、回路素子の種類、数、配置はここで示したものに限らない。工程S3が行なわれるのは、工程S2によりサーモパイル24を形成した後であるので、工程S3で形成される回路素子は、サーモパイル形成時の熱の影響を受けない。

10

#### 【0021】

図6に示すように、絶縁層27を形成し、表面を平坦化し、絶縁層27の上面に配線層29aを形成する。絶縁層27は、たとえばBPSG(Boron Phosphorus Silicon Glass)層であってよい。表面の平坦化はたとえばCMP(Cheical Mechanical Polishing)法によって行なってよい。配線層29aはたとえばアルミニウムによって形成することができる。センサ領域401においては、配線層29aの一部は絶縁層27にあけられた貫通孔を介してP型ポリシリコン膜25またはN型ポリシリコン膜26に接続される。周辺回路領域402においては、配線層29aの一部は絶縁層27にあけられた貫通孔を介してトランジスタ28a、28bまたは抵抗体39に接続される。絶縁層27および配線層29aを覆うように絶縁層30をさらに形成し、絶縁層30の上面に配線層29bを形成する。配線層29bの一部は、絶縁層30の所定の位置にあけられた貫通孔を介して配線層29aのいずれかに接続される。配線層29bはたとえばアルミニウムによって形成することができる。配線層29a、29bは、たとえばアルミニウム層と銅層との積層体によって形成してもよい。周辺回路領域402においては、配線層29a、29bによって回路素子に関係する必要な配線がなされる。

20

#### 【0022】

図6に示すように、絶縁層30および配線層29bの全体を覆うようにSiO<sub>2</sub>膜31を形成する。SiO<sub>2</sub>膜31の上面を覆うようにさらにSiN膜32が形成される。SiO<sub>2</sub>膜31とSiN膜32とを合わせた部分は、配線保護膜40となる。

30

#### 【0023】

ここで示した例では、絶縁層27からSiN膜32までが「上部層」41に相当する。したがって、絶縁層27を形成する工程からSiN膜32を形成する工程までが、工程S4に相当する。

#### 【0024】

図7に示すように、エッチングを行なうことによって、センサ領域401に凹部33を形成する。凹部33は、配線層29aよりやや高いところに底面が位置するように形成される。このエッチングの工程は、第1領域であるところのセンサ領域において上部層を途中まで掘り下げる工程であるので工程S5に相当する。

40

#### 【0025】

工程S2においてサーモパイルを形成した後に、工程S3において回路素子を形成し、さらに工程S4において各種配線を含む上部層41を形成したことによって、サーモパイル24は一時は上部層41に深く埋もれた状態となっていたが、工程S5でセンサ領域401において上部層41を途中まで掘り下げたことによって、再びサーモパイル24は凹部33の底面の下に浅く埋もれただけの状態となる。このような状態にしてから、以下のようにセンサ部を作製するための工程を行なう。

#### 【0026】

図8に示すように、凹部33の底面のうちセンサ部となるべき領域に吸収層34を形成する。吸収層34はTiまたはTiNによって形成することができる。さらに全体にわた

50

って覆うようにTEOS膜35を形成する。これにより、凹部33の底面はTEOS膜35によって覆われる。吸収層34もTEOS膜35によって覆われる。

【0027】

さらに図8に示すように、適当な時点において、抵抗体39の上方で配線層29bが露出するように凹部36を形成しておく。のちに凹部36の内面を覆うように金属膜37を形成する。金属膜37はAu膜を含んでいてよい。

【0028】

図9に示すように、凹部33の底面の一部において半導体基板1が直接露出するようにエッチングホール38を形成する。エッチングホール38はセンサ開口部内の一部の領域を占める。エッチングホール38を形成する工程は工程S6に相当する。

10

【0029】

図10に示すように、エッチングホール38を介して半導体基板1に対するエッチングを行なう。このエッチングには、アルカリ溶液を用いることができる。このエッチングには、たとえばTMAH(水酸化テトラメチルアンモニウム)溶液を用いることができる。このエッチングにより、半導体基板1の上面を掘り下げるように凹部5が形成される。この結果、半導体基板1から浮いて支持された構造のセンサ部2が形成される。センサ領域401内に複数のセンサ部2が配列される場合には、個々のセンサ部2に対応してそれぞれ凹部5が形成される。このように、半導体基板1に対するエッチングによりセンサ部2を形成する工程は、工程S7に相当する。

20

【0030】

なお、センサ部2は上部層31のいずれかの箇所から1本以上の梁によって支持されている。センサ部2の平面的形状としては、公知のサーモパイル型赤外線センサの平面的形状を採用してよい。センサ部2の平面的形状は、たとえば特許文献1に記載されているものであってもよい。

【0031】

図10に示したように、センサ部2の上面2uは、第2領域としての周辺回路領域402における上部層41の上面41uより低い位置となっている。こうして、赤外線センサ101が得られる。

【0032】

図11に示すように、封止材503を利用してキャップ部材502を貼り付ける。封止材503としては金属を用いることができる。キャップ部材502と基板1とに覆われた内部空間505は、公知技術によって真空中に封止してもよい。センサ部2は内部空間505内に支持される。図10では、センサ部2は模式的に表示されているので、複数のセンサ部2が全て一体的に連続した板であるかのように見えるが、実際には、個々のセンサ部2が半導体基板1の凹部5の上方で浮くようにしてそれぞれ何らかの梁によって保持されている。図10では、説明の便宜のため、4個のセンサ部2のみを表示しているが、実際にはより多くの個数のセンサ部2が配列されていてよい。各凹部5内の空間は内部空間505に連通している。

30

【0033】

このようにして赤外線センサチップ601が得られる。赤外線センサチップ601は、複数のセンサ部2がマトリクス状に配列された受像領域を有する。赤外線センサチップ601には複数の赤外線センサ101が含まれる。

40

【0034】

(作用・効果)

本実施の形態における赤外線センサの製造方法によれば、センサ領域にサーモパイルを早い段階で形成した後で周辺回路領域に回路素子を形成し、その上に配置される上部層までも含めて一旦形成してからセンサ領域において凹部を掘り下げることによってサーモパイルに近い層まで露出させ、その状態でサーモパイルを含むセンサ部を形成することとしているので、周辺回路領域における回路素子を形成した後は、サーモパイル形成の工程に伴う熱が加わることを避けることができる。したがって、センサ領域のサーモパイルを形

50

成する際の熱によって、周辺回路領域において回路特性が変化するという現象に伴う不都合を回避しつつ赤外線センサを製造することができる。

【0035】

本実施の形態で示したように、サーモパイル支持層を形成する工程S1は、LOCOS法によって酸化膜を形成する工程を含むことが好ましい。この方法を採用することにより、適切なサーモパイル支持層を容易に形成することができる。

【0036】

本実施の形態で示したように、上部層は、内部に配線層29a, 29bを含むことが好ましい。この方法を採用することにより、回路素子間の接続に必要な配線を容易に確保することができる。

10

【0037】

(実施の形態2)

(構成)

図11を参照して、本発明に基づく実施の形態2における赤外線センサ101について説明する。赤外線センサ101は、上面に凹部5を有する半導体基板1と、半導体基板1の上側に形成され、凹部5に対応した開口部であるセンサ開口部を有する上部層41と、前記センサ開口部の内周の少なくとも1ヶ所につながるように、凹部5の内面から離隔した状態で前記センサ開口部内に支持されるセンサ部2とを備える。センサ部2はサーモパイルを備える。平面的に見て前記センサ開口部とは異なる場所において、回路素子が上部層41の内部に形成されている周辺回路領域402が設けられている。センサ部2の上面2uは、周辺回路領域402における上部層41の上面41uより低い位置にある。

20

【0038】

(作用・効果)

本実施の形態における赤外線センサであれば、センサ部2の上面2uが上部層41の上面41uより低い位置にあるので、周辺回路領域402における回路素子を形成するよりも先にセンサ部2のサーモパイルを形成しておくことが可能となるので、サーモパイル形成の工程に伴う熱が回路素子や上部層内部の各種配線に加わることを避けることができる。したがって、センサ領域のサーモパイルを形成する際の熱によって、周辺回路領域において回路特性が変化するという現象に伴う不都合を回避することができる赤外線センサとすることができる。

30

【0039】

実施の形態1, 2で示したように、センサ部2の上面2uが上部層41の上面41uより低い位置にあるようにすることは、センサ部2の薄型化につながる。センサ部2の薄型化は、センサとしての高感度化、高速化につながる。

【0040】

実施の形態1, 2で示したように、センサ部2の上面2uが上部層41の上面41uより低い位置にあるようにしておけば、周辺回路領域における上部層が厚い場合でも、センサ部2を薄くしやすい。

【0041】

周辺回路領域402における回路素子を形成するよりも先にセンサ部2のサーモパイルを形成しておくこととすれば、周辺回路領域における回路素子の特性変動がなくなるので、汎用性の高い回路設計が可能となる。

40

【0042】

(実験結果)

センサ部2の上面2uが上部層41の上面41uより低い位置にあるようにすることで、センサ部2を薄型化した場合に、どの程度の高速化が図れるのかを確認するために、以下に説明するようなシミュレーションを行なった。

【0043】

シミュレーションに当たっては、図12に示すようなモデルを想定した。半導体基板1に凹部5を設け、半導体基板1の上側には、半導体基板1に近い側から順に、シリコン酸

50

化膜 21、SiN 膜 22、TEOS 膜 23、絶縁層 27 が積層され、さらにその上に最表層として TEOS 膜 35 が形成されているものとした。絶縁層 27 は BPSG 層によって形成するものとした。絶縁層 27 に覆われた内部に、サーモパイルに相当するものとして、P 型ポリシリコン膜 25 および N 型ポリシリコン膜 26 を配置した。凹部 5 の上方にセンサ部に相当するものとして、サーモパイルを含む部分が浮くように配置されている。TEOS 膜 35 の厚みを調整することによって、センサ部の合計厚みが  $2.5 \mu\text{m}$  となるモデルと、 $4.0 \mu\text{m}$  となるモデルとの 2 通りを用意した。これら 2 通りのモデルに対して、上面から  $125.94 \text{ W/m}^2$  の熱流束を印加した場合の温度の変遷についてシミュレーションを行なった。

【0044】

シミュレーション結果を図 13 および図 14 に示す。センサ部の厚みが  $2.5 \mu\text{m}$  の場合の結果を図 13 に示す。発明者らは、温度が最大値の 63% に達するまでの時間に注目した。センサ部の厚みが  $2.5 \mu\text{m}$  の場合、図 13 から読み取れるように、温度が最大値の 63% に達するまでの時間は 10 ミリ秒であった。

【0045】

センサ部の厚みが  $4.0 \mu\text{m}$  の場合の結果を図 14 に示す。センサ部の厚みが  $4.0 \mu\text{m}$  の場合、図 14 から読み取れるように、温度が最大値の 63% に達するまでの時間は 13 ミリ秒であった。センサ部の厚みが  $4.0 \mu\text{m}$  の場合に比べて  $2.5 \mu\text{m}$  の場合は、温度が最大値の 63% に達するまでの時間は約 0.76 倍に短縮されており、応答速度が速くなっているといえる。シミュレーション結果と実測値とは数値自体には差があるが、おおまかな傾向は合っていると考えられるので、このシミュレーション結果から、センサ部を薄くすることがセンサの高速化に寄与することがわかった。

【0046】

なお、今回開示した上記実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

【符号の説明】

【0047】

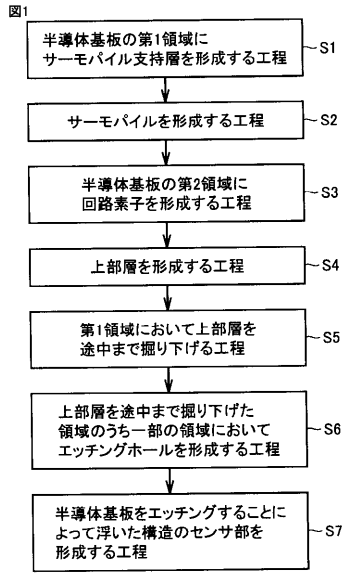
1 半導体基板、2 センサ部、2u (センサ部の) 上面、5 凹部、21 シリコン酸化膜、22, 32 SiN 膜、23, 31 SiO<sub>2</sub> 膜、24 サーモパイル、25 P 型ポリシリコン膜、26 N 型ポリシリコン膜、27, 30 絶縁層、28a, 28b トランジスタ、29a, 29b 配線層、33 凹部、34 吸収層、35 TEOS 膜、36 凹部、37 金属膜、38 エッチングホール、39 抵抗体、40 配線保護膜、41 上部層、41u (上部層の) 上面、101 赤外線センサ、401 センサ領域、402 周辺回路領域、502 キャップ部材、503 封止材、505 内部空間、601 赤外線センサチップ。

10

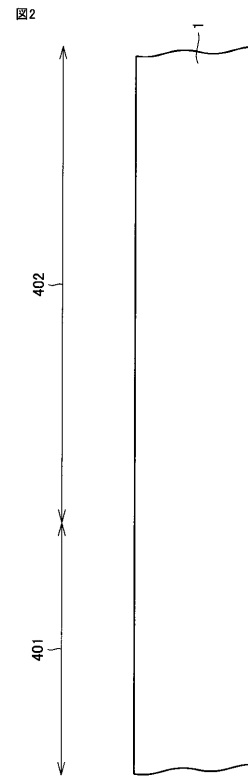
20

30

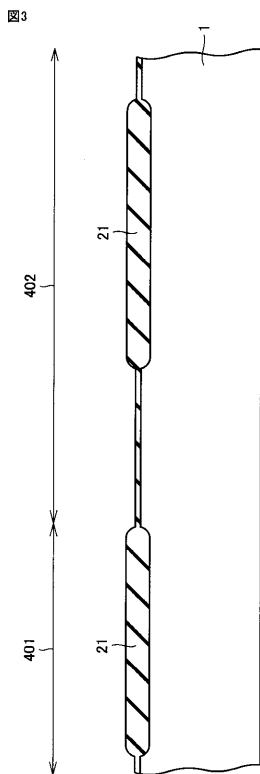
【 図 1 】



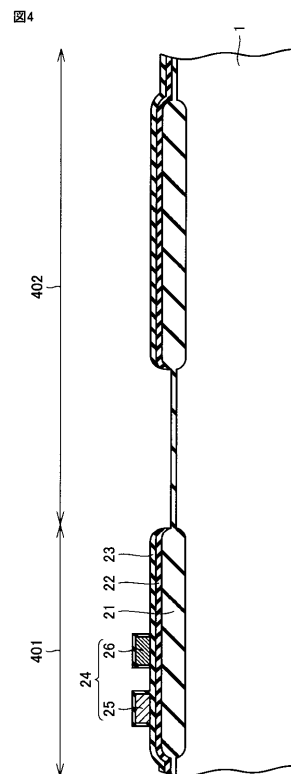
【 図 2 】



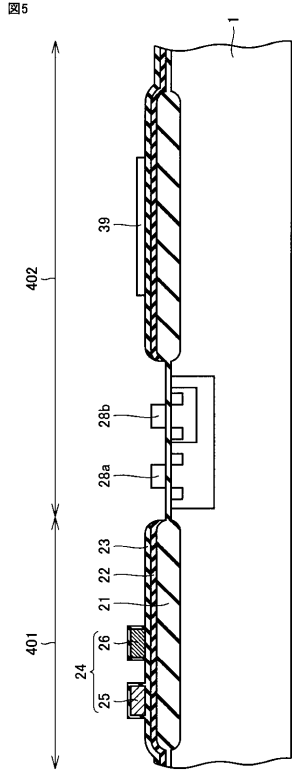
【 図 3 】



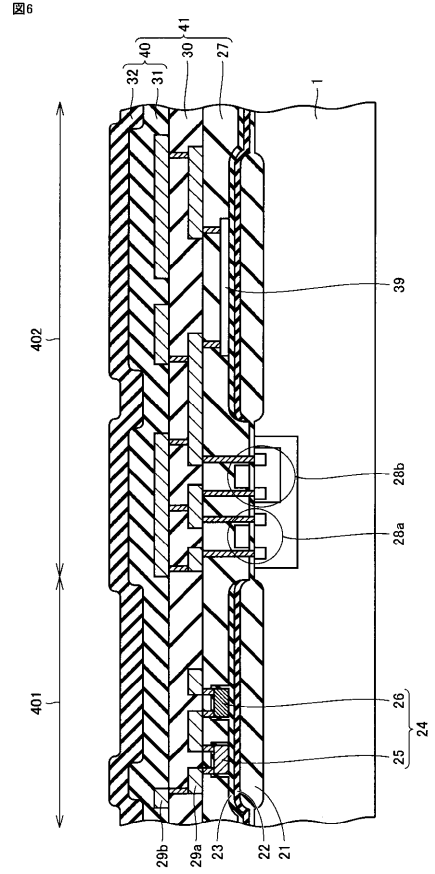
【 図 4 】



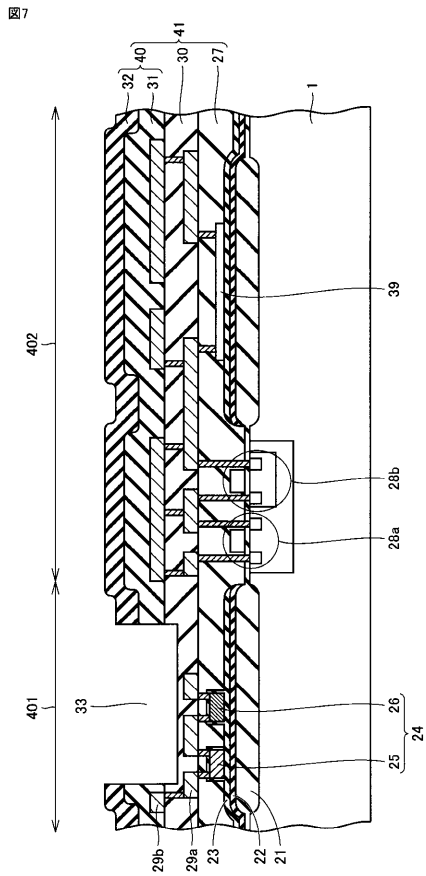
【 図 5 】



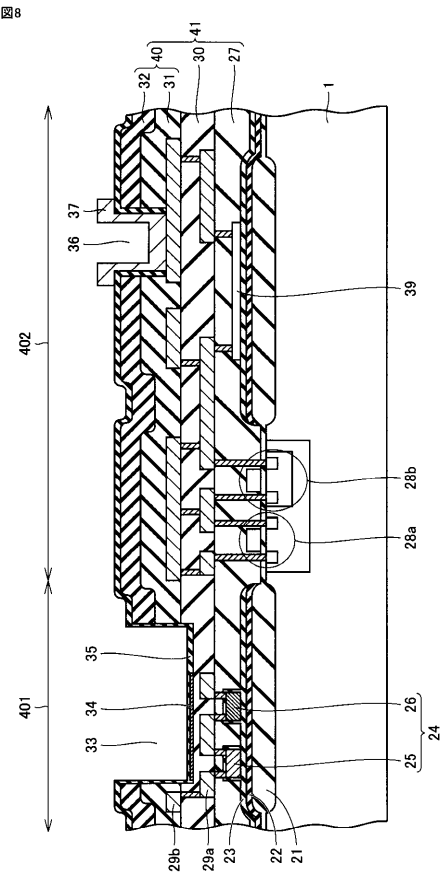
【 図 6 】



【 図 7 】

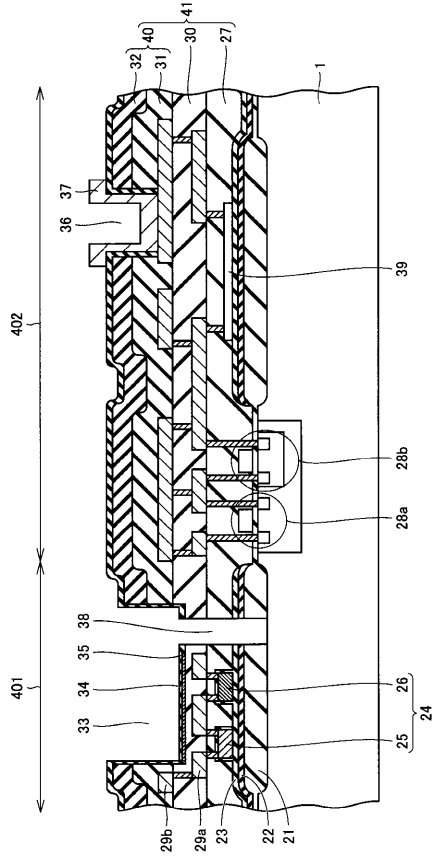


【 図 8 】



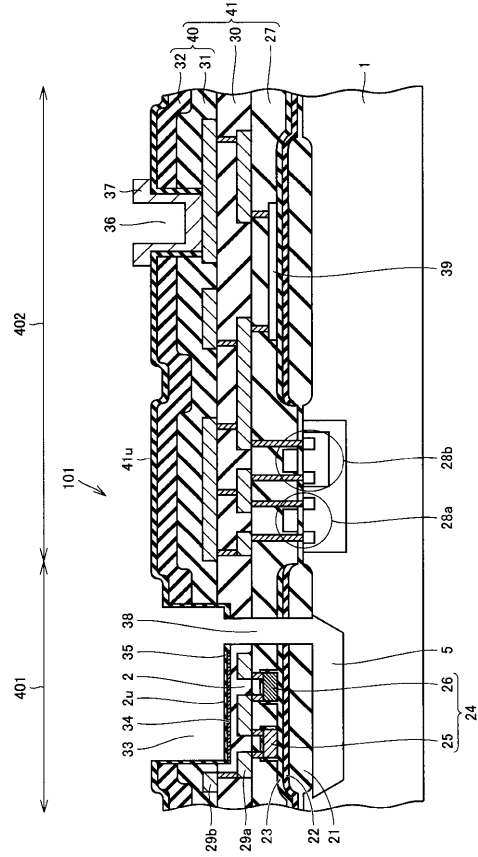
【 図 9 】

図9



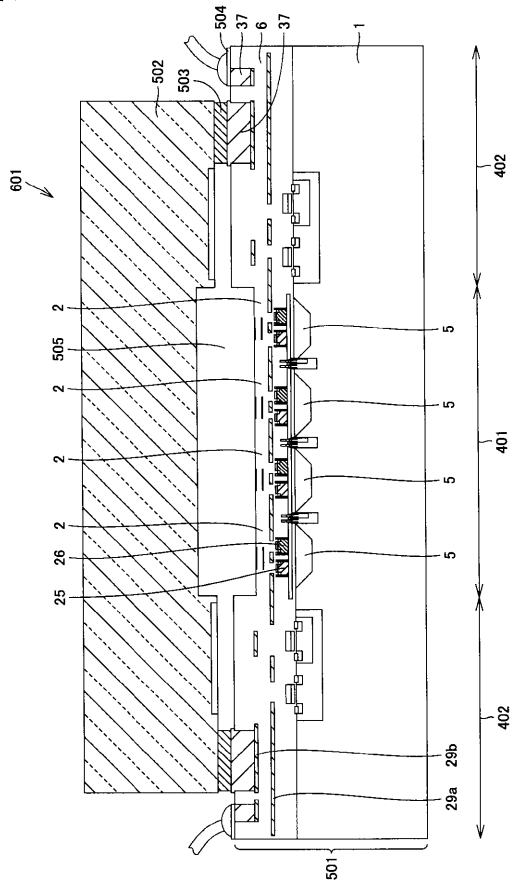
【 図 10 】

図10



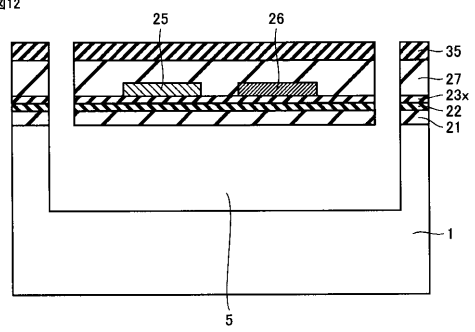
【 図 11 】

図11



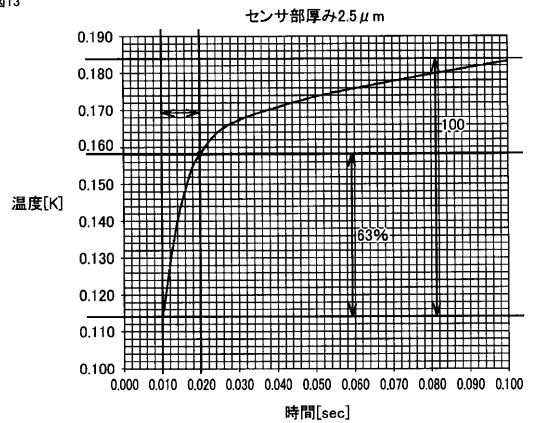
【 図 12 】

図12

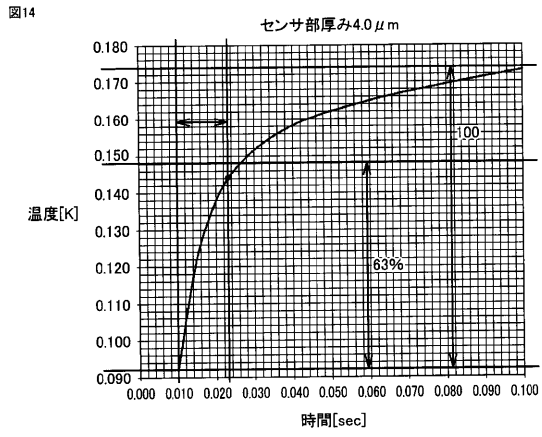


【 図 13 】

図13



【 図 1 4 】



---

フロントページの続き

(72)発明者 仲田 宏憲

京都府京都市下京区塩小路通堀川東入南不動堂町801番地 オムロン株式会社内

(72)発明者 田中 純一

京都府京都市下京区塩小路通堀川東入南不動堂町801番地 オムロン株式会社内

Fターム(参考) 2G065 AA04 AB02 BA11 BA34 BC01 BE08 CA30 DA20