



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년08월18일
 (11) 등록번호 10-0852570
 (24) 등록일자 2008년08월08일

(51) Int. Cl.
H04L 7/02 (2006.01)
 (21) 출원번호 10-2001-0071737
 (22) 출원일자 2001년11월19일
 심사청구일자 2006년11월20일
 (65) 공개번호 10-2002-0039247
 (43) 공개일자 2002년05월25일
 (30) 우선권주장
 09/716,977 2000년11월20일 미국(US)
 (56) 선행기술조사문헌
 KR1019960012812 A
 (뒷면에 계속)

(73) 특허권자
에이저 시스템즈 가디언 코퍼레이션
 미국 플로리다주, 32819 올란드 사우스 존 영 파 크웨이 9333
 (72) 발명자
던롭알프레드얼
 미국뉴저지주07974뉴프로비던스헌터던블러바드91
피셔윌헬름칼
 미국뉴저지주07090웨스트필드헤리슨애비뉴126
 (74) 대리인
김원준, 김창세

전체 청구항 수 : 총 9 항

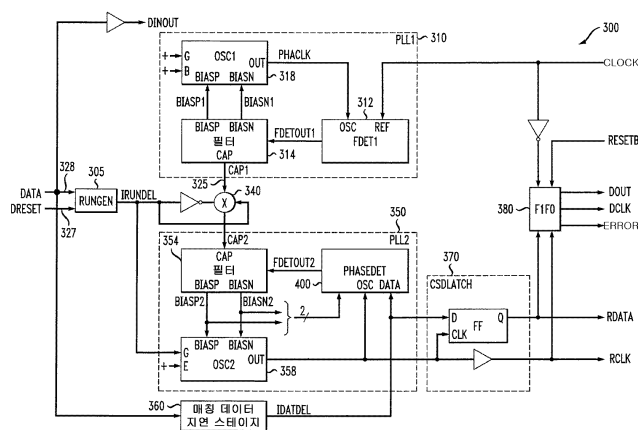
심사관 : 복상문

(54) 클럭 복원 회로 및 클럭 신호 복원 방법

(57) 요약

입력 데이터 스트림을 수신하고 주파수와 위상 정렬 클럭 출력을 생성하는 게이트 클럭 복원 회로가 개시되어 있다. 게이트 클럭 복원 회로는 입력 데이터 스트림에서의 위상 변화와 실질적으로 동시에 생성된 클럭 신호를 조절한다. 또한, 게이트 클럭 복원 회로는 오직 전송된 사전설정되지 않은 데이터만을 이용하여 클럭 출력 신호를 생성한다. 게이트 클럭 복원 회로는 두 개의 PLL 회로를 포함한다. 제 1 PLL(PLL1)은 송신기의 주파수에 조절하고, 바이어스 전압(CAP1)을 제 2 PLL(PLL2)에 제공하여 제 2 PLL을 처음에 간접 동조시킨다. 바이어스 전압(CAP1)은 처음에 닫힌(단락) 위치인 전송 게이트(혹은 스위치)를 통해 제 2 PLL에 인가된다. 따라서, 제 1 PLL은 제 2 PLL의 바이어스 전압(CAP2)을 구동하여 수신 데이터가 전송 게이트를 개방시킬 때까지 송신기와 주파수 정렬한다. 그 후, 바이어스 전압(CAP2)은 제거되고, 제 2 PLL은 제 2 PLL이 수신 데이터와 동상으로 오실레이팅하도록 PLL1에 의해 제어되지 않고서도 동작할 수 있다. 동시에, 수신 데이터는 제 2 오실레이터가 수신 데이터와 동상이도록 제 2 PLL에서의 오실레이터를 동작시킨다. 그 후, 제 2 PLL은 제 2 오실레이터와 수신 데이터 사이의 이러한 위상 관계를 유지시킨다.

대표도



(56) 선행기술조사문헌
KR1019960702233 A
KR1020010100620 A
EP0530775A
US5952892A
US5982836A
US5483180A

특허청구의 범위

청구항 1

클록 복원 회로(a clock recovery circuit)에 있어서,

송신기 클록(a transmitter clock)과 실질적으로 동일한 주파수를 갖는 오실레이터 신호(an oscillator signal)를 생성하고, 바이어스 신호(a bias signal)를 생성하기 위한 제 1 위상 동기 루프(a first phase-locked loop : PLL) 회로와,

클록 출력 신호를 생성하는 제 2 PLL 회로를 포함하되,

상기 제 2 PLL 회로는 제 1 모드에서 상기 제 1 PLL 회로에 의해 생성된 상기 바이어스 신호에 의해 제어되고,

상기 제 2 PLL 회로는, 상기 제 2 PLL 회로가 상기 바이어스 신호에 의해 결정된 초기 주파수를 가지고, 상기 바이어스 신호를 사용하지 않고 상기 클록 출력 신호를 실질적으로 동시에 입력 데이터 스트림에서의 데이터 위상 변화에 대해 조절하는 제 2 모드를 갖는

클록 복원 회로.

청구항 2

제 1 항에 있어서,

상기 제 1 모드와 상기 제 2 모드 사이의 천이(transition)는 전송 게이트, 스위치, 상기 제 1 PLL로부터 상기 제 2 PLL로 바이어스 전류를 선택적으로 가하는 장치 및 상기 제 1 PLL로부터 상기 제 2 PLL로 바이어스 전압을 선택적으로 가하는 장치 중 하나 이상에 의해 제어되는 클록 복원 회로.

청구항 3

제 1 항에 있어서,

상기 제 1 PLL 회로는 송신기 클록과 실질적으로 동일한 주파수에서 동작하는 로컬 클록(a local clock)에 동조되는 클록 복원 회로.

청구항 4

제 1 항에 있어서,

지터-보상 클록(a jitter-compensated clock)과 데이터 출력을 생성하기 위한 탄성 저장 회로(an elastic storage circuit)를 더 포함하는 클록 복원 회로.

청구항 5

제 1 항에 있어서,

입력 데이터의 수신기는 상기 제 2 PLL을 상기 수신된 입력 데이터와 실질적으로 동시에 위상 정렬하기 시작하는 클록 복원 회로.

청구항 6

제 1 항에 있어서,

상기 제 2 PLL 회로는 전송된 사전설정되지 않은 데이터를 이용하여 상기 클록 출력 신호를 생성하는 클록 복원 회로.

청구항 7

입력 데이터 스트림으로부터 클록 신호를 복원하기 위한 방법에 있어서,

제 1 위상 동기 루프(PLL) 회로 - 상기 제 1 PLL 회로는 바이어스 신호를 생성함 - 를 송신기 클록과 실질적으

로 동일한 주파수에서 동작하는 로컬 클럭 신호에 동조시키는 단계와,

제 1 모드에서 상기 바이어스 신호를 제 2 PLL 회로 - 상기 제 2 PLL 회로는 상기 제 1 모드에서 상기 바이어스 신호에 의해 결정된 주파수를 갖는 클럭 출력 신호를 생성함 - 에 인가하는 단계와,

제 2 모드에서 상기 바이어스 신호를 상기 제 2 PLL 회로로부터 제거하는 단계를 포함하되, 상기 제 2 PLL 회로는 상기 제 2 모드에서 상기 바이어스 신호에 의해 결정된 초기 주파수를 가지고, 상기 제 2 PLL은 상기 제 2 모드에서 상기 입력 데이터 스트림에서의 위상 변화와 실질적으로 동시에 상기 클럭 출력 신호를 조절하는

클럭 신호 복원 방법.

청구항 8

제 7 항에 있어서,

상기 제 1 모드와 상기 제 2 모드 사이의 천이는 전송 게이트, 스위치, 상기 제 1 PLL로부터 상기 제 2 PLL로 바이어스 전류를 선택적으로 가하는 장치 및 상기 제 1 PLL로부터 상기 제 2 PLL로 바이어스 전압을 선택적으로 가하는 장치 중 하나 이상에 의해 제어되는 클럭 신호 복원 방법.

청구항 9

클럭 복원 회로에 있어서,

송신기 클럭과 실질적으로 동일한 주파수를 갖는 오실레이터 신호를 생성하고, 바이어스 신호를 생성하기 위한 제 1 위상 동기 루프(PLL) 회로와,

클럭 출력 신호를 생성하는 제 2 PLL 회로를 포함하되,

상기 제 2 PLL 회로는 상기 바이어스 신호에 의해 결정된 초기 주파수를 가지며,

상기 제 2 PLL 회로는, 입력 데이터 스트림이 제공되면 상기 바이어스 신호를 사용하지 않고 상기 클럭 출력 신호를 상기 입력 데이터 스트림의 데이터 위상 변화에 대해 실질적으로 동시에 조절하는

클럭 복원 회로.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <10> 본 발명은 클록 복원 회로(clock recovery circuit)에 관한 것으로, 구체적으로 클록 신호(clock signal)를 입력 데이터의 초기 비트(early bit)로부터 복원하기 위해 버스트 모드(burst mode)에서 동작하는 회로에 관한 것이다.
- <11> 통신 시스템에서, 송신기는 데이터가 통신 매체를 통해 전송되는 속도를 제어하는 클록 회로를 갖는다. 수신기는 또한 통신 매체로부터 수신된 데이터가 프로세싱되는 속도를 제어하는 클록 회로를 갖는다. 이상적으로, 수신기의 클록과 송신기의 클록은 정확하게 동일한 주파수에서 동작하고 동상(in phase)으로 적합하게 정렬될 것이다. 그러나, 송신기의 클록과 수신기의 클록은 전형적으로 주파수가 유사(close)하지만 일치하지 않아서 미스매칭(mismatch)을 야기한다.
- <12> 많은 디지털 통신 시스템에서의 수신기는 전형적으로 위상 동기 루프(Phase-Locked Loop : PLL)를 이용하여 입력 데이터 시퀀스로부터 직접 클록 신호를 복원한다. 이와 같은 구현에 있어서, PLL 회로는 입력 기준 신호와 위상 정렬되는 로컬 클록 신호를 생성한다. 위상 정렬된 로컬 클록 신호는 통신 시스템의 송신기에 의해 전송된 동기 데이터(synchronous data)의 수신과 프로세싱을 용이하게 한다.
- <13> 전형적으로, 종래의 PLL 회로는 위상 검출기, 필터 및 전압-제어 오실레이터(Voltage-Controlled Oscillator : VCO)를 포함한다. 종래의 PLL 회로에 있어서, 위상 검출기는 입력 기준 신호(DATA)와 VCO의 출력을 비교한다. 위상 검출기는 기준 신호와 VCO 출력의 위상차를 표시하는 에러 신호를 생성한다. 에러 신호는 필터링되고 VCO의 제어 입력에 인가되어 기준 신호의 위상을 트래킹(track)하는 출력 신호를 생성한다.
- <14> 많은 클록 복원 회로는 송신기와 수신기가 도달 데이터에 관한 통신 포트를 연속 동작시키고 모니터링하는 연속 모드에서 동작한다. 그러나, 이런 연속 동작은 상당한 양의 파워를 필요로 하는데, 특히 무선 혹은 광통신 시스템에서 사용되는 수신기와 같은 배터리-파워 수신기(battery-power receiver)에서 문제가 된다. 따라서, 오직 프로세싱될 데이터가 존재할 때에만 동작시켜 이런 수신기의 파워를 보존하는 것이 바람직하다. 따라서, 통신 매체로부터 기인한 데이터에서의 위상 변화를 빠르게 조절하기 위해 버스트 모드에서 동작하는 다수의 클록 복원 회로가 제안되어 왔다. 예를 들어, 본 발명의 양수인에게 양도되고 본 명세서에 참조 인용한 "Clock Recovery Circuit"란 제목의 미국 특허 제 5,757,872호를 참조하기 바란다.
- <15> 개선된 파워 소모 특성을 제공하는 것에 더하여, 이런 버스트 모드 클록 복원 회로는 또한 입력 데이터와 동일한 주파수 및 적합한 위상 정렬을 갖는 클록 신호를 생성하는데 긴 이진 전이 스트리밍(long string of binary transition)이 필요 없다. 이런 버스트 모드 클록 복원 회로가 연속 모드 클록 복원 회로에 비해 개선된 성능을 나타내지만, 버스트 모드 클록 복원 회로는 여러 제약을 갖는데, 이런 제약을 극복할 수 있다면 버스트 모드 클록 복원 회로의 유용성과 효율을 높일 수 있다. 예를 들어, 대부분의 버스트 모드 클록 복원 회로는 오실레이터 사이의 미스매칭을 나타내어, 주파수 오프셋을 야기한다. 따라서, 주파수 오프셋이 없는 매칭된 오실레이터를 갖는 입력 기준 신호로부터 클록 신호를 복원하기 위한 방법과 장치가 필요하다.

발명이 이루고자 하는 기술적 과제

<16> 삭제

<17> 입력 데이터 스트림을 수신하고 주파수와 위상 정렬 클럭 출력을 생성하는 게이트 클럭 복원 회로(gated clock recovery circuit)가 개시되어 있다. 게이트 클럭 복원 회로는 입력 데이터 스트림에서의 위상 변화와 실질적으로 동시에 생성된 클럭 출력을 조절한다. 또한, 게이트 클럭 복원 회로는 오직 전송된 사전설정되지 않은 데이터만을 이용하여 클럭 출력 신호를 생성한다. 즉, 본 발명의 게이트 클럭 복원 회로는 이진 "1" 또는 "0"의 임의의 특정 전이 패턴 혹은 연속 스트림을 필요로 하지 않고 송신기의 클럭과 실질적으로 정렬된 위상 및 주파수를 갖는 클럭 신호를 생성할 수 있다.

<18> 본 발명의 일 측면에 따르면, 게이트 클럭 복원 회로는 두 개의 PLL 회로를 포함한다. 제 1 PLL(PLL1)은 처음에 로컬 클럭 기준의 주파수로 조절하고 제 2 PLL(PLL2)을 간접 동조시킨다. 이런 식으로, 제 2 PLL은 수신 데이터의 위상으로 바로 조절하고, 이런 입력 데이터가 수신되면 제 2 오실레이터와 수신 데이터 사이의 위상 관계를 유지한다.

발명의 구성 및 작용

<19> 도 1은 본 발명에 따른 통신 시스템(100)을 도시한다. 도 1에 도시된 바와 같이, 통신 시스템(100)은 송신기(102), 통신 매체(104) 및 수신기(200)로 구성되는데, 이에 관해서는 도 2와 결부지어 후술하겠다. 데이터(108)는 송신기(102)에서 출력되어 통신 매체(104)를 통해 입력 데이터 스트림(107)으로서 수신기(200)에 수신된다. 수신기(200)는 데이터 신호를 디코딩하여 출력 데이터 스트림(110)을 생성한다.

<20> 도 2는 도 1의 수신기(200)를 상세히 도시한다. 도 2에 도시된 바와 같이, 수신기(200)는 입력 데이터 스트림(107)을 프로세싱하여 데이터 신호(204)를 생성하는 전프로세싱 회로(preprocessing circuit : 202)를 포함한다. 데이터 신호(204)는 본 발명에 따른 클럭 복원 회로(300)에 입력되는데, 이에 관해서는 도 3과 결부지어 상세히 후술하겠다. 클럭 복원 회로(300)는 데이터 신호(204)를 이용하여 데이터 신호(204)와 적합한 위상 관계를 갖는 클럭 신호(208)를 생성한다. 탄성 저장 회로(210)가 지터를 감소시키기 위해 옵션으로 포함될 수 있다. 탄성 저장 회로(210)는 본 발명의 양수인에게 양도되고 본 명세서에 참조 인용한 "Clock Recovery Circuit"란 제목의 미국 특허 제 5,757,872호에 개시된 바와 같이, 예를 들어 (i)디멀티플렉서 혹은 (ii)선입선출 회로(first-in-first-out circuit)로서 동작하도록 상호연결된 한 세트의 논리 요소와 한 세트의 메모리 저장 요소와 같은 탄성 저장 회로를 이용하여 구현될 수 있다.

<21> 옵션인 탄성 저장 회로(210)는 클럭 신호(208)를 수신하는 제 1 입력(209)을 가지고 또한 출력 데이터 스트림(110)을 출력하는 출력(211)을 갖는다. 탄성 저장 회로(210)는 제 2 입력(212)과 제 3 입력(213)을 갖는다. 제 2 입력(212)은 입력 데이터 스트림(107)을 나타내는 데이터 신호(204)를 수신한다. 이 실시예에 있어서, 데이터 신호(204)는 제 2 입력에 직접 입력된다. 당업자라면 클럭 신호(208)와 데이터 신호(204)가 적합한 관계를 갖도록 지연 및/또는 동기를 제공하기 위해 플립-플롭(flip-flop)이 이용될 수 있다는 것을 알 것이다. 제 3 입력(213)은 로컬 클럭 신호(214)를 수신한다.

<22> 도 3은 도 2의 클럭 복원 회로(300)를 상세히 도시하는 개략적인 블록도이다. 도 3에 도시된 바와 같이, 클럭 복원 회로(300)는 두 개의 PLL 회로(310 및 350)를 포함한다. 본 발명의 일 측면에 따르면, 클럭 복원 회로(300)는 이진 "1" 또는 "0"의 임의의 특정 전이 패턴 혹은 스트림을 필요로 하지 않고 입력 데이터(328)와 동일한 주파수 및 적합한 위상 정렬을 갖는 클럭 신호를 생성할 수 있다. 후술하는 바와 같이, 제 1 PLL(310)은 처음에 송신기의 주파수로 조절하고 제 2 PLL(350)을 간접 동조시킨다. 이런 식으로, 제 2 PLL(350)은 입력 데이터가 수신되면 송신기의 위상으로 바로 조절할 수 있다.

<23> 보다 구체적으로, 제 1 PLL(310)은 입력 데이터의 주파수로 조절하고 바이어스 전압(CAP1)을 제 2 PLL(350)에 제공하여 처음에 제 2 PLL(350)을 간접 동조시킨다. 바이어스 전압(CAP1)(325)은 리셋 신호가 DRESET 라인(327)상으로 수신될 때까지 처음에 닫힌(단락) 위치인 두 위치 전송 게이트(혹은 스위치)(340)(단락 혹은 개방)를 통해 제 2 PLL(350)에 인가된다. 전송 게이트(혹은 스위치)(340)는 제 1 PLL(310)의 바이어스(혹은 전류)를 제 2 PLL(350)에 부여하는 임의의 장치로서 구현될 수 있다. 일 실시예에서, 전송 게이트(340)는 데이터가 DATA 라인(328)상에서 검출되면 개방 위치가 된다. 따라서, 제 1 PLL(310)은 수신 데이터가 전송 게이트(340)를 개방할 때까지 제 2 PLL(350)의 바이어스 전압(CAP2)을 가해 입력 데이터와 주파수 정렬한다. 그 후,

바이어스 전압(CAP1)은 제거되고, 제 2 PLL(350)은 PLL1(310)에 의해 제어되지 않고 동작할 수 있다. 그 후, 제 2 PLL(350)은 수신 데이터와 동상으로 오실레이팅한다.

<24> 도 3에 도시된 바와 같이, 제 1 PLL(310)은 주파수 검출기(312), 필터(314) 및 전압-제어 오실레이터와 같은 오실레이터(318)를 포함한다. 주파수 검출기(312)는 로컬 기준 신호(CLOCK)의 위상과 오실레이터(318)의 출력(PHACLK)을 비교한다. 로컬 기준 신호(CLOCK)가 송신기의 동일한 공칭 주파수에서 동작한다는 점에 유의해야 한다. 따라서, 주파수 검출기(312)는 기준 신호와 오실레이터 출력의 위상차를 표시하는 에러 신호(FDETOUT1)를 생성한다. 에러 신호는 필터(314)에 의해 필터링되고, 바이어스 신호(BIASP1 및 BIASN1)는 오실레이터(318)의 주파수를 제각기 상향식 혹은 하향식(upward and downward manner)으로 조절하는 역할을 하며 바이어스 신호(BIASP1 및 BIASN1)는 시간에 걸쳐(over time) 합쳐져서 오실레이터 출력의 위상을 대응하게 조절한다. 바이어스 신호(BIASP1 및 BIASN1)는 오실레이터의 대응하는 제어 입력에 인가되어 기준 신호의 위상을 트래킹하는 출력 신호(PHACLK)를 생성한다. 실시예가 두 개의 바이어스 신호(BIASP1 및 BIASN1)를 이용하지만, 당업자라면 알 수 있듯이 하나 이상의 바이어스 신호가 이용될 수 있다는 점에 유의해야 한다.

<25> 또한, 도 3에 도시된 바와 같이, 제 2 PLL(350)은 위상 검출기(400), 필터(354) 및 전압-제어 오실레이터(VCO)와 같은 오실레이터(358)를 포함한다. 위상 검출기(400)는 매칭 데이터 지연 스테이지(360)에 의해 적절하게 지연되는 입력 기준 신호(DATA)의 위상과 오실레이터(358)의 출력(OSC)을 비교한다. 후술하는 바와 같이, 매칭 데이터 지연 스테이지(360)가 RUNGEN(305)과 오실레이터(358)에 의해 삽입된 지연과 동일한 지연을 입력 기준 신호(DATA)에 삽입한다는 점에 유의해야 한다. PHASEDET(400)는 기준 신호(IDATDEL)와 오실레이터 출력(OSC)의 위상차를 표시하는 에러 신호(FDETOUT2)를 생성한다. 에러 신호는 필터(354)에 의해 필터링되고, 바이어스 신호(BIASP2 및 BIASN2)는 오실레이터의 대응하는 제어 입력에 인가되어 기준 신호의 위상을 트래킹하는 출력 신호(OSC)를 생성한다. 전송 게이트(340)가 닫힌(단락) 위치일 때, 제 2 PLL(350)은 제 1 PLL(310)이 생성한 바이어스 신호(CAP1)에 의해 제어되고, VCO(358)는 턴오프(turn off)되며 FDETOUT2는 어떠한 에러 신호도 제공하지 않는다는 점에 또한 유의해야 한다.

<26> 제 1 PLL(310)은 제 2 PLL(350)에 실질적으로 매칭하는 특성을 갖도록 일반적으로 설계되어야 한다. 따라서, 오실레이터(OSC1 및 OSC2)(318 및 358)와 필터(314 및 354)에서의 커패시터상의 전압(CAP1 및 CAP2)은 매칭되어야 한다. 선입선출(FIFO)(380)은 전송한 바와 같이 지터를 감소시키기 위한 탄성 저장 회로(210)의 구현이다. 그러나, 제 1 PLL(310)과 제 2 PLL(350)이 예를 들어, 클럭 신호와의 오프셋을 허용하도록 상이한 주파수로 설계될 수 있다는 점에 유의해야 한다. 예를 들어, PLL(310, 350)은 링 오실레이터로서 구현될 수 있는데, 각각의 링 오실레이터는 홀수지만 다른 갯수의 인버터를 갖는다. 이런 실시예에 있어서, 필터(314 및 354)에서의 커패시터상의 전압(CAP1 및 CAP2)은 여전히 매칭될 수 있다. 예를 들어, 원하는 클럭이 50MHz에서 동작한다면, 회로(300)는 PLL1(310)이 PLL2(350) 보다 10배 긴 지연 라인을 갖는 경우에 500MHz에서 동작할 수 있다.

<27> RUNGEN(305)은 DATA(328)와 DRESET(327)를 수신하는 제어 회로이다. 출력(IRUNDEL)은 전송 게이트(340)의 양쪽을 연결하고 DRESET(327) 수신시 OSC2(358)를 중지시킨다. DRESET 신호(327)가 사라진 후에, 후속 수신 데이터는 IRUNDEL이 전송 게이트(340)를 개방하고 IDATDEL과 동상으로 OSC2(358)를 시작하게 한다.

<28> 본 명세서에서 도시되고 설명된 실시예와 변경은 단지 본 발명의 원리를 예시하고, 당업자라면 본 발명의 사상과 범주를 벗어나지 않고서 본 발명을 다양하게 수정할 수 있다는 점을 이해해야 한다.

발명의 효과

<29> 본 발명은 클럭 복원 회로와 클럭 신호 복원 방법에 관한 것으로 주파수 오프셋 없이 입력 기준 신호로부터 클럭 신호를 복원할 수 있고 또한 오실레이터와 수신 데이터 사이의 위상 관계를 유지할 수 있는 효과가 있다.

도면의 간단한 설명

<1> 도 1은 본 발명이 이용될 수 있는 통신 시스템을 도시하는 개략적인 블록도,

<2> 도 2는 도 1의 수신기를 상세히 도시하는 개략적인 블록도,

도면3

