(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年12月1日(01.12.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/249556 A1

(51) 国際特許分類:
H03H 7/38 (2006.01) *H03F 3/24* (2006.01)
H03F 1/56 (2006.01)

(21) 国際出願番号： PCT/JP2022/004256

(22) 国際出願日： 2022年2月3日(03.02.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-088784 2021年5月26日(26.05.2021) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

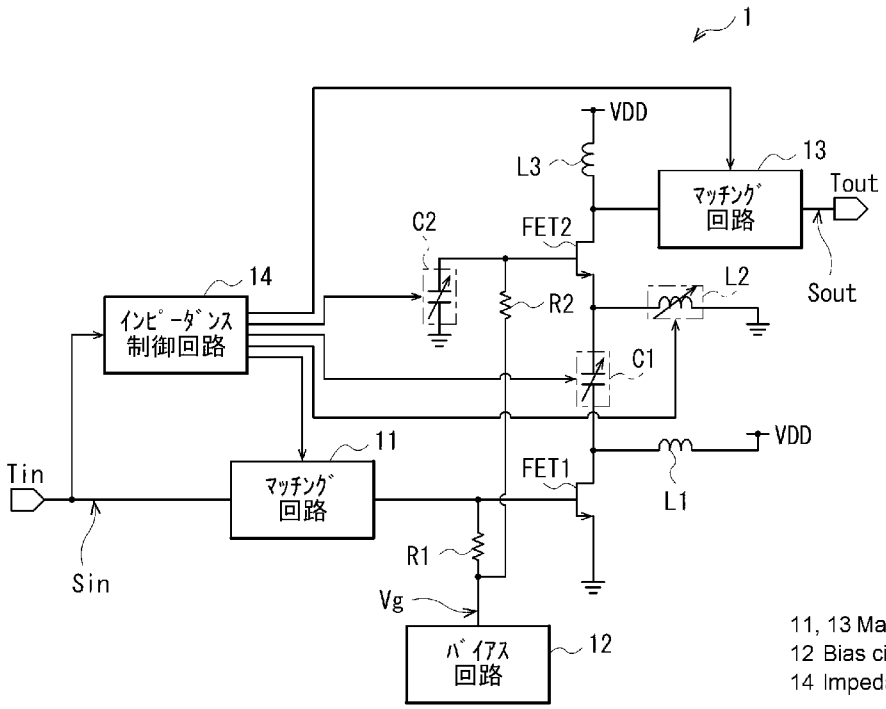
(72) 発明者: 嶋田 将之 (**SHIMADA, Masayuki**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人つばさ国際特許事務所 (**TSUBASA PATENT PROFESSIONAL CORPORATION**); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) **Title:** AMPLIFIER CIRCUIT AND ELECTRONIC APPARATUS

(54) 発明の名称： 増幅回路および電子機器



(57) **Abstract:** An amplifier circuit of the present disclosure comprises: an input terminal; an output terminal; one or more transistors disposed on the path connecting the input terminal and the output terminal; an amplitude detection circuit that can detect the signal amplitude of an input signal in the input terminal; and an impedance circuit that can change impedance and can set the operating conditions of the one or more transistors, on the basis of the detection results of the amplitude detection circuit.

WO 2022/249556 A1

[続葉有]

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

(57) 要約:本開示の増幅回路は、入力端子と、出力端子と、入力端子と出力端子とを結ぶ経路に設けられた1または複数のトランジスタと、入力端子における入力信号の信号振幅を検出可能な振幅検出回路と、インピーダンスを変更可能であり、振幅検出回路の検出結果に基づいて、1または複数のトランジスタの動作条件を設定可能なインピーダンス回路とを備える。

明　細　書

発明の名称 ： 増幅回路および電子機器

技術分野

[0001] 本開示は、信号を増幅する増幅回路、およびそのような増幅回路を備えた電子機器に関する。

背景技術

[0002] 信号を増幅する回路では、しばしば複数段のトランジスタが設けられる。例えば、特許文献１には、１段目のトランジスタと、２段目のトランジスタと、１段目のトランジスタのドレインと２段目のトランジスタのソースとの間に設けられたキャパシタとを有する増幅回路が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１３－２１１８３０号公報

発明の概要

[0004] ところで、増幅回路には、様々な信号振幅を有する信号が入力され得る。増幅回路は、そのような様々な信号振幅を有する信号が入力された場合において、信号振幅に依らず、その信号を増幅することができることが望まれる。

[0005] 様々な信号振幅を有する信号を増幅することができる増幅回路、および電子機器を提供することが望ましい。

[0006] 本開示の一実施の形態における増幅回路は、入力端子と、出力端子と、１または複数のトランジスタと、振幅検出回路と、インピーダンス回路とを備えている。１または複数のトランジスタは、入力端子と出力端子とを結ぶ経路に設けられる。振幅検出回路は、入力端子における入力信号の信号振幅を検出可能に構成される。インピーダンス回路は、インピーダンスを変更可能であり、振幅検出回路の検出結果に基づいて、１または複数のトランジスタの動作条件を設定可能に構成される。

[0007] 本開示の一実施の形態における電子機器は、通信回路を備えている。通信回路は、無線通信を行うことが可能であり、増幅回路を有する。増幅回路は、入力端子と、出力端子と、１または複数のトランジスタと、振幅検出回路と、インピーダンス回路とを有する。１または複数のトランジスタは、入力端子と出力端子とを結ぶ経路に設けられる。振幅検出回路は、入力端子における入力信号の信号振幅を検出可能に構成される。インピーダンス回路は、インピーダンスを変更可能であり、振幅検出回路の検出結果に基づいて、１または複数のトランジスタの動作条件を設定可能に構成される。

[0008] 本開示の一実施の形態における増幅回路および電子機器では、入力端子と出力端子とを結ぶ経路に設けられた１または複数のトランジスタにより、入力端子における入力信号に基づいて増幅動作が行われる。振幅検出回路により、この入力信号の信号振幅が検出される。そして、インピーダンス回路では、この振幅検出回路の検出結果に基づいてインピーダンスが変更される。これにより、１または複数のトランジスタの動作条件が設定される。

図面の簡単な説明

[0009] [図1]本開示の一実施の形態に係るパワーアンプの一構成例を表す回路図である。

[図2]図１に示したパワーアンプにおける電力増幅動作を表す説明図である。

[図3]図１に示したパワーアンプにおける電力増幅動作を表す他の説明図である。

[図4A]図１に示したインピーダンス制御回路の一構成例を表す回路図である。

[図4B]図１に示したインピーダンス制御回路の一構成例を表す他の回路図である。

[図5]図１に示したインピーダンス制御回路の一構成例を表す他の回路図である。

[図6]図４に示した振幅検出回路の一動作例を表すタイミング図である。

[図7]図１に示したパワーアンプにおけるインピーダンス設定の一例を表す表

である。

[図8]図１に示したパワーアンプにおける一動作例を表す波形図である。

[図9]図１に示したパワーアンプにおける一動作例を表す他の波形図である。

[図10]図１に示したパワーアンプにおける一動作例を表す他の波形図である。

[図11]図１に示したパワーアンプにおける一動作例を表す他の波形図である。

[図12]図１に示したパワーアンプにおける、他のインピーダンス設定での一動作例を表す波形図である。

[図13]図１に示したパワーアンプにおける、他のインピーダンス設定での一動作例を表す他の波形図である。

[図14]図１に示したパワーアンプにおける、他のインピーダンス設定での一動作例を表す他の波形図である。

[図15]図１に示したパワーアンプにおける、他のインピーダンス設定での一動作例を表す他の波形図である。

[図16]変形例に係るパワーアンプの一構成例を表す回路図である。

[図17]他の変形例に係るパワーアンプの一構成例を表す回路図である。

[図18]一実施の形態に係るパワーアンプが適用されたスマートフォンの外観構成を表す斜視図である。

発明を実施するための形態

[0010] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

１．実施の形態

２．適用例

[0011] ＜１．実施の形態＞

［構成例］

図１は、一実施の形態に係るパワーアンプ（パワーアンプ１）の一構成例を表すものである。パワーアンプ１は、例えば、第５世代（５Ｇ）移動通信

システムにおける無線通信を行うことが可能なスマートフォンに設けられる。パワーアンプ１は、入力端子Ｔinと、マッチング回路１１と、バイアス回路１２と、抵抗素子Ｒ１と、トランジスタＦＥＴ１と、インダクタＬ１と、キャパシタＣ１と、インダクタＬ２と、トランジスタＦＥＴ２と、キャパシタＣ２と、抵抗素子Ｒ２と、インダクタＬ３と、マッチング回路１３と、出力端子Ｔoutと、インピーダンス制御回路１４とを備えている。

[0012] 入力端子Ｔinは、パワーアンプ１の前段回路から入力信号Ｓinが供給されるように構成される。パワーアンプ１は、この入力信号Ｓinに基づいて電力増幅動作を行うことにより出力信号Ｓoutを生成するようになっている。

[0013] マッチング回路１１は、トランジスタＦＥＴ１の入力のインピーダンス整合を行うように構成される。マッチング回路１１は、例えば、１または複数のキャパシタおよび１または複数のインダクタを含む。マッチング回路１１は、インピーダンス制御回路１４から供給された制御信号に基づいて、１または複数のキャパシタおよび１または複数のインダクタのうちの１以上の素子のインピーダンスを変更することにより、マッチング回路１１のインピーダンスを変更することができるようになっている。マッチング回路１１の入力端子はパワーアンプ１の入力端子Ｔinに接続され、出力端子は抵抗素子Ｒ１およびトランジスタＦＥＴ１のゲートに接続される。

[0014] バイアス回路１２は、バイアス電圧Ｖｇを生成するように構成される。

[0015] 抵抗素子Ｒ１の一端にはバイアス電圧Ｖgが供給され、他端はマッチング回路１１の出力端子およびトランジスタＦＥＴ１のゲートに接続される。

[0016] トランジスタＦＥＴ１のゲートはマッチング回路１１の出力端子および抵抗素子Ｒ１に接続され、ソースは接地され、ドレインはキャパシタＣ１およびインダクタＬ１に接続される。

[0017] インダクタＬ１の一端には電源電圧ＶＤＤが供給され、他端はトランジスタＦＥＴ１のドレインおよびキャパシタＣ１に接続される。

[0018] キャパシタＣ１は、インピーダンス制御回路１４から供給された制御信号に基づいてインピーダンスを変更可能に構成される。キャパシタＣ１は、例

えば、後述するように、複数のキャパシタを含み、複数のキャパシタのうちの使用するキャパシタの数を変更することにより、インピーダンスを変更することができるようになっている。キャパシタＣ１の一端はトランジスタＦＥＴ２のソースおよびインダクタＬ２に接続され、他端はトランジスタＦＥＴ１のドレインおよびインダクタＬ１に接続される。

[0019] インダクタＬ２は、インピーダンス制御回路１４から供給された制御信号に基づいてインピーダンスを変更可能に構成される。インダクタＬ２は、例えば、後述するように、複数のインダクタを含み、複数のインダクタのうちの使用するインダクタの数を変更することにより、インピーダンスを変更することができるようになっている。インダクタＬ２の一端はトランジスタＦＥＴ２のソースおよびキャパシタＣ１に接続され、他端は接地される。

[0020] トランジスタＦＥＴ２のゲートはキャパシタＣ２および抵抗素子Ｒ２に接続され、ソースはキャパシタＣ１およびインダクタＬ２に接地され、ドレインはインダクタＬ３およびマッチング回路１３の入力端子に接続される。

[0021] キャパシタＣ２は、インピーダンス制御回路１４から供給された制御信号に基づいてインピーダンスを変更可能に構成される。キャパシタＣ２は、例えば、後述するように、バラクタを含み、バラクタのバイアス電圧を変更することにより、インピーダンスを変更することができるようになっている。キャパシタＣ２の一端はトランジスタＦＥＴ２のゲートおよび抵抗素子Ｒ２に接続され、他端は接地される。

[0022] 抵抗素子Ｒ２の一端にはバイアス電圧Ｖgが供給され、他端はキャパシタＣ２およびトランジスタＦＥＴ２のゲートに接続される。

[0023] インダクタＬ３の一端には電源電圧ＶＤＤが供給され、他端はトランジスタＦＥＴ２のドレインおよびマッチング回路１３の入力端子に接続される。

[0024] マッチング回路１３は、トランジスタＦＥＴ２の出力のインピーダンス整合を行うように構成される。マッチング回路１３は、例えば、１または複数のキャパシタおよび１または複数のインダクタを含む。マッチング回路１３は、インピーダンス制御回路１４から供給された制御信号に基づいて、１ま

たは複数のキャパシタおよび１または複数のインダクタのうちの１以上の素子のインピーダンスを変更することにより、マッチング回路１３のインピーダンスを変更することができるようになっている。マッチング回路１３の入力端子はトランジスタＦＥＴ２のドレインおよびインダクタＬ３に接続され、出力端子はパワーアンプ１の出力端子Ｔoutに接続される。

[0025] 出力端子Ｔoutは、パワーアンプ１により生成された出力信号Ｓoutを出力するように構成される。出力端子Ｔoutは、例えば、図示しないアンテナに接続される。これにより、パワーアンプ１により生成された出力信号Ｓoutが、アンテナから無線信号として送信されるようになっている。

[0026] この構成により、パワーアンプ１は、２つのトランジスタＦＥＴ１，ＦＥＴ２を用いて、入力信号Ｓinに基づいて電力増幅動作を行うようになっている。

[0027] 図２，３は、パワーアンプ１における交流信号に対する動作を模式的に表すものである。図２，３では、交流信号に対する動作を説明しているので、説明の便宜上、キャパシタＣ１およびインダクタＬ１，Ｌ２の図示を省いている。

[0028] パワーアンプ１では、理想的なケースでは、トランジスタＦＥＴ１のサイズおよび特性と、トランジスタＦＥＴ２のサイズおよび特性とは、互いに同じである。言い換えれば、この例では、トランジスタＦＥＴ１の電流特性と、トランジスタＦＥＴ２の電流特性とは、互いに同じであり、トランジスタＦＥＴ１の動作点と、トランジスタＦＥＴ２の動作点は互いに同じである。具体的には、トランジスタＦＥＴ１，ＦＥＴ２のゲートの動作点電圧はバイアス電圧Ｖｇであり、ソースの動作点電圧は接地電圧であり、ドレインの動作点電圧は電源電圧ＶＤＤである。

[0029] そして、トランジスタＦＥＴ１，ＦＥＴ２には、図２において矢印で示したように、入力信号Ｓinに応じた交流の信号電流が流れる。トランジスタＦＥＴ１においてドレインからソースに向かって流れる電流Ｉds1は、トランジスタＦＥＴ１のトランスコンダクタンスｇm1と、トランジスタＦＥＴ１のゲ

ート・ソース間の電圧Ｖgs1を用いて、以下のように表される。

Ｉds1　＝　ｇｍ1・Ｖgs1

同様に、トランジスタＦＥＴ２においてドレインからソースに向かって流れる電流Ｉds2は、トランジスタＦＥＴ２のトランスコンダクタンスｇｍ2と、トランジスタＦＥＴ２のゲート・ソース間の電圧Ｖgs2を用いて、以下のように表される。

Ｉds2　＝　ｇｍ2・Ｖgs2

[0030] パワーアンプ１は、理想的には、電圧Ｖgs1および電圧Ｖgs2が互いに等しく、電流Ｉds1および電流Ｉds2が互いに等しく、電圧Ｖds1および電圧Ｖds2が互いに等しくなるように、電力を伝達することが望ましい。まず、パワーアンプ１は、トランジスタＦＥＴ１を用いて、入力信号ＳinをＩds1＝ｇｍ1・Ｖgs1により増幅する。そして、パワーアンプ１はトランジスタＦＥＴ２を用いて、トランジスタＦＥＴ１により増幅された電力を、１倍の電流利得および２倍の電圧利得で増幅する。すなわち、図３に示したように、パワーアンプ１が出力する電圧Ｖdsは、電圧Ｖds1および電圧Ｖds2の合計電圧である。この理想的な動作を実現するために、トランジスタＦＥＴ１，ＦＥＴ２の負荷インピーダンスが調節される。

[0031] インピーダンス制御回路１４は、入力信号Ｓinに基づいて、入力信号Ｓinの信号振幅を検出し、その信号振幅に基づいて、マッチング回路１１、キャパシタＣ１、インダクタＬ２、キャパシタＣ２、およびマッチング回路１３のインピーダンスをそれぞれ設定するための５つの制御信号を生成するように構成される。

[0032] 図４Ａは、インピーダンス制御回路１４における、キャパシタＣ２のインピーダンスを制御する回路部分の一構成例を表すものである。図４Ａでは、キャパシタＣ２をも描いている。インピーダンス制御回路１４は、振幅検出回路２０と、ＤＡＣ３１と、抵抗素子Ｒ３２とを有している。

[0033] 振幅検出回路２０は、カプラ２１と、バイアス回路２２と、抵抗素子Ｒ２３と、バッファアンプ２４と、ダイオードＤ２５と、キャパシタＣ２６と、

ＡＤＣ（Analog to Digital Converter）２７とを有している。

[0034] カプラ２１は、入力端子Ｔinに供給された入力信号Ｓinに含まれる交流信号を分離し、分離された交流信号を交流信号Ｓac1としてバッファアンプ２４に供給するように構成される。カプラ２１は、例えば、伝送線路を用いて構成される。

[0035] バイアス回路２２は、バイアス電圧を生成するように構成される。抵抗素子Ｒ２３の一端には、バイアス回路２２が生成したバイアス電圧が供給され、他端はバッファアンプ２４の入力端子に接続される。

[0036] バッファアンプ２４は、交流信号Ｓac1に応じた交流信号Ｓac2を生成するように構成される。バッファアンプ２４の入力端子はカプラ２１および抵抗素子Ｒ２３に接続され、出力端子はダイオードＤ２５のアノードに接続される。

[0037] ダイオードＤ２５のアノードはバッファアンプ２４の出力端子に接続され、カソードはキャパシタＣ２６およびＡＤＣ２７の入力端子に接続される。キャパシタＣ２６の一端はダイオードＤ２５のカソードおよびＡＤＣ２７の入力端子に接続され、他端は接地される。

[0038] ＡＤＣ２７は、キャパシタＣ２６における電圧に基づいてＡＤ変換を行うことにより、デジタルコードを生成するように構成される。デジタルコードは、例えば、複数ビットのデジタルコードである。ＡＤＣ２７の入力端子はダイオードＤ２５のカソードおよびキャパシタＣ２６に接続され、出力端子はＤＡＣ３１の入力端子に接続される。

[0039] ＤＡＣ３１は、ＡＤＣ２７が生成したデジタルコードに基づいて電圧を生成するように構成される。ＤＡＣ３１の入力端子はＡＤＣ２７の出力端子に接続され、出力端子は抵抗素子Ｒ３２に接続される。抵抗素子Ｒ３２の一端はＤＡＣ３１の出力端子に接続され、他端はキャパシタＣ２に接続される。

[0040] この構成により、例えば、入力信号Ｓinの信号振幅が大きい場合には、交流信号Ｓac1のピークレベルが高い。この場合には、交流信号Ｓac2のピークレベルもまた高いので、キャパシタＣ２６の電圧は高い。これにより、ＡＤ

Ｃ２７が生成するデジタルコードの値は大きい。ＤＡＣ３１は、このようなデジタルコードに基づいて、キャパシタＣ２に供給する電圧を高くする。また、例えば、入力信号Ｓinの信号振幅が小さい場合には、交流信号Ｓac1のピークレベルが低い。この場合には、交流信号Ｓac2のピークレベルもまた低いので、キャパシタＣ２６の電圧は低い。これにより、ＡＤＣ２７が生成するデジタルコードの値は小さい。ＤＡＣ３１は、このようなデジタルコードに基づいて、キャパシタＣ２に供給する電圧を低くする。

[0041] この例では、入力信号Ｓinの信号振幅が大きい場合にキャパシタＣ２に供給する電圧を高くし、入力信号Ｓinの信号振幅が小さい場合にキャパシタＣ２に供給する電圧を低くしたが、これに限定されるものではない。例えば、ＡＤＣ２７とＤＡＣ３１との間に、デジタルコードを変換する論理回路を設けてもよい。これにより、例えば、入力信号Ｓinの信号振幅が大きい場合にキャパシタＣ２に供給する電圧を低くし、入力信号Ｓinの信号振幅が小さい場合にキャパシタＣ２に供給する電圧を高くすることができる。

[0042] キャパシタＣ２は、この例では、バラクタ９１と、キャパシタ９２とを有している。バラクタ９１は、両端間の電圧差に応じて容量値を変更可能に構成される。バラクタ９１のアノードは接地され、カソードは抵抗素子Ｒ３２およびキャパシタ９２に接続される。キャパシタＣ２の一端は抵抗素子Ｒ３２およびバラクタ９１のカソードに接続され、他端は図１に示したようにトランジスタＦＥＴ２のゲートおよび抵抗素子Ｒ２に接続される。バラクタ９１およびキャパシタ９２は、互いに直列接続される。これにより、キャパシタＣ２のキャパシタンスは、直列接続されたバラクタ９１およびキャパシタ９２の合成キャパシタンスである。

[0043] この構成により、例えば、バラクタ９１のカソード電圧が高いほど、バラクタ９１のキャパシタンスが小さくなるので、直列接続されたバラクタ９１およびキャパシタ９２の合成キャパシタンスもまた小さくなる。また、例えば、バラクタ９１のカソード電圧が低いほど、バラクタ９１のキャパシタンスが大きくなるので、直列接続されたバラクタ９１およびキャパシタ９２の

合成キャパシタンスもまた大きくなる。このようにして、キャパシタＣ２では、バラクタ９１のキャパシタンスを変更することにより、インピーダンスを変更することができるようになっている。

[0044] 図４Ｂは、インピーダンス制御回路１４における、キャパシタＣ１のインピーダンスを制御する回路部分の一構成例を表すものである。インピーダンス制御回路１４は、制御回路３３を有している。図４Ｂでは、キャパシタＣ１をも描いている。

[0045] 制御回路３３は、ＡＤＣ２７が生成したデジタルコードに基づいて、キャパシタＣ１のインピーダンスを切り替えるための３つの制御信号を生成するように構成される。

[0046] キャパシタＣ１は、キャパシタ７１～７４と、スイッチ７５～７７とを有している。キャパシタ７１の一端はキャパシタ７２～７４に接続されるとともに、図１に示したようにトランジスタＦＥＴ２のソースおよびインダクタＬ２に接続され、他端はスイッチ７５～７７に接続されるとともに、図１に示したようにトランジスタＦＥＴ１のドレインおよびインダクタL１に接続される。キャパシタ７２の一端はキャパシタ７１，７３，７４に接続されるとともに、図１に示したようにトランジスタＦＥＴ２のソースおよびインダクタＬ２に接続され、他端はスイッチ７５に接続される。キャパシタ７３の一端はキャパシタ７１，７２，７４に接続されるとともに、図１に示したようにトランジスタＦＥＴ２のソースおよびインダクタＬ２に接続され、他端はスイッチ７６に接続される。キャパシタ７４の一端はキャパシタ７１～７３に接続されるとともに、図１に示したようにトランジスタＦＥＴ２のソースおよびインダクタＬ２に接続され、他端はスイッチ７７に接続される。スイッチ７５は、制御回路３３から供給された制御信号に基づいてオン状態になることにより、キャパシタ７２の他端およびキャパシタ７１の他端に接続するように構成される。スイッチ７６は、制御回路３３から供給された制御信号に基づいてオン状態になることにより、キャパシタ７３の他端およびキャパシタ７１の他端を接続接地するように構成される。スイッチ７７は、制御

回路３３から供給された制御信号に基づいてオン状態になることにより、キャパシタ７４の他端およびキャパシタ７１他端を接続するように構成される。

[0047] この構成により、例えば、スイッチ７５がオン状態である場合には、キャパシタ７２が有効になり、スイッチ７６がオン状態である場合には、キャパシタ７３が有効になり、スイッチ７７がオン状態である場合には、キャパシタ７４が有効になる。キャパシタ７１は常に有効である。よって、キャパシタＣ１のキャパシタンスは、キャパシタ７１～７４のうちの有効であるキャパシタのキャパシタンスの合計キャパシタンスである。このようにして、キャパシタＣ１では、キャパシタ７１～７４のうちの有効にするキャパシタの数を変更することにより、インピーダンスを変更することができるようになっている。

[0048] 図５は、インピーダンス制御回路１４における、インダクタＬ２のインピーダンスを制御する回路部分の一構成例を表すものである。インピーダンス制御回路１４は、制御回路３４を有している。図５では、インダクタＬ２をも描いている。

[0049] 制御回路３４は、ＡＤＣ２７が生成したデジタルコードに基づいて、インダクタＬ２のインピーダンスを切り替えるための３つの制御信号を生成するように構成される。

[0050] インダクタＬ２は、インダクタ８１～８４と、スイッチ８５～８７とを有している。インダクタ８１の一端は図１に示したようにトランジスタＦＥＴ２のソースおよびキャパシタＣ１に接続され、他端はインダクタ８２の一端に接続される。インダクタ８２の一端はインダクタ８１の他端に接続され、他端はインダクタ８３の一端に接続される。インダクタ８３の一端はインダクタ８２の他端に接続され、他端はインダクタ８４の一端に接続される。インダクタ８４の一端はインダクタ８３の他端に接続され、他端は接地される。スイッチ８５は、制御回路３４から供給された制御信号に基づいてオン状態になることにより、インダクタ８１の他端およびインダクタ８２の一端を

接地するように構成される。スイッチ８６は、制御回路３４から供給された制御信号に基づいてオン状態になることにより、インダクタ８２の他端およびインダクタ８３の一端を接地するように構成される。スイッチ８７は、制御回路３４から供給された制御信号に基づいてオン状態になることにより、インダクタ８３の他端およびインダクタ８４の一端を接地するように構成される。

[0051] この構成により、例えば、スイッチ８５がオン状態である場合には、インダクタ８１が有効になるとともにインダクタ８２～８４は無効になる。よって、インダクタＬ２のインダクタンスは、インダクタ８１のインダクタンスと等しくなる。また、例えば、スイッチ８５がオフ状態でありスイッチ８６がオン状態である場合には、インダクタ８１，８２が有効になるとともにインダクタ８３，８４が無効になる。よって、インダクタＬ２のインダクタンスは、インダクタ８１，８２のインダクタンスの合計インダクタンスである。また、例えば、スイッチ８５，８６がオフ状態でありスイッチ８７がオン状態である場合には、インダクタ８１～８３が有効になるとともにインダクタ８４が無効になる。よって、インダクタＬ２のインダクタンスは、インダクタ８１～８３のインダクタンスの合計インダクタンスである。また、例えば、スイッチ８５～８７がオフ状態である場合には、インダクタ８１～８４が有効になる。よって、インダクタＬ２のインダクタンスは、インダクタ８１～８４のインダクタンスの合計インダクタンスである。このようにして、インダクタＬ２では、インダクタ８１～８４のうちの有効にするインダクタの数を変更することにより、インピーダンスを変更することができるようになっている。

[0052] 図４Ａでは、キャパシタＣ２のインピーダンスを制御する回路部分について説明し、図４Ｂでは、キャパシタＣ１のインピーダンスを制御する回路部分について説明し、図５では、インダクタＬ２のインピーダンスを制御する回路部分について説明したが、マッチング回路１１のインピーダンスを制御する回路部分についても同様である。すなわち、マッチング回路１１は、例

えば、１または複数のキャパシタおよび１または複数のインダクタを含み、これらの素子のうちの１以上の素子のインピーダンスを変更することにより、マッチング回路１１のインピーダンスを変更することができる。よって、これらの素子に対して、図４Ａ，４Ｂ，５に示した構成を適用することにより、マッチング回路１１のインピーダンスを制御することができる。マッチング回路１３についても同様である。

[0053] この構成により、パワーアンプ１では、入力信号Ｓinの信号振幅に応じて、マッチング回路１１、キャパシタＣ１、インダクタＬ２、キャパシタＣ２、およびマッチング回路１３のインピーダンスをそれぞれ設定することができる。パワーアンプ１では、マッチング回路１１、キャパシタＣ１、インダクタＬ２、キャパシタＣ２、およびマッチング回路１３のインピーダンスが設定されることにより、トランジスタＦＥＴ１，ＦＥＴ２の動作条件が設定される。よって、パワーアンプ１では、様々な信号振幅の入力信号Ｓinが入力された場合において、信号振幅に依らずに、所望の電力増幅動作を行うことができるようになっている。

[0054] ここで、入力端子Ｔinは、本開示における「入力端子」の一具体例に対応する。出力端子Ｔoutは、本開示における「出力端子」の一具体例に対応する。トランジスタＦＥＴ１，ＦＥＴ２は、本開示における「１または複数のトランジスタ」の一具体例に対応する。トランジスタＦＥＴ１は、本開示における「第１のトランジスタ」の一具体例に対応する。トランジスタＦＥＴ２は、本開示における「第２のトランジスタ」の一具体例に対応する。振幅検出回路２０は、本開示における「振幅検出回路」の一具体例に対応する。マッチング回路１１、キャパシタＣ１、インダクタＬ２、キャパシタＣ２、およびマッチング回路１３は、本開示における「インピーダンス回路」の一具体例に対応する。カプラ２１は、本開示における「分離素子」の一具体例に対応する。バッファアンプ２４は、本開示における「バッファアンプ」の一具体例に対応する。ダイオードＤ２５は、本開示における「ダイオード」の一具体例に対応する。キャパシタＣ２６は、本開示における「第１のキャパ

シタ」の一具体例に対応する。

[0055] ［動作および作用］

続いて、本実施の形態のパワーアンプ１の動作および作用について説明する。

[0056] （全体動作概要）

まず、図１を参照して、パワーアンプ１の全体動作概要を説明する。パワーアンプ１は、入力信号Ｓinに基づいて電力増幅動作を行うことにより、出力信号Ｓoutを生成する。インピーダンス制御回路１４は、入力信号Ｓinに基づいて、入力信号Ｓinの信号振幅を検出し、その信号振幅に基づいて、マッチング回路１１、キャパシタＣ１、インダクタＬ２、キャパシタＣ２、およびマッチング回路１３のインピーダンスをそれぞれ設定するための５つの制御信号を生成する。マッチング回路１１は、インピーダンス制御回路１４から供給された制御信号に基づいてインピーダンスを変更する。キャパシタＣ１は、インピーダンス制御回路１４から供給された制御信号に基づいてインピーダンスを変更する。インダクタＬ２は、インピーダンス制御回路１４から供給された制御信号に基づいてインピーダンスを変更する。キャパシタＣ２は、インピーダンス制御回路１４から供給された制御信号に基づいてインピーダンスを変更する。マッチング回路１３は、インピーダンス制御回路１４から供給された制御信号に基づいてインピーダンスを変更する。

[0057] （詳細動作）

パワーアンプ１は、入力信号Ｓinの信号振幅に基づいて、マッチング回路１１、キャパシタＣ１、インダクタＬ２、キャパシタＣ２、およびマッチング回路１３のインピーダンスを変化させる。以下に、図４を参照して、キャパシタＣ２のインピーダンスを変化させる動作を例に挙げて説明する。

[0058] 図６は、インピーダンス制御回路１４における振幅検出回路２０の一動作例を表すものであり、（Ａ）は交流信号Ｓac1のエンベロープを示し、（Ｂ）はＡＤＣ２７の入力電圧を示す。

[0059] この例では、タイミングｔ１において、入力信号Ｓinの信号振幅が６００

ｍＶppになる。カプラ２１は、入力信号Ｓinに含まれる交流信号を分離する。これにより、図６（Ａ）に示したように、分離された交流信号Ｓac1のピークレベルは“＋３００ｍＶ”になり、ボトムレベルは“－３００ｍＶ”になる。バッファアンプ２４は、交流信号Ｓac1に応じた交流信号Ｓac2を生成し、ダイオードＤ２５およびキャパシタＣ２６は、ピークホールド動作を行う。これにより、ＡＤＣ２７の入力電圧は、図６（Ｂ）に示したように、交流信号Ｓac1のピークレベルに応じた電圧（電圧Ｖ１）になる。ＡＤＣ２７は、この入力電圧に基づいてＡＤ変換を行うことによりデジタルコードを生成し、ＤＡＣ３１は、ＡＤＣ２７が生成したデジタルコードに基づいて電圧を生成する。これにより、バラクタ９１のカソード電圧は、電圧Ｖ１に応じた電圧になる。その結果、バラクタ９１を含むキャパシタＣ２のキャパシタンスは、このカソード電圧に応じたキャパシタンスになる。

[0060] 次に、タイミングｔ２において、入力信号Ｓinの信号振幅が６００ｍＶppから２００ｍＶppに変化する。これにより、図６（Ａ）に示したように、分離された交流信号Ｓac1のピークレベルは“＋１００ｍＶ”になり、ボトムレベルは“－１００ｍＶ”になる。バッファアンプ２４は、交流信号Ｓac1に応じた交流信号Ｓac2を生成し、ダイオードＤ２５およびキャパシタＣ２６は、ピークホールド動作を行う。これにより、ＡＤＣ２７の入力電圧は、交流信号Ｓac1のピークレベルに応じた電圧になる。この例では、ピークレベルは“＋３００ｍＶ”から“＋１００ｍＶ”に低下しているので、図６（Ｂ）に示したように、ＡＤＣ２７の入力電圧もまた低下し、電圧Ｖ２になる。ＡＤＣ２７は、この入力電圧に基づいてＡＤ変換を行うことによりデジタルコードを生成し、ＤＡＣ３１は、このデジタルコードに基づいて電圧を生成する。これにより、バラクタ９１のカソード電圧は、電圧Ｖ２に応じた電圧になる。その結果、バラクタ９１を含むキャパシタＣ２のキャパシタンスは、このカソード電圧に応じたキャパシタンスになる。

[0061] 次に、タイミングｔ３において、入力信号Ｓinの信号振幅が２００ｍＶppから４００ｍＶppに変化する。これにより、図６（Ａ）に示したように、分

離された交流信号Ｓac1のピークレベルは“＋２００ｍＶ”になり、ボトムレベルは“－２００ｍＶ”になる。バッファアンプ２４は、交流信号Ｓac1に応じた交流信号Ｓac2を生成し、ダイオードＤ２５およびキャパシタＣ２６は、ピークホールド動作を行う。これにより、ＡＤＣ２７の入力電圧は、交流信号Ｓac1のピークレベルに応じた電圧になる。この例では、ピークレベルは“＋１００ｍＶ”から“＋２００ｍＶ”に上昇しているので、図６（Ｂ）に示したように、ＡＤＣ２７の入力電圧もまた上昇し、電圧Ｖ３になる。ＡＤＣ２７は、この入力電圧に基づいてＡＤ変換を行うことによりデジタルコードを生成し、ＤＡＣ３１は、このデジタルコードに基づいて電圧を生成する。これにより、バラクタ９１のカソード電圧は、電圧Ｖ３に応じた電圧になる。その結果、バラクタ９１を含むキャパシタＣ２のキャパシタンスは、このカソード電圧に応じたキャパシタンスになる。

[0062] このようにして、パワーアンプ１では、入力信号Ｓinの信号振幅に応じて、キャパシタＣ２のキャパシタンスを変化させることにより、キャパシタＣ２のインピーダンスを変化させる。

[0063] この例では、キャパシタＣ２のインピーダンスを変化させる動作を例に挙げて説明したが、キャパシタＣ１、インダクタＬ２、マッチング回路１１，１３のインピーダンスを変化させる動作についても同様である。

[0064] 次に、パワーアンプ１における電力増幅動作について説明する。この例では、入力信号Ｓinの信号振幅が小さいローパワーモードの場合（ケースＷ１）、および入力信号Ｓinの信号振幅が大きいハイパワーモードの場合（ケースＷ２）の２つのケースで、キャパシタＣ１、インダクタＬ２、マッチング回路１１，１３のインピーダンスを設定する例について説明する。この例では、トランジスタＦＥＴ１，ＦＥＴ２は、窒化ガリウム（ＧａＮ）を用いたＨＥＭＴ（High Electron Mobility Transistor）である。この例では、パワーアンプ１がいわゆるＡＢ級動作を行うように、動作点を設定している。

[0065] 図７に示したように、ケースＷ１では、キャパシタＣ１のキャパシタンスは“１００ｐＦ”であり、キャパシタＣ２のキャパシタンスは“０．６ｐＦ

”であり、インダクタＬ２のインダクタンスは“５ｎＨ”であり、マッチング回路１１のインピーダンスＺｓは“１５＋ｊ３０Ω”であり、マッチング回路１３のインピーダンスＺｌは“４０＋ｊ２０Ω”である。ここで、インピーダンスＺｓは、トランジスタＦＥＴ１のゲートから見たマッチング回路１１のインピーダンスであり、インピーダンスＺｌは、トランジスタＦＥＴ２のドレインから見たマッチング回路１３のインピーダンスである。

[0066] また、ケースＷ２では、キャパシタＣ１のキャパシタンスは“１００ｐＦ”であり、キャパシタＣ２のキャパシタンスは“５ｐＦ”であり、インダクタＬ２のインダクタンスは“１．５ｎＨ”であり、マッチング回路１１のインピーダンスＺｓは“１８＋ｊ４０Ω”であり、マッチング回路１３のインピーダンスＺｌは“２１＋ｊ３Ω”である。

[0067] 図８，９は、入力信号Ｓinの信号振幅が小さい場合（ケースＷ１）における回路シミュレーションの結果を表すものであり、図８はドレイン・ソース間の電圧Ｖds1，Ｖds2，Ｖdsの波形を示し、図９はゲート・ソース間の電圧Ｖgs1，Ｖgs2の波形を示す。電圧Ｖds1は、トランジスタＦＥＴ１のドレイン・ソース間電圧であり、電圧Ｖds2は、トランジスタＦＥＴ２のドレイン・ソース間電圧であり、電圧Ｖdsはトランジスタ ＦＥＴ２のドレインとトランジスタＦＥＴ１のソースとの間の電圧である。電圧Ｖgs1は、トランジスタＦＥＴ１のゲート・ソース間電圧であり、電圧Ｖgs2は、トランジスタＦＥＴ２のゲート・ソース間電圧である。

[0068] この例では、図２，３に示したとおり、電圧Ｖgs1の振幅および電圧Ｖgs2の振幅は互いにほぼ同じであり、電圧Ｖds1の振幅および電圧Ｖds2の振幅は互いにほぼ同じである。そして、電圧Ｖdsの振幅は、電圧Ｖds1，Ｖds2の振幅のほぼ２倍である。すなわち、ケースＷ１に対応するインピーダンス設定（図７）を行うことにより、パワーアンプ１は、期待された動作を行うことができる。

[0069] 図１０，１１は、入力信号Ｓinの信号振幅が大きい場合（ケースＷ２）における回路シミュレーションの結果を表すものであり、図１０はドレイン・

ソース間の電圧Ｖds1，Ｖds2，Ｖdsの波形を示し、図１１はゲート・ソース間の電圧Ｖgs1，Ｖgs2の波形を示す。この例では、入力信号Ｓinの信号振幅を、パワーアンプ１の飽和領域に到達する振幅にまで大きくしているので、各波形は歪んでいる。このような場合であっても、電圧Ｖgs1の振幅および電圧Ｖgs2の振幅は互いにほぼ同じであり、電圧Ｖds1の振幅および電圧Ｖds2の振幅は互いにほぼ同じである。そして、電圧Ｖdsの振幅は、電圧Ｖds1，Ｖds2の振幅のほぼ２倍である。すなわち、ケースＷ２に対応するインピーダンス設定（図７）を行うことにより、パワーアンプ１は、期待された動作を行うことができる。

[0070] このように、パワーアンプ１では、入力端子Ｔinと出力端子Ｔoutとを結ぶ経路に設けられた２つのトランジスタＦＥＴ１，ＦＥＴ２と、入力端子Ｔinにおける入力信号Ｓinの信号振幅を検出可能な振幅検出回路２０と、インピーダンスを変更可能であり、振幅検出回路２０の検出結果に基づいて、２つのトランジスタＦＥＴ１，ＦＥＴ２の動作条件を設定可能なインピーダンス回路とを備えるようにした。ここで、インピーダンス回路は、この例では、マッチング回路１１、キャパシタＣ１、インダクタＬ２、キャパシタＣ２、およびマッチング回路１３を含む。これにより、パワーアンプ１では、様々な信号振幅の入力信号Ｓinが入力された場合において、信号振幅に依らずに、所望の電力増幅動作を行うことができる。

[0071] すなわち、例えば、マッチング回路１１、キャパシタＣ１、インダクタＬ２、キャパシタＣ２、およびマッチング回路１３のインピーダンス設定を固定にした場合には、パワーアンプ１は、様々な信号振幅の入力信号Ｓinが入力された場合において、所望の電力増幅動作を行うのが難しい。

[0072] 例えば、図７に示した、入力信号Ｓinの信号振幅が大きい場合（ケースＷ２）におけるインピーダンス設定を用いて、小さい信号振幅を有する入力信号Ｓinを入力した場合には、図１２，１３に示したように、所望の電力増幅動作を行うことができない。この例では、電圧Ｖds1の振幅および電圧Ｖds2の振幅は互いに異なっている。このように、パワーアンプ１は、入力信号Ｓi

nの信号振幅が大きい場合（ケースＷ２）において所望の電力増幅動作を行うことができるインピーダンス設定では、入力信号Ｓinの信号振幅が小さい場合には、所望の電力増幅動作を行うことができない。

[0073] また、例えば、図７に示した、入力信号Ｓinの信号振幅が小さい場合（ケースＷ１）におけるインピーダンス設定を用いて、大きい信号振幅を有する入力信号Ｓinを入力した場合には、図１４，１５に示したように、所望の電力増幅動作を行うことができない。この例では、電圧Ｖgs1の振幅および電圧Ｖgs2の振幅は互いに異なっている。また、電圧Ｖds2は、図１０に示した電圧Ｖds2と比較して、立ち上がり時に電圧振幅が大きくなり、時間軸方向の対称性が低い。このように、パワーアンプ１は、入力信号Ｓinの信号振幅が小さい場合（ケースＷ１）において所望の電力増幅動作を行うことができるインピーダンス設定では、入力信号Ｓinの信号振幅が大きい場合には、所望の電力増幅動作を行うことができない。

[0074] 一方、パワーアンプ１では、インピーダンスを変更可能であり、振幅検出回路２０の検出結果に基づいて、２つのトランジスタＦＥＴ１，ＦＥＴ２の動作条件を設定可能なインピーダンス回路を備えるようにした。これにより、パワーアンプ１では、信号振幅に応じて、マッチング回路１１、キャパシタＣ１、インダクタＬ２、キャパシタＣ２、およびマッチング回路１３のインピーダンスを設定することにより、２つのトランジスタＦＥＴ１，ＦＥＴ２の動作条件を設定することができる。その結果、パワーアンプ１では、様々な信号振幅の入力信号Ｓinが入力された場合において、信号振幅に依らずに、所望の電力増幅動作を行うことができる。

[0075] また、パワーアンプ１では、振幅検出回路２０は、入力端子Ｔinにおける入力信号Ｓinから交流信号Ｓac1を分離するカプラ２１を有し、この交流信号Ｓac1の信号振幅を検出することにより入力信号Ｓinの信号振幅を検出するようにした。また、例えば、振幅検出回路２０は、このカプラ２１に接続された入力端子と、出力端子とを有するバッファアンプ２４と、バッファアンプ２４の出力端子に接続されたアノードと、カソードとを有するダイオードＤ

２５と、ダイオードＤ２５のカソードに接続されたキャパシタＣ２６とを有し、キャパシタＣ２６における電圧に基づいて入力信号Ｓinの信号振幅を検出するようにした。これにより、パワーアンプ１では、シンプルな構成で、入力信号Ｓinの信号振幅を検出することができる。

[0076] ［効果］

以上のように本実施の形態では、入力端子と出力端子とを結ぶ経路に設けられた２つのトランジスタと、入力端子における入力信号の信号振幅を検出可能な振幅検出回路と、インピーダンスを変更可能であり、振幅検出回路２０の検出結果に基づいて、２つのトランジスタの動作条件を設定可能なインピーダンス回路とを備えるようにしたので、様々な信号振幅の入力信号が入力された場合において、信号振幅に依らずに、所望の電力増幅動作を行うことができる。

[0077] 本実施の形態では、振幅検出回路は、入力端子における入力信号から交流信号を分離するカプラを有し、この交流信号の信号振幅を検出することにより入力信号の信号振幅を検出するようにした。また、振幅検出回路は、このカプラに接続された入力端子と、出力端子とを有するバッファアンプと、バッファアンプの出力端子に接続されたアノードと、カソードとを有するダイオードと、ダイオードのカソードに接続されたキャパシタとを有し、キャパシタにおける電圧に基づいて入力信号の信号振幅を検出するようにした。これにより、シンプルな構成で、入力信号の信号振幅を検出することができる。

[0078] ［変形例１］

上記実施の形態では、入力信号Ｓinの信号振幅が小さい場合と、信号振幅が大きい場合の２つのケースに対応する２つのインピーダンス設定を設けるようにしたが、これに限定されるものではなく、これに代えて、３つ以上のインピーダンス設定を設けてもよい。

[0079] ［変形例２］

上記実施の形態では、２つのトランジスタＦＥＴ１，ＦＥＴ２を設けたが

、これに限定されるものではない。これに代えて、例えば１つのトランジスタを設けてもよいし、例えば３つ以上のトランジスタを設けてもよい。以下に、３つのトランジスタを設ける例を挙げて詳細に説明する。

[0080] 図１６は、本変形例に係るパワーアンプ１Ａの一構成例を表すものである。パワーアンプ１Ａは、キャパシタＣ３と、インダクタＬ４と、トランジスタＦＥＴ３と、キャパシタＣ４と、抵抗素子Ｒ３と、インダクタＬ５と、インピーダンス制御回路１４Ａとを備えている。

[0081] キャパシタＣ３は、インピーダンス制御回路１４Ａから供給された制御信号に基づいてインピーダンスを変更可能に構成される。キャパシタＣ３は、キャパシタＣ１と同様に、例えば複数のキャパシタを含み、複数のキャパシタのうちの使用するキャパシタの数を変更することにより、インピーダンスを変更することができるようになっている。キャパシタＣ３の一端はトランジスタＦＥＴ３のソースおよびインダクタＬ４に接続され、他端はトランジスタＦＥＴ２のドレインおよびインダクタＬ３に接続される。

[0082] インダクタＬ４は、インピーダンス制御回路１４Ａから供給された制御信号に基づいてインピーダンスを変更可能に構成される。インダクタＬ４は、インダクタＬ２と同様に、例えば複数のインダクタを含み、複数のインダクタのうちの使用するインダクタの数を変更することにより、インピーダンスを変更することができるようになっている。インダクタＬ４の一端はトランジスタＦＥＴ３のソースおよびキャパシタＣ３に接続され、他端は接地される。

[0083] トランジスタＦＥＴ３のゲートはキャパシタＣ４および抵抗素子Ｒ３に接続され、ソースはキャパシタＣ３およびインダクタＬ３に接地され、ドレインはインダクタＬ５およびマッチング回路１３の入力端子に接続される。

[0084] キャパシタＣ４は、インピーダンス制御回路１４Ａから供給された制御信号に基づいてインピーダンスを変更可能に構成される。キャパシタＣ４は、キャパシタＣ２と同様に、例えばバラクタを含み、バラクタのバイアス電圧を変更することにより、インピーダンスを変更することができるようになっ

ている。キャパシタＣ４の一端はトランジスタＦＥＴ３のゲートおよび抵抗素子Ｒ２に接続され、他端は接地される。

[0085] 抵抗素子Ｒ３の一端にはバイアス電圧Ｖgが供給され、他端はキャパシタＣ４およびトランジスタＦＥＴ３のゲートに接続される。

[0086] インダクタＬ５の一端には電源電圧ＶＤＤが供給され、他端はトランジスタＦＥＴ３のドレインおよびマッチング回路１３の入力端子に接続される。

[0087] この構成により、パワーアンプ１Ａは、３つのトランジスタＦＥＴ１～ＦＥＴ３を用いて、入力信号Ｓinに基づいて電力増幅動作を行うようになっている。

[0088] インピーダンス制御回路１４Ａは、入力信号Ｓinに基づいて、入力信号Ｓinの信号振幅を検出し、その信号振幅に基づいて、マッチング回路１１、キャパシタＣ１、インダクタＬ２、キャパシタＣ２、キャパシタＣ３、インダクタＬ４、キャパシタＣ４、およびマッチング回路１３のインピーダンスをそれぞれ設定するための８つの制御信号を生成するように構成される。

[0089] ここで、トランジスタＦＥＴ１～ＦＥＴ３は、本開示における「１または複数のトランジスタ」の一具体例に対応する。マッチング回路１１、キャパシタＣ１、インダクタＬ２、キャパシタＣ２、キャパシタＣ３、インダクタＬ４、キャパシタＣ４、およびマッチング回路１３は、本開示における「インピーダンス回路」の一具体例に対応する。

[0090] これにより、パワーアンプ１Ａでは、様々な信号振幅の入力信号が入力された場合において、所望の電力増幅動作を行うことができるとともに、出力電力をより大きくすることができる。

[0091] ［変形例３］

上記実施の形態では、トランジスタＦＥＴ１，ＦＥＴ２を設けたが、これに限定されるものではなく、例えば、図１７に示すパワーアンプ１Ｂのように、この前段にドライバアンプを設けてもよい。パワーアンプ１Ｂは、マッチング回路４１Ｂと、ドライバアンプ４２Ｂと、インピーダンス制御回路１４Ｂとを備えている。

[0092] マッチング回路４１Ｂは、ドライバアンプ４２Ｂの入力のインピーダンス整合を行うように構成される。マッチング回路４１Ｂは、例えば、１または複数のキャパシタおよび１または複数のインダクタを含む。マッチング回路４１Ｂは、インピーダンス制御回路１４Ｂから供給された制御信号に基づいて、１または複数のキャパシタおよび１または複数のインダクタのうちの１以上の素子のインピーダンスを変更することにより、マッチング回路４１Ｂのインピーダンスを変更することができるようになっている。マッチング回路４１Ｂの入力端子はパワーアンプ１Ｂの入力端子Ｔinに接続され、出力端子はドライバアンプ４２Ｂの入力端子に接続される。

[0093] ドライバアンプ４２Ｂは、マッチング回路１１を介して、トランジスタＦＥＴ１を駆動するように構成される。ドライバアンプ４２Ｂの入力端子はマッチング回路４１Ｂの出力端子に接続され、出力端子はマッチング回路１１の入力端子に接続される。ここで、ドライバアンプ４２Ｂは、本開示における「ドライバアンプ」の一具体例に対応する。

[0094] インピーダンス制御回路１４Ｂは、入力信号Ｓinに基づいて、入力信号Ｓinの信号振幅を検出し、その信号振幅に基づいて、マッチング回路４１Ｂ、マッチング回路１１、キャパシタＣ１、インダクタＬ２、キャパシタＣ２、およびマッチング回路１３のインピーダンスをそれぞれ設定するための６つの制御信号を生成するように構成される。

[0095] ［その他の変形例］

また、これらの変形例のうちの２以上を組み合わせてもよい。

[0096] ＜２．適用例＞

次に、上記実施の形態および変形例で説明したパワーアンプの適用例について説明する。

[0097] 図１８は、上記実施の形態等のパワーアンプが適用されるスマートフォン１００の外観を表すものである。このスマートフォン１００には、基地局との間で通信を行う無線通信回路１０１が設けられている。この無線通信回路１０１には、上記実施の形態等のパワーアンプが適用されている。

[0098] 上記実施の形態等のパワーアンプは、このようなスマートフォンの他、タブレット端末など、無線通信を行う様々な電子機器に適用することが可能である。

[0099] 以上、実施の形態および変形例、ならびにそれらの具体的な応用例を挙げて本技術を説明したが、本技術はこれらの実施の形態等には限定されず、種々の変形が可能である。

[0100] 例えば、上記の実施の形態等では、本技術をパワーアンプに適用したが、これに限定されるものではなく、様々なアンプに適用することができる。

[0101] なお、本明細書に記載された効果はあくまで例示であって限定されるものでは無く、また他の効果があってもよい。

[0102] なお、本技術は以下のような構成とすることができる。以下の構成の本技術によれば、様々な信号振幅を有する信号を増幅することができる。

[0103] （１）

入力端子と、

出力端子と、

前記入力端子と前記出力端子とを結ぶ経路に設けられた１または複数のトランジスタと、

前記入力端子における入力信号の信号振幅を検出可能な振幅検出回路と、

インピーダンスを変更可能であり、前記振幅検出回路の検出結果に基づいて、前記１または複数のトランジスタの動作条件を設定可能なインピーダンス回路と

を備えた増幅回路。

（２）

前記振幅検出回路は、前記入力信号から交流信号を分離する分離素子を有し、前記交流信号の信号振幅を検出することにより前記入力信号の信号振幅を検出可能である

前記（１）に記載の増幅回路。

（３）

前記振幅検出回路は、

前記分離素子に接続された入力端子、および出力端子を有するバッファアンプと、

前記バッファアンプの前記出力端子に接続されたアノードと、カソードとを有するダイオードと、

前記ダイオードのカソードに接続された第１のキャパシタと

を有し、

前記第１のキャパシタにおける電圧に基づいて前記入力信号の信号振幅を検出可能である

前記（２）に記載の増幅回路。

（４）

前記インピーダンス回路は、バラクタを含み、前記検出結果に基づいて前記バラクタにおける容量値を変化させることにより前記インピーダンスを変更可能である

前記（１）から（３）のいずれかに記載の増幅回路。

（５）

前記インピーダンス回路は、複数のキャパシタを有し、前記検出結果に基づいて、前記複数のキャパシタのうちの使用する１または複数のキャパシタを選択することにより前記インピーダンスを変更可能である

前記（１）から（４）に記載の増幅回路。

（６）

前記インピーダンス回路は、複数のインダクタを有し、前記検出結果に基づいて、前記複数のインダクタのうちの使用する１または複数のインダクタを選択することにより前記インピーダンスを変更可能である

前記（１）から（５）のいずれかに記載の増幅回路。

（７）

前記１または複数のトランジスタは、第１のトランジスタおよび第２のトランジスタを含み、

前記第１のトランジスタは、前記入力端子に導かれたゲートと、ドレインとを有し、

前記第２のトランジスタは、ゲートと、前記出力端子に導かれたドレインと、前記第１のトランジスタのドレインに導かれたソースとを有する

前記（１）に記載の増幅回路。

（８）

前記第２のトランジスタの前記ゲートに接続され、インピーダンスを変更可能な第２のキャパシタを備え、

前記インピーダンス回路は、前記第２のキャパシタを含む

前記（７）に記載の増幅回路。

（９）

前記第２のトランジスタの前記ソースに接続され、インピーダンスを変更可能な第１のインダクタを備え

前記インピーダンス回路は、前記第１のインダクタを含む

前記（７）または（８）に記載の増幅回路。

（１０）

前記第１のトランジスタの前記ドレインと前記第２のトランジスタの前記ソースとを結ぶ経路に設けられ、インピーダンスを変更可能な第３のキャパシタを備え、

前記インピーダンス回路は、前記第３のキャパシタを含む

前記（７）から（９）のいずれかに記載の増幅回路。

（１１）

前記入力端子と、前記第１のトランジスタの前記ゲートとを結ぶ経路に設けられ、インピーダンスを変更可能な第１のマッチング回路を備え、

前記インピーダンス回路は、前記第１のマッチング回路を含む

前記（７）から（１０）のいずれかに記載の増幅回路。

（１２）

前記入力端子と、前記第１のトランジスタの前記ゲートとを結ぶ経路に設

けられたドライバアンプと、

前記ドライバアンプと、前記第１のトランジスタの前記ゲートとを結ぶ経路に設けられた第１のマッチング回路と

を備え、

前記インピーダンス回路は、前記第１のマッチング回路を含む

前記（７）から（１０）のいずれかに記載の増幅回路。

（１３）

前記１または複数のトランジスタは、ドレインを有する最終段トランジスタを含み、

前記最終段トランジスタの前記ドレインと、前記出力端子とを結ぶ経路に設けられ、インピーダンスを変更可能な第２のマッチング回路を備え、

前記インピーダンス回路は、前記第２のマッチング回路を含む

前記（１）から（１２）のいずれかに記載の増幅回路。

（１４）

前記増幅回路は、パワーアンプである

前記（１）から（１３）のいずれかに記載の増幅回路。

（１５）

無線通信を行うことが可能であり、増幅回路を有する通信回路を備え、

前記増幅回路は、

入力端子と、

出力端子と、

前記入力端子と前記出力端子とを結ぶ経路に設けられた１または複数のトランジスタと、

前記入力端子における入力信号の信号振幅を検出可能な振幅検出回路と、

インピーダンスを変更可能であり、前記振幅検出回路の検出結果に基づいて、前記１または複数のトランジスタの動作条件を設定可能なインピーダンス回路と

を有する

電子機器。

[0104] 本出願は、日本国特許庁において２０２１年５月２６日に出願された日本特許出願番号２０２１－０８８７８４号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0105] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

[請求項1] 入力端子と、

出力端子と、

前記入力端子と前記出力端子とを結ぶ経路に設けられた１または複数のトランジスタと、

前記入力端子における入力信号の信号振幅を検出可能な振幅検出回路と、

インピーダンスを変更可能であり、前記振幅検出回路の検出結果に基づいて、前記１または複数のトランジスタの動作条件を設定可能なインピーダンス回路と

を備えた増幅回路。

[請求項2] 前記振幅検出回路は、前記入力信号から交流信号を分離する分離素子を有し、前記交流信号の信号振幅を検出することにより前記入力信号の信号振幅を検出可能である

請求項１に記載の増幅回路。

[請求項3] 前記振幅検出回路は、

前記分離素子に接続された入力端子、および出力端子を有するバッファアンプと、

前記バッファアンプの前記出力端子に接続されたアノードと、カソードとを有するダイオードと、

前記ダイオードのカソードに接続された第１のキャパシタと

を有し、

前記第１のキャパシタにおける電圧に基づいて前記入力信号の信号振幅を検出可能である

請求項２に記載の増幅回路。

[請求項4] 前記インピーダンス回路は、バラクタを含み、前記検出結果に基づいて前記バラクタにおける容量値を変化させることにより前記インピーダンスを変更可能である

請求項１に記載の増幅回路。

[請求項5] 前記インピーダンス回路は、複数のキャパシタを有し、前記検出結果に基づいて、前記複数のキャパシタのうちの使用する１または複数のキャパシタを選択することにより前記インピーダンスを変更可能である

請求項１に記載の増幅回路。

[請求項6] 前記インピーダンス回路は、複数のインダクタを有し、前記検出結果に基づいて、前記複数のインダクタのうちの使用する１または複数のインダクタを選択することにより前記インピーダンスを変更可能である

請求項１に記載の増幅回路。

[請求項7] 前記１または複数のトランジスタは、第１のトランジスタおよび第２のトランジスタを含み、

前記第１のトランジスタは、前記入力端子に導かれたゲートと、ドレインとを有し、

前記第２のトランジスタは、ゲートと、前記出力端子に導かれたドレインと、前記第１のトランジスタのドレインに導かれたソースとを有する

請求項１に記載の増幅回路。

[請求項8] 前記第２のトランジスタの前記ゲートに接続され、インピーダンスを変更可能な第２のキャパシタを備え、

前記インピーダンス回路は、前記第２のキャパシタを含む

請求項７に記載の増幅回路。

[請求項9] 前記第２のトランジスタの前記ソースに接続され、インピーダンスを変更可能な第１のインダクタを備え

前記インピーダンス回路は、前記第１のインダクタを含む

請求項７に記載の増幅回路。

[請求項10] 前記第１のトランジスタの前記ドレインと前記第２のトランジスタ

の前記ソースとを結ぶ経路に設けられ、インピーダンスを変更可能な第３のキャパシタを備え、

前記インピーダンス回路は、前記第３のキャパシタを含む

請求項７に記載の増幅回路。

[請求項11] 前記入力端子と、前記第１のトランジスタの前記ゲートとを結ぶ経路に設けられ、インピーダンスを変更可能な第１のマッチング回路を備え、

前記インピーダンス回路は、前記第１のマッチング回路を含む

請求項７に記載の増幅回路。

[請求項12] 前記入力端子と、前記第１のトランジスタの前記ゲートとを結ぶ経路に設けられたドライバアンプと、

前記ドライバアンプと、前記第１のトランジスタの前記ゲートとを結ぶ経路に設けられた第１のマッチング回路と

を備え、

前記インピーダンス回路は、前記第１のマッチング回路を含む

請求項７に記載の増幅回路。

[請求項13] 前記１または複数のトランジスタは、ドレインを有する最終段トランジスタを含み、

前記最終段トランジスタの前記ドレインと、前記出力端子とを結ぶ経路に設けられ、インピーダンスを変更可能な第２のマッチング回路を備え、

前記インピーダンス回路は、前記第２のマッチング回路を含む

請求項１に記載の増幅回路。

[請求項14] 前記増幅回路は、パワーアンプである

請求項１に記載の増幅回路。

[請求項15] 無線通信を行うことが可能であり、増幅回路を有する通信回路を備え、

前記増幅回路は、

入力端子と、

出力端子と、

前記入力端子と前記出力端子とを結ぶ経路に設けられた 1 または複数のトランジスタと、

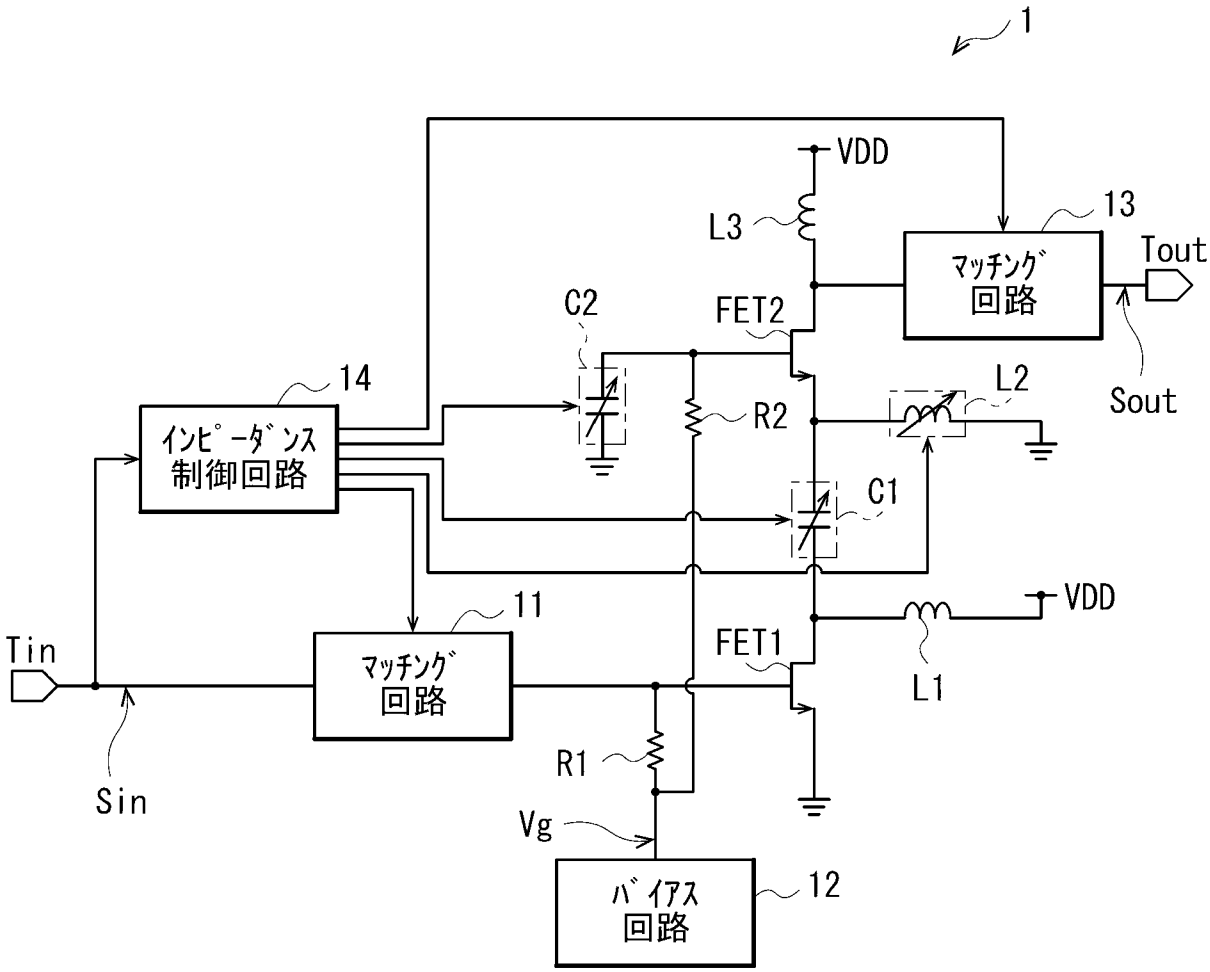
前記入力端子における入力信号の信号振幅を検出可能な振幅検出回路と、

インピーダンスを変更可能であり、前記振幅検出回路の検出結果に基づいて、前記 1 または複数のトランジスタの動作条件を設定可能なインピーダンス回路と

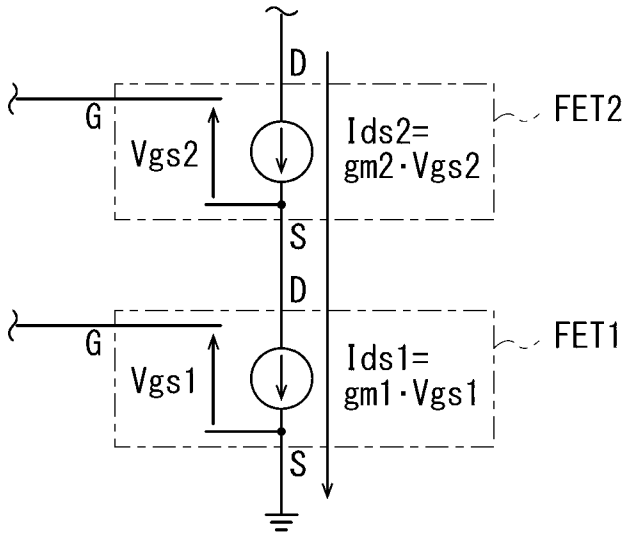
を有する

電子機器。

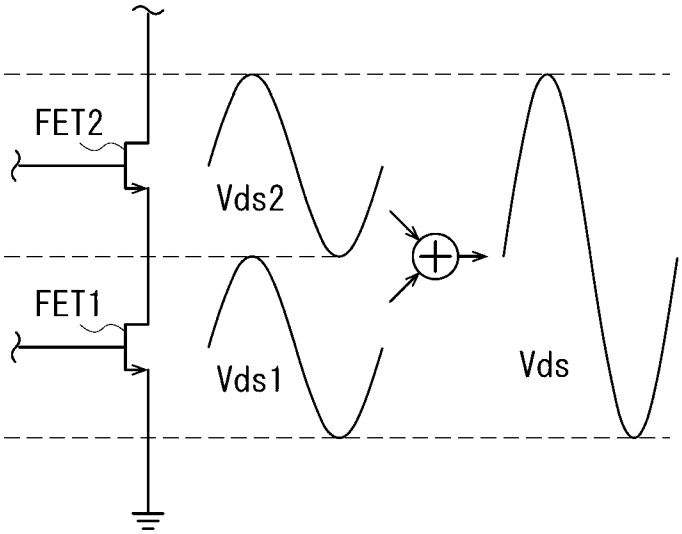
[図1]


1
VDD
L3
13
マッチング
回路
Tout
Sout
C2
FET2
L2
14
インピーダンス
制御回路
R2
C1
VDD
11
Tin
マッチング
回路
FET1
L1
R1
Sin
Vg
バイアス
回路
12

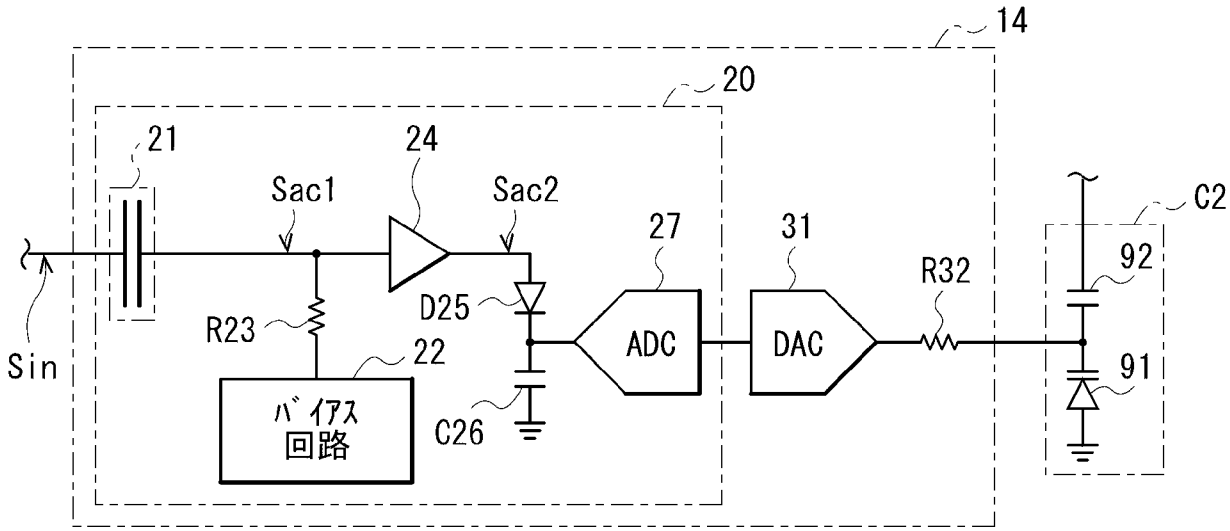
[図2]


D
G
Vgs2
Ids2=
gm2·Vgs2
FET2
S
D
G
Vgs1
Ids1=
gm1·Vgs1
FET1
S

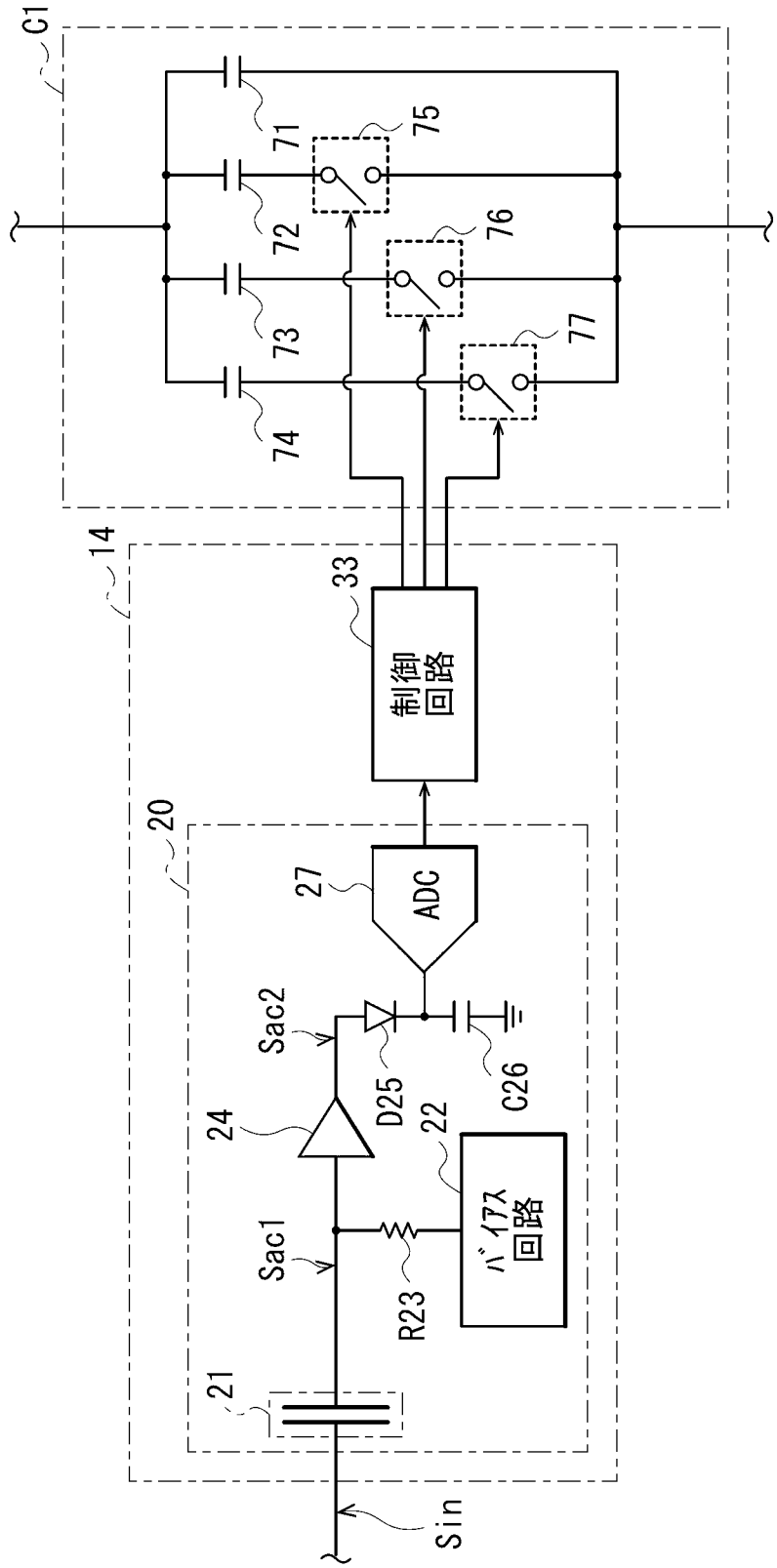
[図3]


FET2
FET1
Vds2
Vds1
Vds

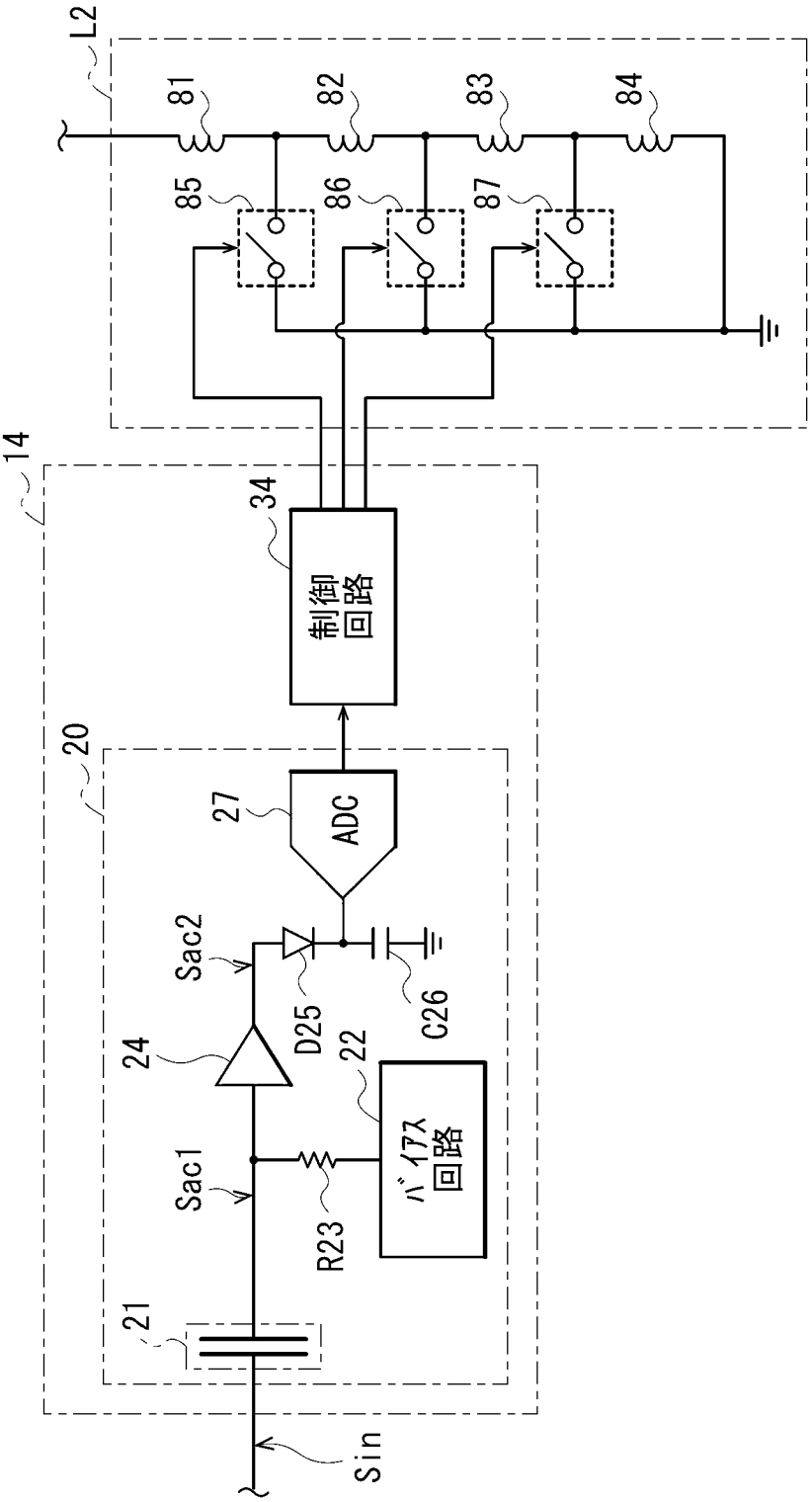
[図4A]


14
20
21
24
Sac1
Sac2
27
31
R32
C2
92
91
Sin
R23
22
D25
ADC
DAC
バイアス
回路
C26

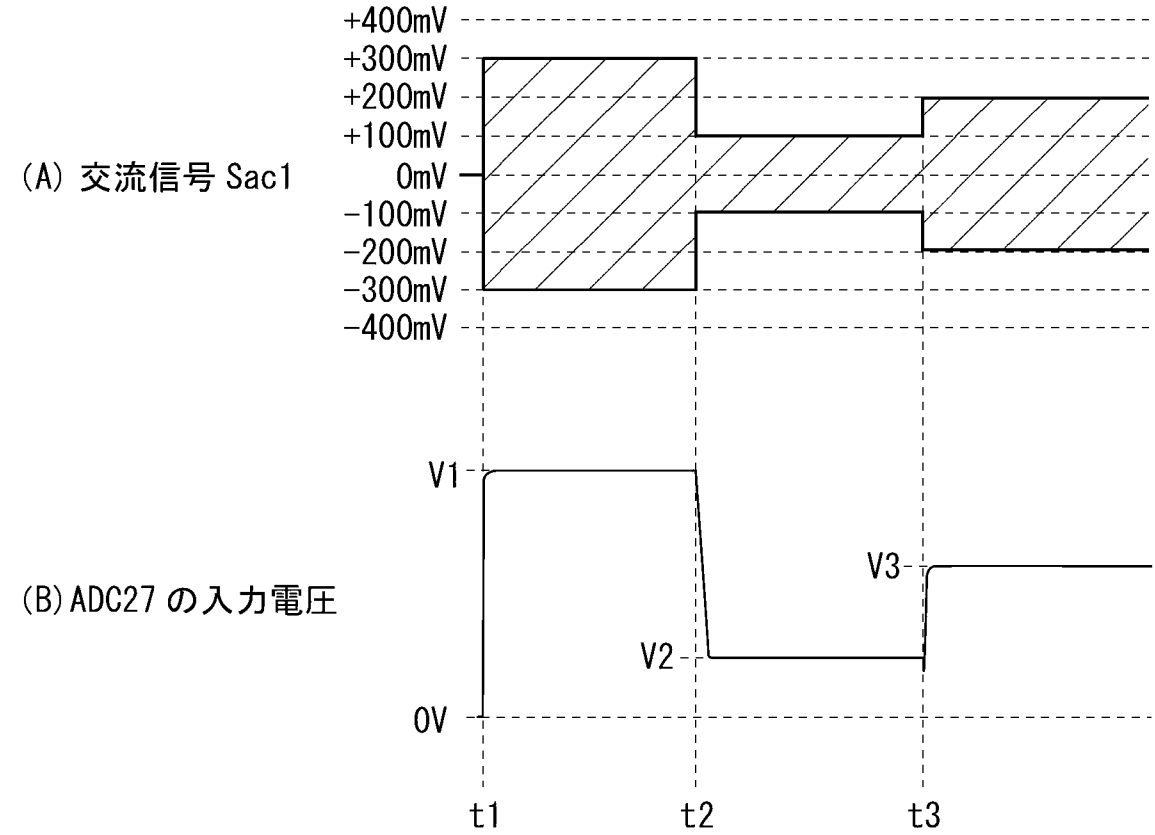
[図4B]


C1
71
72
73
74
75
76
77
14
33
制御回路
20
27
ADC
Sac2
D25
C26
24
22
バイアス回路
Sac1
R23
21
Sin

[図5]


L2
81
82
83
84
85
86
87
14
34
制御回路
20
27
ADC
Sac2
D25
C26
24
22
バイアス回路
Sac1
R23
21
Sin

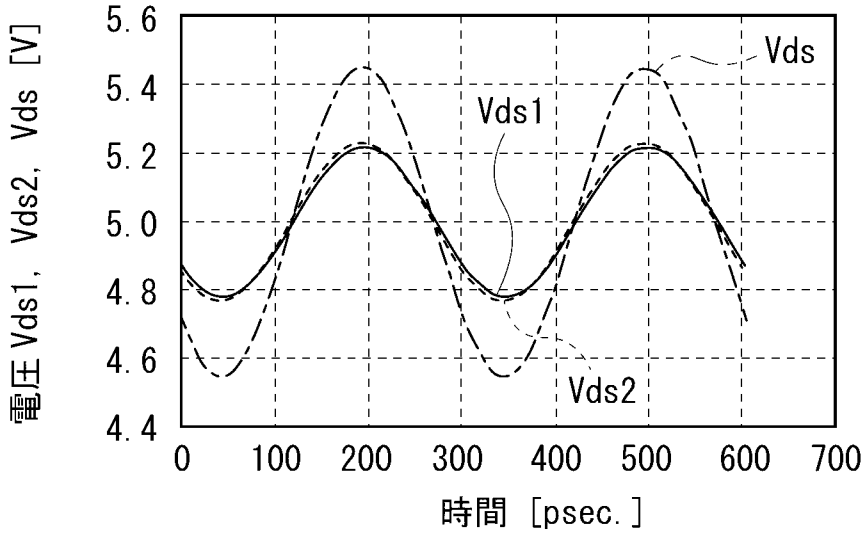
[図6]



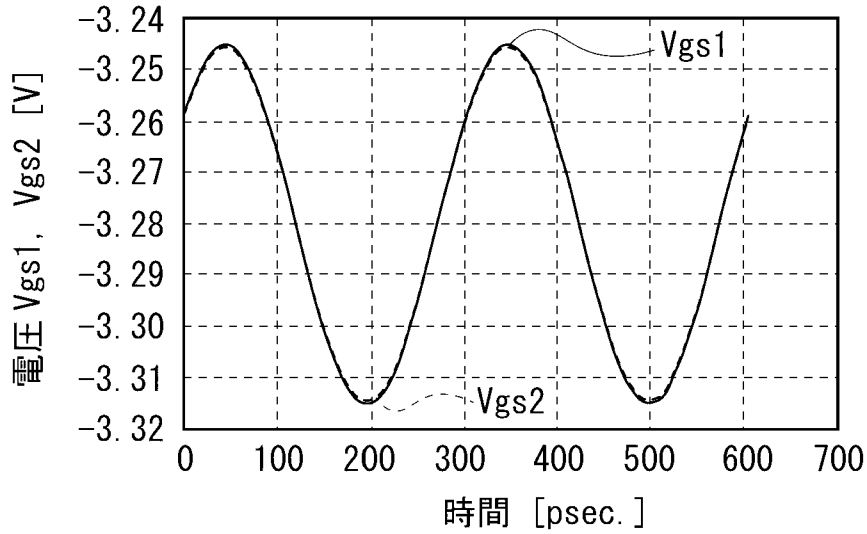
[図7]

パラメータ	ケースW1 (ローパワーモード)	ケースW2 (ハイパワーモード)
C1	100 pF	100 pF
C2	0.6 pF	5 pF
L2	5 nH	1.5 nH
Zs	15 + j30 Ω	18 + j40 Ω
Zl	40 + j20 Ω	21 + j3 Ω

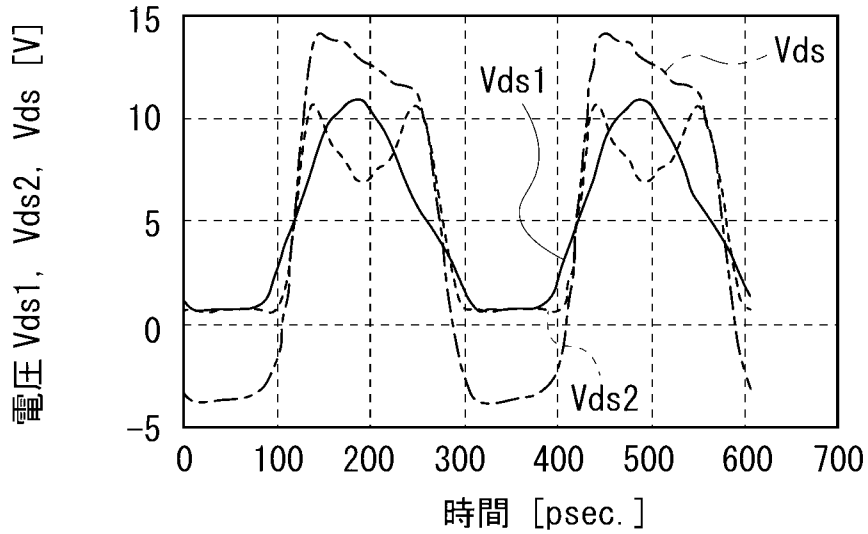
[図8]


5.6
5.4
5.2
5.0
4.8
4.6
4.4
電圧 Vds1, Vds2, Vds [V]
Vds
Vds1
Vds2
0
100
200
300
400
500
600
700
時間 [psec.]

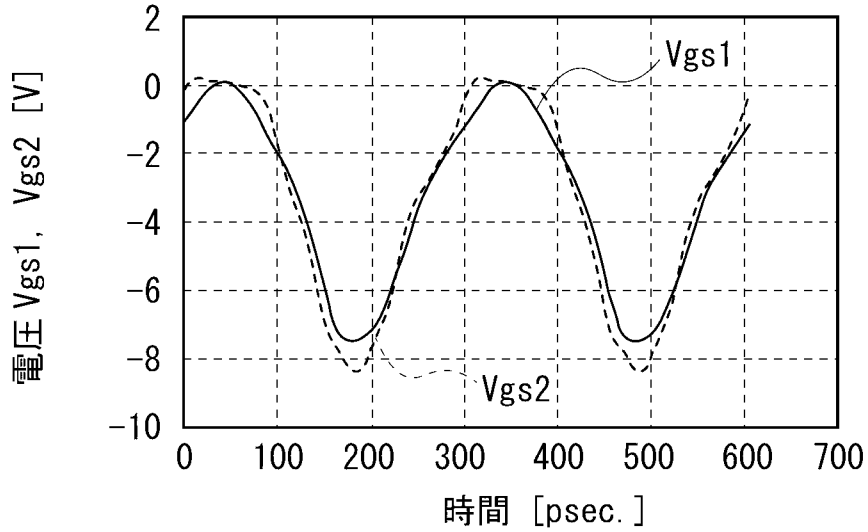
[図9]


-3.24
-3.25
-3.26
-3.27
-3.28
-3.29
-3.30
-3.31
-3.32
電圧 Vgs1, Vgs2 [V]
Vgs1
Vgs2
0
100
200
300
400
500
600
700
時間 [psec.]

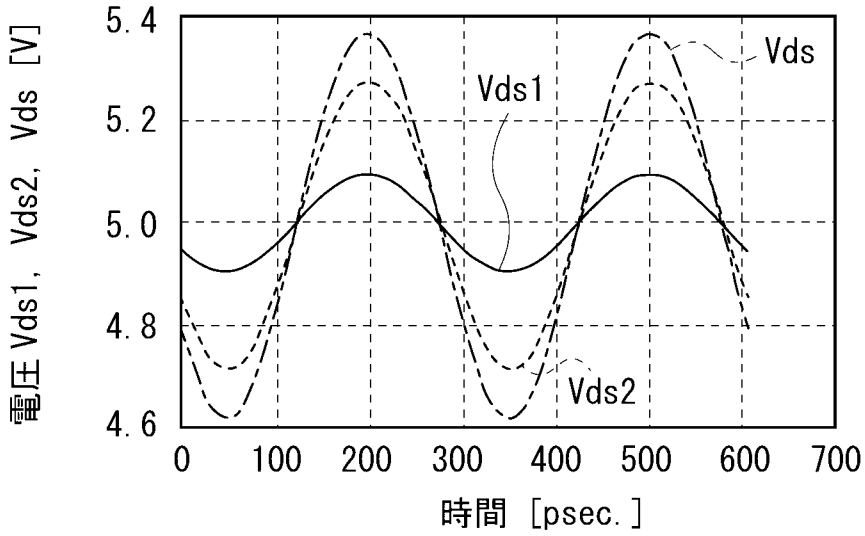
[図10]


15
10
5
0
−5
0
100
200
300
400
500
600
700
電圧 Vds1, Vds2, Vds [V]
時間 [psec.]
Vds1
Vds
Vds2

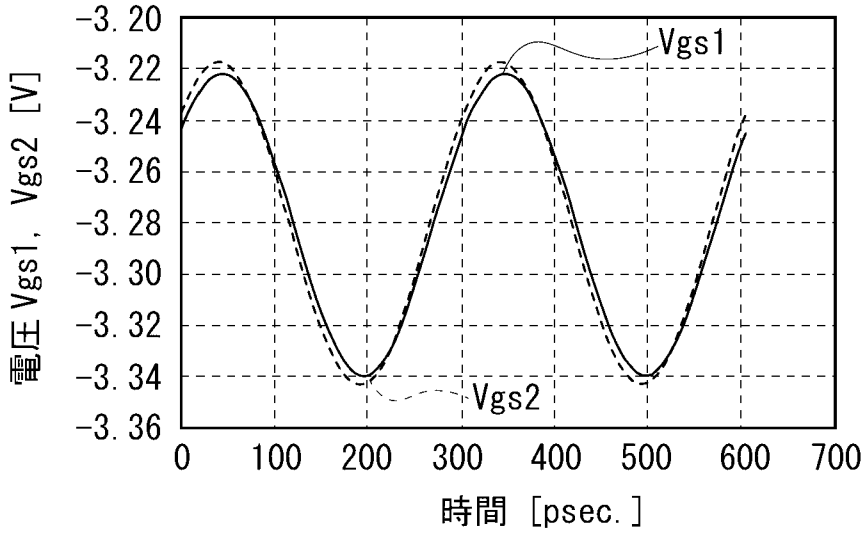
[図11]


2
0
−2
−4
−6
−8
−10
0
100
200
300
400
500
600
700
電圧 Vgs1, Vgs2 [V]
時間 [psec.]
Vgs1
Vgs2

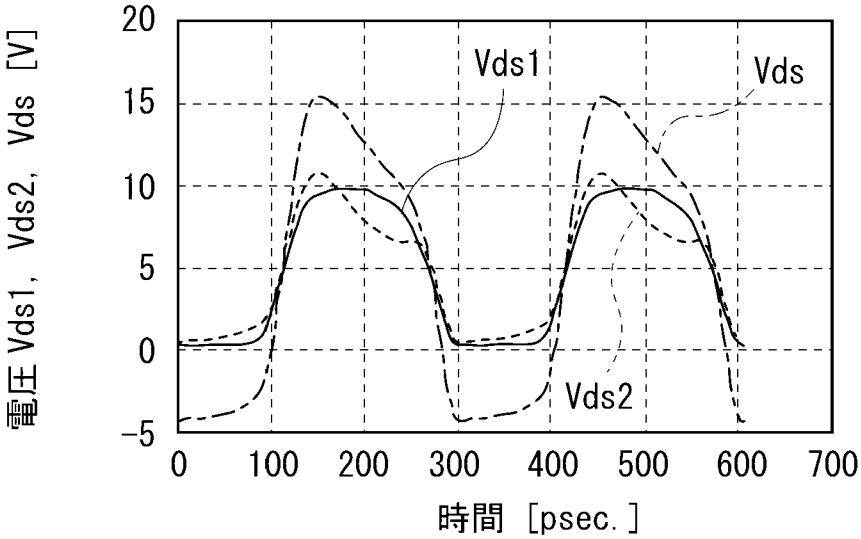
[図12]


5.4
5.2
5.0
4.8
4.6
電圧 Vds1, Vds2, Vds [V]
Vds
Vds1
Vds2
0
100
200
300
400
500
600
700
時間 [psec.]

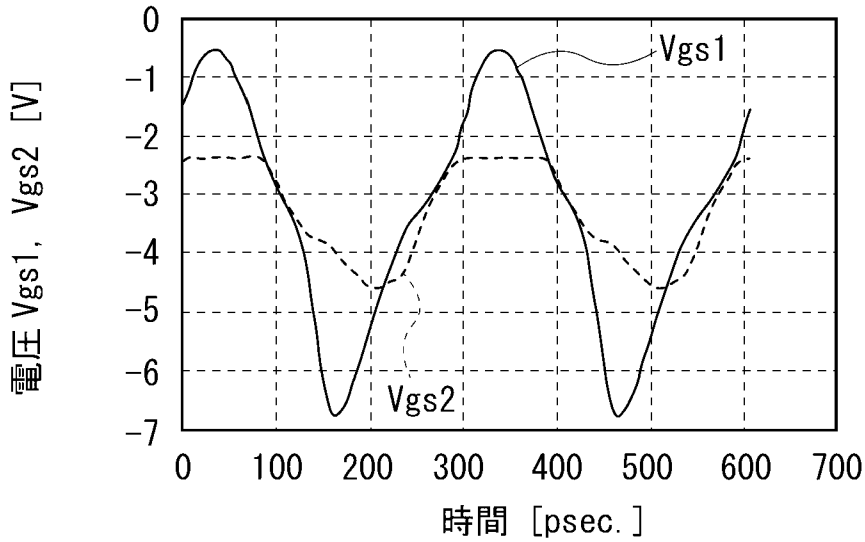
[図13]


-3.20
-3.22
-3.24
-3.26
-3.28
-3.30
-3.32
-3.34
-3.36
電圧 Vgs1, Vgs2 [V]
Vgs1
Vgs2
0
100
200
300
400
500
600
700
時間 [psec.]

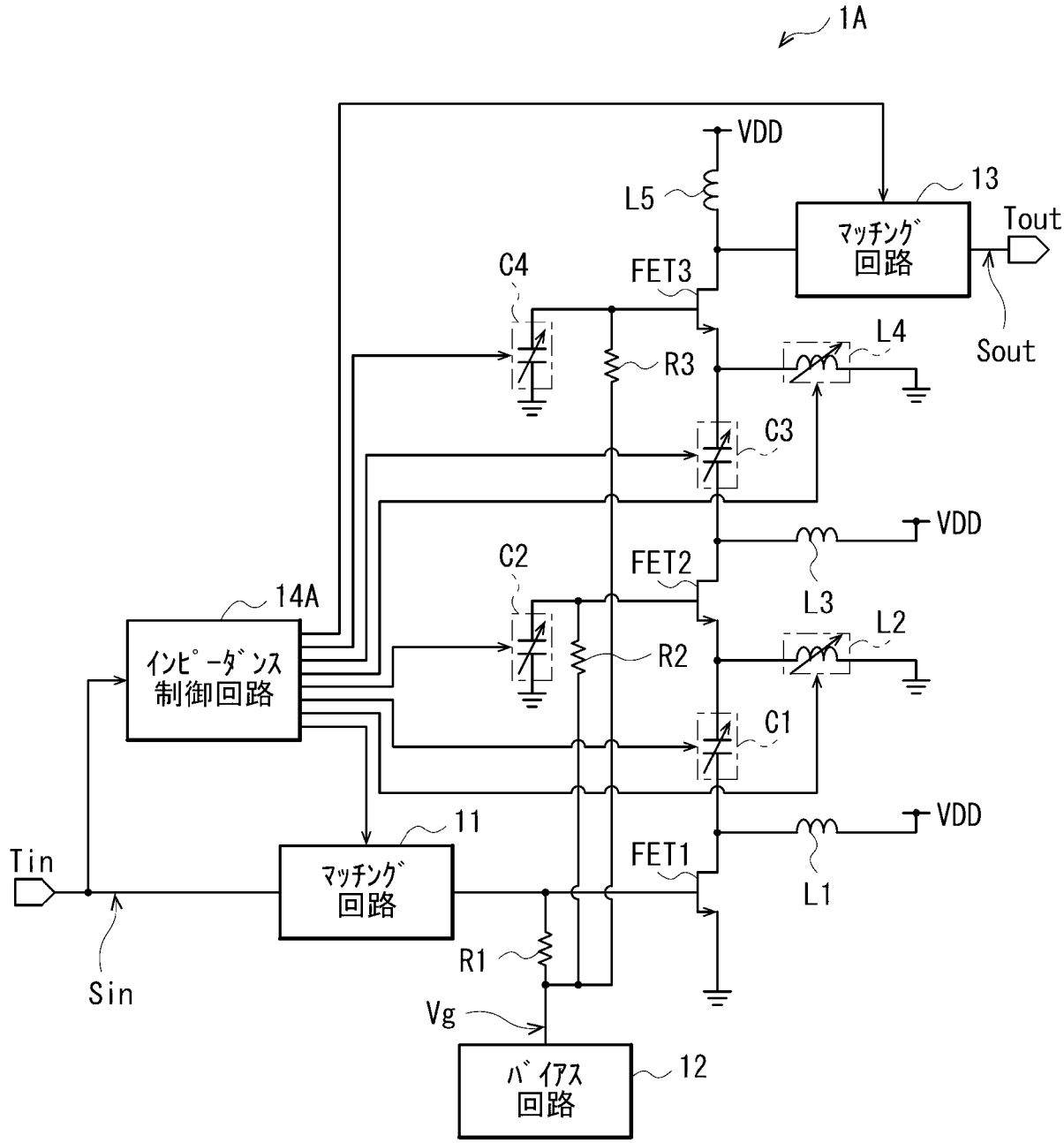
[図14]


20
15
10
5
0
−5
0
100
200
300
400
500
600
700
Vds1
Vds
Vds2
電圧 Vds1, Vds2, Vds [V]
時間 [psec.]

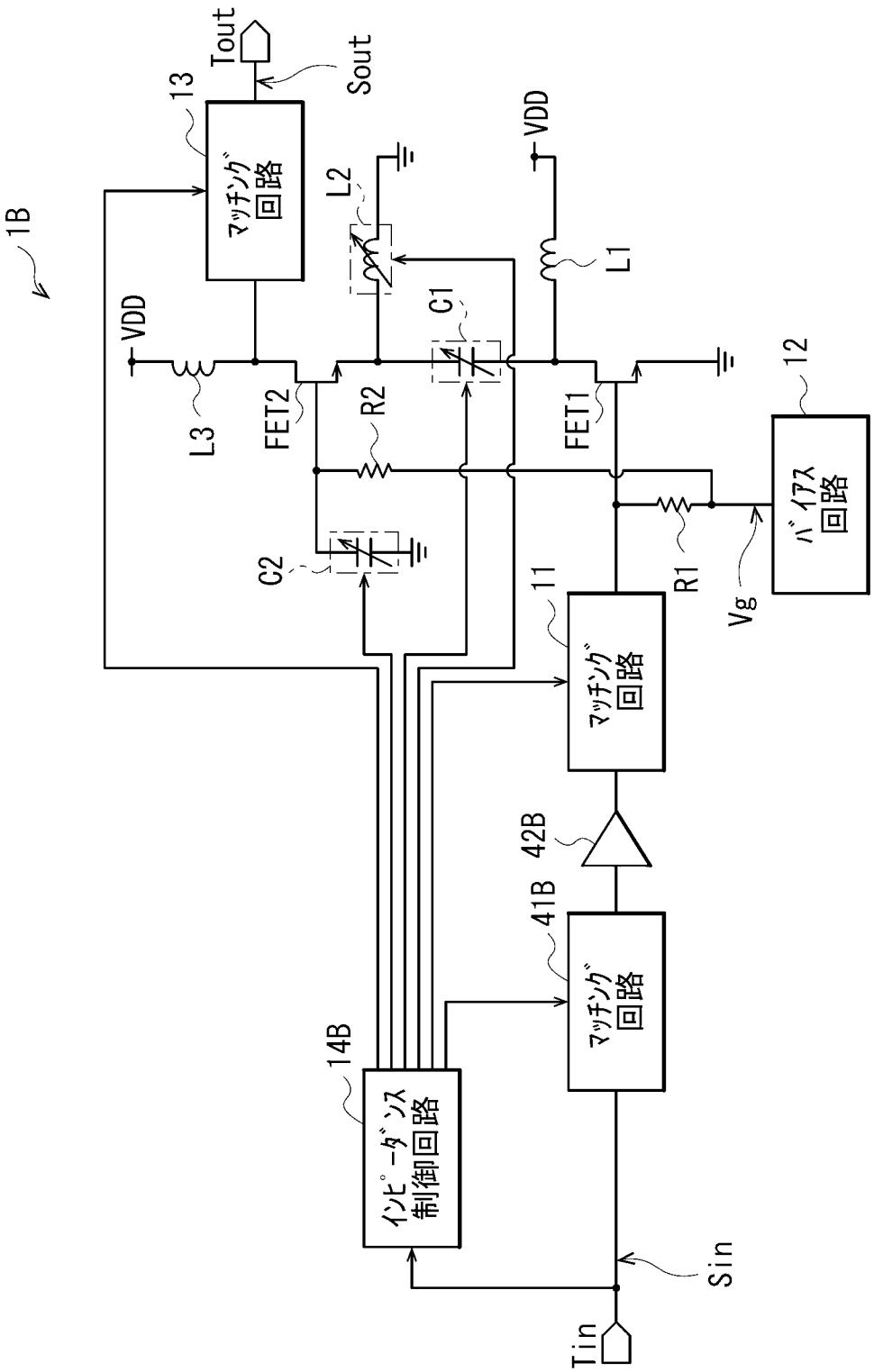
[図15]


0
−1
−2
−3
−4
−5
−6
−7
0
100
200
300
400
500
600
700
Vgs1
Vgs2
電圧 Vgs1, Vgs2 [V]
時間 [psec.]

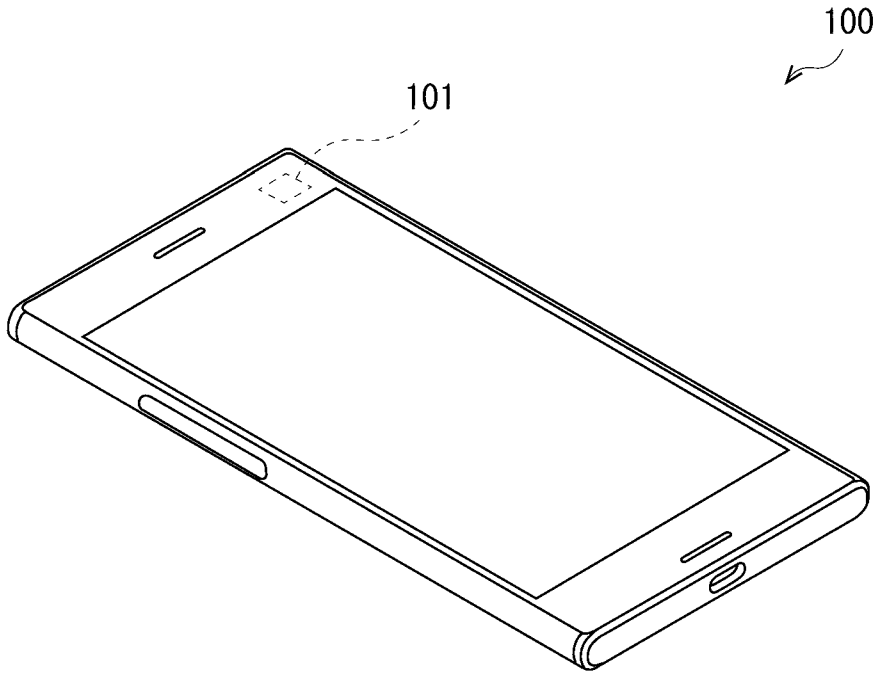
[図16]


1A
VDD
L5
13
マッチング
回路
Tout
Sout
C4
FET3
L4
R3
C3
VDD
C2
FET2
L3
14A
L2
インピーダンス
制御回路
R2
C1
VDD
11
Tin
マッチング
回路
FET1
L1
R1
Sin
Vg
バイアス
回路
12

[図17]


1B
Tout
Sout
13
マッチング回路
VDD
L2
C1
VDD
L1
L3
FET2
R2
FET1
12
バイアス回路
C2
R1
Vg
11
マッチング回路
42B
41B
マッチング回路
14B
インピーダンス制御回路
Sin
Tin

[図18]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/004256

A. CLASSIFICATION OF SUBJECT MATTER

H03H 7/38(2006.01)i; ***H03F 1/56***(2006.01)i; ***H03F 3/24***(2006.01)i
FI: H03F1/56; H03F3/24; H03H7/38

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H7/38; H03F1/56; H03F3/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2008/044276 A1 (PANASONIC CORP.) 17 April 2008 (2008-04-17) paragraphs [0020]-[0026], [0032], [0033], fig. 5, 6	1, 4, 14-15
Y		2-3, 5-8, 11-13
A		9-10
Y	JP 2011-069924 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 07 April 2011 (2011-04-07) paragraph [0026], fig. 4	2-3
A		9-10
Y	JP 2014-045371 A (FUJITSU LTD.) 13 March 2014 (2014-03-13) paragraph [0028], fig. 4	5
A		9-10
Y	WO 2012/020476 A1 (PIONEER CORP.) 16 February 2012 (2012-02-16) paragraph [0074], fig. 1	6
A		9-10

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 April 2022	**26 April 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/004256

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-211830 A (SONY CORP.) 10 October 2013 (2013-10-10) paragraphs [0004]-[0006], [0064]-[0068], [0079], fig. 18	7-8, 11-13
A		9-10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/004256

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2008/044276 A1	17 April 2008	(Family: none)	
JP 2011-069924 A	07 April 2011	(Family: none)	
JP 2014-045371 A	13 March 2014	US 2014/0055199 A1 paragraph [0037], fig. 4 EP 2704316 A2	
WO 2012/020476 A1	16 February 2012	(Family: none)	
JP 2013-211830 A	10 October 2013	WO 2013/129431 A1 paragraphs [0004]-[0006], [0064]-[0068], [0082], fig. 18	

国際調査報告

国際出願番号
PCT/JP2022/004256

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H03H 7/38(2006.01)i; H03F 1/56(2006.01)i; H03F 3/24(2006.01)i
FI: H03F1/56; H03F3/24; H03H7/38

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H03H7/38; H03F1/56; H03F3/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2008/044276 A1 (パナソニック株式会社) 17.04.2008 (2008-04-17) 段落[0020]-[0026], [0032]-[0033], 図5-6	1, 4, 14-15
Y		2-3, 5-8, 11-13
A		9-10
Y	JP 2011-069924 A (日本電信電話株式会社) 07.04.2011 (2011-04-07) 段落[0026], 図4	2-3
A		9-10
Y	JP 2014-045371 A (富士通株式会社) 13.03.2014 (2014-03-13) 段落[0028], 図4	5
A		9-10
Y	WO 2012/020476 A1 (パイオニア株式会社) 16.02.2012 (2012-02-16) 段落[0074]、図1	6
A		9-10

☑ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
18.04.2022	26.04.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
竹内　亨 5W 8388
電話番号 03-3581-1101 内線 3534

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2013-211830 A (ソニー株式会社) 10.10.2013 (2013-10-10) 段落[0004]-[0006], [0064]-[0068], [0079], 図18	7-8, 11-13
A		9-10

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/004256

引用文献	公表日	パテントファミリー文献	公表日
WO 2008/044276 A1	17.04.2008	（ファミリーなし）	
JP 2011-069924 A	07.04.2011	（ファミリーなし）	
JP 2014-045371 A	13.03.2014	US 2014/0055199 A1 段落[0037]，図4 EP 2704316 A2	
WO 2012/020476 A1	16.02.2012	（ファミリーなし）	
JP 2013-211830 A	10.10.2013	WO 2013/129431 A1 段落[0004]-[0006]，[0064]-[0068]，[0082]，図18	