

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 9 月 26 日(26.09.2013)



(10) 国際公開番号
WO 2013/141013 A1

- (51) 国際特許分類:
H01L 23/04 (2006.01)
- (21) 国際出願番号: PCT/JP2013/055955
- (22) 国際出願日: 2013 年 3 月 5 日(05.03.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-065758 2012 年 3 月 22 日(22.03.2012) JP
特願 2012-255862 2012 年 11 月 22 日(22.11.2012) JP
- (71) 出願人: 京セラ株式会社(KYOCERA CORPORATION) [JP/JP]; 〒6128501 京都府京都市伏見区竹田鳥羽殿町 6 番地 Kyoto (JP).
- (72) 発明者: 辻野 真広(TSUJINO, Mahiro); 〒6128501 京都府京都市伏見区竹田鳥羽殿町 6 番地 京セラ株式会社内 Kyoto (JP). 片山 永一(KATAYAMA, Eiichi); 〒6128501 京都府京都市伏見区竹田鳥羽殿町 6 番地 京セラ株式会社内 Kyoto (JP). 向井 絵美(MUKAI, Emi); 〒6128501 京都府京都市伏見区竹田鳥羽殿町 6 番地 京セラ株式会社内 Kyoto (JP). 小笠原 厚志(OGASAWARA, Atsushi); 〒6128501 京都府京都市伏見区竹田鳥羽殿町 6 番地 京セラ株式会社内 Kyoto (JP).

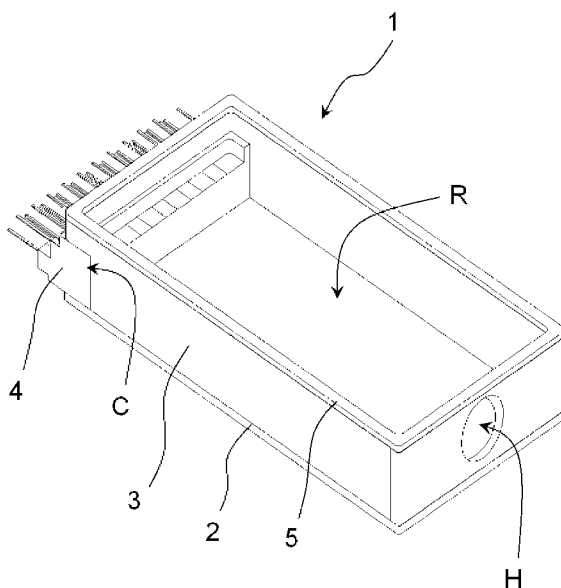
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: ELEMENT-ACCOMMODATING PACKAGE

(54) 発明の名称: 素子収納用パッケージ



(57) Abstract: An element-accommodating package (1) is provided with: a rectangular substrate (2) having on the top surface a region (R) for mounting an element; a frame (3) provided along the outer periphery of the mounting region (R) on the substrate (2), the frame (3) having a notch (C) in one section; and an input-output terminal (4) provided in the notch (C) and extending from a region surrounded by the frame (3) to a region not surrounded by the frame (3). The input-output terminal (4) includes a first insulating layer (4a), a second insulating layer (4b) laminated on the first insulating layer (4a), and a third insulating layer (4c) laminated on the second insulating layer (4b). A plurality of first terminals (6) set to a predetermined potential are provided to the top surface of the first insulating layer (4a), a plurality of second terminals (7) set to a predetermined potential are provided to the bottom surface of the first insulating layer (4a), and a plurality of third terminals (8) through which an alternating-current signal is passed are provided to the top surface of the second insulating layer (4b).

(57) 要約:

[続葉有]



素子収納用パッケージ１は、上面に素子の実装領域Ｒを有する矩形状の基板２と、基板２上であって実装領域Ｒの外周に沿って設けられた、一部に切欠きＣを有する枠体３と、切欠きＣに設けられた、枠体３で囲まれる領域から枠体３で囲まれない領域にまで延在する入出力端子４とを備えている。入出力端子４は、第１絶縁層４ａと、第１絶縁層４ａ上に積層された第２絶縁層４ｂと、第２絶縁層４ｂ上に積層された第３絶縁層４ｃとを含んでいる。第１絶縁層４ａの上面に所定電位に設定される複数の第１端子６が、第１絶縁層４ａの下面に所定電位に設定される複数の第２端子７が、第２絶縁層４ｂの上面に交流信号が流れる複数の第３端子８がそれぞれ設けられている。

明 細 書

発明の名称：素子収納用パッケージ

技術分野

[0001] 本発明は、素子を実装・収納して実装構造体として機能させる素子収納用パッケージに関する。

背景技術

[0002] 近年、機器の小型化とともに、ＩＣ、発光ダイオード、圧電素子または水晶振動子等の素子を実装することが可能な小型の素子収納用パッケージが開発されている。そして、レーザーダイオードまたはフォトダイオード等の光半導体素子を実装することが可能な光半導体用パッケージが提案されている（例えば、特開２００６－６６８６７号公報）。なお、特開２００６－６６８６７号公報で提案された電子部品収納用パッケージは、金属製の基体と、基体上に設けられた入出力端子と、入出力端子の上面および下面のそれぞれに設けられた複数のリード端子と、を含んで構成されている。

[0003] 特開２００６－６６８６７号公報で提案された電子部品収納用パッケージでは、実装される素子の高性能化に伴い、入出力端子に設けられるリード端子の数を増加させようとしたとき、パッケージを大型化しないと、実現することが困難である。そして、パッケージ自体を大型化した場合は、電子部品収納用パッケージが実装される機器までも大型化してしまう虞がある。

[0004] 本発明は、パッケージ自体を大型化せずに、リード端子の数を増加させることが可能な素子収納用パッケージを提供することを目的とする。

発明の開示

[0005] 本発明の一実施形態に係る素子収納用パッケージは、上面に素子の実装領域を有する矩形状の基板と、前記基板上に前記実装領域の外周に沿って設けられた、一部に切欠きを有する枠体と、前記切欠きに設けられた、前記枠体で囲まれる領域から前記枠体で囲まれない領域にまで延在する入出力端子とを備えている。前記入出力端子は、第１絶縁層と、前記第１絶縁層上に積層

された第2絶縁層と、前記第2絶縁層上に積層された第3絶縁層とを含んでいる。前記第1絶縁層は、前記第2絶縁層および前記第3絶縁層よりも前記枠体外に延在している。前記第2絶縁層は、前記第3絶縁層よりも前記枠体外に延在している。前記第1絶縁層の上面に、所定電位に設定される複数の第1端子が設けられている。前記第1絶縁層の下面に、所定電位に設定される複数の第2端子が設けられている。前記第2絶縁層の上面に、交流信号が流れる複数の第3端子が設けられている。

図面の簡単な説明

- [0006] [図1]本発明の一実施形態に係る素子収納用パッケージの概観斜視図であって、入出力端子の後方から入出力端子の前方を見た上方斜視図である。
- [図2]本発明の一実施形態に係る素子収納用パッケージの概観斜視図であって、入出力端子の前方から入出力端子の後方を見た上方斜視図である。
- [図3]図2のA部分を拡大した入出力端子の斜視図である。
- [図4]本発明の一実施形態に係る素子収納用パッケージの平面図である。
- [図5]図4のB部分を拡大した入出力端子の平面図である。
- [図6]本発明の一実施形態に係る素子収納用パッケージの側面図である。
- [図7]一変形例に係る素子収納用パッケージの側面図である。
- [図8]図1に相当する概観斜視図であって、貫通孔に保持部材と光透過性部材とが設けられた上方斜視図である。
- [図9]図2に相当する概観斜視図であって、貫通孔に保持部材と光透過性部材とが設けられた上方斜視図である。

発明を実施するための形態

- [0007] 以下、本発明の一実施形態に係る素子収納用パッケージについて、図面を参照しながら説明する。
- [0008] <素子収納用パッケージの構成>

素子収納用パッケージ1は、例えば、半導体素子、トランジスタ、ダイオードまたはサイリスタ等の能動素子、あるいは抵抗器、コンデンサ、太陽電池、圧電素子、水晶振動子またはセラミック発振子等の受動素子からなる素

子を実装するのに用いるものである。素子収納用パッケージ 1 では、高耐圧化、大電流化または高速・高周波化に対応している素子を実装して機能させるのに適しており、素子の一例として半導体素子を実装するものである。また、素子収納用パッケージ 1 は、上面に素子の実装領域 R を有する矩形状の基板 2 と、基板 2 上であって実装領域 R の外周に沿って形成され、一部に切欠き C を有する枠体 3 と、切欠き C に設けられ、枠体 3 で囲まれる領域から枠体 3 で囲まれない領域にまで延在する入出力端子 4 と、を備えている。

[0009] 基板 2 は、矩形状の金属板であって、例えば、銅、鉄、タングステン、モリブデン、ニッケルまたはコバルト等の金属材料、あるいはこれらの金属材料を含有する合金から成る。なお、基板 2 の熱伝導率は、例えば $15 \text{ W} / (\text{m} \cdot \text{K})$ 以上 $450 \text{ W} / (\text{m} \cdot \text{K})$ 以下に設定されている。基板 2 の熱膨張係数は、例えば $3 \times 10^{-6} / \text{K}$ 以上 $28 \times 10^{-6} / \text{K}$ 以下に設定されている。

[0010] また、基板 2 は、溶融した金属材料を型枠に鋳込んで固化させたインゴットに対して、従来周知の圧延加工または打ち抜き加工等の金属加工法を用いることで、所定形状に製作される。なお、基板 2 は、平面視したときの一边の長さは、例えば 5 mm 以上 50 mm 以下に設定されている。また、基板 2 の上下方向の厚みは、例えば 0.3 mm 以上 5 mm 以下に設定されている。

[0011] また、基板 2 の表面は、酸化腐食を防止するために、電気めっき法または無電解めっき法を用いて、ニッケルまたは金等の金属層が形成されている。なお、金属層の厚みは、例えば $0.5 \mu\text{m}$ 以上 $9 \mu\text{m}$ 以下に設定されている。

[0012] 枠体 3 は、実装領域 R の外周に沿って接続され、実装領域 R に実装される素子を外部から保護するための部材である。枠体 3 は、平面視したときに四角形状に形成された枠状の一部を切り欠いた形状である。また、枠体 3 は、切欠き C に入出力端子 4 が設けられる。また、枠体 3 は、切欠き C と対向する箇所に貫通孔 H が設けられてもよい。なお、枠体 3 は、ろう材を介して基板 2 にろう付けされる。

- [0013] また、枠体 3 は、例えば、銅、鉄、タングステン、モリブデン、ニッケルまたはコバルト等の金属材料、あるいはこれらの金属材料を含有する合金から成る。枠体 3 は、枠体 3 内で素子から発生する熱を効率良く枠体 3 の外部に放熱する機能を備えている。なお、枠体 3 の熱伝導率は、例えば $15 \text{ W} / (\text{m} \cdot \text{K})$ 以上 $450 \text{ W} / (\text{m} \cdot \text{K})$ 以下に設定されている。枠体 3 の熱膨張係数は、例えば $3 \times 10^{-6} / \text{K}$ 以上 $28 \times 10^{-6} / \text{K}$ 以下に設定されている。
- [0014] また、枠体 3 は、平面視したときに基板 2 に対応する大きさであって、一辺の長さが、例えば 5 mm 以上 50 mm 以下に設定されている。また、枠体 3 の切欠き C を除いた、上下の厚みは、例えば 1 mm 以上 10 mm 以下に設定されている。また、枠体 3 の切欠き C を含めた、上下の厚みは、例えば 5 mm 以上 20 mm 以下に設定されている。また、枠体 3 を平面視したときの枠の厚みは、例えば 0.5 mm 以上 3 mm 以下に設定されている。
- [0015] 枠体 3 の切欠き C に、入出力端子 4 が設けられる。また、枠体 3 の貫通孔 H が形成されている箇所に、外部に設ける光ファイバから伝わる光を枠体 3 内部にまで通す光透過性部材が設けられている。貫通孔 H には、例えば、レンズ、プラスチック、ガラスまたはサファイア基板等の光透過性部材 11 を嵌め込むことが可能な保持部材 12 が設けられる。保持部材 12 は、枠体 3 外部から光透過性部材 11 近傍にまで光ファイバの先端を近付けて、保持するものであってもよい。
- [0016] 枠体 3 は、切欠き C に対向する箇所に貫通孔 H が形成されている。そして、図 8 または図 9 に示すように、貫通孔 H に光透過性部材 11 を保持した保持部材 12 が設けられている。光透過性部材 11 は、枠体 3 内に光半導体素子を実装した場合に、光半導体素子が発する光の通る高さ位置に設けられている。そして、素子が光半導体素子の場合は、光透過性部材 11 の光軸と一致する実装領域 R に配置される。保持部材 12 は、例えば、銅、タングステン、鉄、ニッケルまたはコバルト等の金属、あるいはこれらの金属を複数種含む合金から成る。

[0017] 光透過性部材 11 は、貫通孔 H を封止するように保持部材 12 に設けられている。光透過性部材 11 は、光を透過させるとともに、枠体 3 内の気密性を保つための機能を備えている。そして、光透過性部材 11 は、光半導体素子から発せられる光信号を集光或いは平行光に変換する機能を有している。そのため、光透過性部材 11 は、光半導体素子から発せられる光信号の光軸を調整することができる。

[0018] また、入出力端子 4 は、光透過性部材 11 と対向する切欠き C に設けられてもよい。その結果、光透過性部材 11 や光ファイバが保持される貫通孔 H の光軸に対して垂直方向の素子収納用パッケージ 1 の長さを抑制し、素子収納用パッケージ 1 を小型化することができる。よって、素子収納用パッケージ 1 は、外部回路基板に高密度に実装することができる。また、枠体 3 や入出力端子 4 は、光透過性部材 11 や光ファイバが保持される貫通孔 H の光軸に対し、平面視で線対称に設けられることが好ましい。その結果、基板 2 や枠体 3、入出力端子 4 の熱膨張係数差や熱応力によって生じる素子収納用パッケージ 1 の変形は、貫通孔 H の光軸に対して平面視で線対称となることから、貫通孔 H の光軸に対して光軸のずれが抑制される。よって、素子収納用パッケージ 1 は、内部に収納された光半導体素子と光ファイバとの光入出力を円滑に行なうことができる。

[0019] また、枠体 3 上には、枠体 3 の上面に沿ってシールリング 5 が設けられている。シールリング 5 は、枠体 3 内を覆うように蓋体を設けるときに、蓋体を接続するものである。なお、シールリング 5 は、蓋体とのシーム溶接性に優れた、例えば銅、タングステン、鉄、ニッケルまたはコバルト等の金属、あるいはこれらの金属を複数種含む合金からなる。

[0020] 入出力端子 4 は、枠体 3 の切欠き C に設ける部材である。入出力端子 4 は、複数の絶縁層を積層した構造であって、第 1 絶縁層 4a と、第 1 絶縁層 4a 上に積層された第 2 絶縁層 4b と、第 2 絶縁層 4b 上に積層された第 3 絶縁層 4c とを含んでいる。さらに、入出力端子 4 は、第 1 絶縁層 4a の下面に第 4 絶縁層 4d を設けている。

[0021] 第1絶縁層4 aは、第2絶縁層4 bおよび第3絶縁層4 cよりも枠体3外に延在して、第2絶縁層4 bは、第3絶縁層4 cよりも枠体3外に延在している。また、第4絶縁層4 dは、第2絶縁層4 bよりも枠体3外に延在しているが、第1絶縁層4 aよりは延在していない。さらに、第1絶縁層4 aの上面に所定電位に設定される複数の第1端子6と、第1絶縁層4 aの下面に所定電位に設定される複数の第2端子7と、第2絶縁層4 bの上面に交流信号が流れる複数の第3端子8が設けられる。

[0022] 第1絶縁層4 a、第2絶縁層4 bおよび第3絶縁層4 cは、絶縁材料であって、例えば、酸化アルミニウム質焼結体、ムライト質焼結体、炭化珪素質焼結体、窒化アルミニウム質焼結体、窒化珪素質焼結体またはガラスセラミックス等のセラミック材料から成る。また、第1端子6、第2端子7および第3端子8が設けられる、第1絶縁層4 aの上面、第1絶縁層4 aの下面および第2絶縁層4 bの上面には、各端子と接続される金属層9が形成される。また、金属層9は、各端子に対応して第1絶縁層4 aおよび第2絶縁層4 bに形成されている。また、第3絶縁層4 cの上面および第4絶縁層4 dの下面には、枠体3をろう材を介して接続するためのメタライズパターンが形成されている。金属層9およびメタライズパターンは、例えば、タングステン、モリブデンまたはマンガン等の高融点金属材料から成る。なお、セラミック材料から構成された第1絶縁層4 a、第2絶縁層4 bおよび第3絶縁層4 cの熱膨張係数は、例えば $3 \times 10^{-6}/K$ 以上 $8 \times 10^{-6}/K$ 以下に設定されている。

[0023] ここで、入出力端子4の作製方法について説明する。焼成前の未硬化の第1絶縁層4 aの上下面および第2絶縁層4 bの上面に、例えば、スクリーン印刷法等の厚膜形成技術、あるいは蒸着法、スパッタリング法等の薄膜形成技術を用いて、複数の金属層9を形成する。さらに、第3絶縁層4 cの上面および第4絶縁層4 dの下面には、金属層9と同様に、メタライズパターンが形成される。そして、第1絶縁層4 a、第2絶縁層4 b、第3絶縁層4 cおよび第4絶縁層4 dを積層した状態で同時に焼成する。このようにして、

入出力端子 4 を作製することができる。金属層 9 は、第 1 絶縁層 4 a の上面の一端から他端にかけて設けられ、第 1 絶縁層 4 a の下面の一端から他端にかけて設けられ、第 2 絶縁層 4 b の上面の一端から他端にかけて設けられる。メタライズパターンは、第 3 絶縁層 4 c の上面および第 4 絶縁層 4 d の下面において枠体 3 と接続される個所に形成される。

[0024] 焼成後の入出力端子 4 は、第 1 絶縁層 4 a、第 2 絶縁層 4 b、第 3 絶縁層 4 c および第 4 絶縁層 4 d が一体となる。そして、入出力端子 4 を平面視したときに、枠体 3 で囲まれる内外にまで延在されて金属層 9 が設けられる。その結果、枠体 3 内の素子と枠体 3 外の外部の電子機器とを金属層 9 を介して電氣的に接続することができる。

[0025] 第 1 端子 6、第 2 端子 7 および第 3 端子 8 は、外部の電子機器と電氣的に接続するための部材である。第 1 端子 6、第 2 端子 7 および第 3 端子 8 は、ろう材を介して金属層 9 に接続される。そして、第 1 端子 6、第 2 端子 7 および第 3 端子 8 のそれぞれは、金属層 9 と電氣的に接続される。

[0026] また、金属層 9 は各端子に対応して設けられている。金属層 9 は、隣接する複数の第 1 端子 6、隣接する複数の第 2 端子 7 および隣接する複数の第 3 端子 8 の各端子同士が間を空けて、電氣的に絶縁して設けられている。

[0027] 第 1 端子 6 および第 2 端子 7 は、例えば、グラウンドや直流電圧等の定まった値となる所定電位に設定される。また、第 3 端子 8 は、交流信号としての高周波信号が流れるように設定される。

[0028] ここでは、第 1 端子 6 の一部を接地導体用の端子とし、第 2 端子 7 の一部を直流電圧用の端子とする。第 1 端子 6 の一部は接地導体用、第 2 端子 7 の一部は直流電圧用、第 3 端子 8 は交流信号用なので、特に第 3 端子 8 の下方で第 2 端子 7 との間に接地導体用となる第 1 端子 6 が設けられることにより、第 2 端子 7 に複数の異なる値の直流電圧が印加される場合においても、第 3 端子 8 からの電界分布は第 3 端子 8 と距離に近い第 1 端子 6 との間に生じ易くなる。その結果、第 3 端子 8 と第 2 端子 7 との間で生じる電界分布や容量成分、共振現象が抑制される。そして、第 3 端子 8 は、所望の特性インピ

ーダンスを維持することができ、第3端子8を介して交流信号を円滑に入出力することができる。

[0029] 複数の第3端子8のそれぞれは、図5に示すように、平面視して複数の第1端子6同士の上に配置され、第3端子8と、隣接する第1端子6との間隔が同一となるように配置されている。即ち、第3端子8は、平面視して複数の第1端子6同士の上の中央部に配置されている。

[0030] 仮に、第3端子8と第1端子6とが、平面視して重なるように配置されていたとすると、第1端子6と第3端子8との間隔が小さくなることから、第1端子6と第3端子8との電磁界結合が強くなり、それに伴って生じる静電容量の変動によって第3端子8のインピーダンスに不整合が、また第1端子6と第3端子8との電磁界結合によって共振現象が生じやすい。また、第1端子6と第3端子8との間隔が小さくなるに伴って増加する容量成分を小さくするために、第1端子6や第3端子8の大きさを小さくした場合には、第1端子6や第3端子8と入出力端子4、外部回路基板との接合部における接合強度や接合性が劣化する。その結果、第3端子8を伝送する交流信号が効率よく伝送されにくい。さらに、第3端子8を伝送する交流信号に雑音信号が加わりやすい。また、第1端子6や第3端子8と入出力端子4、外部基板との間で接合不良が生じやすい。その結果、素子収納用パッケージ1に収納される素子と第3端子8に接続される外部回路基板との間で、交流信号からなる高周波信号を正常かつ正確に入出力することができないという問題が発生しやすい。

[0031] さらに、第3端子8とこれに隣接する第1端子6との間隔が、平面視して同一とならないように配置されていたとすると、第3端子8とこれに隣接する第1端子6との間隔が同一とならず、第3端子8と、隣接する第1端子6との電磁界分布は、第3端子8の長さ方向に沿った、第2絶縁板4bに対する垂直面に対して対称となり難しく、第3端子8と、隣接する第1端子6との間における電磁界分布に偏りが生じる。

[0032] そこで、第3端子8を第1端子6と重ならないように配置し、第3端子8

と第1端子6との距離を長くするとともに、第3端子8とこれに隣接する第1端子6との間隔を同一にする。これにより、第3端子8と第1端子6との電磁界結合によって生じる第3端子8におけるインピーダンスの不整合や、第1端子6と第3端子8との電磁界結合によって生じる共振現象を抑制することができ、第3端子8で伝送する交流信号を効率よく伝送することができる。その結果、第3端子8で伝送する交流信号に雑音信号が加わり難くなり、素子収納用パッケージ1に収納される素子と第3端子8に接続される外部回路基板との間で、交流信号からなる高周波信号を正常かつ正確に入出力することができる。

[0033] また、複数の第3端子8のそれぞれは、平面視して複数の第2端子7同士の間配置され、第3端子8とこれに隣接する第1端子6との間隔が同一となるように配置されている。即ち、第3端子8は、平面視して複数の第1端子6同士の間中央部に配置されている。

[0034] 第3端子8を第2端子7と重ならないように配置し、第3端子8と第2端子7との距離を長くするとともに、第3端子8とこれに隣接する第2端子7との間隔を同一に配置する。その結果、第3端子8と第2端子7との電磁界結合によって生じる第3端子8におけるインピーダンスの不整合や、第2端子7と第3端子8との電磁界結合によって生じる共振現象を抑制することができる。そして、第3端子8で伝送される交流信号が効率よく伝送されるとともに雑音信号が加わり難くなり、素子収納用パッケージ1に収納される素子と第3端子8に接続される外部回路基板との間で交流信号からなる高周波信号を正常かつ正確に入出力することができる。

[0035] 第1端子6、第2端子7および第3端子8は、図6に示すように、基板2の上面に沿って平面方向に延在している。また、第1端子6と第2端子7との上下方向の間の距離は、例えば0.3mm以上3mm以下であって、一定になるように設定されている。そして、第1端子6と第2端子7との上下方向の間の距離は一定であって、外部の上下面に配線パターンが形成されたフレキシブルプリント基板を第1端子6と第2端子7の間に挟むことができる。

。さらに、第1端子6および第2端子7のそれぞれは、フレキシブルプリント基板の上下面に形成された配線パターンに対して電氣的に接続される。

[0036] 複数の第2端子7は、図6に示すように、平面視して複数の第1端子6よりも枠体3外に延在している。外部のフレキシブルプリント基板は、第2端子7が第1端子6よりも延在していることで、第2端子7の上面に当てて、第2端子7の上面に沿って第1端子6と第2端子7の間に介在するように滑らせることができることから、フレキシブルプリント基板を第1端子6と第2端子7の間に設置しやすくなり、フレキシブルプリント基板を入出力端子4に電氣的に接続するために要する時間を短縮することができる。そして、フレキシブルプリント基板を第1端子6と第2端子7の間に挟むことができ、その後、半田を介して第1端子6および第2端子7をフレキシブルプリント基板の上下面に形成された配線パターンに電氣的に接続することができる。

[0037] また、複数の第1端子6は、平面視して複数の第2端子7よりも枠体3外に延在させてもよい。第1端子6が第2端子7よりも延在していることで、例えば、貫通孔Hの反対方向から入出力端子4を側面視した際の各端子の位置に対応した貫通部が形成され、貫通部と電氣的に接続される配線パターンが形成されたフレキシブルプリント基板を、貫通孔Hの反対方向から各端子を貫通部に挿入し、一括して各端子に電氣的に接続する場合には、第2端子7および第3端子8との間隔が小さい第1端子6を最初に貫通部に挿入することにより、第1端子6に対応した第2端子7および第3端子8が挿入される貫通部の位置ずれを小さくすることができる。さらに、第1端子6を貫通部に挿入した後に第2端子7を貫通部に挿入することで、貫通部に対する位置合わせが第1端子6および第2端子7で行われ、第3端子8と貫通部との位置ずれをさらに小さくすることができる。その結果、第3端子8が貫通部に挿入されないことにより生じる電氣的な接続不良や変形を抑制することができるとともに、第1端子6が貫通部に挿入されることによって第2端子7および第3端子8に対応した貫通孔が位置合わせされ、一括して各端子をフ

レキシブルプリント基板に電氣的に接続することができることにより、実装構造体の製造リードタイムを大幅に短縮することができる。

[0038] 本実施形態によれば、複数種の端子を入出力端子4に対して、高さ位置を異ならせて配置することができ、パッケージ自体を大型化せずに、リード端子の数を増加させることができる。また、第3端子8とこれに隣接する第1端子6および第2端子7との電磁界結合に起因した第3端子8におけるインピーダンスの不整合や、第1端子6および第2端子7と第3端子8との電磁界結合に起因した共振現象が抑制され、第3端子8で伝送する交流信号が効率よく伝送されるとともに雑音信号が加わり難くなり、素子収納用パッケージ1に収納される素子と第3端子8に接続される外部回路基板との間で交流信号からなる高周波信号を正常かつ正確に入出力することができる。

[0039] <素子収納用パッケージの製造方法>

ここで、図1または図2に示す素子収納用パッケージ1の製造方法を説明する。まず、基板2、枠体3および入出力端子4のそれぞれを準備する。基板2および枠体3のそれぞれは、溶融した金属材料を型枠に鑄込んだ固化させたインゴットに対して、金属加工法を用いることで、所定形状に製作される。

[0040] 入出力端子4は、各絶縁層に対応するセラミックグリーンシートをそれぞれ準備する。次に、セラミックグリーンシートに、例えばスクリーン印刷法を用いて、モリブデンやマンガンを含む有機溶剤を塗布した金属ペーストからなる金属層9が形成される。そして、入出力端子4は、積層されたセラミックグリーンシートを焼成することで形成される。さらに、スクリーン印刷法を用いて枠体3との接合面となる入出力端子4の表面にメタライズパターンを形成する。さらに、各種の端子を入出力端子4の金属層9にろう材で接続する。このようにして、入出力端子4を作製することができる。また、準備した枠体3は、枠体3の貫通孔Hに、光透過性部材11を実装した保持部材12をろう材を介して嵌めて接続する。

[0041] 次に、準備した基板2、枠体3および入出力端子4のそれぞれをろう材を

介して接続する。具体的に、基板 2 上に入出力端子 4 を載置するとともに、入出力端子 4 が切欠き C に挿入されるように枠体 3 を基板 2 上に載置し、ろう材を介して一括して接続する。このようにして、素子収納用パッケージ 1 を作製することができる。さらに、素子収納用パッケージ 1 の実装領域 R に絶縁性の配線基板を設け、この配線基板に半田を介して素子を実装し、ボンディングワイヤを介して素子と配線基板と入出力端子 4 とを電氣的に接続した後に、素子収納用パッケージを蓋体で覆うことで、実装構造体を作製することができる。

[0042] <変形例>

本発明は上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更、改良等が可能である。以下、本実施形態の変形例について説明する。なお、本実施形態の変形例に係る素子収納用パッケージおよび実装構造体のうち、本実施形態に係る素子収納用パッケージ 1 および実装構造体と同様な部分については、同一の符号を付して適宜説明を省略する。図 7 は、一変形例に係る素子収納用パッケージ 1 の側面図であって、図 6 に相当する図面である。

[0043] 上記実施形態では、第 2 端子 7 が第 1 端子 6 よりも枠体 3 外に向かって延在して設けられた構造であったが、これに限られない。例えば、図 7 に示すように、第 1 端子 6 の枠体 3 の外側の一端が第 2 端子 7 の枠体 3 の外側の一端よりも枠体 3 外に向かって延在した構造であってもよい。

[0044] この変形例においては、入出力端子 4 の第 1 絶縁層 4 a の露出した上面に第 1 端子 6 を設け、入出力端子 4 の第 1 絶縁層 4 a の露出した下面に第 2 端子 7 を設ける。そして、第 1 端子 6 の一端は、第 2 端子 7 の一端よりも枠体 3 外に向かって、より延在するように設けられている。即ち、第 1 端子 6 の一端は、第 2 端子 7 の一端よりも枠体 3 外に向かって延在している。一方、第 1 端子 6 の他端は、平面視して第 2 端子 7 の他端と重なるように配置されている。なお、第 1 端子 6 の一端および第 2 端子 7 の一端の差は、例えば 1 mm 以上 5 mm 以下に設定されている。

[0045] このように第1端子6の一端が第2端子7の一端よりも枠体3外に向かって延在していることで、第1端子6の上方から第1端子6に向かって外部の部材が接近して接触することになっても、第1端子6から第2端子7の方向に力が作用したとしても、第1端子6の先端部が第2端子7に接触する虞が低減される。このように第1端子6の一端が第2端子7の一端よりも枠体3外に向かって延在していることで、第1端子6の上方から第1端子6に向かって外部の部材が接近して接触することによって、第1端子6から第2端子7の方向に力が作用したとしても、第1端子6の先端部が第2端子7に接触する虞が抑制される。即ち、第1端子6の先端部が、第1端子6と第2端子7の間隔だけ第2端子7の方向に撓むか、または変形したとしても、第1端子6の先端部が第2端子7に接触しにくい。しかし、第1端子6の一端が第2端子7の一端よりも枠体3外に向かって延在していない場合には、第1端子6の先端部が第1端子6と第2端子7の間隔だけ第2端子7の方向に撓むか、または変形すると、第1端子6の先端部が第2端子7に接触しやすい。よって、第1端子6の一端が第2端子7の一端よりも枠体3外に向かって延在している場合には、第1端子7から第2端子8の方向に作用される力によって第1端子6が第2端子7に接触しにくくなる。

[0046] また、第1端子6の一端が第2端子7の一端よりも枠体3外に向かって延在していることで、第1端子6の一端を間に挟むように上下からプローブを当てやすくなるので、第1端子6の導通チェックを容易に行なうことができる。仮に、第2端子7が第1端子6よりも長い場合は、第1端子6を上下から挟むことが難しく、第2端子7とプローブが接触しやすくなる。そこで、第1端子6を第2端子7よりも長くすることで、第1端子6の導通チェックを容易にすることができる。

[0047] また、第1端子6が、第2端子7および第3端子8よりも長いため、撓みやすいフレキシブル基板10に第1端子6を一番最初に接続しやすくなることができる。撓みやすいフレキシブル基板10と入出力端子4とを接続するには、第1端子6を導通孔p1に挿入した後、撓んだフレキシブル基板10

の導通孔 p 2、p 3 を第 2 端子 7、第 3 端子 8 に対して位置合わせする。そして、第 2 端子 7 を導通孔 p 2 に挿入し、さらに第 3 端子 8 を導通孔 p 3 に挿入して、各端子をフレキシブル基板 10 に接続することができる。仮に、第 2 端子 7 または第 3 端子 8 が第 1 端子 6 よりも長い場合は、フレキシブル基板 10 に各端子を挿入する順番が、第 2 端子 7 または第 3 端子 8 が最初になるため、各端子を変形しやすいフレキシブル基板 10 の導通孔に挿入する位置合わせが難しくなる。そこで、第 1 端子 6 を第 2 端子 7 および第 3 端子 8 よりも長くすることで、第 1 端子 6 を最初に導通孔 p 1 に挿入して、第 2 端子 7 および第 3 端子 8 の導通孔に対する位置合わせを容易にすることができる。

[0048] また、第 1 端子 6、第 2 端子 7 および第 3 端子 8 の垂直方向における間隔は、第 1 端子 6、第 2 端子 7 および第 3 端子 8 の長さが短くなるにつれて広くなるように設けられてもよい。これにより、第 1 端子 6、第 2 端子 7 および第 3 端子 8 の間に位置するフレキシブル基板 10 は、第 1 端子 6、第 2 端子 7 および第 3 端子 8 の間隔が広くなるに従って変位できる幅が大きくなる。その結果、第 1 端子 6、第 2 端子 7 および第 3 端子 8 の長さの差に起因してフレキシブル基板 10 に生じる応力は、第 1 端子 6、第 2 端子 7 および第 3 端子 8 の間隔に応じて大きくなるフレキシブル基板 10 の変位によって緩和される。よって、フレキシブル基板 10 の一部に応力が集中することが抑制される。

請求の範囲

- [請求項1] 上面に素子の実装領域を有する矩形状の基板と、
前記基板上に前記実装領域の外周に沿って設けられた、一部に切欠きを有する枠体と、
前記切欠きに設けられた、前記枠体で囲まれる領域から前記枠体で囲まれない領域にまで延在する入出力端子とを備え、
前記入出力端子は、第1絶縁層と、前記第1絶縁層上に積層された第2絶縁層と、前記第2絶縁層上に積層された第3絶縁層とを含んでおり、
前記第1絶縁層は前記第2絶縁層および前記第3絶縁層よりも前記枠体外に延在して、前記第2絶縁層は前記第3絶縁層よりも前記枠体外に延在しているとともに、前記第1絶縁層の上面に所定電位に設定される複数の第1端子が、前記第1絶縁層の下面に所定電位に設定される複数の第2端子が、前記第2絶縁層の上面に交流信号が流れる複数の第3端子がそれぞれ設けられていることを特徴とする素子収納用パッケージ。
- [請求項2] 請求項1に記載の素子収納用パッケージであって、
前記複数の第3端子のそれぞれは、前記複数の第1端子同士の間配置されていることを特徴とする素子収納用パッケージ。
- [請求項3] 請求項2に記載の素子収納用パッケージであって、
前記複数の第1端子と前記複数の第2端子とは、上下に重なっていることを特徴とする素子収納用パッケージ。
- [請求項4] 請求項3に記載の素子収納用パッケージであって、
前記複数の第1端子の一端は、前記複数の第2端子の一端よりも前記枠体外に向かって延在していることを特徴とする素子収納用パッケージ。
- [請求項5] 請求項1に記載の素子収納用パッケージであって、
前記第1端子は、接地導体用端子であって、前記第2端子は直流電圧

用端子であることを特徴とする素子収納用パッケージ。

[請求項6]

請求項 1 に記載の素子収納用パッケージであって、
前記枠体は、前記切欠きと対向する箇所に貫通孔が形成されており、
前記貫通孔に光透過性部材を保持した保持部材が設けられていること
を特徴とする素子収納用パッケージ。

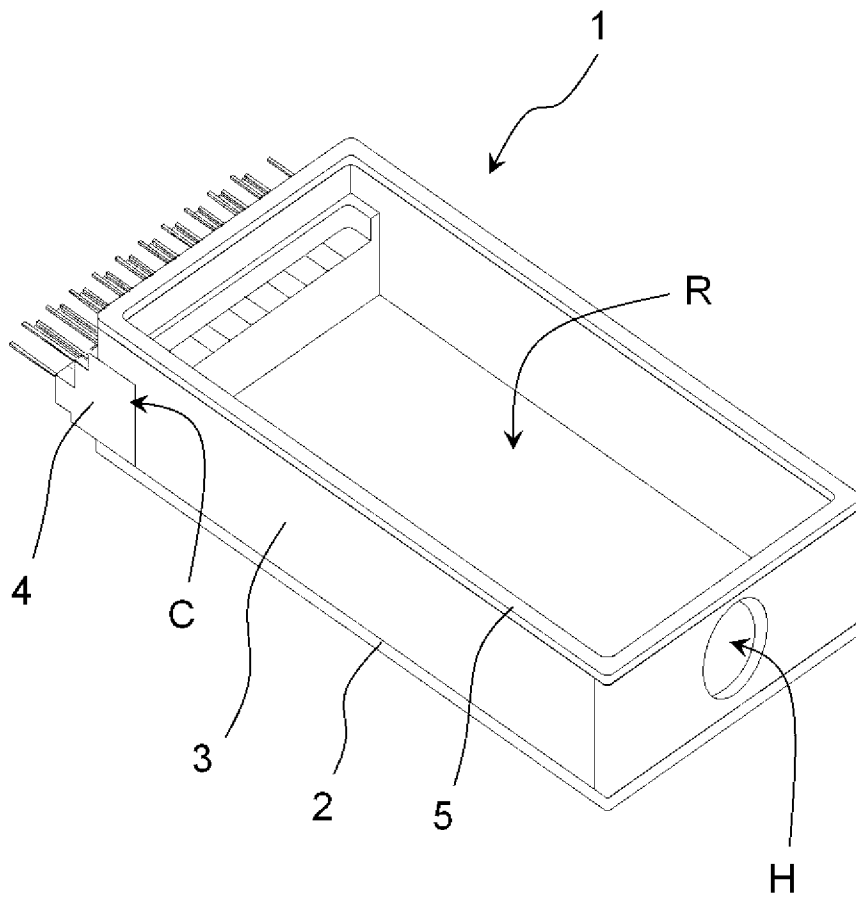
[請求項7]

請求項 6 に記載の素子収納用パッケージであって、
前記素子は光半導体素子であって、前記光透過性部材の光軸と一致す
る前記実装領域に配置されることを特徴とする素子収納用パッケージ
。

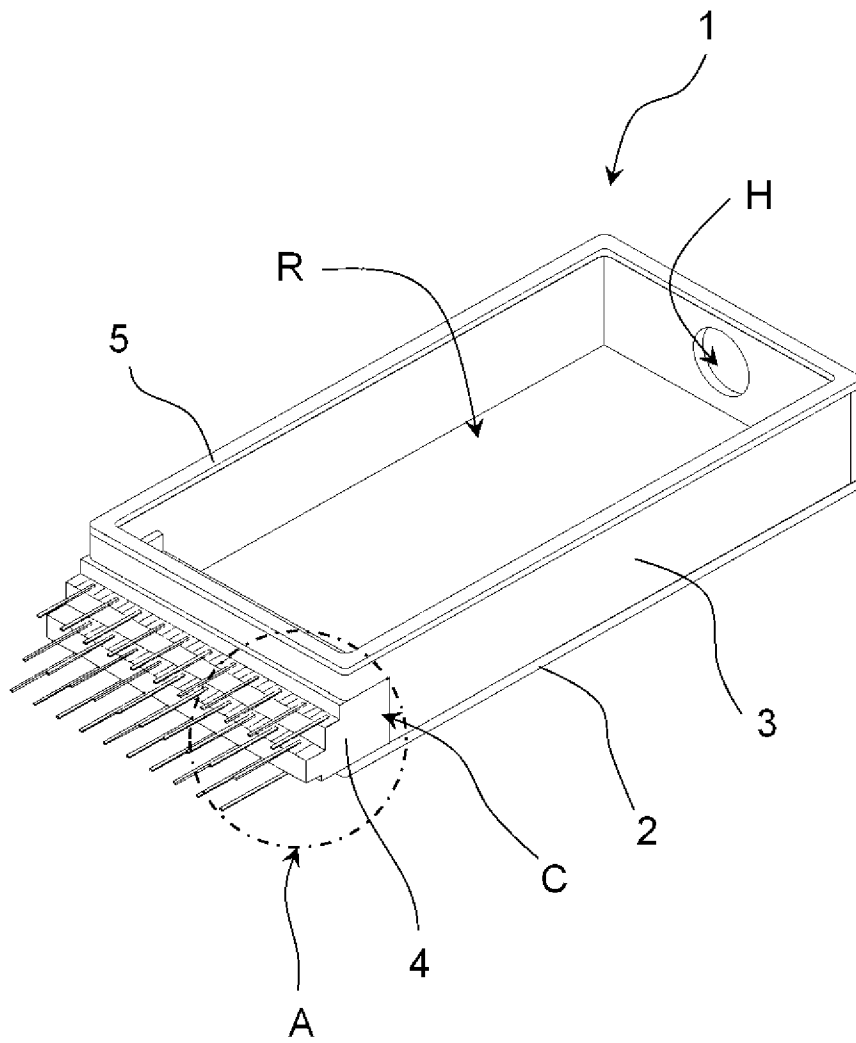
[請求項8]

請求項 1 ないし請求項 7 のいずれかに記載の素子収納用パッケージ
であって、
前記入出力端子は、フレキシブル基板と電氣的に接続されることを特
徴とする素子収納用パッケージ。

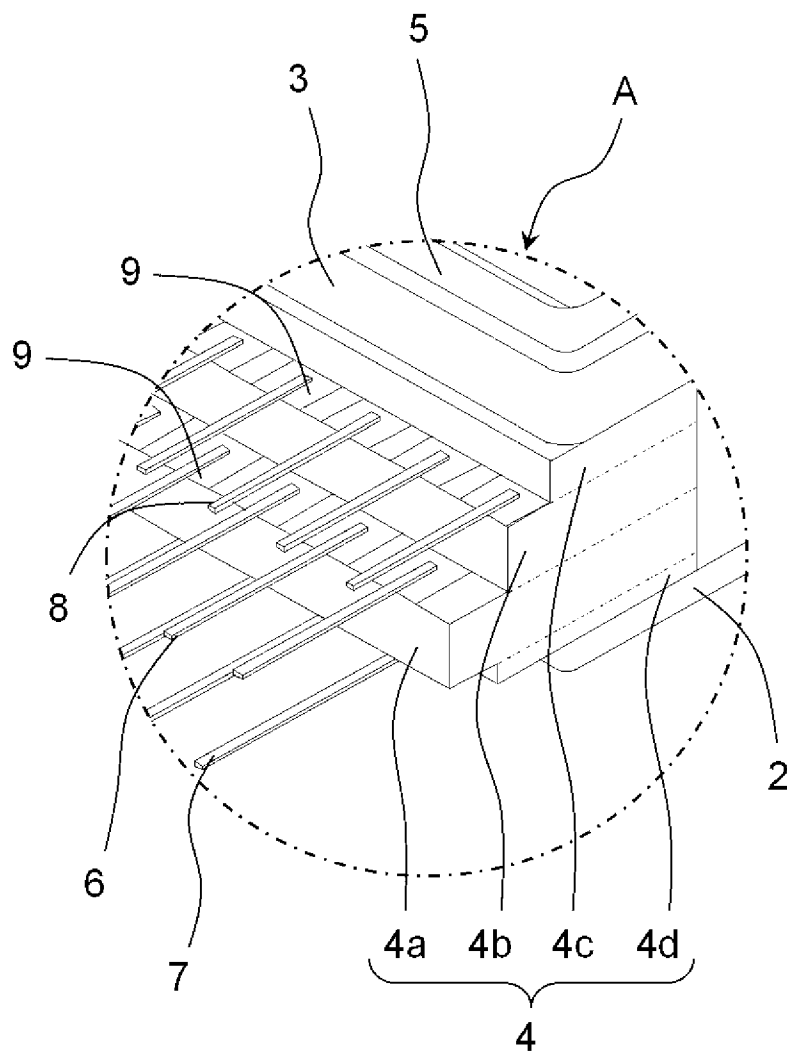
[図1]



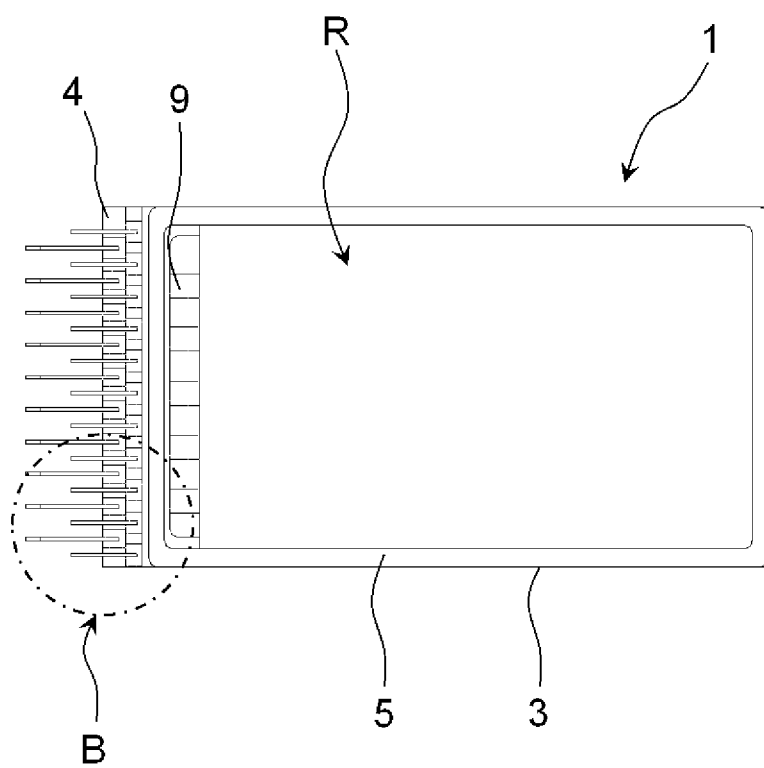
[図2]



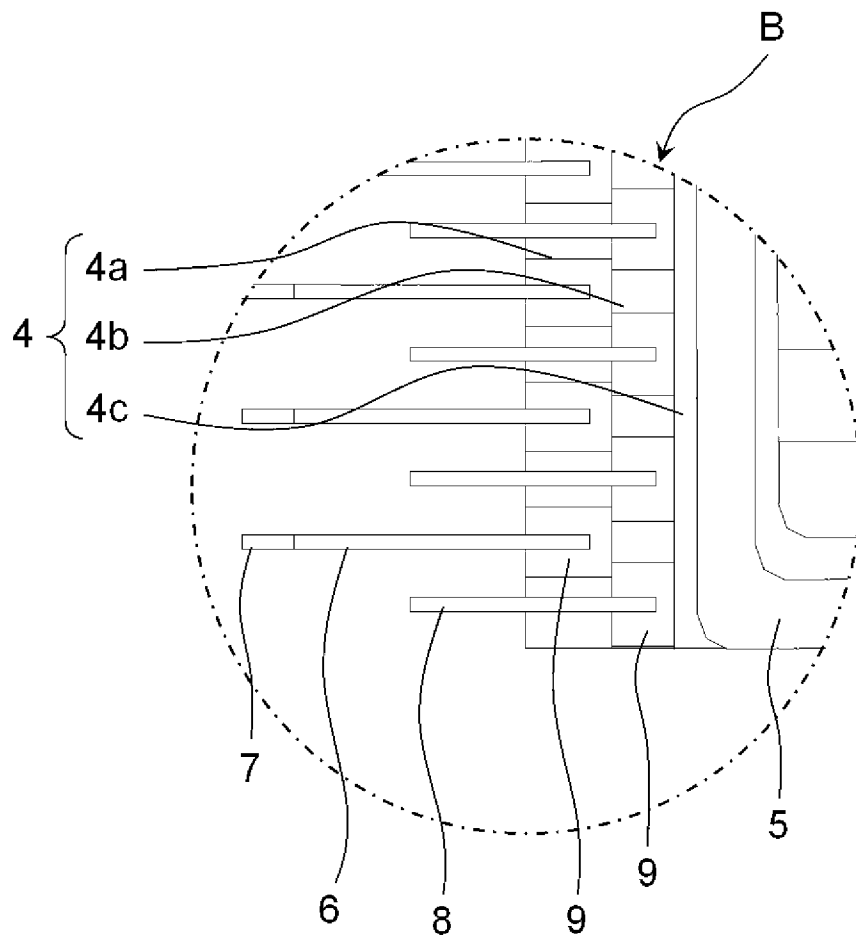
[図3]



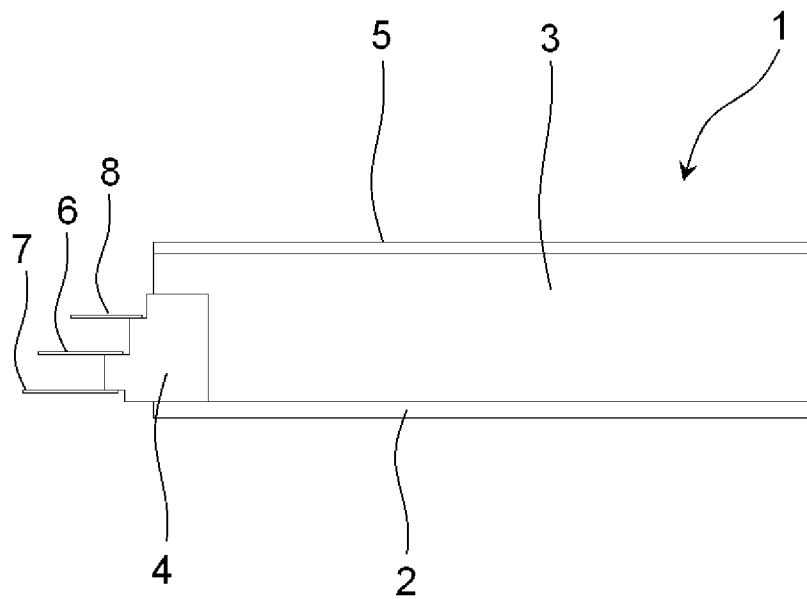
[図4]



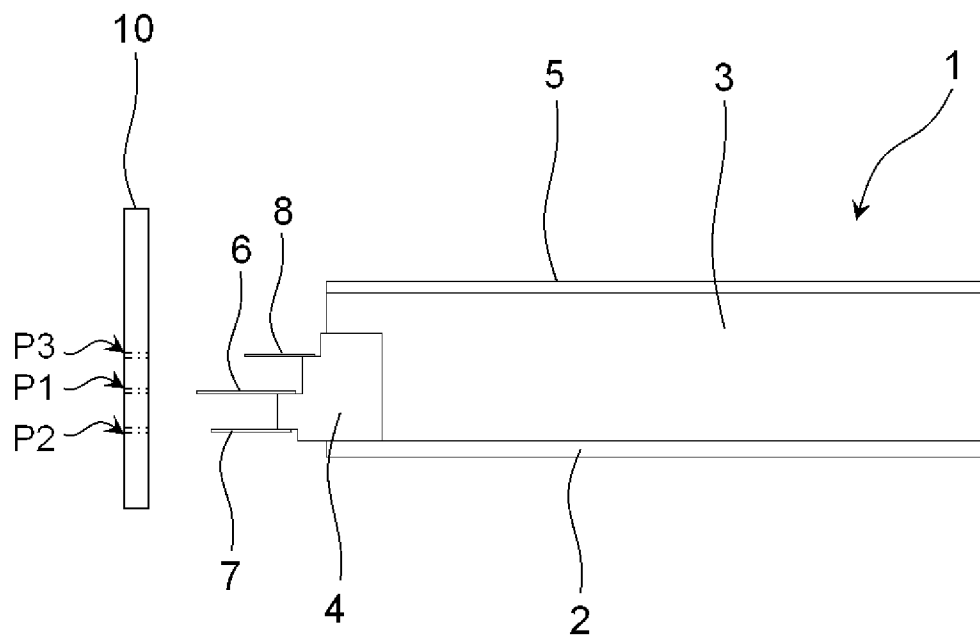
[図5]



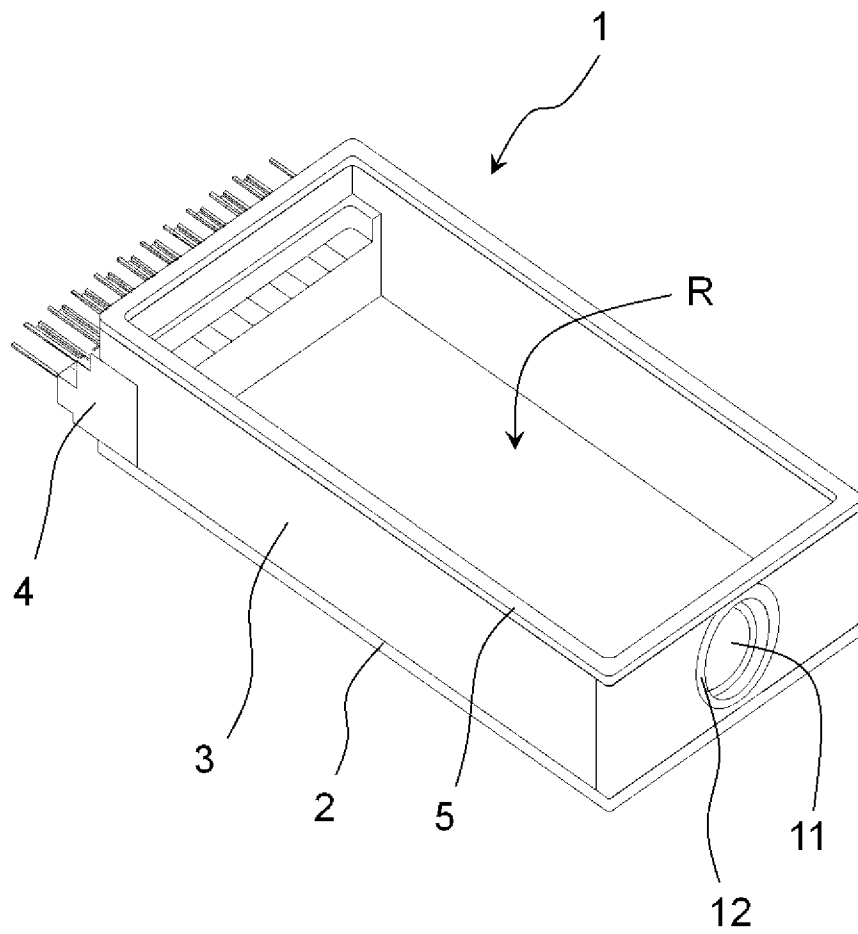
[図6]



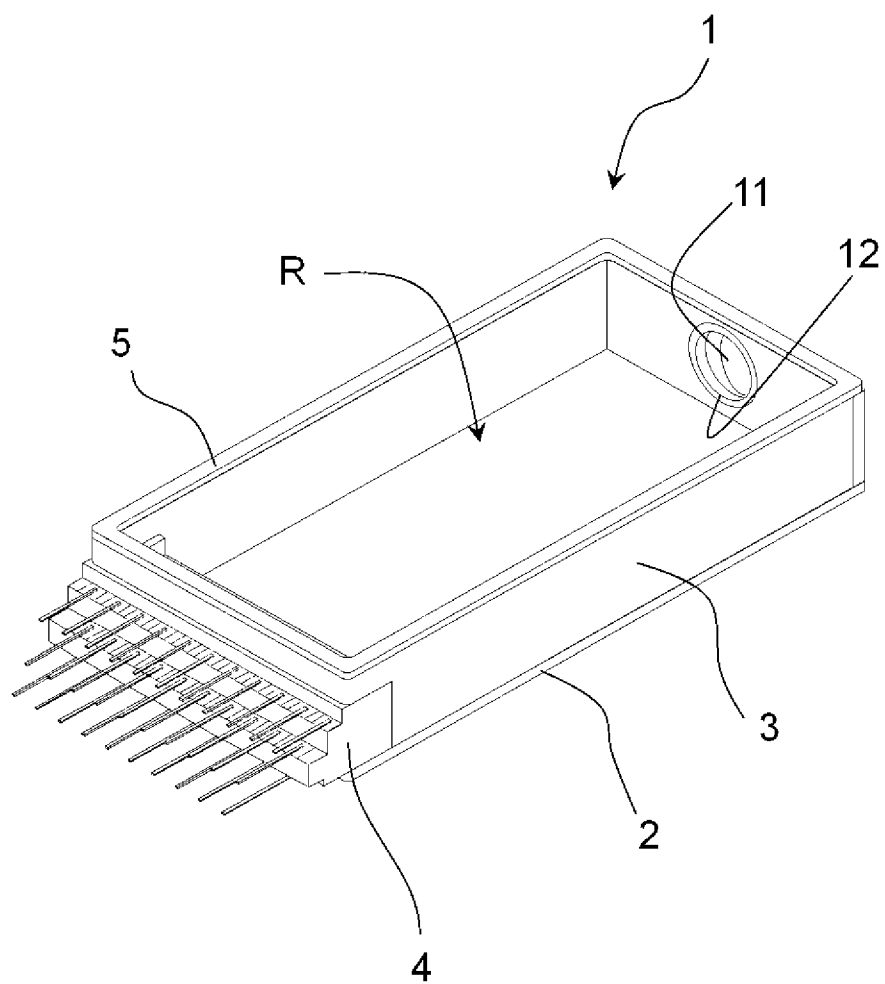
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/055955

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/057691 A1 (Kyocera Corp.), 07 May 2009 (07.05.2009), paragraphs [0014] to [0067]; fig. 1 to 7 & US 2010/0252313 A1 & EP 2221867 A1	1-8
A	JP 2006-210672 A (Kyocera Corp.), 10 August 2006 (10.08.2006), paragraphs [0027] to [0082]; fig. 1 to 4 (Family: none)	1-8
A	JP 2004-356391 A (Kyocera Corp.), 16 December 2004 (16.12.2004), paragraphs [0021] to [0041]; fig. 1 to 3 (Family: none)	1-8

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
28 March, 2013 (28.03.13)

Date of mailing of the international search report
09 April, 2013 (09.04.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L23/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L23/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2013年
日本国実用新案登録公報	1996-2013年
日本国登録実用新案公報	1994-2013年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2009/057691 A1（京セラ株式会社）2009.05.07, 段落【0014】 - 【0067】, 図1-図7 & US 2010/0252313 A1 & EP 2221867 A1	1-8
A	JP 2006-210672 A（京セラ株式会社）2006.08.10, 段落【0027】 - 【0082】, 図1-図4（ファミリーなし）	1-8
A	JP 2004-356391 A（京セラ株式会社）2004.12.16, 段落【0021】 - 【0041】, 図1-図3（ファミリーなし）	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

28.03.2013

国際調査報告の発送日

09.04.2013

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

山本 雄一

4 R

3 1 2 3

電話番号 03-3581-1101 内線 3471