(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4975124号
(P4975124)

(45)発行日　平成24年7月11日(2012.7.11)　(24)登録日　平成24年4月20日(2012.4.20)

(51)Int.Cl.			F I		
G02F	1/1368	(2006.01)	G02F	1/1368	
G02F	1/1343	(2006.01)	G02F	1/1343	
G02F	1/133	(2006.01)	G02F	1/133	５５０
G02F	1/13357	(2006.01)	G02F	1/13357	

請求項の数 14　(全 40 頁)

(21)出願番号　特願2010-48528(P2010-48528)
(22)出願日　平成22年3月5日(2010.3.5)
(62)分割の表示　特願2000-53470(P2000-53470)の分割
原出願日　平成12年2月29日(2000.2.29)
(65)公開番号　特開2010-140052(P2010-140052A)
(43)公開日　平成22年6月24日(2010.6.24)
審査請求日　平成22年4月1日(2010.4.1)
(31)優先権主張番号　特願平11-59455
(32)優先日　平成11年3月5日(1999.3.5)
(33)優先権主張国　日本国(JP)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　小山　潤
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　村上　智史
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　田中　幸夫
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】液晶表示装置

(57)【特許請求の範囲】
【請求項１】
液晶パネルと、バックライトとを有する液晶表示装置であって、
前記バックライトから出た光は、前記液晶パネルへ照射され、
前記バックライトは、ＬＥＤを有し、
前記液晶パネルは、
基板と、
前記基板の上の第１の絶縁膜と、
前記第１の絶縁膜の上の半導体膜と、
前記半導体膜の上のゲート絶縁膜と、
前記ゲート絶縁膜の上のゲート電極と、
前記ゲート電極の上の第２の絶縁膜と、
前記第２の絶縁膜の上の第１の導電膜と、
前記第２の絶縁膜の上の第２の導電膜と、
前記第１の導電膜及び前記第２の導電膜の上の第３の絶縁膜と、
前記第３の絶縁膜の上の第３の導電膜と、
前記第３の導電膜の上の第４の絶縁膜と、
前記第４の絶縁膜の上の第４の導電膜と、
前記第４の導電膜の上の液晶層と、
第１のトランジスタと、を有し、

前記第１の絶縁膜は、酸素及びシリコンを有する膜と、窒素及びシリコンを有する膜とを有し、
前記第１の絶縁膜は、前記半導体膜の膜厚以上の膜厚を有し、
前記半導体膜と、前記ゲート絶縁膜と、前記ゲート電極とで、第２のトランジスタが構成され、
前記第２の絶縁膜は、酸素及びシリコンを有する膜と、窒素及びシリコンを有する膜とを有し、
前記第１の導電膜は、前記ゲート絶縁膜に設けられた第１のコンタクトホールを介して、前記半導体膜と電気的に接続され、
前記第２の導電膜は、前記ゲート絶縁膜に設けられた第２のコンタクトホールを介して、前記半導体膜と電気的に接続され、
前記第１の導電膜は、前記第２のトランジスタのソース又はドレインへ、第１の映像信号を伝えることができる機能を有し、
前記第２の導電膜は、前記第３の絶縁膜に設けられた第３のコンタクトホールを介して、前記第４の導電膜と電気的に接続され、
前記第３の絶縁膜は、有機樹脂を有する膜を有し、
前記有機樹脂を有する膜の膜厚は、前記第４の絶縁膜の膜厚よりも厚く、
前記第３の導電膜は、前記第４の絶縁膜を介して、前記第４の導電膜との間で、保持容量を構成することができる機能を有し、
前記保持容量は、前記第４の導電膜の電位を保持することができる機能を有し、
前記第４の絶縁膜は、窒素及びシリコンを有する膜を有し、
前記第４の導電膜は、画素電極の機能を有し、
前記半導体膜のチャネル領域は、前記第１の導電膜、前記第２の導電膜、又は、前記第３の導電膜と重なる領域を有し、
前記第１のトランジスタのゲート電極は、前記第２のトランジスタの前記ゲート電極と電気的に接続され、
前記第１のトランジスタのソース又はドレインには、第２の映像信号が入力され、
前記第２の映像信号は、前記第１の映像信号の極性に対して、逆の極性を有することを特徴とする液晶表示装置。

【請求項２】
請求項１において、
前記第３のコンタクトホールの底面は、前記第２のコンタクトホールの底面と重ならないことを特徴とする液晶表示装置。

【請求項３】
請求項１又は請求項２において、
前記第１の導電膜及び前記第２の導電膜は、同じ導電膜をエッチングして形成されていることを特徴とする液晶表示装置。

【請求項４】
請求項１乃至請求項３のいずれか一項において、
前記第４の絶縁膜は、ＣＶＤ法を用いて、前記第３の導電膜の表面以外の場所にも設けられていることを特徴とする液晶表示装置。

【請求項５】
請求項１乃至請求項４のいずれか一項において、
前記第１の導電膜は、前記第２の絶縁膜に設けられた第４のコンタクトホールを介して、前記半導体膜と電気的に接続され、
前記第２の導電膜は、前記第２の絶縁膜に設けられた第５のコンタクトホールを介して、前記半導体膜と電気的に接続されていることを特徴とする液晶表示装置。

【請求項６】
請求項１乃至請求項５のいずれか一項において、
前記半導体膜は、結晶性を有するシリコンを有することを特徴とする液晶表示装置。

【請求項７】
請求項１乃至請求項６のいずれか一項において、
前記ゲート電極は、チタン、タンタル、タングステン、又は、モリブデンを有することを特徴とする液晶表示装置。
【請求項８】
請求項１乃至請求項７のいずれか一項において、
前記第２の導電膜は、アルミニウムを有することを特徴とする液晶表示装置。
【請求項９】
請求項１乃至請求項８のいずれか一項において、
前記有機樹脂は、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、又は、ベンゾシクロブテンを有することを特徴とする液晶表示装置。
【請求項１０】
請求項１乃至請求項９のいずれか一項において、
前記第３の導電膜は、アルミニウム、チタン、又は、タンタルを有することを特徴とする液晶表示装置。
【請求項１１】
請求項１乃至請求項１０のいずれか一項において、
前記第４の導電膜は、ＩＴＯを有することを特徴とする液晶表示装置。
【請求項１２】
請求項１乃至請求項１１のいずれか一項において、
前記第３の導電膜の電位は、時間的に平均を取ると一定であることを特徴とする液晶表示装置。
【請求項１３】
請求項１乃至請求項１２のいずれか一項に記載の液晶表示装置を具備する電子機器。
【請求項１４】
請求項１乃至請求項１２のいずれか一項に記載の液晶表示装置と、操作スイッチと、記憶媒体とを具備する電子機器。
【発明の詳細な説明】
【技術分野】
【０００１】
本願発明は絶縁表面を有する基板上に薄膜トランジスタ（以下、ＴＦＴという）で構成された回路を有する半導体装置およびその作製方法に関する。特に本願発明は、画素マトリクス回路とその周辺に設けられる駆動回路を同一基板上に設けた液晶表示装置に代表される電気光学装置、および電気光学装置を搭載した電子機器に関する。尚、本願明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電子機器も半導体装置に含む。
【背景技術】
【０００２】
最近、安価なガラス基板上に薄膜トランジスタ（ＴＦＴ）を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置の需要が高まったことにある。アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個もの各画素のそれぞれに薄膜トランジスタを配置し、各画素電極に出入りする電荷を薄膜トランジスタのスイッチング機能により制御するものである。
【０００３】
各画素電極と対向電極との間には液晶が挟み込まれ、一種のコンデンサを形成している。従って、薄膜トランジスタによりこのコンデンサへの電荷の出入りを制御することで液晶の電気光学的特性を変化させ、液晶パネルを透過する光を制御して画像表示を行うことができる。また、このような構成でなるコンデンサは電流のリークにより次第にその保持電圧が減少するため、液晶の電気光学特性が変化して画像表示のコントラストが悪化するという問題を持つ。

【０００４】
そこで、液晶で構成されるコンデンサと直列に保持容量と呼ばれる別のコンデンサを設置し、リーク等で損失した電荷を液晶で構成されるコンデンサに供給する構成が一般的となっている。
【０００５】
保持容量の構造は様々であるが、遮蔽膜と画素電極との間に誘電体としての酸化膜を挟み込んだ構造が挙げられる。遮蔽膜とは、透過型液晶表示装置の画素マトリクス部において、薄膜トランジスタが光の照射によって導電性が変動するのを防止するための、遮光性を有する被膜である。
【発明の概要】
【発明が解決しようとする課題】
【０００６】
遮蔽膜と画素電極との間に誘電体を挟み込んだ構造の保持容量は、遮蔽膜を一定の電位に保つために、基準電位が印加されたコモン線に接続されている。
【０００７】
そこで工程上、遮蔽膜をパターニングによって形成した後に、遮蔽膜とコモン線を接続するために、遮蔽膜とコモン線との間に設けられた層間絶縁膜にコンタクトホールをあける必要があった。コンタクトホールはマスクを用いたフォトリソグラフィーによって形成される。
【０００８】
アクティブマトリクス型液晶表示装置は、その作製工程においてマスクを用いたフォトリソグラフィーを、遮蔽膜とコモン線の間に設けられた層間絶縁膜にコンタクトホールをあける工程の他に、例えば活性層の形成工程、ゲート絶縁膜の形成工程、画素電極の形成工程、ゲート線及びソース信号線の形成工程等で行っている。マスクを用いたフォトリソグラフィーは、アクティブマトリクス型液晶表示装置の作製工程数を増やす要因となっており、高い歩留まりを達成するためには、作製工程数を減らすことが望まれていた。
【課題を解決するための手段】
【０００９】
アクティブマトリクス型液晶表示装置において、画素ＴＦＴに接続しているソース信号線に逆の極性の電圧を印加する駆動方法をソースライン反転という。このソースライン反転とは、液晶に常に１つの向きの電界が印加されることによって、液晶が劣化するのを防ぐために行われる。図４に示すように、ソース信号線１ラインごとに極性が逆の信号を印加し、１フレーム期間ごとに信号の極性を反転させることで、液晶に常に１つの向きの電界が印加されることによって液晶が劣化するのを防ぐ。１フレーム期間とは全ての画素が１つの画面を表示する期間を示す。
【００１０】
このソースライン反転を用いた場合、遮蔽膜の電位の変動も平均化される。そのために、遮蔽膜を一定の電位（基準電位）に保たれたコモン線に接続しなくても、遮蔽膜の電位は時間的に平均を取るとほぼ一定に保たれるので、遮蔽膜と画素電極との間に誘電体を挟み込んだ構造の保持容量において、遮蔽膜をフローティングにすることが可能になる。よって遮蔽膜をパターニングによって形成した後に、遮蔽膜とコモン線とを接続するために、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによってコンタクトホールをあける必要がなくなる。よってアクティブマトリクス型液晶表示装の作製工程を削減し、高い歩留まりを達成することが可能になり、またその作製コストを抑えることが可能になる。
【００１１】
また上記構成に加えて、遮蔽膜とコモン線との間に大容量のカップリング容量を形成すると、遮蔽膜の電位の変動ΔＶが小さくなる。ΔＶは遮蔽膜とコモン線との間に形成されるカップリング容量の容量値Ｃと遮蔽膜にかかる電荷量Ｑによって、その値が決まる。しかし、電荷量Ｑは画素数、ソース信号線に入力される信号の電圧の値によって固定されて

しまうので、実際には遮蔽膜の電位の変動ΔＶの値はカップリング容量の容量値Ｃによって決定されてしまう。このＣの値が大きければ大きいほどΔＶは小さくなり、遮蔽膜の電位をより一定に保つことが可能になる。

【００１２】

遮蔽膜をフローティングにして遮蔽膜とコモン線との間に大容量のカップリング容量を形成した場合、上述した遮蔽膜をフローティングにするだけの構成と同じく、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによってコンタクトホールをあける必要がなくなる。カップリング容量の容量値は、ゲート信号線１ラインに画素ＴＦＴを介して接続されている全ての保持容量の容量値の合計の１０倍以上であれば良い。よってアクティブマトリクス型液晶表示装置の作製工程を削減し、高い歩留まりを達成することが可能になり、またその作製コストを抑えることが可能になる。またそれに加えて、遮蔽膜をフローティングにして遮蔽膜とコモン線との間に大容量のカップリング容量を形成した場合は、遮蔽膜の電位をさらに一定に保つことが可能になるため、良好なコントラストを得ることができる。

【００１３】

以下に本願発明の構成を述べる。

【００１４】

本願発明のある実施の形態によると、複数の画素ＴＦＴと、前記画素ＴＦＴに電気的に接続された画素電極と、遮蔽膜とが設けられた基板を有するアクティブマトリクス型液晶表示装置であって、　前記遮蔽膜はフローティングになっており、　前記画素電極と前記遮蔽膜との間に誘電体を有することを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

【００１５】

また本願発明のある実施の形態によると、複数のソース信号線と、複数のゲート信号線と、複数の画素ＴＦＴと、前記画素ＴＦＴに電気的に接続された画素電極と、遮蔽膜とが設けられた基板を有するアクティブマトリクス型液晶表示装置であって、　前記複数の画素ＴＦＴは前記ソース信号線と前記ゲート信号線に電気的に接続されており、　前記遮蔽膜はフローティングになっており、　前記画素電極と前記遮蔽膜との間に誘電体が設けられており、　前記複数のソース信号線１本ごとに極性が逆の信号を印加し、前記複数のソース信号線のそれぞれに印加される前記信号の極性を１フレーム期間ごとに反転させることを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

【００１６】

また本願発明のある実施の形態によると、複数のソース信号線と、複数のゲート信号線と、複数の画素ＴＦＴと、画素電極と、遮蔽膜とが設けられた第１の基板と、　対向電極が設けられた第２の基板と、　前記画素電極と前記対向電極との間に挟まれた液晶と、を有するアクティブマトリクス型液晶表示装置において、　前記各画素ＴＦＴは、ゲート電極と、ゲート絶縁膜と、ソース領域、ドレイン領域及びチャネル形成領域を有する活性層とを有し、　前記ゲート電極は前記ゲート信号線に接続されており、　前記ソース領域またはドレイン領域は前記ソース信号線に接続されており、　前記ドレイン領域またはソース領域は前記画素電極に接続されており、　前記画素電極と前記遮蔽膜の間に誘電体が設けられており、　前記遮蔽膜はフローティングになっており、　前記複数のソース信号線１本ごとに極性が逆の信号を印加し、前記複数のソース信号線のそれぞれに印加される前記信号の極性を１フレーム期間ごとに反転させることを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

【００１７】

また本願発明のある実施の形態によると、複数のソース信号線と、複数のゲート信号線と、複数の画素ＴＦＴと、画素電極と、遮蔽膜とが設けられた第１の基板と、　対向電極が設けられた第２の基板と、　前記画素電極と前記対向電極との間に挟まれた液晶と、を有するアクティブマトリクス型液晶表示装置において、　前記各画素ＴＦＴは、ゲート電

極と、ゲート絶縁膜と、活性層とを有し、　前記活性層はチャネル形成領域と、前記チャネル形成領域に接している第２の不純物領域と、前記第２の不純物領域に接している第１の不純物領域を有し、　前記ゲート電極は前記ゲート信号線に接続されており、　前記第１の不純物領域の一方は前記画素電極に接続されており、　前記第１の不純物領域のもう一方は前記ソース信号線に接続されており、　前記画素電極と前記遮蔽膜の間に誘電体が設けられており、　前記遮蔽膜はフローティングになっており、　前記第２の不純物領域は、前記ゲート絶縁膜を介して、前記ゲート電極と重なっており、　前記複数のソース信号線１本ごとに極性が逆の信号を印加し、前記複数のソース信号線のそれぞれに印加される前記信号の極性を１フレーム期間ごとに反転させることを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

【００１８】

また本願発明のある実施の形態によると、複数のソース信号線と、複数のゲート信号線と、複数の画素ＴＦＴと、画素電極と、遮蔽膜とが設けられた第１の基板と、　対向電極が設けられた第２の基板と、　前記画素電極と前記対向電極との間に挟まれた液晶と、を有するアクティブマトリクス型液晶表示装置において、　前記各画素ＴＦＴは、ゲート電極と、ゲート絶縁膜と、活性層とを有し、　前記活性層はチャネル形成領域と、前記チャネル形成領域に接している第２の不純物領域と、前記チャネル形成領域を挟んで設けられた第１の不純物領域とを有し、　前記ゲート電極は前記ゲート信号線に接続されており、　前記第１の不純物領域の一方は前記画素電極に接続されており、　前記第１の不純物領域のもう一方は前記ソース信号線に接続されており、　前記画素電極と前記遮蔽膜の間に誘電体が設けられており、　前記遮蔽膜はフローティングになっており、　前記第２の不純物領域は、前記ゲート絶縁膜を介して、前記ゲート電極と重なっており、　前記複数のソース信号線１本ごとに極性が逆の信号を印加し、前記複数のソース信号線のそれぞれに印加される前記信号の極性を１フレーム期間ごとに反転させることを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

【００１９】

前記誘電体は、前記遮蔽膜を陽極酸化して形成される陽極酸化膜であっても良い。

【００２０】

前記遮蔽膜は、アルミニウム（Ａｌ）、チタン（Ｔｉ）またはタンタル（Ｔａ）を有する膜であっても良い。

【００２１】

前記遮蔽膜は１００～３００ｎｍの厚さであっても良い。

【００２２】

前記ゲート電極は、チタン（Ｔｉ）、タンタル（Ｔａ）、タングステン（Ｗ）、モリブデン（Ｍｏ）、から選ばれた一種または複数種の元素を有していても良い。

【００２３】

前記アクティブマトリクス型液晶表示装置を３つ備えたリアプロジェクターであっても良い。

【００２４】

前記アクティブマトリクス型液晶表示装置を３つ備えたフロントプロジェクターであっても良い。

【００２５】

前記アクティブマトリクス型液晶表示装置を１つ備えた単板式リアプロジェクターであっても良い。

【００２６】

前記アクティブマトリクス型液晶表示装置を２備えたゴーグル型ディスプレイであっても良い。

【００２７】

また本願発明のある実施の形態によると、複数の画素ＴＦＴ及び前記複数の画素ＴＦＴに電気的に接続された画素電極を有する画素マトリクス部と、遮蔽膜と、一定の基準電位

に保たれたコモン線とが設けられた基板を有するアクティブマトリクス型液晶表示装置であって、　前記遮蔽膜はフローティングになっており、　前記画素電極と前記遮蔽膜との間に第１の誘電体を有し、　前記遮蔽膜と前記コモン線との間に第２の誘電体を有し、　前記第２の誘電体は前記画素マトリクス部と重ならないことを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

【００２８】

また本願発明のある実施の形態によると、複数の画素ＴＦＴ及び前記複数の画素ＴＦＴに電気的に接続された画素電極を有する画素マトリクス部と、複数のソース信号線と、複数のゲート信号線と、遮蔽膜と、一定の基準電位に保たれたコモン線とが設けられた基板を有するアクティブマトリクス型液晶表示装置であって、　前記複数の画素ＴＦＴは前記ソース信号線と前記ゲート信号線に電気的に接続されており、　前記遮蔽膜はフローティングになっており、　前記画素電極と前記遮蔽膜との間に第１の誘電体を有し、　前記遮蔽膜と前記コモン線との間に第２の誘電体を有し、　前記第２の誘電体は前記画素マトリクス部と重なっておらず、　前記複数のソース信号線１本ごとに極性が逆の信号を印加し、前記複数のソース信号線のそれぞれに印加される前記信号の極性を１フレーム期間ごとに反転させることを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

【００２９】

また本願発明のある実施の形態によると、複数の画素ＴＦＴ及び前記複数の画素ＴＦＴに電気的に接続された画素電極を有する画素マトリクス部と、複数のソース信号線と、複数のゲート信号線と、遮蔽膜と、一定の基準電位に保たれたコモン線とが設けられた第１の基板と、　対向電極が設けられた第２の基板と、　前記画素電極と前記対向電極との間に挟まれた液晶と、を有するアクティブマトリクス型液晶表示装置において、　前記各画素ＴＦＴは、ゲート電極と、ゲート絶縁膜と、ソース領域、ドレイン領域及びチャネル形成領域を有する活性層とを有し、　前記ゲート電極は前記ゲート信号線に接続されており、　前記ソース領域またはドレイン領域は前記ソース信号線に接続されており、　前記ドレイン領域またはソース領域は前記画素電極に接続されており、　前記遮蔽膜はフローティングになっており、　前記画素電極と前記遮蔽膜との間に第１の誘電体を有し、　前記遮蔽膜と前記コモン線との間に第２の誘電体を有し、　前記第２の誘電体は前記画素マトリクス部と重なっておらず、　前記複数のソース信号線１本ごとに極性が逆の信号を印加し、前記複数のソース信号線のそれぞれに印加される前記信号の極性を１フレーム期間ごとに反転させることを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

【００３０】

また本願発明のある実施の形態によると、複数の画素ＴＦＴ及び前記複数の画素ＴＦＴに電気的に接続された画素電極を有する画素マトリクス部と、複数のソース信号線と、複数のゲート信号線と、遮蔽膜と、一定の基準電位に保たれたコモン線とが設けられた第１の基板と、　対向電極が設けられた第２の基板と、　前記画素電極と前記対向電極との間に挟まれた液晶と、を有するアクティブマトリクス型液晶表示装置において、　前記各画素ＴＦＴは、ゲート電極と、ゲート絶縁膜と、活性層とを有し、　前記活性層はチャネル形成領域と、前記チャネル形成領域に接している第２の不純物領域と、前記第２の不純物領域に接している第１の不純物領域を有し、　前記ゲート電極は前記ゲート信号線に接続されており、　前記第１の不純物領域の一方は前記画素電極に接続されており、　前記第１の不純物領域のもう一方は前記ソース信号線に接続されており、　前記遮蔽膜はフローティングになっており、　前記画素電極と前記遮蔽膜との間に第１の誘電体を有し、　前記遮蔽膜と前記コモン線との間に第２の誘電体を有し、　前記第２の誘電体は前記画素マトリクス部と重なっておらず、　前記第２の不純物領域は、前記ゲート絶縁膜を介して、前記ゲート電極と重なっており、　前記複数のソース信号線１本ごとに極性が逆の信号を印加し、前記複数のソース信号線のそれぞれに印加される前記信号の極性を１フレーム期間ごとに反転させることを特徴とするアクティブマトリクス型液晶表示装置が提供される

。このことによって上記目的が達成される。

【００３１】

また本願発明のある実施の形態によると、複数の画素ＴＦＴ及び前記複数の画素ＴＦＴに電気的に接続された画素電極を有する画素マトリクス部と、複数のソース信号線と、複数のゲート信号線と、遮蔽膜と、一定の基準電位に保たれたコモン線とが設けられた第１の基板と、　対向電極が設けられた第２の基板と、　前記画素電極と前記対向電極との間に挟まれた液晶と、を有するアクティブマトリクス型液晶表示装置において、　前記各画素ＴＦＴは、ゲート電極と、ゲート絶縁膜と、活性層とを有し、　前記活性層はチャネル形成領域と、前記チャネル形成領域に接している第２の不純物領域と、前記チャネル形成領域を挟んで設けられた第１の不純物領域とを有し、　前記ゲート電極は前記ゲート信号線に接続されており、　前記第１の不純物領域の一方は前記画素電極に接続されており、

前記第１の不純物領域のもう一方は前記ソース信号線に接続されており、　前記遮蔽膜はフローティングになっており、　前記画素電極と前記遮蔽膜との間に第１の誘電体を有し、　前記遮蔽膜と前記コモン線との間に第２の誘電体を有し、　前記第２の誘電体は前記画素マトリクス部と重なっておらず、　前記第２の不純物領域は、前記ゲート絶縁膜を介して、前記ゲート電極と重なっており、　前記複数のソース信号線１本ごとに極性が逆の信号を印加し、前記複数のソース信号線のそれぞれに印加される前記信号の極性を１フレーム期間ごとに反転させることを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

【００３２】

また本願発明のある実施の形態によると、複数の画素ＴＦＴ及び前記複数の画素ＴＦＴに電気的に接続された画素電極を有する画素マトリクス部と、遮蔽膜と、一定の基準電位に保たれたコモン線と、ソース信号線駆動回路とが設けられた第１の基板と、　対向遮蔽膜が設けられた第２の基板と、を有するアクティブマトリクス型液晶表示装置において、

前記遮蔽膜はフローティングになっており、　前記画素電極と前記遮蔽膜との間に第１の誘電体を有し、　前記遮蔽膜と前記コモン線との間に第２の誘電体を有し、　前記第２の誘電体は前記画素マトリクス部と重なっておらず、　前記ソース信号線駆動回路はサンプリング回路を有しており、　前記対向遮蔽膜は、前記遮蔽膜の一部及び前記サンプリング回路と重なっていることを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

【００３３】

前記第１の誘電体は、前記遮蔽膜を陽極酸化して形成される陽極酸化膜であっても良い。

【００３４】

前記第２の誘電体は、前記遮蔽膜を陽極酸化して形成される陽極酸化膜であっても良い。

【００３５】

前記遮蔽膜は、アルミニウム（Ａｌ）、チタン（Ｔｉ）またはタンタル（Ｔａ）を有する膜であっても良い。

【００３６】

前記遮蔽膜は１００～３００ｎｍの厚さであっても良い。

【００３７】

前記ゲート電極は、チタン（Ｔｉ）、タンタル（Ｔａ）、タングステン（Ｗ）、モリブデン（Ｍｏ）、から選ばれた一種または複数種の元素を有していても良い。

【００３８】

前記アクティブマトリクス型液晶表示装置を３つ備えたリアプロジェクターであっても良い。

【００３９】

前記アクティブマトリクス型液晶表示装置を３つ備えたフロントプロジェクターであっても良い。

【００４０】
前記アクティブマトリクス型液晶表示装置を１つ備えた単板式リアプロジェクターであっても良い。
【００４１】
前記アクティブマトリクス型液晶表示装置を２つ備えたゴーグル型ディスプレイであっても良い。
【００４２】
なお、本願発明の遮蔽膜は寄生容量の影響を避けるため、ソース信号線駆動回路上に設けないことが好ましい。
【発明の効果】
【００４３】
ソースライン反転で液晶を駆動させて、遮蔽膜をコモン線に接続せずにフローティングとしている。このような構成にすることで、遮蔽膜をコモン線に接続しなくても、遮蔽膜の電位が時間的に平均を取ると一定に保たれるので、遮蔽膜と画素電極との間に誘電体を挟み込んだ構造の保持容量を形成することが可能になる。よって遮蔽膜をパターニングによって形成した後に、遮蔽膜とコモン線を接続するために、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによるコンタクトホールをあける必要がなくなる。このため作製工程を削減し、高い歩留まりを達成することが可能になり、またアクティブマトリクス型液晶表示装の作製コストを抑えることが可能になる。またそれに加えて、遮蔽膜をフローティングにして遮蔽膜とコモン線との間に大容量のカップリング容量を形成した場合は、遮蔽膜の電位をさらに一定に保つことが可能になるため、良好なコントラストを得ることができる。
【００４４】
なお、上記実施例はＴＦＴの活性層として珪素膜を例にとって説明したが、必要に応じて不純物を添加したり、Ｓｉ－Ｇｅ化合物など、他の半導体を用いても良い。また画素が有するＴＦＴとして、ダブルゲート構造を有するＴＦＴを示したが、シングルゲート構造を有していても良いし、他のマルチゲート構造を有していても良い。また画素が有するＴＦＴの活性層が、ａ－Ｓｉ（アモルファスシリコン）を有していても良い。
【図面の簡単な説明】
【００４５】
【図１】本願発明のアクティブマトリクス回路の回路図。
【図２】本願発明の画素マトリクス回路の上面構造を示す図。
【図３】本願発明の画素マトリクス回路の上面構造を示す図。
【図４】ソースライン反転の概念を示す図。
【図５】ソース信号線駆動回路のブロック図。
【図６】ソース信号線駆動回路の回路図。
【図７】アナログスイッチとレベルシフト回路の等価回路図。
【図８】本願発明のＴＦＴの作製工程を示す断面図。
【図９】本願発明のＴＦＴの作製工程を示す断面図。
【図１０】本願発明のＴＦＴの作製工程を示す断面図。
【図１１】本願発明のアクティブマトリクス回路の回路図。
【図１２】本願発明のシミュレーション結果を示す図。
【図１３】本願発明のＴＦＴの作製工程を示す断面図。
【図１４】本願発明のＴＦＴの作製工程を示す断面図。
【図１５】本願発明のＴＦＴの作製工程を示す断面図。
【図１６】本願発明の液晶表示装置を用いた３板式プロジェクタの概略構成図。
【図１７】本願発明の液晶表示装置を用いた３板式プロジェクタの概略構成図。
【図１８】本願発明の液晶表示装置を用いた単板式プロジェクタの概略構成図。
【図１９】本願発明の液晶表示装置を用いたフロントプロジェクタおよびリアプロジェクタの概略構成図。

【図２０】本願発明の液晶表示装置を用いたゴーグル型ディスプレイの概略構成図。
【図２１】本願発明の液晶表示装置を用いた電子機器の例。
【図２２】本願発明の液晶表示装置を用いたノートブック型パーソナルコンピュータの概略構成図。
【図２３】本願発明のアクティブマトリクス回路の断面図及び上面図。
【図２４】本願発明のアクティブマトリクス回路の上面図。
【図２５】アクティブマトリクス基板のシミュレーションのモデルとなる回路図。
【図２６】アクティブマトリクス基板のシミュレーションのモデルとなる回路における画素部の回路図。
【図２７】ゲート信号線駆動回路上に設けられたＩＴＯに接続されたコモン線と、ＦＰＣの取り出し端子との接合部分の断面図。
【図２８】ゲート信号線駆動回路上に設けられたＩＴＯに接続されたコモン線と、ＦＰＣの取り出し端子との接合部分の断面図。
【図２９】本願発明のＴＦＴの作製工程を示す断面図。
【図３０】本願発明のアクティブマトリクス回路の断面図及び上面図。
【図３１】本願発明の液晶表示装置を用いた電子機器の例。
【発明を実施するための形態】
【００４６】
以下に本願発明を、実施例をもって説明する。ただし、本願発明は、以下の実施例に限定されるわけではない。
【００４７】
図１～図３１を用いて、本願発明の実施例を説明する。
【実施例１】
【００４８】
本実施例では、本願発明を用いたアクティブマトリクス型液晶表示装置の一例について、図１を用いて説明する。
【００４９】
図１に本願発明の保持容量を用いたアクティブマトリクス型液晶表示装置の回路図の一例を示す。ソース信号線駆動回路１１、ゲート信号線駆動回路１２、アクティブマトリクス回路１３、画素ＴＦＴ１４、画素電極と対向電極との間に液晶を挟んだ液晶セル１５、画素電極と遮蔽膜の間に誘電体を挟んで形成される保持容量１６、ソース信号線１７、ゲート信号線１８が図１に示されるように設けられている。ソース信号線駆動回路１１とゲート信号線駆動回路１２は、一般に駆動回路と総称されている。この駆動回路は、アクティブマトリクス回路でなる画素マトリクス部と同一基板上に一体形成されている。
【００５０】
また、アクティブマトリクス部１３では、ソース信号線駆動回路１１に接続されたソース信号線１７と、ゲート信号線駆動回路１２に接続されたゲート信号線１８が交差している。そのソース信号線１７とゲート信号線１８に囲まれた領域、画素部１９に、画素の薄膜トランジスタ（画素ＴＦＴ）１４と、対向電極と画素電極の間に液晶を挟んだ液晶セル１５と、保持容量１６が設けられている。
【００５１】
保持容量１６は画素電極と遮蔽膜の間に誘電体としての酸化膜を挟んだ構成となっており、全ての遮蔽膜はコモン線とは接続されていないフローティング（Ｆｌｏａｔｉｎｇ）の状態となっている。
【００５２】
ソース信号線１７に入力された画像信号は、画素ＴＦＴ１４により選択され、所定の画素電極に書き込まれる。
【００５３】
ソース信号線駆動回路１１から出力されたタイミング信号によりサンプリングされた画像信号が、ソース信号線１７に供給される。

【００５４】
画素ＴＦＴ１４は、ゲート信号線駆動回路１２からゲート信号線１８を介して入力される選択信号により動作する。
【００５５】
ソース信号線１７に入力される画像信号は、ソース信号線１７の１ラインごとに極性を逆にして印加し、１フレーム期間ごとに信号の極性を反転させることで、液晶に常に１つの向きの電界が印加されることによって液晶が劣化するのを防ぐ。このようにソースライン反転で液晶を駆動させて、遮蔽膜をコモン線に接続せずにフローティングとしている。このような構成にすることで、遮蔽膜をコモン線に接続しなくても、遮蔽膜の電位が時間的に平均を取ると一定に保たれるので、遮蔽膜と画素電極との間に誘電体を挟み込んだ構造の保持容量を形成することが可能になる。よって遮蔽膜をパターニングによって形成した後に、遮蔽膜とコモン線を接続するために、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによるコンタクトホールをあける必要がなくなる。このため作製工程を削減し、高い歩留まりを達成することが可能になり、またアクティブマトリクス型液晶表示装の作製コストを抑えることが可能になる。
【００５６】
次に、図１における画素部１９の詳しい構造について、図２を用いて説明する。
【００５７】
まず、図２において、２１は活性層、２２はゲート信号線、２３はソース信号線、２４は活性層とソース信号線とのコンタクト部、２５はドレイン配線（ドレイン電極）、２６は活性層とドレイン配線とのコンタクト部である。
【００５８】
次に、図３は、図２（Ａ）に遮蔽膜２７と画素電極２８を重ね合わせた状態を示している。なお、画素電極２８は一部点線で表しているが、これは下層の遮蔽膜との位置関係を明瞭にするためである。
【００５９】
図３に示すように、画素電極２８は画像表示領域２９の外周部分で遮蔽膜２７と重なるように形成されている。この画素電極２８と遮蔽膜２７とが重なる領域３０が保持容量１７として機能することになる。
【００６０】
また、３１はドレイン配線２５と画素電極２８とのコンタクト部である。コンタクト部３１には遮蔽膜２７を設けることができないが、ドレイン配線２５で完全に遮光されるので、ＴＦＴに光が当たるようなことはない。
【００６１】
次に図１で示したソース信号線駆動回路の一例について説明する。図５に図１で示したソース信号線駆動回路１１のブロック図を示す。ＣＬＫはクロック信号、ＣＬＫＢは反転したクロック信号、ＳＰはスタートパルス信号、ＳＬ／Ｒは駆動方向切り替え信号を示している。
【００６２】
図５の具体的な回路構成の一例を図６に示す。シフトレジスタ回路１０１、レベルシフト回路１０２、サンプリング回路１０３、画像信号線１０４が図に示すように配置されている。
【００６３】
クロック信号（ＣＬＫ）、反転したクロック信号（ＣＬＫｂ）、スタートパルス信号（ＳＰ）および駆動方向切り替え信号（ＳＬ／Ｒ）は図５に示されている配線からシフトレジスタ回路に入力される。
【００６４】
ソース信号線駆動回路の外部から入力されたクロック信号（ＣＬＫ）（例えば１０Ｖ）がシフトレジスタ回路１０１に入力される。そして、入力されたクロック信号および同じ時にシフトレジスタ回路１０１に入力したスタートパルス信号とによってシフトレジスタ

回路１０１が動作し、画像のサンプリングのためのタイミング信号を順に生成する。
【００６５】
生成されたタイミング信号はレベルシフト回路（ＬＳ）１０２に入力され電圧振幅レベルが上げられる。ここで本明細書において電圧振幅レベルとは信号の最も高い電位と最も低い電位の差（電位差）の絶対値を意味しており、電圧振幅レベルが高くなる（上げられる）とは電位差が大きくなることを意味し、電圧振幅レベルが低くなるとは電位差が小さくなることを意味する。電圧振幅レベルが上げられたタイミング信号はアナログスイッチ１０５を有するサンプリング回路１０３に入力され、入力されたタイミング信号に基づいてサンプリング回路１０３が画像信号をサンプリングする動作をする。サンプリングされた画像信号はソース信号線（Ｓ１～Ｓｎ）を介して画素マトリクス部に入力される。
【００６６】
サンプリングされる画像信号は画像信号線ごとに逆の極性で印加されている。
これによってソース信号線１ラインごとに逆の極性の画像信号がサンプリングされ液晶に印加される。言い換えるとソースライン反転で液晶が駆動することとなる。そのため遮蔽膜を一定の電位（基準電位）に保たれたコモン線に接続しなくても、遮蔽膜の電位は時間的に平均を取ると一定に保たれるので、遮蔽膜と画素電極との間に誘電体を挟み込んだ構造の保持容量において、遮蔽膜をフローティングにすることが可能になる。よって遮蔽膜をパターニングによって形成した後に、遮蔽膜とコモン線とを接続するために、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによるコンタクトホールをあける必要がなくなる。このため作製工程を削減し、高い歩留まりを達成することが可能になり、またアクティブマトリクス型液晶表示装の作製コストを抑えることが可能になる。
【００６７】
図７にアナログスイッチ１０５とレベルシフト回路１０２の具体的な回路図を示す。
【００６８】
図７（Ａ）にアナログスイッチの等価回路図を示す。画像信号が入力される信号（ＩＮ、ＩＮｂ）によってサンプリングされる。図７（Ｂ）にレベルシフト回路の等価回路図を示す。ＩＮは信号が入力されることを意味し、ＩＮｂはＩＮの反転信号が入力されることを意味する。また、Ｖｄｄｈはプラスの電圧、Ｖｓｓはマイナスの電圧の印加を示している。レベルシフト回路は、ＩＮに入力された信号を高電圧化し反転させた信号が、ＯＵＴｂから出力されるように設計されている。つまり、ＩＮにＨｉが入力されるとＯＵＴｂからＶｓｓ相当の信号が、Ｌｏが入力されるとＯＵＴｂからＶｄｄｈ相当の信号が出力される。
【００６９】
次に本願発明の画素マトリクス回路とその周辺に設けられる駆動回路のＴＦＴを同時に作製する方法の一例について、図８～図１０を用いて説明する。なお、本願発明はこの作製方法に限られない。
【００７０】
〔島状半導体層、ゲート絶縁膜形成の工程：図８（Ａ）〕　図８（Ａ）において、基板６００１には、無アルカリガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板や金属基板の表面に絶縁膜を形成したものを基板としても良い。
【００７１】
そして、基板６００１のＴＦＴが形成される表面には、酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜からなる下地膜６００２をプラズマＣＶＤ法やスパッタ法で１００～４００ｎｍの厚さに形成した。例えば下地膜６００２として、窒化シリコン膜６００２を２５～１００ｎｍ、ここでは５０ｎｍの厚さに、酸化シリコン膜６００３を５０～３００ｎｍ、ここでは１５０ｎｍの厚さとした２層構造で形成すると良い。下地膜６００２は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。
【００７２】

次に下地膜６００２の上に２０～１００ｎｍの厚さの、非晶質シリコン膜を公知の成膜法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは４００～５５０℃で数時間加熱して脱水素処理を行い、含有水素量を５atom%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気にさらされないようにすることで表面の汚染を防ぐことが可能となり、作製されるＴＦＴの特性バラツキを低減させることができる。

【００７３】

非晶質シリコン膜から結晶質シリコン膜を形成する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、シリコンの結晶化を助長する触媒元素を用いて熱結晶化の方法で結晶質シリコン膜を作製しても良い。その他に、微結晶シリコン膜を用いても良いし、結晶質シリコン膜を直接堆積成膜しても良い。さらに、単結晶シリコンを基板上に貼りあわせるＳＯＩ（Silicon　On　Insulators）の公知技術を使用して結晶質シリコン膜を形成しても良い。

【００７４】

こうして形成された結晶質シリコン膜の不要な部分をエッチング除去して、島状半導体層６００４～６００６を形成した。結晶質シリコン膜のｎチャネル型ＴＦＴが作製される領域には、しきい値電圧を制御するため、あらかじめ1×10^{15}～$5\times10^{17}cm^{-3}$程度の濃度でボロン（Ｂ）を添加しておいても良い。

【００７５】

次に、島状半導体層６００４～６００６を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜６００７を形成した。ゲート絶縁膜６００７は、１０～２００ｎｍ、好ましくは５０～１５０ｎｍの厚さに形成すれば良い。

例えば、プラズマＣＶＤ法でN_2OとSiH_4を原料とした窒化酸化シリコン膜を７５ｎｍ形成し、その後、酸素雰囲気中または酸素と塩酸の混合雰囲気中、８００～１０００℃で熱酸化して１１５ｎｍのゲート絶縁膜としても良い。（図８（Ａ））

【００７６】

〔n^-領域の形成：図８（Ｂ）〕　島状半導体層６００４、６００６及び配線を形成する領域の全面と、島状半導体層６００５の一部（チャネル形成領域となる領域を含む）にレジストマスク６００８～６０１１を形成し、ｎ型を付与する不純物元素を添加して低濃度不純物領域６０１２、６０１３を形成した。この低濃度不純物領域６０１２、６０１３は、後にＣＭＯＳ回路のｎチャネル型ＴＦＴに、ゲート絶縁膜を介してゲート電極と重なるＬＤＤ領域（本明細書中ではLov領域という。なお、ovとはoverlapの意味である。）を形成するための不純物領域である。なお、ここで形成された低濃度不純物領域に含まれるｎ型を付与する不純物元素の濃度を（n^-）で表すこととする。従って、本明細書中では低濃度不純物領域６０１２、６０１３をn^-領域と言い換えることができる。

【００７７】

ここではフォスフィン（PH_3）を質量分離しないでプラズマ励起したイオンドープ法でリンを添加した。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート絶縁膜６００７を通してその下の半導体層にリンを添加した。添加するリン濃度は、5×10^{17}～$5\times10^{18}atoms/cm^3$の範囲にするのが好ましく、ここでは$1\times10^{18}atoms/cm^3$とした。

【００７８】

その後、レジストマスク６００８～６０１１を除去し、窒素雰囲気中で４００～９００℃、好ましくは５５０～８００℃で１～１２時間の熱処理を行い、この工程で添加されたリンを活性化する工程を行った。

【００７９】

〔ゲート電極用および配線用導電膜の形成：図８（Ｃ）〕　第１の導電膜６０１４を、

タンタル（Ｔａ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タングステン（Ｗ）から選ばれた元素またはいずれかを主成分とする導電性材料で、１０～１００ｎｍの厚さに形成した。第１の導電膜６０１４としては、例えば窒化タンタル（ＴａＮ）や窒化タングステン（ＷＮ）を用いることが望ましい。さらに、第１の導電膜６０１４上に第２の導電膜６０１５をＴａ、Ｔｉ、Ｍｏ、Ｗから選ばれた元素またはいずれかを主成分とする導電性材料で、１００～４００ｎｍの厚さに形成した。例えば、Ｔａを２００ｎｍの厚さに形成すれば良い。また、図示しないが、第１の導電膜６０１４の下に導電膜６０１４、６０１５（特に導電膜６０１５）の酸化防止のためにシリコン膜を２～２０ｎｍ程度の厚さで形成しておくことは有効である。

【００８０】

〔ｐ－ｃｈゲート電極、配線電極の形成とp^{++}領域の形成：図９（Ａ）〕　レジストマスク６０１６～６０１９を形成し、第１の導電膜と第２の導電膜（以下、積層膜として取り扱う）をエッチングして、ｐチャネル型ＴＦＴのゲート電極６０２０、ゲート信号線６０２１、６０２２を形成した。なお、ｎチャネル型ＴＦＴとなる領域の上には全面を覆うように導電膜６０２３、６０２４を残した。

【００８１】

そして、レジストマスク６０１６～６０１９をそのまま残してマスクとし、ｐチャネル型ＴＦＴが形成される半導体層６００４の一部に、ｐ型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン（B_2H_6）を用いてイオンドープ法（勿論、イオンインプランテーション法でも良い）で添加した。ここでは5×10^{20}～3×10^{21}atoms/cm^3の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれるｐ型を付与する不純物元素の濃度を（p^{++}）で表すこととする。従って、本明細書中では不純物領域６０２５、６０２６をp^{++}領域と言い換えることができる。

【００８２】

なお、この工程において、レジストマスク６０１６～６０１９を使用してゲート絶縁膜６００７をエッチング除去して、島状半導体層６００４の一部を露出させた後、ｐ型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【００８３】

〔ｎ－ｃｈゲート電極の形成：図９（Ｂ）〕　次に、レジストマスク６０１６～６０１９を除去した後、レジストマスク６０２７～６０３０を形成し、ｎチャネル型ＴＦＴのゲート電極６０３１、６０３２を形成した。このときゲート電極６０３１はn^-領域６０１２、６０１３とゲート絶縁膜を介して重なるように形成した。

【００８４】

〔n^+領域の形成：図９（Ｃ）〕　次に、レジストマスク６０２７～６０３０を除去し、レジストマスク６０３３～６０３５を形成した。そして、ｎチャネル型ＴＦＴにおいて、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行った。レジストマスク６０３５はｎチャネル型ＴＦＴのゲート電極６０３２を覆う形で形成した。これは、後の工程において画素マトリクス回路のｎチャネル型ＴＦＴに、ゲート電極と重ならないようにＬＤＤ領域を形成するためである。

【００８５】

そして、ｎ型を付与する不純物元素を添加して不純物領域６０３６～６０４０を形成した。ここでも、フォスフィン（PH_3）を用いたイオンドープ法（勿論、イオンインプランテーション法でも良い）で行い、この領域のリンの濃度は1×10^{20}～1×10^{21}atoms/cm^3とした。なお、ここで形成された不純物領域６０３８～６０４０に含まれるｎ型を付与する不純物元素の濃度を（n^+）で表すこととする。従って、本明細書中では不純物領域６０３８～６０４０をn^+領域と言い換えることができる。また、不純物領域６０３６、６０３７は既にn^-領域が形成されていたので、厳密には不純物領域６０３８～６０４０よりも若干高い濃度でリンを含む。

【００８６】
なお、この工程において、レジストマスク６０３３～６０３５およびゲート電極６０３１をマスクとしてゲート絶縁膜６００７をエッチングし、島状半導体膜６００５、６００６の一部を露出させた後、ｎ型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。
【００８７】
〔ｎ⁻⁻領域の形成：図１０（Ａ）〕　次に、レジストマスク６０３３～６０３５を除去し、画素マトリクス回路のｎチャネル型ＴＦＴとなる島状半導体層６００６にｎ型を付与する不純物元素を添加する工程を行った。こうして形成された不純物領域６０４１～６０４４には前記ｎ⁻領域と同程度かそれより少ない濃度（具体的には5×10^{16}～1×10^{18}atoms/cm^3）のリンが添加されるようにした。なお、ここで形成された不純物領域６０４１～６０４４に含まれるｎ型を付与する不純物元素の濃度を（ｎ⁻⁻）で表すこととする。従って、本明細書中では不純物領域６０４１～６０４４をｎ⁻⁻領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域６０６８、６０６９を除いて全ての不純物領域にｎ⁻⁻の濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。
【００８８】
〔熱活性化の工程：図１０（Ｂ）〕　次に、後に第１の層間絶縁膜の一部となる保護絶縁膜６０４５を形成した。保護絶縁膜６０４５は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は１００～４００ｎｍとすれば良い。
【００８９】
その後、それぞれの濃度で添加されたｎ型またはｐ型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法（ＲＴＡ法）で行うことができる。ここではファーネスアニール法で活性化工程を行った。加熱処理は、窒素雰囲気中において３００～６５０℃、好ましくは４００～５５０℃、ここでは４５０℃、２時間の熱処理を行った。
【００９０】
さらに、３～１００％の水素を含む雰囲気中で、３００～４５０℃で１～１２時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。
水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。
【００９１】
〔層間絶縁膜、ソース／ドレイン電極、遮蔽膜、画素電極、保持容量の形成：図１０（Ｃ）〕　活性化工程を終えたら、保護絶縁膜６０４５の上に０．５～１．５μｍ厚の層間絶縁膜６０４６を形成した。前記保護絶縁膜６０４５と層間絶縁膜６０４６とでなる積層膜を第１の層間絶縁膜とした。
【００９２】
その後、それぞれのＴＦＴのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース電極６０４７～６０４９と、ドレイン電極６０５０、６０５１を形成した。図示していないが、本実施例ではこの電極を、Ｔｉ膜を１００ｎｍ、Ｔｉを含むアルミニウム膜３００ｎｍ、Ｔｉ膜１５０ｎｍをスパッタ法で連続して形成した３層構造の積層膜とした。これで図２に示した状態と同じになる。図２で示す活性層２１は図１０の活性層６００４～６００６に相当し、ゲート信号線２２およびドレイン配線２５は同じドレイン電極６０５０、６０５１として表されている。ソース信号線２３はソース電極６０４７～６０４９として示されている。
【００９３】
次に、パッシベーション膜６０５２として、窒化シリコン膜、酸化シリコン膜、または

窒化酸化シリコン膜で５０～５００ｎｍ（代表的には２００～３００ｎｍ）の厚さで形成した。その後、この状態で水素化処理を行うとＴＦＴの特性向上に対して好ましい結果が得られた。例えば、３～１００％の水素を含む雰囲気中で、３００～４５０℃で１～１２時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン電極を接続するためのコンタクトホールを形成する位置において、パッシベーション膜６０５２に開口部を形成しておいても良い。

【００９４】

その後、有機樹脂からなる第２の層間絶縁膜６０５３を約１μｍの厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、ＢＣＢ（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、３００℃で焼成して形成した。

【００９５】

次に、画素マトリクス回路となる領域において、第２の層間絶縁膜６０５３上に遮蔽膜６０５４を形成した。遮蔽膜６０５４はアルミニウム（Ａｌ）、チタン（Ｔｉ）、タンタル（Ｔａ）から選ばれた元素またはいずれかを主成分とする膜で１００～３００ｎｍの厚さに形成した。そして、遮蔽膜６０５４の表面に陽極酸化法またはプラズマ酸化法により３０～１５０ｎｍ（好ましくは５０～７５ｎｍ）の厚さの酸化膜６０５５を形成した。ここでは遮蔽膜６０５４としてアルミニウム膜またはアルミニウムを主成分とする膜を用い、誘電体６０５５として酸化アルミニウム膜（アルミナ膜）を用いた。

【００９６】

なお、ここでは遮蔽膜の表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマＣＶＤ法、熱ＣＶＤ法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は３０～１５０ｎｍ（好ましくは５０～７５ｎｍ）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、ＤＬＣ（Diamond like carbon）膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【００９７】

次に、パッシベーション膜６０５２及び第２の層間絶縁膜６０５３にドレイン電極６０５１に達するコンタクトホールを形成し、画素電極６０５６を形成した。なお、画素電極６０５７、６０５８はそれぞれ隣接する別の画素の画素電極である。画素電極６０５６～６０５８は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ＩＴＯ）膜を１００ｎｍの厚さにスパッタ法で形成した。

【００９８】

また、この時、画素電極６０５６と遮蔽膜６０５４とが酸化膜６０５５を介して重なった領域６０５９が保持容量を形成した。

【００９９】

こうして同一基板上に、駆動回路となるＣＭＯＳ回路と画素マトリクス回路とを有したアクティブマトリクス基板が完成した。なお、駆動回路となるＣＭＯＳ回路にはｐチャネル型ＴＦＴ６０８１、ｎチャネル型ＴＦＴ６０８２が形成され、画素マトリクス回路にはｎチャネル型ＴＦＴでなる画素ＴＦＴ６０８３が形成された。

【０１００】

ＣＭＯＳ回路のｐチャネル型ＴＦＴ６０８１には、チャネル形成領域６０６２、ソース領域６０６３、ドレイン領域６０６４がそれぞれp^+領域で形成された。また、ｎチャネル型ＴＦＴ６０８２には、チャネル形成領域６０６５、ソース領域６０６６、ドレイン領域６０６７、ゲート絶縁膜を介してゲート電極と重なったＬＤＤ領域（以下、Ｌov領域という。なお、ovとはoverlapの意である。）

６０６８、６０６９が形成された。この時、ソース領域６０６６、ドレイン領域６０６７はそれぞれ（n^-＋n^+）領域で形成され、Lov領域６０６８、６０６９はn^-領域で形成された。

【０１０１】

また、画素ＴＦＴ６０８３には、チャネル形成領域６０７０、６０７１、ソース領域６０７２、ドレイン領域６０７３、ゲート絶縁膜を介してゲート電極と重ならないＬＤＤ領域（以下、Loff領域という。なお、offとはoffsetの意である。）６０７４～６０７７、Loff領域６０７５、６０７６に接したn^+領域６０７８が形成された。この時、ソース領域６０７２、ドレイン領域６０７３はそれぞれn^+領域で形成され、Loff領域６０７４～６０７７はn^-領域で形成された。

【０１０２】

チャネル長３～７μmに対してLov領域の長さ（幅）は０．５～３．０μm、代表的には１．０～１．５μmとすれば良い。また、画素ＴＦＴ６０８３に設けられるLoff領域６０７４～６０７７の長さ（幅）は０．５～３．５μm、代表的には２．０～２．５μmとすれば良い。

【０１０３】

図２７に、コモン線と、ＦＰＣからの引き出し端子との接合部分を示す。基板６００１、図１０（Ｃ）に示したnチャネル型ＴＦＴを有するゲート信号線駆動回路２７０２、コモン線２７０３、遮蔽膜２７０４、誘電体２７０５、ＩＴＯ膜２７０６、フィラー２７０７、樹脂２７０８、ＦＰＣからの引き出し端子上に成膜されたＩＴＯ膜２７０９、ＦＰＣからの引き出し端子２７１０が図２７に示すように設けられている。

【０１０４】

遮蔽膜２７０４とＩＴＯ膜２７０６と、その間に挟まれた誘電体２７０５とによって、カップリング容量が形成されている。ＩＴＯ膜２７０６は、ゲート信号線駆動回路２７０２上に設けられており、ゲート信号線駆動回路２７０２の下に設けられたコモン線２７０３と接続している。ＦＰＣからの引き出し端子２７１０上にはＦＰＣ側のＩＴＯ膜２７０９が形成されており、ＦＰＣからの引き出し端子２７１０上のＦＰＣ側のＩＴＯ膜２７０９とＩＴＯ膜２７０６とは、フィラー２７０７と樹脂２７０８とによって接続されている。

【０１０５】

樹脂２７０８は光硬化性の樹脂であっても、熱硬化性の樹脂であっても良く、また光硬化性の樹脂と熱硬化性の樹脂との混合物であっても良い。光硬化性の樹脂と熱硬化性の樹脂との混合物を用いた場合、光によって仮接着の後、熱を加えて圧着させることにより接続する。またフィラーは導電性の材料であることが必要である。大きさの異なるフィラーを２種類以上用いても良く、この場合、サイズの小さいフィラーはスペーサとして働くので導電性でなくても良く、サイズの大きい粒子は電気的に接続させる働きをするので導電性であることが必要である。

【０１０６】

本願発明では、ソースライン反転によって液晶を駆動してやり、かつ遮蔽膜を一定の電位（基準電位）に保たれたコモン線に接続しない。ソースライン反転によって、遮蔽膜の電位は時間的に平均を取ると一定に保たれるので、遮蔽膜と画素電極との間に誘電体を挟み込んだ構造の保持容量において、遮蔽膜をフローティングにすることが可能になる。よって遮蔽膜をパターニングによって形成した後に、遮蔽膜とコモン線とを接続するために、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによるコンタクトホールをあける必要がなくなる。このため作製工程を削減し、高い歩留まりを達成することが可能になり、またアクティブマトリクス型液晶表示装の作製コストを抑えることが可能になる。

【実施例２】

【０１０７】

本実施例では、実施例１の遮蔽膜をフローティングにするという構成に加えて、遮蔽膜

とコモン線との間に大容量のカップリング容量を形成する例について説明する。なおＴＦＴの作製方法の記載は省略するが、実施例１と同じプロセスを用いても良い。

【０１０８】

図１１に本願発明の保持容量を用いたアクティブマトリクス型液晶表示装置の回路図の一例を示す。ソース信号線駆動回路３０１、ゲート信号線駆動回路３０２、アクティブマトリクス回路３０３、画素ＴＦＴ３０４、画素電極と対向電極との間に液晶を挟んだ液晶セル３０５、画素電極と遮蔽膜の間に誘電体を挟んで形成される保持容量３０６、ソース信号線３０７、ゲート信号線３０８が図１１に示されるように設けられている。またカップリング容量３１０がフローティングになっている遮蔽膜とコモン線との間に設けられている。ソース信号線駆動回路３０１とゲート信号線駆動回路３０２は、一般に駆動回路と総称されている。

この駆動回路は、アクティブマトリクス回路でなる画素マトリクス部と同一基板上に一体形成されている。

【０１０９】

また、アクティブマトリクス部３０３では、ソース信号線駆動回路３０１に接続されたソース信号線３０７と、ゲート信号線駆動回路３０２に接続されたゲート信号線３０８が交差している。そのソース信号線３０７とゲート信号線３０８に囲まれた領域、画素部３０９に、画素の薄膜トランジスタ（画素ＴＦＴ）３０４と、対向電極と画素電極の間に液晶を挟んだ液晶セル３０５と、保持容量３０６が設けられている。またコモン線３１１と遮蔽膜３１２とが図に示すように設けられている。

【０１１０】

保持容量３０６は画素電極と遮蔽膜３１２の間に誘電体としての酸化膜を挟んだ構成となっており、全ての遮蔽膜３１２はコモン線３１１とは接続されていないフローティング（Ｆｌｏａｔｉｎｇ）となっている。

【０１１１】

またカップリング容量３１０の容量値は、ゲート信号線１ラインに画素ＴＦＴを介して接続されている全ての保持容量の容量値の合計の１０倍以上であれば良い。

【０１１２】

ソース信号線３０７に入力された画像信号は、画素ＴＦＴ３０４により選択され、所定の画素電極に書き込まれる。

【０１１３】

ソース信号線駆動回路３０１から出力されたタイミング信号によりサンプリングされた画像信号が、ソース信号線３０７に供給される。

【０１１４】

画素ＴＦＴ３０４は、ゲート信号線駆動回路３０２からゲート信号線３０８を介して入力される選択信号により動作する。

【０１１５】

ソース信号線に入力される画像信号は、ソース信号線１ラインごとに極性を逆にして印加し、１フレーム期間ごとに信号の極性を反転させることで、液晶に常に１つの向きの電界が印加されることによって液晶が劣化するのを防ぐ。このようにソースライン反転で液晶を駆動させて、遮蔽膜をコモン線に接続せずにフローティングとしている。このような構成にすることで、遮蔽膜をコモン線に接続しなくても、遮蔽膜の電位が時間的に平均を取ると一定に保たれるので、遮蔽膜と画素電極との間に誘電体を挟み込んだ構造の保持容量を形成することが可能になる。よって遮蔽膜をパターニングによって形成した後に、遮蔽膜とコモン線を接続するために、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによるコンタクトホールをあける必要がなくなる。このため作製工程を削減し、高い歩留まりを達成することが可能になり、またアクティブマトリクス型液晶表示装置の作製コストを抑えることが可能になる。またそれに加えて、遮蔽膜をフローティングにして遮蔽膜とコモン線との間に大容量のカップリング容量を形成した場合は、遮蔽膜の電位の変動ΔＶが小さくなる。

カップリング容量の容量値が大きければ大きいほどΔＶは小さくなり、遮蔽膜の電位をより一定に保つことが可能になるため、良好なコントラストを得ることができる。

【０１１６】

図２３に図１１の上面及び断面の概略図を示す。図２３（Ｂ）は図２３（Ａ）のＡ－Ａ’における断面図である。

【０１１７】

ソース信号線駆動回路４１１（図１１に示すところの３０１）、ゲート信号線駆動回路４０２、アクティブマトリクス部４１３（図１１に示すところの３０３）、遮蔽膜４０４、ＩＴＯ膜４０６、コモン線４０７、ＦＰＣ４１４が図２３（Ａ）に示すように設けられている。

【０１１８】

ＩＴＯ膜４０６とコモン線４０７は電気的に接続されており、コモン線４０７はＦＰＣ４１４によって基板の外部に接続され、一定の電位（基準電位）に保たれている。

【０１１９】

コモン線４０７に接続されたＩＴＯ膜４０６と遮蔽膜４０４の重なった部分にカップリング容量４１６（図１１で示すところの３１０）が形成されている。

【０１２０】

基板４０１、ゲート信号線駆動回路４０２（図１１に示すところの３０２）、層間絶縁膜４０３、遮蔽膜４０４（図１１に示すところの３１１）、誘電体４０５、ＩＴＯ膜４０６、コモン線４０７（図１１に示すところの３１２）、フィラー４１２、樹脂４１０、ＦＰＣからの引き出し端子上に成膜されたＩＴＯ膜４０９、ＦＰＣからの引き出し端子４０８が図２３に示すように設けられている。

【０１２１】

遮蔽膜４０４とＩＴＯ膜４０６と、その間に挟まれた誘電体４０５とによって、カップリング容量が形成されている。ＩＴＯ膜４０６は、ゲート信号線駆動回路４０２上に設けられており、ゲート信号線駆動回路４０２の下に設けられたコモン線４０７と接続している。ＦＰＣからの引き出し端子４０８上にはＦＰＣ側のＩＴＯ膜４０９が接するように形成されており、ＦＰＣからの引き出し端子４０８上のＦＰＣ側のＩＴＯ膜４０９とＩＴＯ膜４０６とは、フィラー４１２と樹脂４１０とによって接続されている。

【０１２２】

樹脂４１０は光硬化性の樹脂であっても、熱硬化性の樹脂であっても良く、また光硬化性の樹脂と熱硬化性の樹脂との混合物であっても良い。光硬化性の樹脂と熱硬化性の樹脂との混合物を用いた場合、光によって仮接着の後、熱を加えて圧着させることにより接続する。またフィラーは導電性の材料であることが必要である。大きさの異なるフィラーを２種類以上用いても良く、この場合、サイズの小さいフィラーはスペーサとして働くので導電性でなくても良く、サイズの大きい粒子は電気的に接続させる働きをするので導電性であることが必要である。

【０１２３】

ＩＴＯ膜４０６とコモン線４０７は電気的に接続されている。コモン線４０７に接続されているＩＴＯ膜４０６と、遮蔽膜４０４と、その間に設けられた誘電体４０５によって、図１１に示すところのカップリング容量３１０が形成されている。

【０１２４】

遮蔽膜をフローティングにして遮蔽膜とコモン線との間に大容量のカップリング容量を形成した場合の画素電位のシミュレーションの結果を図１２、図２５及び図２６を用いて説明する。

【０１２５】

図１２（Ａ）は、遮蔽膜をフローティングにして遮蔽膜とコモン線との間に大容量のカップリング容量を形成したアクティブマトリクス型液晶表示装置にソース線１本おきに白黒の縦縞を表示させたときの、画素電極の電極波形のシミュレーションの結果である。画素数は１０×１０とし、ゲート信号線側駆動回路上全てに３００ｎＦの容量値のカップリ

ング容量を形成したと仮定した。図１２（Ａ）は、画面の中央もしくはその隣の画素電極の電極波形の図である。０ｍｓ～１６ｍｓが１番目の画面を表示したときの画素電位で、１６ｍｓ～３２ｍｓが２番目の画面を表示したときの画素電位である。画素電位は８Ｖを基準として±５Ｖの信号を画素電極に印加している。

【０１２６】

図２５は図１２のアクティブマトリクス基板のシミュレーションのモデルとなった回路図である。図２６は図２５における画素部の詳しい回路図である。画素ＴＦＴ３５０１、保持容量３５０２が図２６に示すように設けられている。図１２に示したシミュレーションは図２５におけるｐｏｉｎｔＡの電位を測定したものである。

【０１２７】

遮蔽膜をフローティングにせずに、低抵抗（１Ω）コモン線（ＣＯＭ）に接続して基準電位に保った場合のシミュレーションの結果を比較のために図１２（Ｂ）に示す。

【０１２８】

図１２（Ａ）と図１２（Ｂ）を比較するとほぼ同じシミュレーション結果が得られたことがわかる。つまり、遮蔽膜をコモン線に接続せずにフローティングにし、遮蔽膜とコモン線との間にカップリング容量を設けた場合でも、画素電位の変動は見られず、遮蔽膜をフローティングにせずに、コモン線（ＣＯＭ）に接続して基準電位に保った場合と同程度の画像表示が可能であることがわかった。よって画質を落とすことなく、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによってコンタクトホールをあける作製工程を削減し、高い歩留まりを達成することが可能になり、またその作製コストを抑えることが可能になる。

【実施例３】

【０１２９】

画素マトリクス回路とその周辺に設けられる駆動回路のＴＦＴを同時に作製する方法を、実施例１に示した以外の方法で作製する例について、図１３～図１５を用いて説明する。本実施例で開示するプロセスを用いて、本願発明のアクティブマトリクス型表示装置を形成しても良い。

【０１３０】

〔島状半導体層、ゲート絶縁膜形成の工程：図１３（Ａ）〕　図１３（Ａ）において、基板７００１には、無アルカリガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板や金属基板の表面に絶縁膜を形成したものを基板としても良い。

【０１３１】

そして、基板７００１のＴＦＴが形成される表面には、酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜からなる下地膜をプラズマＣＶＤ法やスパッタ法で１００～４００ｎｍの厚さに形成した。例えば下地膜として、窒化シリコン膜７００２を２５～１００ｎｍ、ここでは５０ｎｍの厚さに、酸化シリコン膜７００３を５０～３００ｎｍ、ここでは１５０ｎｍの厚さとした２層構造で形成すると良い。下地膜は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

【０１３２】

次に下地膜の上に２０～１００ｎｍの厚さの、非晶質シリコン膜を公知の成膜法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは４００～５５０℃で数時間加熱して脱水素処理を行い、含有水素量を5atom%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気にさらされないようにすることで表面の汚染を防ぐことが可能となり、作製されるＴＦＴの特性バラツキを低減させることができる。

【０１３３】

非晶質シリコン膜から結晶質シリコン膜を形成する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、シリコンの結晶化を助長する触媒元素を用いて熱結晶化の方法で結晶質シリコン膜を作製しても良い。その他に、微結晶シリコン膜を用いても良いし、結晶質シリコン膜を直接堆積成膜しても良い。さらに、単結晶シリコンを基板上に貼りあわせるＳＯＩ（Silicon On Insulators）の公知技術を使用して結晶質シリコン膜を形成しても良い。

【０１３４】

こうして形成された結晶質シリコン膜の不要な部分をエッチング除去して、島状半導体層７００４～７００６を形成した。結晶質シリコン膜のｎチャネル型ＴＦＴが作製される領域には、しきい値電圧を制御するため、あらかじめ1×10^{15}～$5\times10^{17}cm^{-3}$程度の濃度でボロン（Ｂ）を添加しておいても良い。

【０１３５】

次に、島状半導体層７００４～７００６を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜７００７を形成した。ゲート絶縁膜７００７は、１０～２００ｎｍ、好ましくは５０～１５０ｎｍの厚さに形成すれば良い。

例えば、プラズマＣＶＤ法でN_2OとSiH_4を原料とした窒化酸化シリコン膜を７５ｎｍ形成し、その後、酸素雰囲気中または酸素と塩酸の混合雰囲気中、８００～１０００℃で熱酸化して１１５ｎｍのゲート絶縁膜としても良い。（図１３（Ａ））

【０１３６】

〔n^-領域の形成：図１３（Ｂ）〕　島状半導体層７００４、７００６及び配線を形成する領域の全面と、島状半導体層７００５の一部（チャネル形成領域となる領域を含む）にレジストマスク７００８～７０１１を形成し、ｎ型を付与する不純物元素を添加して低濃度不純物領域７０１２を形成した。この低濃度不純物領域７０１２は、後にＣＭＯＳ回路のｎチャネル型ＴＦＴに、ゲート絶縁膜を介してゲート電極と重なるＬＤＤ領域（本明細書中ではLov領域という。なお、ovとはoverlapの意味である。）を形成するための不純物領域である。なお、ここで形成された低濃度不純物領域に含まれるｎ型を付与する不純物元素の濃度を（n^-）で表すこととする。従って、本明細書中では低濃度不純物領域７０１２をn^-領域と言い換えることができる。

【０１３７】

ここではフォスフィン（PH_3）を質量分離しないでプラズマ励起したイオンドープ法でリンを添加した。望ましければ、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート絶縁膜７００７を通してその下の半導体層にリンを添加した。添加するリン濃度は、5×10^{17}～$5\times10^{18}atoms/cm^3$の範囲にするのが好ましく、ここでは$1\times10^{18}atoms/cm^3$とした。

【０１３８】

その後、レジストマスク７００８～７０１１を除去し、窒素雰囲気中で４００～９００℃、好ましくは５５０～８００℃で１～１２時間の熱処理を行ない、この工程で添加されたリンを活性化する工程を行なった。

【０１３９】

〔ゲート電極用および配線用導電膜の形成：図１３（Ｃ）〕　第１の導電膜７０１３を、タンタル（Ｔａ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タングステン（Ｗ）から選ばれた元素またはいずれかを主成分とする導電性材料で、１０～１００ｎｍの厚さに形成した。第１の導電膜７０１３としては、例えば窒化タンタル（ＴａＮ）や窒化タングステン（ＷＮ）を用いることが望ましい。さらに、第１の導電膜７０１３上に第２の導電膜７０１４をＴａ、Ｔｉ、Ｍｏ、Ｗから選ばれた元素またはいずれかを主成分とする導電性材料で、１００～４００ｎｍの厚さに形成した。例えば、Ｔａを２００ｎｍの厚さに形成すれば良い。また、図示しないが、第１の導電膜７０１３の下に導電膜７０１３、７０１４（特に導電膜７０１４）の酸化防止のためにシリコン膜を２～２０ｎｍ程度の厚さで形成しておくことは有効である。

【０１４０】

〔ｐ－ｃｈゲート電極、配線電極の形成とｐ$^{++}$領域の形成：図１４（Ａ）〕　レジストマスク７０１５～７０１８を形成し、第１の導電膜と第２の導電膜（以下、積層膜として取り扱う）をエッチングして、ｐチャネル型ＴＦＴのゲート電極７０１９、ゲート信号線７０２０、７０２１を形成した。なお、ｎチャネル型ＴＦＴとなる領域の上には全面を覆うように導電膜７０２２、７０２３を残した。

【０１４１】

そして、レジストマスク７０１５～７０１８をそのまま残してマスクとし、ｐチャネル型ＴＦＴが形成される半導体層７００４の一部に、ｐ型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン（B_2H_6）を用いてイオンドープ法（勿論、イオンインプランテーション法でも良い）で添加した。ここでは５×１０^{20}～３×１０^{21}atoms/cm^{3}の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれるｐ型を付与する不純物元素の濃度を（ｐ$^{++}$）で表すこととする。従って、本明細書中では不純物領域７０２４、７０２５をｐ$^{++}$領域と言い換えることができる。

【０１４２】

なお、この工程において、レジストマスク７０１５～７０１８を使用してゲート絶縁膜７００７をエッチング除去して、島状半導体層７００４の一部を露出させた後、ｐ型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【０１４３】

〔ｎ－ｃｈゲート電極の形成：図１４（Ｂ）〕　次に、レジストマスク７０１５～７０１８を除去した後、レジストマスク７０２６～７０２９を形成し、ｎチャネル型ＴＦＴのゲート電極７０３０、７０３１を形成した。このときゲート電極７０３０はｎ$^-$領域７０１２とゲート絶縁膜を介して重なるように形成した。

【０１４４】

〔ｎ$^+$領域の形成：図１４（Ｃ）〕　次に、レジストマスク７０２６～７０２９を除去し、レジストマスク７０３２～７０３４を形成した。そして、ｎチャネル型ＴＦＴにおいて、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行なった。レジストマスク７０３４はｎチャネル型ＴＦＴのゲート電極７０３１を覆う形で形成した。これは、後の工程において画素マトリクス回路のｎチャネル型ＴＦＴに、ゲート電極と重ならないようにＬＤＤ領域を形成するためである。

【０１４５】

そして、ｎ型を付与する不純物元素を添加して不純物領域７０３５～７０３９を形成した。ここでも、フォスフィン（PH_3）を用いたイオンドープ法（勿論、イオンインプランテーション法でも良い）で行い、この領域のリンの濃度は１×１０^{20}～１×１０^{21}atoms/cm^{3}とした。なお、ここで形成された不純物領域７０３７～７０３９に含まれるｎ型を付与する不純物元素の濃度を（ｎ$^+$）で表すこととする。従って、本明細書中では不純物領域７０３７～７０３９をｎ$^+$領域と言い換えることができる。また、不純物領域７０３５は既にｎ$^-$領域が形成されていたので、厳密には不純物領域７０３７～７０３９よりも若干高い濃度でリンを含む。

【０１４６】

なお、この工程において、レジストマスク７０３２～７０３４およびゲート電極７０３０をマスクとしてゲート絶縁膜７００７をエッチングし、島状半導体膜７００５、７００６の一部を露出させた後、ｎ型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【０１４７】

〔ｎ$^{--}$領域の形成：図１５（Ａ）〕　次に、レジストマスク７０３２～７０３４を除去し、画素マトリクス回路のｎチャネル型ＴＦＴとなる島状半導体層７００６にｎ型を付与する不純物元素を添加する工程を行った。こうして形成された不純物領域７０４０～７０

４３には前記ｎ⁻領域と同程度かそれより少ない濃度（具体的には5×10^{16}～1×10^{18}atoms/cm^3）のリンが添加されるようにした。なお、ここで形成された不純物領域７０４０～７０４３に含まれるｎ型を付与する不純物元素の濃度を（ｎ⁻⁻）で表すこととする。従って、本明細書中では不純物領域７０４０～７０４３をｎ⁻⁻領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域７０６７を除いて全ての不純物領域にｎ⁻⁻の濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。

【０１４８】

〔熱活性化の工程：図１５（Ｂ）〕　次に、後に第１の層間絶縁膜の一部となる保護絶縁膜７０４４を形成した。保護絶縁膜７０４４は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は１００～４００ｎｍとすれば良い。

【０１４９】

その後、それぞれの濃度で添加されたｎ型またはｐ型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法（ＲＴＡ法）で行うことができる。ここではファーネスアニール法で活性化工程を行った。加熱処理は、窒素雰囲気中において３００～６５０℃、好ましくは４００～５５０℃、ここでは４５０℃、２時間の熱処理を行った。

【０１５０】

さらに、３～１００％の水素を含む雰囲気中で、３００～４５０℃で１～１２時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。

水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【０１５１】

〔層間絶縁膜、ソース／ドレイン電極、遮蔽膜、画素電極、保持容量の形成：図１５（Ｃ）〕　活性化工程を終えたら、保護絶縁膜７０４４の上に０．５～１．５μｍ厚の層間絶縁膜７０４５を形成した。前記保護絶縁膜７０４４と層間絶縁膜７０４５とでなる積層膜を第１の層間絶縁膜とした。

【０１５２】

その後、それぞれのＴＦＴのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース電極７０４６～７０４８と、ドレイン電極７０４９、７０５０を形成した。図示していないが、本実施例ではこの電極を、Ｔｉ膜を１００ｎｍ、Ｔｉを含むアルミニウム膜３００ｎｍ、Ｔｉ膜１５０ｎｍをスパッタ法で連続して形成した３層構造の積層膜とした。

【０１５３】

次に、パッシベーション膜７０５１として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で５０～５００ｎｍ（代表的には２００～３００ｎｍ）の厚さで形成した。その後、この状態で水素化処理を行うとＴＦＴの特性向上に対して好ましい結果が得られた。例えば、３～１００％の水素を含む雰囲気中で、３００～４５０℃で１～１２時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン電極を接続するためのコンタクトホールを形成する位置において、パッシベーション膜７０５１に開口部を形成しておいても良い。

【０１５４】

その後、有機樹脂からなる第２の層間絶縁膜７０５２を約１μｍの厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、ＢＣＢ（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、３００℃で

焼成して形成した。

【０１５５】

次に、画素マトリクス回路となる領域において、第２の層間絶縁膜７０５２上に遮蔽膜７０５３を形成した。遮蔽膜７０５３はアルミニウム（Ａｌ）、チタン（Ｔｉ）、タンタル（Ｔａ）から選ばれた元素またはいずれかを主成分とする膜で１００～３００ｎｍの厚さに形成した。そして、遮蔽膜７０５４の表面に陽極酸化法またはプラズマ酸化法により３０～１５０ｎｍ（好ましくは５０～７５ｎｍ）の厚さの酸化膜７０５４を形成した。ここでは遮蔽膜７０５３としてアルミニウム膜またはアルミニウムを主成分とする膜を用い、誘電体７０５４として酸化アルミニウム膜（アルミナ膜）を用いた。

【０１５６】

なお、ここでは遮蔽膜の表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマＣＶＤ法、熱ＣＶＤ法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は３０～１５０ｎｍ（好ましくは５０～７５ｎｍ）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、ＤＬＣ（Diamond like carbon）膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【０１５７】

次に、第２の層間絶縁膜７０５２にドレイン電極７０５０に達するコンタクトホールを形成し、画素電極７０５５を形成した。なお、画素電極７０５６、７０５７はそれぞれ隣接する別の画素の画素電極である。画素電極７０５５～７０５７は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ＩＴＯ）膜を１００ｎｍの厚さにスパッタ法で形成した。

【０１５８】

また、この時、画素電極７０５５と遮蔽膜７０５３とが酸化膜７０５４を介して重なった領域７０５８が保持容量を形成した。

【０１５９】

こうして同一基板上に、ドライバー回路となるＣＭＯＳ回路と画素マトリクス回路とを有したアクティブマトリクス基板が完成した。なお、ドライバー回路となるＣＭＯＳ回路にはｐチャネル型ＴＦＴ７０８１、ｎチャネル型ＴＦＴ７０８２が形成され、画素マトリクス回路にはｎチャネル型ＴＦＴでなる画素ＴＦＴ７０８３が形成された。

【０１６０】

ＣＭＯＳ回路のｐチャネル型ＴＦＴ７０８１には、チャネル形成領域７０６１、ソース領域７０６２、ドレイン領域７０６３がそれぞれp^+領域で形成された。また、ｎチャネル型ＴＦＴ７０８２には、チャネル形成領域７０６４、ソース領域７０６５、ドレイン領域７０６６、ゲート絶縁膜を介してゲート電極と重なったＬＤＤ領域（以下、Lov領域という。なお、ovとはoverlapの意である。）
７０６７が形成された。この時、ソース領域７０６５、ドレイン領域７０６６はそれぞれ（n^-＋n^+）領域で形成され、Lov領域７０６７はn^-領域で形成された。

【０１６１】

また、画素ＴＦＴ７０８３には、チャネル形成領域７０６８、７０６９、ソース領域７０７０、ドレイン領域７０７１、ゲート絶縁膜を介してゲート電極と重ならないＬＤＤ領域（以下、Loff領域という。なお、offとはoffsetの意である。）７０７２～７０７５、Loff領域７０７３、７０７４に接したn^+領域７０７６が形成された。この時、ソース領域７０７０、ドレイン領域７０７１はそれぞれn^+領域で形成され、Loff領域７０７２～７０７５はn^-領域で形成された。

【０１６２】

また、チャネル長３～７μｍに対してLov領域の長さ（幅）は０．５～３．０μｍ、代表的には１．０～１．５μｍとすれば良い。また、画素ＴＦＴ７０８３に設けられるLoff領域７０７２～７０７５の長さ（幅）は０．５～３．５μｍ、代表的には２．０～２．

５μｍとすれば良い。

【０１６３】

図２８に、コモン線と、ＦＰＣからの引き出し端子との接合部分を示す。基板７００１、図１５（Ｃ）に示したｎチャネル型ＴＦＴを有するゲート信号線駆動回路２９０２、コモン線２９０３、遮蔽膜２９０４、誘電体２９０５、ＩＴＯ膜２９０６、フィラー２９０７、樹脂２９０８、ＦＰＣからの引き出し端子上に成膜されたＩＴＯ膜２９０９、ＦＰＣからの引き出し端子２９１０が図２８に示すように設けられている。

【０１６４】

遮蔽膜２９０４とＩＴＯ膜２９０６と、その間に挟まれた誘電体２９０５とによって、カップリング容量が形成されている。ＩＴＯ膜２９０６は、ゲート信号線駆動回路２９０２上に設けられており、ゲート信号線駆動回路２９０２の下に設けられたコモン線２９０３と接続している。ＦＰＣからの引き出し端子２９１０上にはＦＰＣ側のＩＴＯ膜２９０９が接するように形成されており、ＦＰＣからの引き出し端子２９１０上のＦＰＣ側のＩＴＯ膜２９０９とＩＴＯ膜２９０６とは、フィラー２９０７と樹脂２９０８とによって接続されている。

【０１６５】

樹脂２９０８は光硬化性の樹脂であっても、熱硬化性の樹脂であっても良く、また光硬化性の樹脂と熱硬化性の樹脂との混合物であっても良い。光硬化性の樹脂と熱硬化性の樹脂との混合物を用いた場合、光によって仮接着の後、熱を加えて圧着させることにより接続する。またフィラーは導電性の材料であることが必要である。大きさの異なるフィラーを２種類以上用いても良く、この場合、サイズの小さいフィラーはスペーサとして働くので導電性でなくても良く、サイズの大きい粒子は電気的に接続させる働きをするので導電性であることが必要である。

【０１６６】

本願発明では、ソースライン反転によって液晶を駆動してやり、かつ遮蔽膜を一定の電位（基準電位）に保たれたコモン線に接続しない。ソースライン反転によって、遮蔽膜の電位は時間的に平均を取ると一定に保たれるので、遮蔽膜と画素電極との間に誘電体を挟み込んだ構造の保持容量において、遮蔽膜をフローティングにすることが可能になる。よって遮蔽膜をパターニングによって形成した後に、遮蔽膜とコモン線とを接続するために、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによるコンタクトホールをあける必要がなくなる。このため作製工程を削減し、高い歩留まりを達成することが可能になり、またアクティブマトリクス型液晶表示装の作製コストを抑えることが可能になる。

【実施例４】

【０１６７】

上述の実施例１～３で説明した本願発明の液晶表示装置は、図１６に示すような３板式のプロジェクタに用いることができる。

【０１６８】

図１６において、２４０１は白色光源、２４０２～２４０５はダイクロイックミラー、２４０６ならびに２４０７は全反射ミラー、２４０８～２４１０は本願発明の液晶表示装置、および２４１１は投影レンズである。

【実施例５】

【０１６９】

また、上述の実施例１～３で説明した本願発明の液晶表示装置は、図１７に示すような３板式のプロジェクタに用いることもできる。

【０１７０】

図１７において、２５０１は白色光源、２５０２ならびに２５０３はダイクロイックミラー、２５０４～２５０６は全反射ミラー、２５０７～２５０９は本願発明の液晶表示装置、および２５１０はダイクロイックプリズム、および２５１１は投影レンズである。

【実施例６】

【０１７１】
また、上述の実施例１～３で説明した本願発明の液晶表示装置は、図１８に示すような単板式のプロジェクタに用いることもできる。
【０１７２】
図１８において、２６０１はランプとリフレクターとから成る白色光源である。２６０２、２６０３、および２６０４は、ダイクロイックミラーであり、それぞれ青、赤、緑の波長領域の光を選択的に反射する。２６０５はマイクロレンズアレイであり、複数のマイクロレンズによって構成されている。２６０６は本願発明の液晶表示装置である。２６０７はフィールドレンズ、２６０８は投影レンズ、２６０９はスクリーンである。
【実施例７】
【０１７３】
上記実施例５～７のプロジェクタは、その投影方法によってリアプロジェクターとフロントプロジェクターとがある。
【０１７４】
図１９（Ａ）はフロント型プロジェクターであり、本体１０００１、本願発明の液晶表示装置１００００２、光源１００００３、光学系１００００４、スクリーン１００００５で構成されている。なお、図１９（Ａ）には、液晶表示装置を１つ組み込んだフロントプロジェクターが示されているが、液晶表示装置を３つ（Ｒ、Ｇ、Ｂの光にそれぞれ対応させる）組み込むことによって、より高解像度・高精細のフロント型プロジェクタを実現することができる。
【０１７５】
図１９（Ｂ）はリア型プロジェクターであり、１００００６は本体、１００００７は液晶表示装置であり、１００００８は光源であり、１００００９はリフレクター、１００１０はスクリーンである。なお、図１９（Ｂ）には、アクティブマトリクス型半導体表示装置を３つ（Ｒ、Ｇ、Ｂの光にそれぞれ対応させる）組み込んだリア型プロジェクタが示されている。
【実施例８】
【０１７６】
本実施例では、本願発明の液晶表示装置をゴーグル型ディスプレイに用いた例を示す。
【０１７７】
図２０を参照する。２８０１はゴーグル型ディスプレイ本体である。２８０２－Ｒならびに２８０２－Ｌは本願発明の液晶表示装置であり、２８０３－Ｒならびに２８０３－ＬはＬＥＤバックライトであり、２８０４－Ｒならびに２８０４－Ｌは光学素子である。
【実施例９】
【０１７８】
本願発明の液晶表示装置には他に様々な用途がある。本実施例では、本願発明の液晶表示装置を組み込んだ半導体装置について説明する。
【０１７９】
このような半導体装置には、ビデオカメラ、スチルカメラ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話など）などが挙げられる。それらの一例を図２１に示す。
【０１８０】
図２１（Ａ）は携帯電話であり、本体１１００１、音声出力部１１００２、音声入力部１１００３、本願発明の液晶表示装置１１００４、操作スイッチ１１００５、アンテナ１１００６で構成される。
【０１８１】
図２１（Ｂ）はビデオカメラであり、本体１２００７、本願発明の液晶表示装置１２００８、音声入力部１２００９、操作スイッチ１２０１０、バッテリー１２０１１、受像部１２０１２で構成される。
【０１８２】

図２１（Ｃ）はモバイルコンピュータであり、本体１３００１、カメラ部１３００２、受像部１３００３、操作スイッチ１３００４、本願発明の液晶表示装置１３０５で構成される。

【０１８３】

図２１（Ｄ）は携帯書籍（電子書籍）であり、本体１４００１、本願発明の液晶表示装置１４００２、１４００３、記憶媒体１４００４、操作スイッチ１４００５、アンテナ１４００６で構成される。

【実施例１０】

【０１８４】

本実施例においては、本願発明の液晶表示装置をノートブック型パーソナルコンピュータに用いた例を図２２に示す。

【０１８５】

３００１はノートブック型パーソナルコンピュータ本体であり、３００２は本願発明の液晶表示装置である。また、バックライトにはＬＥＤが用いられている。なお、バックライトに従来のように陰極管を用いても良い。

【実施例１１】

【０１８６】

本実施例では、遮蔽膜をアクティブマトリクス部を有するアクティブマトリクス基板上だけではなく、対向基板上にも設ける例について説明する。

【０１８７】

基板（アクティブマトリクス基板）５０１、ソース信号線駆動回路５１１、ゲート信号線駆動回路５０２、アクティブマトリクス部５１３、遮蔽膜５０４、ＩＴＯ膜５０６、コモン線５０７、ＦＰＣ５１４が図２４（Ａ）に示すように設けられている。また対向基板上に設けられた対向遮蔽膜５１７が図に示すようにソース信号線駆動回路５１１全体と重なっており、遮蔽膜５０４と一部重なっている。この実施例では対向遮蔽膜５０４をソース信号線駆動回路５１１全体と重なるように、対向基板上に設けたが、ソース信号線駆動回路が有するサンプリング回路のみと重なるようにしても良い。

【０１８８】

ＩＴＯ膜５０６とコモン線５０７は電気的に接続されており、コモン線５０７はＦＰＣ５１４によって基板の外部に接続され、一定の電位（基準電位）に保たれている。

【０１８９】

コモン線５０７に接続されたＩＴＯ膜５０６と遮蔽膜５０４の重なった部分にカップリング容量５１６が形成されている。

【０１９０】

対向遮蔽膜５１７と遮蔽膜５０４の重なっている部分（重複部）５１８は、外部からの光がソース信号線駆動回路５１１に入射するのを防ぐ。光がソース信号線駆動回路５１１、特にソース信号線駆動回路が有するサンプリング回路に入射すると、サンプリング回路を構成する薄膜トランジスタ（ＴＦＴ）のオフ電流が増加してしまい、ノイズの原因となる。対向遮蔽膜５１７は、Ｔｉを有していることが望ましく、Ｔｉを有することで光が対向遮蔽膜５１７に反射してソース信号線駆動回路に入射するのを防ぐ。また重複部５１８を２０μｍ以上設けることが、ソース信号線駆動回路５１１への光の入射を防ぐのに効果的である。

【０１９１】

図２４（Ｂ）に、図２４（Ａ）のＡ－Ａ’における断面図を示す。基板５０１、アクティブマトリクス部５１３、層間絶縁膜５１２、遮蔽膜５０４、誘電体５０５、対向基板５２１、対向基板側層間絶縁膜５２２、対向基板側遮蔽膜５１７が図に示すように設けられている。基板５０１と対向基板５２１はスペーサ（図示せず）を挟んで、シール材（図示せず）により接着される。遮蔽膜５０４と対向基板側遮蔽膜５１７は一部重なっており、この重なりの幅Ｌは２０μｍ以上あることが好ましい。

【０１９２】

また、アクティブマトリクス基板上の回路は、実施例１～３と同様の方法で作製すれば良い。また以下の実施例で開示される方法を用いても良い。

【実施例１２】

【０１９３】

本願発明の画素マトリクス回路とその周辺に設けられる駆動回路のＴＦＴを同時に作製する実施例１に示した以外の方法の一例について、図２９を用いて説明する。なお、本願発明はこの作製方法に限られない。

【０１９４】

実施例１の図８（Ｃ）の工程まで同様に形成する。次にレジストマスクを用いて、第１の導電膜と第２の導電膜（以下、積層膜として取り扱う）をエッチングして、ｐチャネル型ＴＦＴのゲート電極８００１、ｎチャネル型ＴＦＴのゲート電極８００２、ゲート信号線８００３ａ、８００３ｂを形成した。このときゲート電極８００２はn^-領域６０１２、６０１３とゲート絶縁膜を介して重なるようにした。（図２９（Ａ））

【０１９５】

そして、ｐチャネル型ＴＦＴのゲート電極８００１、ｎチャネル型ＴＦＴのゲート電極８００２、ゲート信号線８００３ａ、８００３ｂをそれぞれマスクとして、ｎ型を付与する不純物を添加した。こうして形成された不純物領域８００４、８００５、８００６、８００７、８００８には、図８（Ｂ）で示した前記n^-領域と同程度かそれより少ない濃度（具体的には5×10^{16}～1×10^{18}atoms／cm^3）のリンが添加されるようにした。なお、ここで形成された不純物領域８００４～８００８に含まれるｎ型を付与する不純物元素の濃度を（n^{--}）で表すこととする。従って、本明細書中では不純物領域８００４～８００８をn^{--}領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域８００９、８０１０を除いて全ての不純物領域にn^{--}の濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。（図２９（Ｂ））

【０１９６】

次に、レジストマスク８０１１～８０１４を形成した。そして、ｎチャネル型ＴＦＴにおいて、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行なった。レジストマスク８０１２はｎチャネル型ＴＦＴのゲート電極８００２を覆う形で形成した。これは、後の工程において画素マトリクス回路のｎチャネル型ＴＦＴに、ゲート電極と重ならないようにＬＤＤ領域を形成するためである。

【０１９７】

そして、ｎ型を付与する不純物元素を添加して不純物領域８０１６～８０２２を形成した。ここでも、フォスフィン（PH_3）を用いたイオンドープ法（勿論、イオンインプランテーション法でも良い）で行い、この領域のリンの濃度は1×10^{20}～1×10^{21}atoms/cm^3とした。なお、ここで形成された不純物領域８０１８～８０２２に含まれるｎ型を付与する不純物元素の濃度を（n^+）で表すこととする。従って、本明細書中では不純物領域８０１８～８０２２をn^+領域と言い換えることができる。また、不純物領域８００９、８０１０は既にn^-領域が形成されていたので、厳密には不純物領域８０２０～８０２２よりも若干高い濃度でリンを含む。（図２９（Ｃ））

【０１９８】

なお、この工程において、レジストマスク８０１１～８０１４をマスクとしてゲート絶縁膜６００７をエッチングし、島状半導体膜６００５、６００６の一部を露出させた後、ｎ型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【０１９９】

レジストマスク８０２４を、ｎチャネル型ＴＦＴとなる領域の上全面を覆うように形成した。そして、レジストマスク８０２４をマスクとし、ｐチャネル型ＴＦＴが形成される半導体層６００４の一部に、ｐ型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン（B_2H_6）を用いてイオンドープ法（勿論、イオンインプランテーション法でも良い）で添加した。ここでは5×10^{20}～3×10^{21}

atoms/cm^{3}の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれるｐ型を付与する不純物元素の濃度を（ｐ$^+$）で表すこととする。従って、本明細書中では不純物領域８０２５、８０２６をｐ$^+$領域と言い換えることができる。（図２９（Ｄ））

【０２００】

なお、この工程において、レジストマスク８０２４を使用してゲート絶縁膜６００７をエッチング除去して、島状半導体層６００４の一部を露出させた後、ｐ型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【０２０１】

次に、添加された不純物元素（リンまたはボロン）の活性化工程を行う。本実施例ではこの活性化工程をファーネスアニールまたはランプアニールによって行うことが好ましい。ファーネスアニールを用いる場合、４５０～６５０℃、好ましくは５００～５５０℃、ここでは５００℃、４時間の熱処理を行うことにする。（図２９（Ｅ））

【０２０２】

本実施例の場合、ｎチャネル型ＴＦＴおよびｐチャネル型ＴＦＴの双方のソース領域またはドレイン領域に、必ずｎ$^+$領域に相当する濃度のリンが含まれた領域を有する。そのため、熱活性化のための熱処理工程において、リンによるニッケルのゲッタリング効果を得ることができる。即ち、チャネル形成領域から矢印で示す方向へニッケルが移動し、ソース領域またはドレイン領域に含まれるリンの作用によってゲッタリングされる。これは特に結晶化を促進させる金属、例えばニッケルを用いた場合に有効である。

【０２０３】

このように本実施例を実施すると、島状半導体膜に添加された不純物元素の活性化工程と、結晶化に用いた触媒元素のゲッタリング工程とを兼ねることができ、工程の簡略化に有効である。

【０２０４】

そして実施例１で上述したように、図１０（Ｃ）に示したのと同様の工程で、画素マトリクス回路とその周辺に設けられる駆動回路のＴＦＴを完成する。なお、本実施例で示した作製工程は一例であり、作製工程の順序は本実施例の形態に限られない。

【実施例１３】

【０２０５】

本実施例では、本願発明のアクティブマトリクス回路の断面図及び上面図の、図２３で示したものとは別の例について説明する。図３０に図１１の上面及び断面の概略図を示す。図３０（Ａ）は本願発明のアクティブマトリクス回路の上面図である。

【０２０６】

基板６０１に、ソース信号線駆動回路６１１（図１１に示すところの３０１）、ゲート信号線駆動回路６０２（図１１に示すところの３０２）、アクティブマトリクス部６１３（図１１に示すところの３０３）、遮蔽膜６０４、ＩＴＯ膜６０６、コモン線６０７、ＦＰＣ６１４が図３０（Ａ）に示すように設けられている。

【０２０７】

ＩＴＯ膜６０６とコモン線６０７は、接続部６０８において電気的に接続しており、コモン線６０７はＦＰＣ６１４によって基板の外部に接続され、一定の電位（基準電位）に保たれている。

【０２０８】

コモン線６０７に接続されたＩＴＯ膜６０６と遮蔽膜６０４の重なった部分にカップリング容量６１６（図１１で示すところの３１０）が形成されている。本実施例においてＩＴＯ膜６０６はゲート信号線駆動回路６０２の一部を覆うように形成されているため、容量値の大きいカップリング容量６１６を形成することが可能である。なおＩＴＯ膜６０６をゲート信号線駆動回路６０２全体を覆うように形成しても良い。

【０２０９】

図３０（Ｂ）は、図３０（Ａ）のＡ－Ａ’における断面図である。基板６０１、ゲート

信号線駆動回路６０２が有するｎチャネル型ＴＦＴの１つ６１６、層間絶縁膜６１７、遮蔽膜６０４（図１１に示すところの３１１）、誘電体６０５、ＩＴＯ膜６０６、コモン線６０７（図１１に示すところの３１２）、フィラー６１２、樹脂６１０、ＦＰＣからの引き出し端子上に成膜されたＩＴＯ膜６０９、ＦＰＣからの引き出し端子６１５が図３０（Ｂ）に示すように設けられている。

【０２１０】

遮蔽膜６０４とＩＴＯ膜６０６と、その間に挟まれた誘電体６０５とによって、カップリング容量が形成されている。ＩＴＯ膜６０６は、ゲート信号線駆動回路６０２上に設けられており、言い換えると、ゲート信号線駆動回路６０２が有するｎチャネル型ＴＦＴの１つ６１６の上に設けられている。

【０２１１】

またＩＴＯ膜６０６は、基板６０１上に設けられたコモン線６０７と、接続部６０８において接続している。なお本実施例ではＩＴＯ膜６０６とコモン線６０７とを直接接続しているが、別の配線等を間に介して接続することにより、ＩＴＯ膜６０６とコモン線６０７とを電気的に接続しても良いことは言うまでもない。

【０２１２】

ＦＰＣからの引き出し端子６１５上にはＦＰＣ側のＩＴＯ膜６０９が接するように形成されており、ＦＰＣからの引き出し端子６１５上のＦＰＣ側のＩＴＯ膜６０９とＩＴＯ膜６０６とは、フィラー６１２と樹脂６１０とによって接続されている。

【０２１３】

樹脂６１０は光硬化性の樹脂であっても、熱硬化性の樹脂であっても良く、また光硬化性の樹脂と熱硬化性の樹脂との混合物であっても良い。光硬化性の樹脂と熱硬化性の樹脂との混合物を用いた場合、光によって仮接着の後、熱を加えて圧着させることにより接続する。またフィラーは導電性の材料であることが必要である。大きさの異なるフィラーを２種類以上用いても良く、この場合、サイズの小さいフィラーはスペーサとして働くので導電性でなくても良く、サイズの大きい粒子は電気的に接続させる働きをするので導電性であることが必要である。

【０２１４】

本実施例のアクティブマトリクス回路と駆動回路は、これまでの実施例で開示した方法を用いて作製することが可能である。

【実施例１４】

【０２１５】

本実施例では、本願発明を用いた電気光学装置のうち、図１６～図２２で示した以外のものについて、その一例を図３１に示す。

【０２１６】

図３１（Ａ）はディスプレイであり、筐体２００１、支持台２００２、表示部２００３等を含む。本願発明は表示部２００３に適用することができる。

【０２１７】

図３１（Ｂ）は頭部取り付け型のディスプレイの一部（右片側）であり、本体２２０１、信号ケーブル２２０２、頭部固定バンド２２０３、スクリーン部２２０４、光学系２２０５、表示部２２０６等を含む。本願発明は表示部２２０６に適用できる。

【０２１８】

図３１（Ｃ）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体２３０１、表示部２３０２、スピーカ部２３０３、記録媒体２３０４、操作スイッチ２３０５で構成される。なお、この装置は記録媒体としてＤＶＤ（Ｄｉｇｉｔａｌ　Ｖｅｒｓａｔｉｌｅ　Ｄｉｓｃ）、ＣＤ等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本願発明は表示部２３０２に適用することができる。

【０２１９】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用するこ

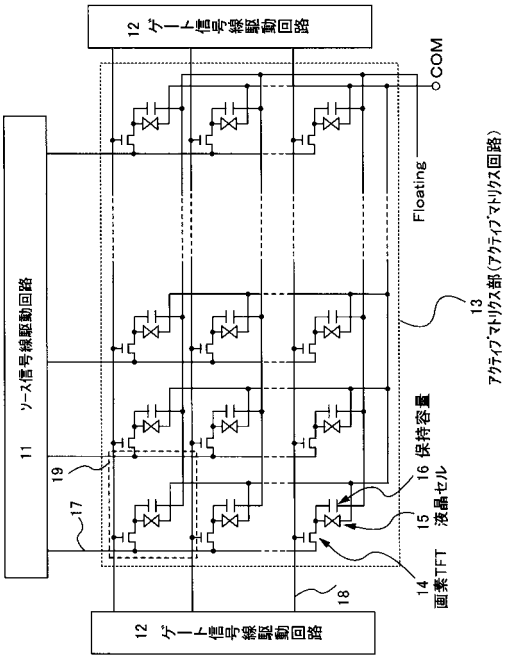
とが可能である。また、本実施例の電子機器は実施例１～３、１１～１３のどのような組み合わせからなる構成を用いても実現することができる。

【符号の説明】

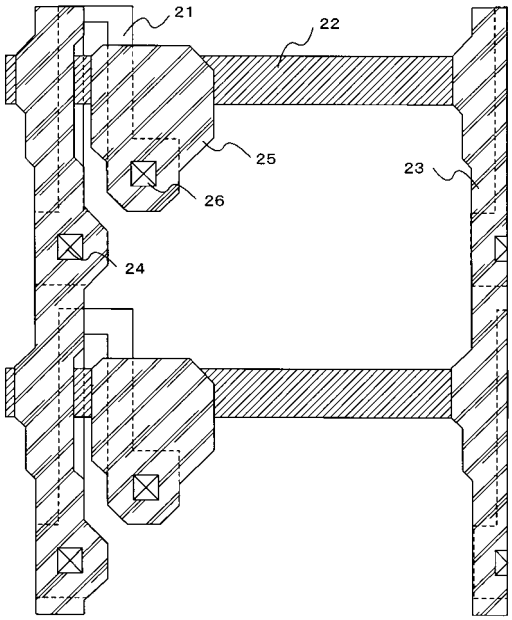
【０２２０】

１１　ソース信号線駆動回路
１２　ゲート信号線駆動回路
１３　アクティブマトリクス部
１４　画素ＴＦＴ
１５　液晶
１６　保持容量
１７　ソース信号線
１８　ゲート信号線
１９　画素部

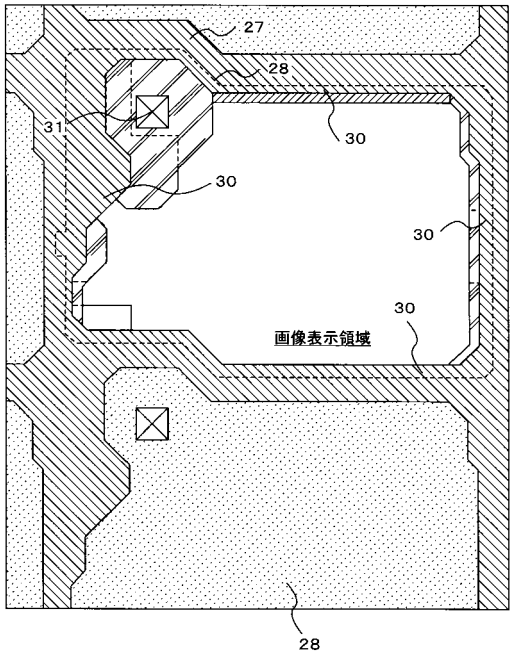
【図１】



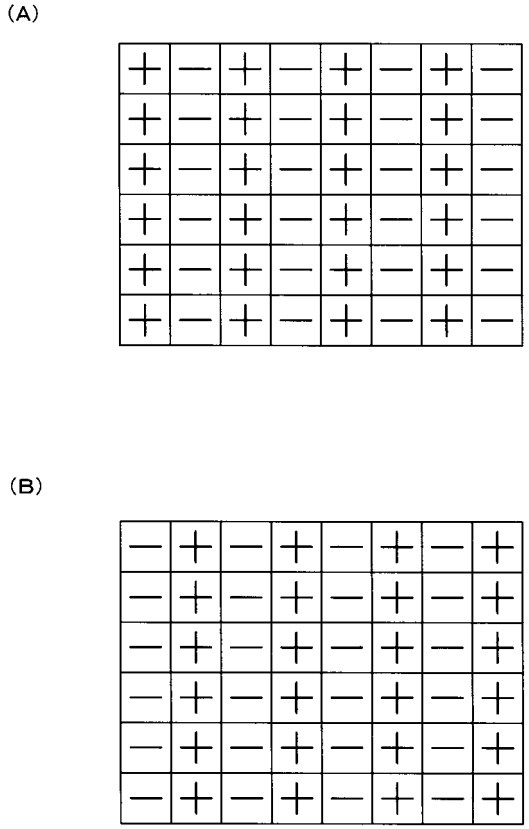
【図２】



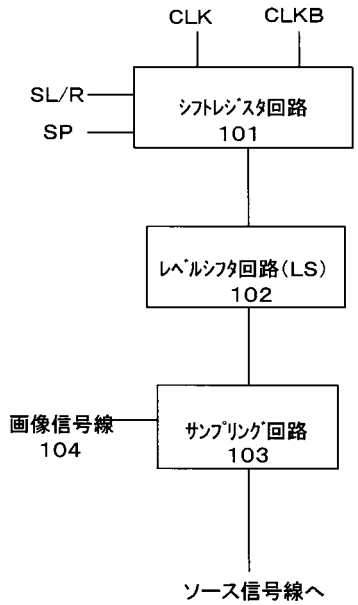
【図３】


27
28
31
30
30
30
30
画像表示領域
28

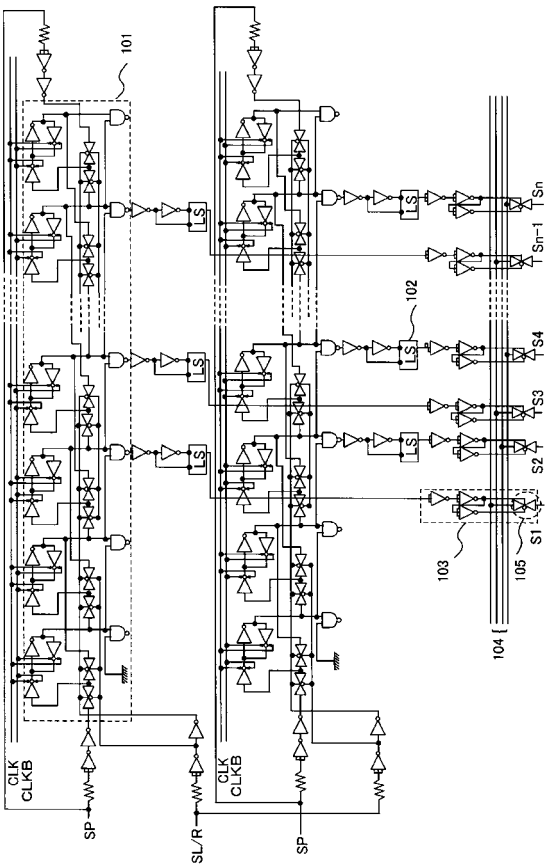
【図４】


(A)
(B)

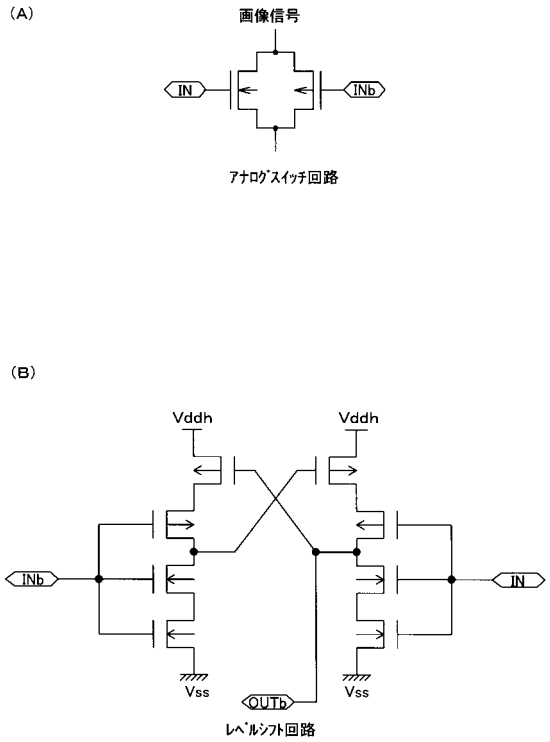
【図５】


CLK
CLKB
SL/R
SP
シフトレジスタ回路
101
レベルシフタ回路(LS)
102
画像信号線
104
サンプリング回路
103
ソース信号線へ

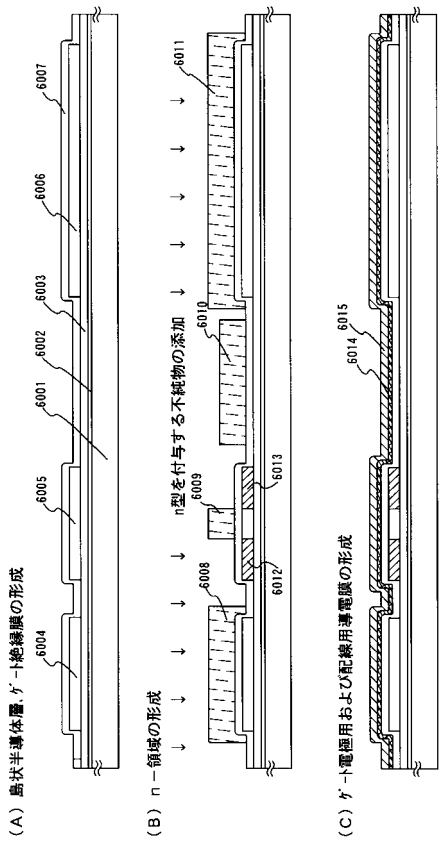
【図６】


101
102
103
104
105
LS
Sn
Sn-1
S4
S3
S2
S1
CLK
CLKB
SP
SL/R

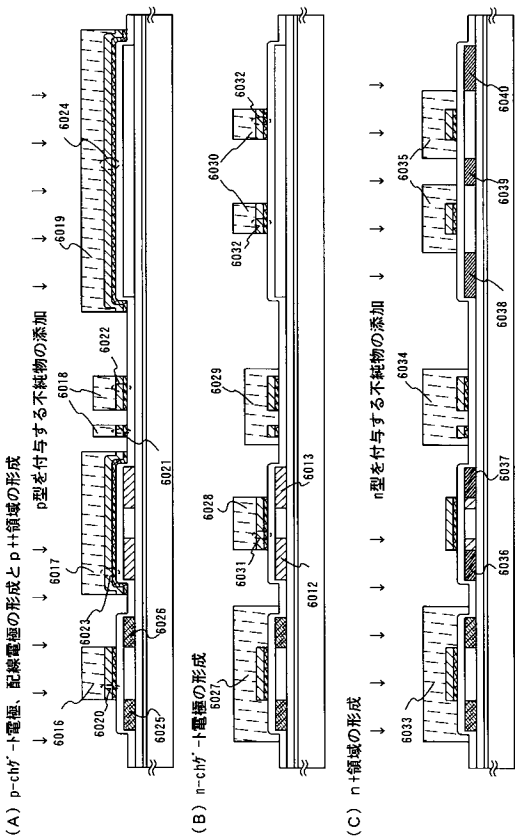
【図７】


(A)
画像信号
IN
INb
アナログスイッチ回路
(B)
Vddh
Vddh
INb
IN
Vss
OUTb
Vss
レベルシフト回路

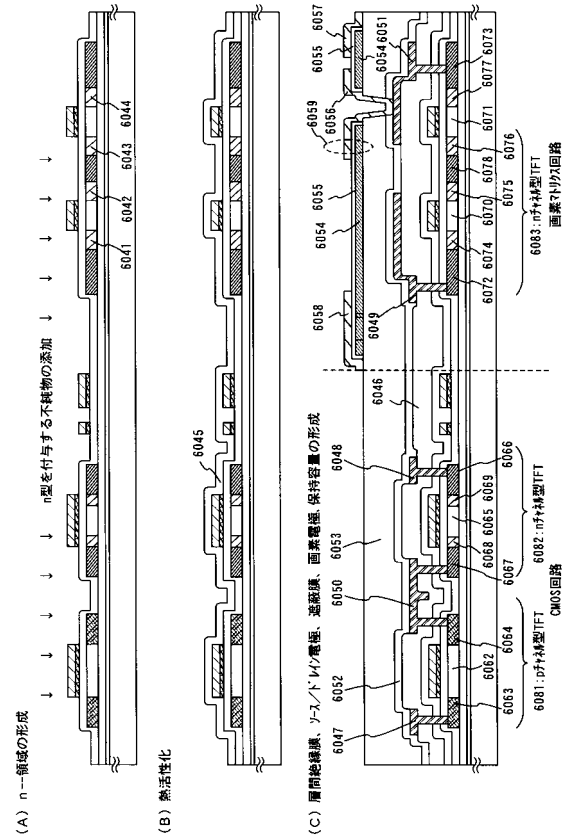
【図８】


(A) 島状半導体層、ゲート絶縁膜の形成
(B) n－領域の形成
n型を付与する不純物の添加
(C) ゲート電極用および配線用導電膜の形成

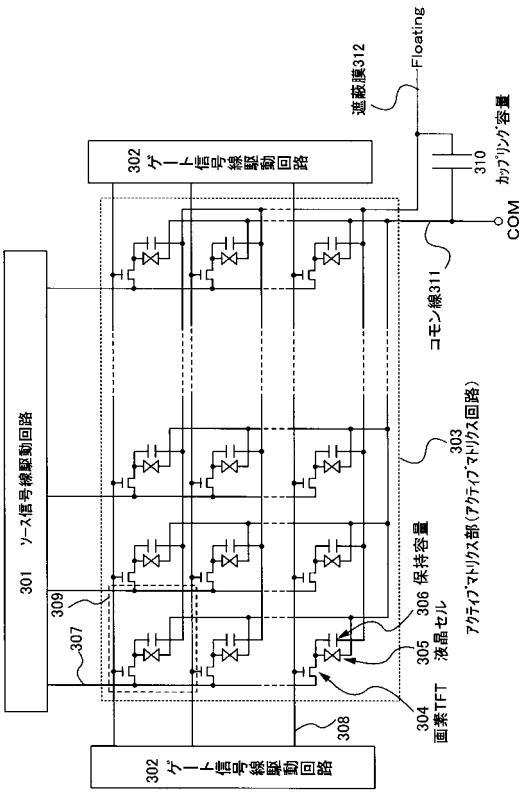
【図９】


(A) p-chゲート電極、配線電極の形成とp++領域の形成
p型を付与する不純物の添加
(B) n-chゲート電極の形成
(C) n+領域の形成
n型を付与する不純物の添加

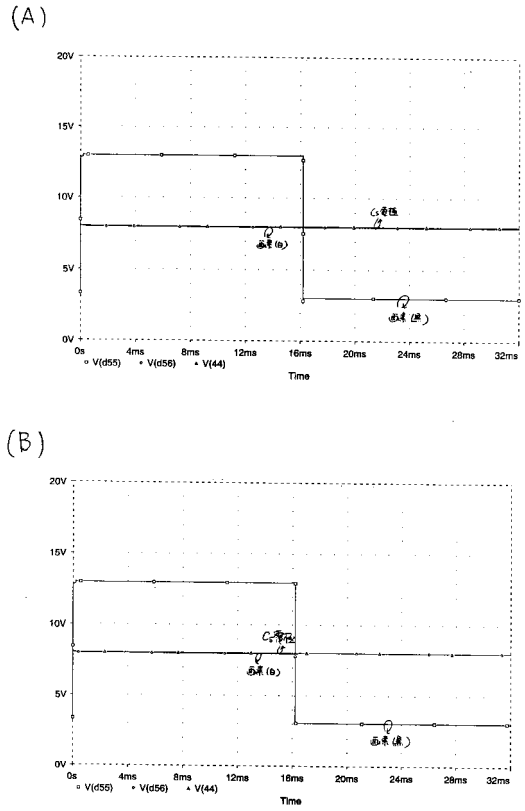
【図１０】


(A) n--領域の形成
n型を付与する不純物の添加
(B) 熱活性化
(C) 層間絶縁膜、ソース/ドレイン電極、遮蔽膜、画素電極、保持容量の形成
CMOS回路
画素マトリクス回路

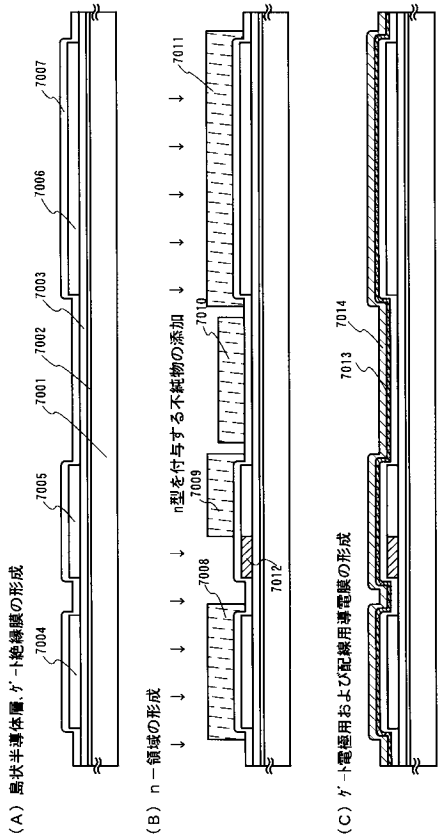
【図１１】



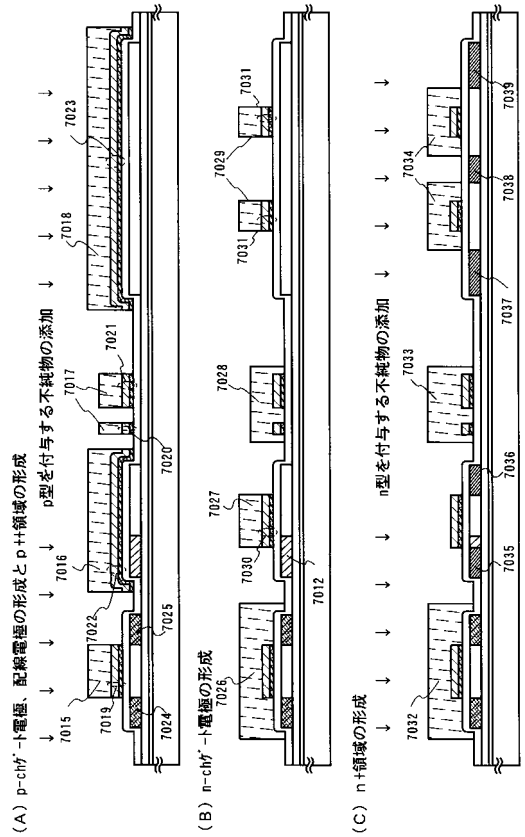
【図１２】



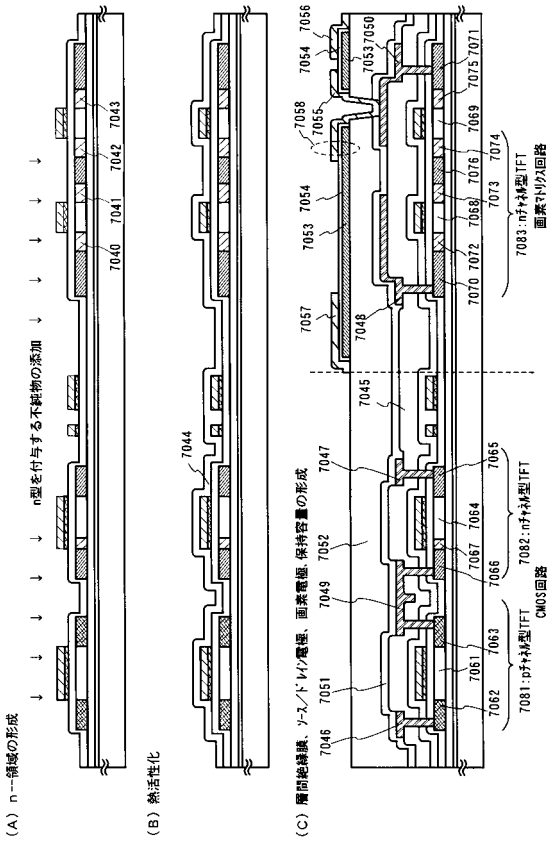
【図１３】



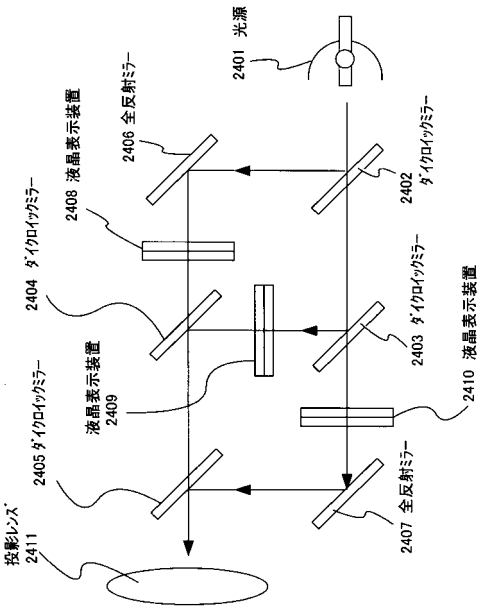
【図１４】



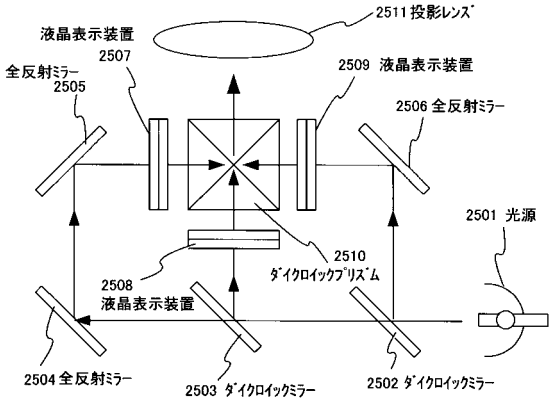
【図１５】



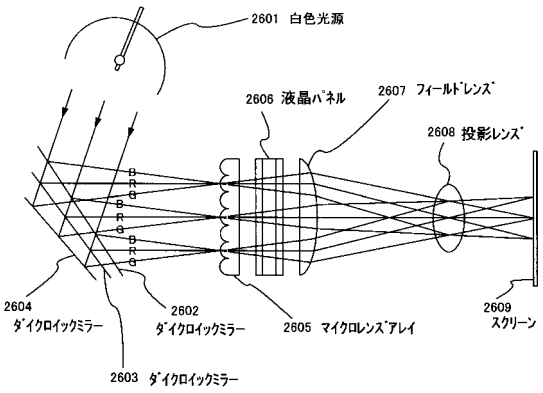
【図１６】



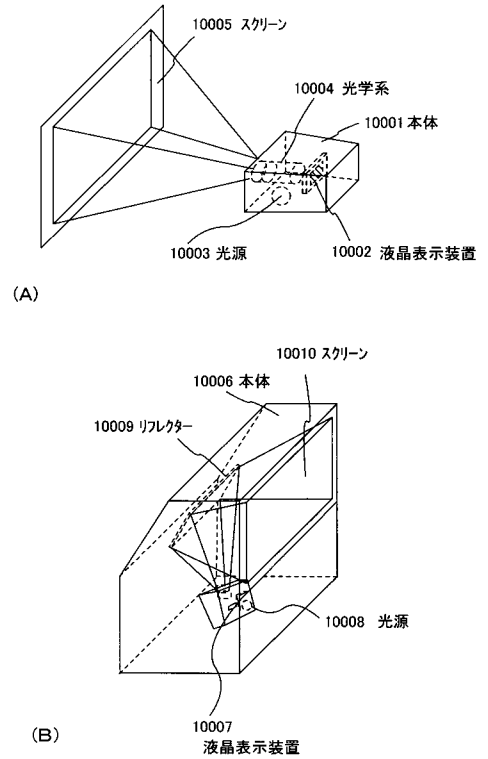
【図１７】



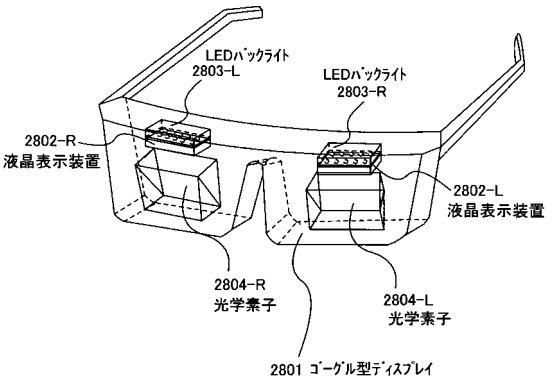
【図１８】



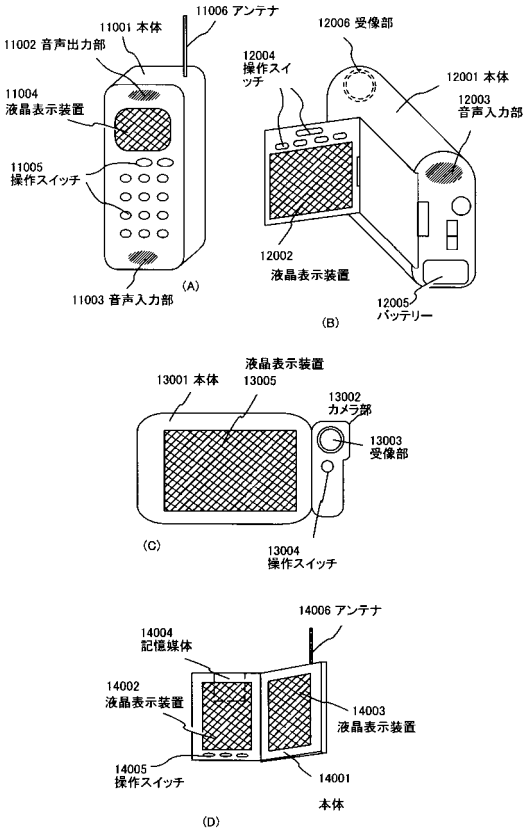
【図１９】



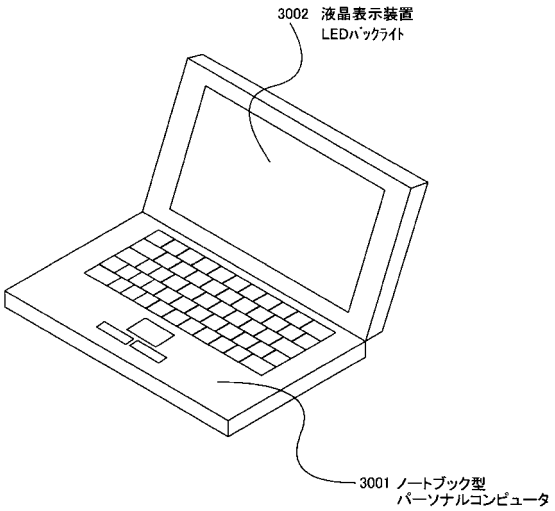
【図２０】



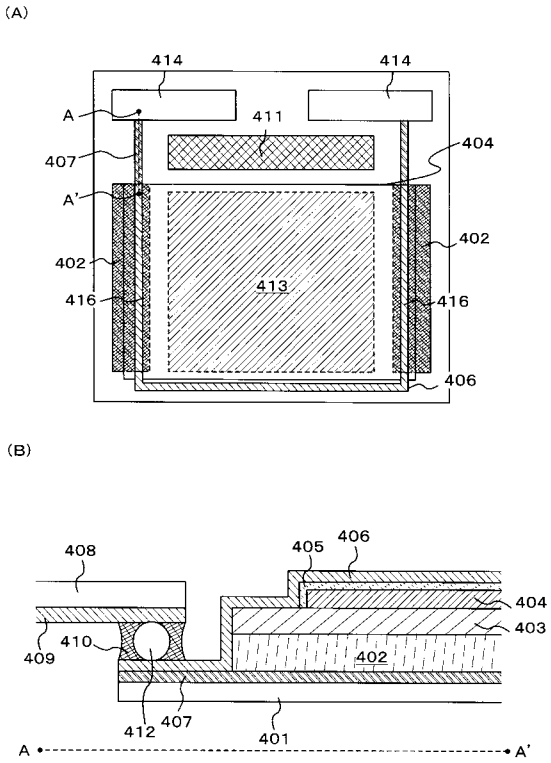
【図２１】



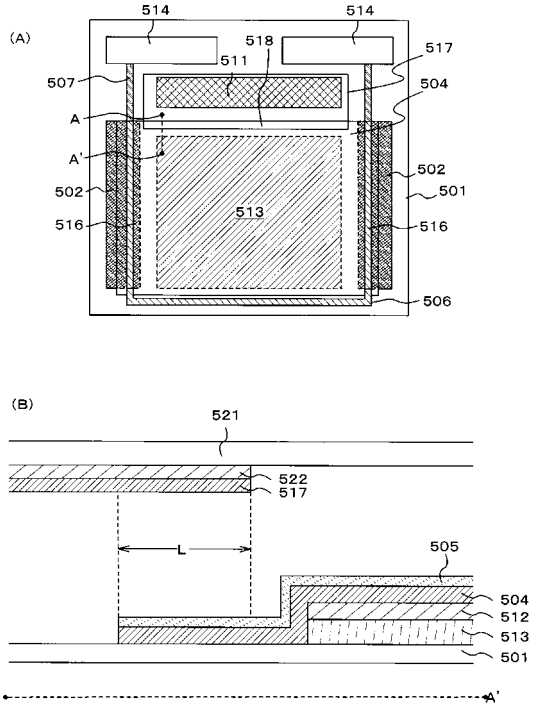
【図２２】



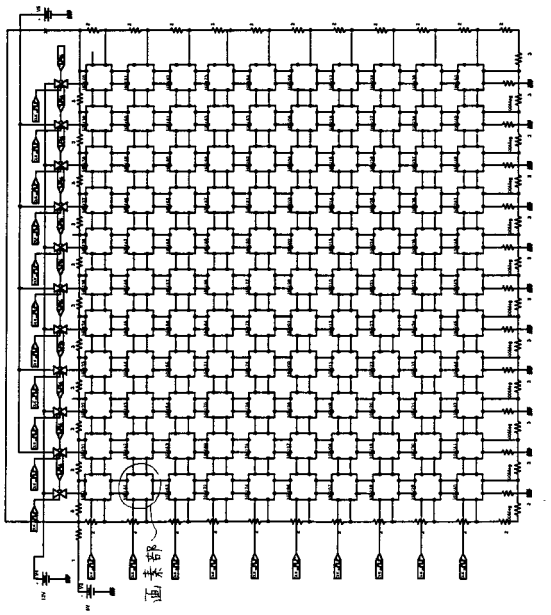
【図２３】



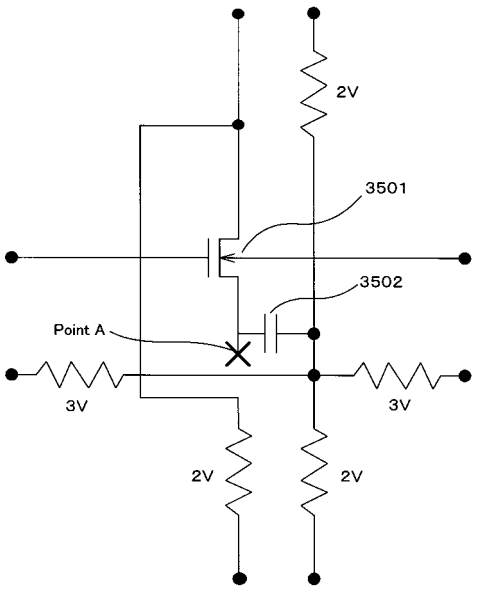
【図２４】



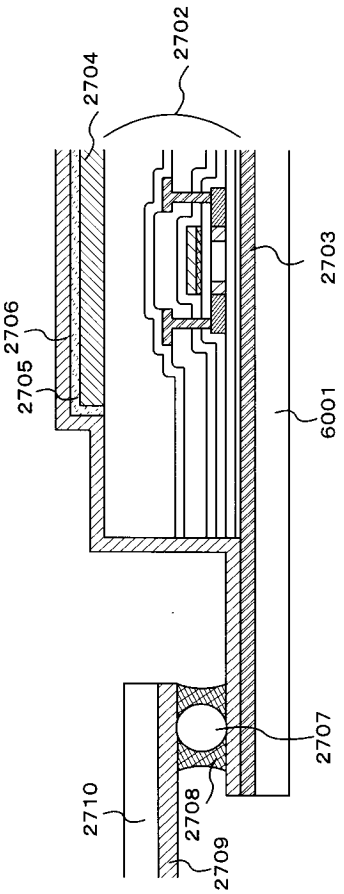
【図２５】



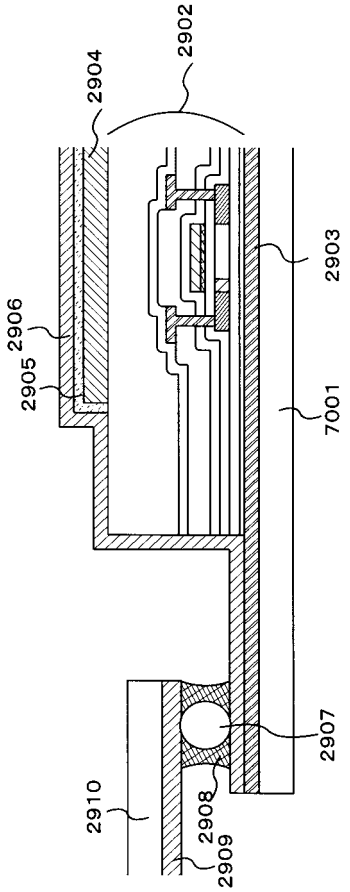
【図２６】



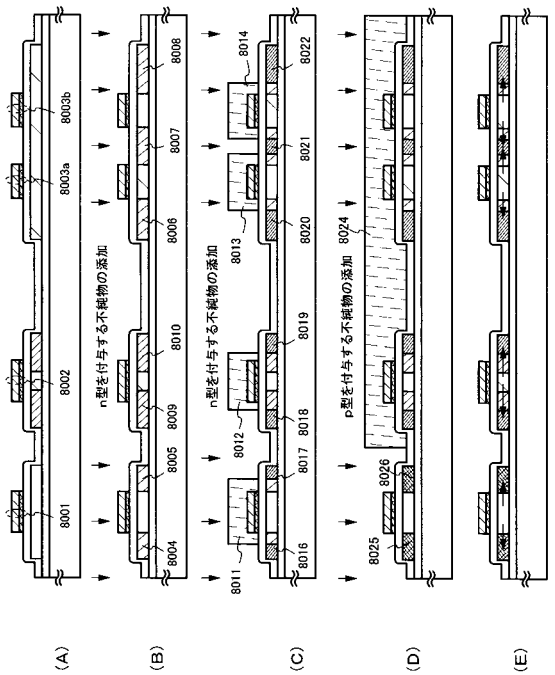
【図２７】



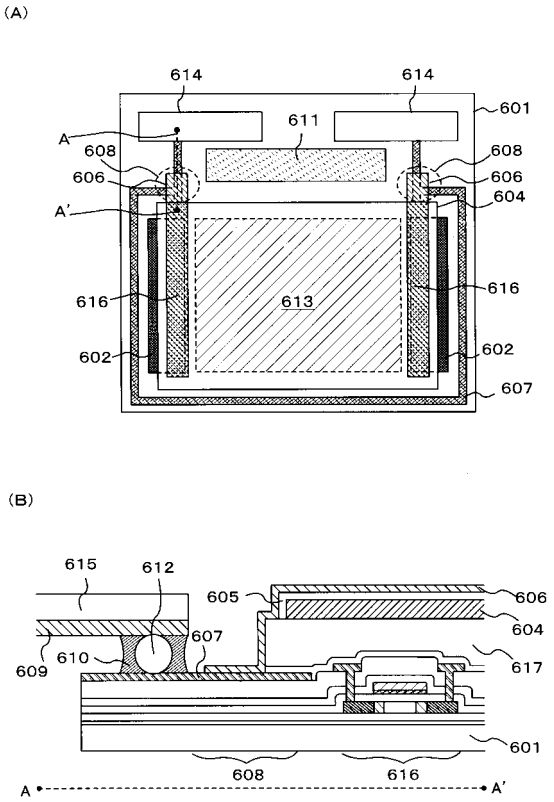
【図２８】



【図２９】

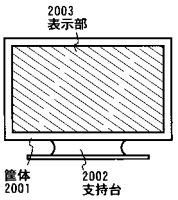


【図３０】

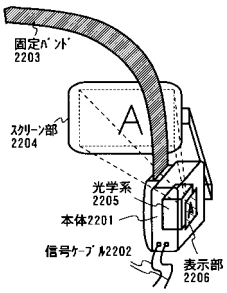


【図３１】

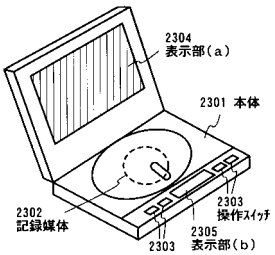
(A)


2003
表示部
筐体
2001
2002
支持台

(B)


固定ﾊﾞﾝﾄﾞ
2203
ｽｸﾘｰﾝ部
2204
A
光学系
2205
本体2201
信号ｹｰﾌﾞﾙ2202
表示部
2206

(C)


2304
表示部(a)
2301 本体
2302
記録媒体
2303
操作ｽｲｯﾁ
2303
2305
表示部(b)

フロントページの続き

審査官　藤田　都志行

(56)参考文献　特開平０８－１４６４５９（ＪＰ，Ａ）
特開平１０－１３３２１７（ＪＰ，Ａ）
特開２０００－２２１５３９（ＪＰ，Ａ）
特開平１０－１９８２９２（ＪＰ，Ａ）
特開平１０－１４２６２４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０２Ｆ　　１／１３６８
Ｇ０２Ｆ　　１／１３４３
Ｇ０２Ｆ　　１／１３３
Ｇ０２Ｆ　　１／１３３５７