



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202006385 A

(43) 公開日：中華民國 109 (2020) 年 02 月 01 日

(21) 申請案號：108121343

(22) 申請日：中華民國 108 (2019) 年 06 月 19 日

(51) Int. Cl. : **G01R31/303 (2006.01)****H03K5/133 (2014.01)**

(30) 優先權：2018/06/19 美國

62/686,744

(71) 申請人：以色列商普騰泰克斯有限公司 (以色列) PROTEANTECS LTD. (IL)  
以色列(72) 發明人：藍曼 艾林 LANDMAN, EVELYN (IL)；塔爾克 伊艾爾 TALKER, YAIR (IL)；  
法內 愛亞 FAYNEH, EYAL (IL)；戴維 亞爾 DAVID, YAHEL (IL)；柯恩 夏  
COHEN, SHAI (IL)；溫特羅 英霸 WEINTROB, INBAR (IL)

(74) 代理人：蔡清福；蔡馭理

申請實體審查：無 申請專利範圍項數：18 項 圖式數：7 共 31 頁

(54) 名稱

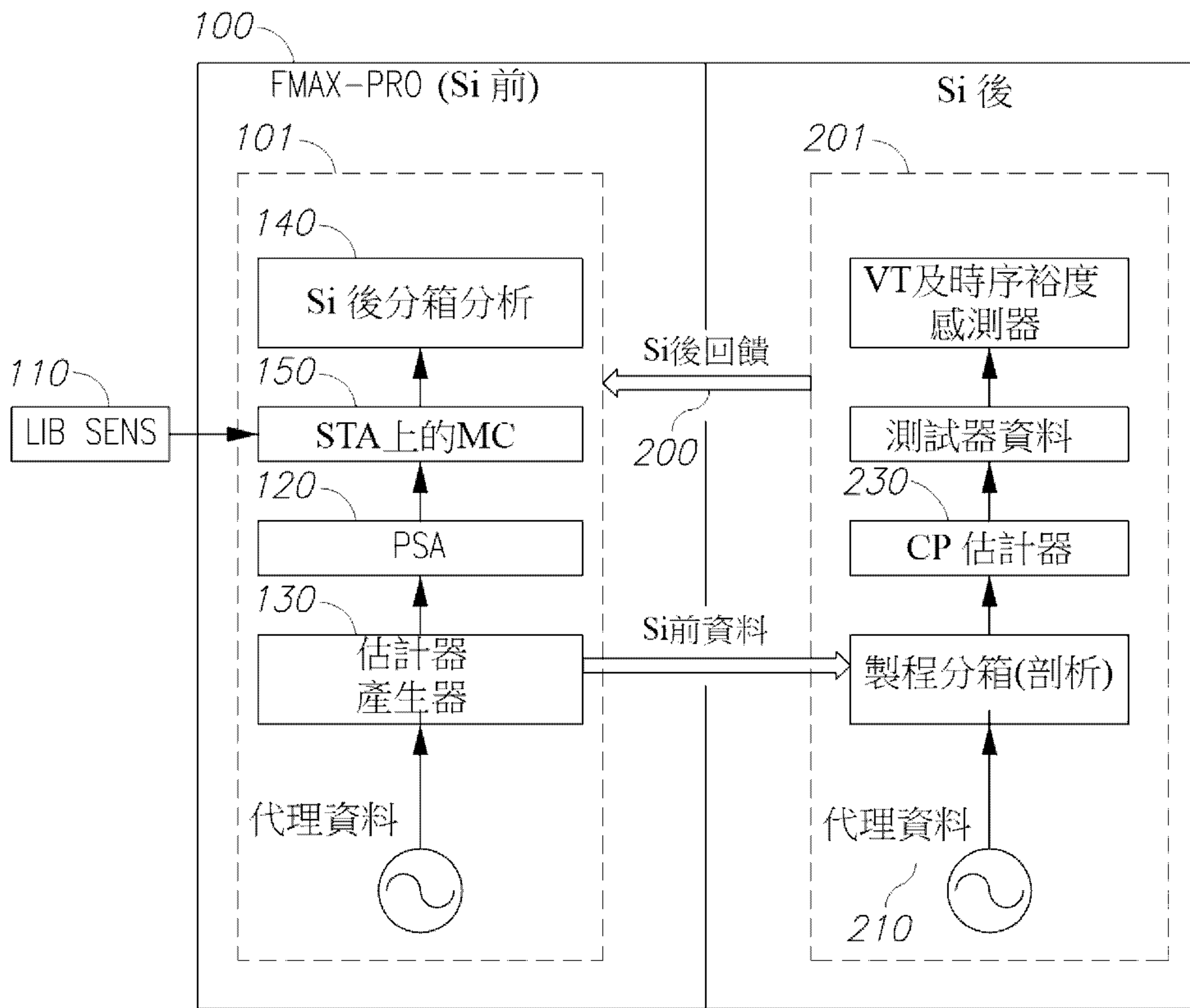
高效積體電路模擬及測試

(57) 摘要

一種方法，包括使用至少一個硬體處理器，用於：運行多種積體電路 (IC) 單元類型中的每一種的可能的 IC 製程變化的蒙特卡羅模擬，其中，多種 IC 單元類型中的每一種由多個特定電晶體和多個特定互連來定義；基於蒙特卡羅模擬的結果，創建 IC 單元類型及其對於可能的 IC 製程變化中的每一個的相應行為值的庫，並將該庫儲存在非暫時記憶體中；接收體現為數位檔的 IC 設計；將接收到的 IC 設計與庫相關聯；以及預測根據 IC 設計製造的 IC 的頻率分佈和功率分佈。

A method comprising using at least one hardware processor for: running a Monte Carlo simulation of possible integrated circuit (IC) process variations of each of a plurality of IC cell types, wherein each of the plurality of IC cell types is defined by multiple specific transistors and multiple specific interconnects; based on the results of the Monte Carlo simulation, creating a library of IC cell types and their corresponding behavioral values for each of the possible IC process variations, and storing the library in a non-transient memory; receiving an IC design embodied as a digital file; correlating the received IC design with the library; and predicting a frequency distribution and a power distribution of ICs manufactured according to the IC design.

指定代表圖：



系統框圖

第 1 圖

符號簡單說明：

100 . . . 電子設計自  
動化(EDA)工具集

101 . . . Si 前(Pre-  
Si)

110 . . . 庫靈敏度  
(Lib-Sens)資源管理器  
工具

120 . . . 路徑靈敏度  
分析(PSA)工具

130 . . . 機器學習  
(ML)工具

140 . . . Si 後分箱分  
析

150 . . . 電路模擬引  
擎/工具

200 . . . Si 後回饋

201 . . . Si 後(Post-  
Si)

210 . . . 感測器/代  
理

230 . . . CP 估計器  
產生器

CP . . . 關鍵路徑



202006385

## 【發明摘要】

【中文發明名稱】 高效積體電路模擬及測試

【英文發明名稱】 Efficient Integrated Circuit Simulation And Testing

### 【中文】

一種方法，包括使用至少一個硬體處理器，用於：運行多種積體電路（IC）單元類型中的每一種的可能的 IC 製程變化的蒙特卡羅模擬，其中，多種 IC 單元類型中的每一種由多個特定電晶體和多個特定互連來定義；基於蒙特卡羅模擬的結果，創建 IC 單元類型及其對於可能的 IC 製程變化中的每一個的相應行為值的庫，並將該庫儲存在非暫時記憶體中；接收體現為數位檔的 IC 設計；將接收到的 IC 設計與庫相關聯；以及預測根據 IC 設計製造的 IC 的頻率分佈和功率分佈。

### 【英文】

A method comprising using at least one hardware processor for: running a Monte Carlo simulation of possible integrated circuit (IC) process variations of each of a plurality of IC cell types, wherein each of the plurality of IC cell types is defined by multiple specific transistors and multiple specific interconnects; based on the results of the Monte Carlo simulation, creating a library of IC cell types and their corresponding behavioral values for each of the possible IC process variations, and storing the library in a non-transient memory; receiving an IC design embodied as a digital file; correlating the received IC design with the library; and predicting a frequency distribution and a power distribution of ICs manufactured according to the IC design.

【指定代表圖】 第 1 圖

【代表圖之符號簡單說明】

- 100：電子設計自動化（EDA）工具集
- 101：Si 前（Pre-Si）
- 110：庫靈敏度（Lib-Sens）資源管理器工具
- 120：路徑靈敏度分析（PSA）工具
- 130：機器學習（ML）工具
- 140：Si 後分箱分析
- 150：電路模擬引擎/工具
- 200：Si 後回饋
- 201：Si 後（Post-Si）
- 210：感測器/代理
- 230：CP 估計器產生器
- CP：關鍵路徑

## 【發明說明書】

【中文發明名稱】 高效積體電路模擬及測試

【英文發明名稱】 Efficient Integrated Circuit Simulation And Testing

【技術領域】

### 相關申請的交叉引用

【0001】本申請要求 2018 年 6 月 19 日提交的標題為“EFFICIENT INTEGRATED CIRCUIT SIMULATION AND TESTING”的第 62/686,744 號美國臨時專利申請的優先權的權益，該臨時專利申請的內容藉由引用以其整體併入本文。

【先前技術】

【0002】本發明涉及用於積體電路（IC）設計測試的電子設計工具（EDA）領域。

【0003】積體電路可以包括在例如矽（Si）晶圓（wafer）的平坦半導體基底上的類比和數位電子電路。使用光刻技術將微型電晶體印刷到基底上，以在非常小的區域內生產數十億電晶體的複雜電路，使得使用 IC 的現代電子電路設計既低成本又高性能。IC 由稱為“代工廠（foundries）”的工廠的裝配線生產，這些工廠已經商品化了 IC（例如互補金屬氧化物半導體（CMOS）IC）的生產。數位 IC 包含數十億個以功能及/或邏輯單元排列在晶圓上的電晶體，並且封裝在金屬、塑膠、玻璃、陶瓷外殼等中。

【0004】在生產期間對照功率/性能規格來對 IC 進行測試（例如藉由使用晶圓測試、封裝測試、電路測試、最終使用者設備操作測試等）。例如，晶圓測試可以確定哪些 IC 不符合每個被測晶圓的功率/性能規格，並且表現不佳的 IC

可以被丟棄。作為另一範例，封裝/電路/設備測試可以在最終使用者使用之前測試產品操作，並且表現不佳的產品/批次被丟棄。作為再一範例，行銷、保修和維護統計資料可以反映產品開發期間需求、規格、設計和測試之間的一致性。這些類型的測試中的每一個都可以產生表現不佳的產品清單，可以對這些列表進行分析，以改進下一代產品的設計並提高產品成品率（yield）。

**【0005】** 成品率是半導體製造和測試中的一個常用度量。它度量了完工的晶圓或封裝的 IC 批次中藉由所有測試並正常工作的 IC 的百分比。不符合功率/性能規格的 IC 會影響成品率，因為它們最終可能會被丟棄。

**【0006】** 相關技術的前述範例和與之相關的限制旨在是說明性的，而不是排他性的。藉由閱讀說明書並研究圖式，相關技術的其他限制對於本領域技術人員來說將變得明顯。

### **【發明內容】**

**【0007】** 結合系統、工具和方法對以下實施例及其各方面進行描述和說明，這些系統、工具和方法旨在是範例性和說明性的，而不是限制範圍。

**【0008】** 一個實施例提供了一種方法，其包括使用至少一個硬體處理器，用於：運行多種積體電路（IC）單元類型中的每一種的可能的 IC 製程變化的蒙特卡羅（Monte Carlo）模擬，其中，多種 IC 單元類型中的每一種由多個特定電晶體和多個特定互連（interconnect）來定義；基於蒙特卡羅模擬的結果，創建 IC 單元類型及其對於可能的 IC 製程變化中的每一個的相應行為值（behavioral value）的庫，並將該庫儲存在非暫時記憶體中；接收體現為數位檔的 IC 設計；將接收到的 IC 設計與庫相關聯；以及預測根據 IC 設計製造的 IC 的頻率分佈和功率分佈。

**【0009】** 另一實施例提供了一種方法，其包括使用至少一個硬體處理器，用於：運行多種積體電路（IC）單元類型中的每一種的可能的 IC 製程變化的蒙特卡羅模擬，其中，多種 IC 單元類型中的每一種由多個特定電晶體和多個特定互連來定義；基於蒙特卡羅模擬的結果，創建 IC 單元類型及其對於可能的 IC 製程變化中的每一個的相應行為值的庫，並將該庫儲存在非暫時記憶體中；接收體現為數位檔的 IC 設計；將路徑選擇演算法應用於 IC 設計，其中，該應用包括：從庫中檢索與 IC 設計中存在的單元類型相關的行為值。在實施例中，該方法還包括基於從庫中檢索的行為值，運行 IC 設計中的路徑的可能的 IC 製程變化的電子電路模擬，以產生 IC 設計中路徑中的關鍵路徑的排序清單，及/或基於從庫中檢索的行為值，運行 IC 設計的電子電路模擬以識別可能的 IC 製程變化。在實施例中，該方法還包括基於從庫中檢索的行為值，識別 IC 設計中的路徑中的關鍵路徑的排序清單。在實施例中，該方法還包括基於 IC 設計中的路徑，預測根據 IC 設計製造的 IC 的頻率分佈及/或功率分佈。

**【0010】** 在一些實施例中，行為值是影響基於 IC 設計製造的 IC 的至少一個指令引數的值，其中，至少一個指令引數選自由電壓、電流、延遲和頻率組成的組。

**【0011】** 在一些實施例中，IC 單元類型的庫包括對於每種 IC 單元類型的操作模型。在一些實施例中，對於每種 IC 單元類型的操作模型包括老化退化資料。在一些實施例中，對於每種 IC 單元類型的操作模型包括靜態時序分析（STA）模型。

**【0012】** 在一些實施例中，使用 SPICE（Simulation Program with Integrated Circuit Emphasis，著重積體電路的模擬程式）來執行電子電路模擬。

**【0013】** 在一些實施例中，該方法還包括：接收從根據 IC 設計製造的 IC 獲得的 Si 後（Post-Si）資料；以及基於接收到的資料來調整所儲存的庫。

【0014】在一些實施例中，該方法還包括：從根據 IC 設計製造的 IC 接收片上測量結果；使用片上測量結果作為估計器的輸入，Si 後資料被提供作為來自估計器的輸出。

【0015】在一些實施例中，從一或更多片上感測器獲得 Si 後資料。

【0016】在一些實施例中，一或更多片上感測器包括以下至少一個：時序裕度（timing-margin）感測器；延遲感測器；洩漏感測器；電壓感測器；以及熱感測器。

【0017】在一些實施例中，該方法還包括：根據 IC 設計製造 IC；以及基於所儲存的庫來設置所製造的 IC 的一或更多指令引數。

【0018】在一些實施例中，該方法還包括：基於所儲存的庫來設置一或更多製造參數；以及根據 IC 設計和製造參數來製造 IC。

【0019】另一實施例提供了一種電腦程式產品，其包括其上包含有程式碼的非暫時性電腦可讀儲存媒體，該程式碼可由至少一個硬體處理器執行，以執行前述實施例中任一個的動作。

【0020】又一實施例提供了一種系統，包括：（a）其上包含有程式碼的非暫時性電腦可讀儲存媒體，該程式碼由至少一個硬體處理器可執行，以執行前述實施例中任一個的動作；以及（b）至少一個硬體處理器，其被配置為執行程式碼。

【0021】除了上述範例性方面和實施例之外，藉由參考圖式並藉由研究以下詳細描述，另外方面和實施例將變得明顯。

## 【圖式簡單說明】

【0022】參考圖式示出了範例性實施例。圖式中示出的部件和特徵的大小通常是為了呈現的方便和清楚而選擇的，並且不一定按比例示出。以下列出了這些圖式。

第 1 圖示出了根據一些實施例的系統的框圖；

第 2 圖示出了根據一些實施例的庫靈敏度工具（library sensitivity tool）的框圖；

第 3 圖示出了根據一些實施例的頻率長條圖（histogram）；

第 4 圖示出了根據一些實施例的另一頻率長條圖；

第 5 圖示出了根據一些實施例的功率長條圖；

第 6 圖示出了根據一些實施例的又一頻率長條圖；以及

第 7 圖示出了根據一些實施例的晶粒（die）的裕度圖（margin map）。

## 【實施方式】

【0023】本文揭露了用於預測例如製造的（Si 後）邏輯積體電路（IC）的頻率及/或功率分佈的設備、系統、電腦程式產品和方法。所揭露的技術可以預測 IC 內將限制其頻率的邏輯路徑，即關鍵路徑（CP）。在設計階段（Si 前（Pre-Si））對由 Si 製造分佈定義的每一 Si 製造點進行預測。本文的技術允許基於給定的 Si 製造空間來預測、分析和確定所製造的 IC 的最大頻率（頻率分箱，frequency binning）和功率分佈（功率分箱）。這些技術使用 Si 後資料作為回饋，以改善其未來的分析和預測過程。這種改善會影響目前所製造的 IC 和（同一版本或新設計的）未來設計品質（例如，關於成品率方面）和上市時間（TTM）。第 1 圖所示的實施例（作為系統框圖）可以由以下五個部分中的一或更多個組成：

1. 電子設計自動化（EDA）工具集 100。

1.1 Lib-Sens：庫靈敏度資源管理器工具（explorer tool）110。

1.2 PSA：路徑靈敏度分析工具 120。

1.3 生產視圖：設計時的矽生產視圖（silicon production view at design）：成品率-功率/性能分析工具，用於做出減少功率/面積、提高性能及/或加快流片（tape-out）時間的決策。

2. 感測器/代理 210 是在晶粒（IC）上實現的電子電路。

3. 機器學習（ML）工具 130、230，用於構建估計器/函數，該等估計器/函數由 Si 前 101 和 Si 後 201 使用，以使用來自代理 210 的讀數作為它們的引數（argument）來估計 IC 的 CP 延遲和功耗。

4. 來自 Si 後的回饋 200，其用於改進 Si 前預測和分析過程。

5. Si 後設計檢視（未示出），以便產生僅在 IC 設計階段可用的參數資料，並針對在設計階段達到的功率/性能分箱重新創建決策。

EDA 工具 - 稱為“Lib Sense” 110

【0024】第 2 圖中示出了庫靈敏度工具（Lib Sense）110（作為框圖）。工具輸入是：

1. 產品操作點 310，即電壓和溫度。

2. 單元庫 320，基礎智慧財產權單元，如標準單元和記憶體，包括對於庫中每一單元的網表資料和佈局（LO）資料。

3. 特定製程技術的製程技術模型 330（包括老化退化資料），其特徵在於使用該技術（即，製程、工廠（fab）等）製造的裝置類型。例如：

3.1 SVT 類型：用標準臨界值電壓製造的 N 裝置或 P 裝置。

3.2 LVT 類型：用低臨界值電壓製造的 N 裝置或 P 裝置。

3.3 ULVT 類型：用超低臨界值電壓製造的 N 裝置或 P 裝置。

【0025】Lib Sense 工具 110 操作電路模擬引擎/工具 150（如第 1 圖所示），以產生包含對於庫中每一單元的延遲和洩漏電流的查閱資料表。相對於單元不

同的邏輯狀態測量洩漏電流，不同的邏輯狀態由其輸入的邏輯值決定。延遲以每弧（per arc）進行表徵，即從輸入[i]到輸出的延遲。工具 110 針對單元輸入引腳的每一個產生激發，使得輸入[i]在單元輸出引腳處觸發轉變（下降或上升）。

【0026】為了表示單元延遲和單元洩漏與 Si 製造空間和輸入斜率（input slope）的關係，工具 110 以蒙特卡羅模式來操作電路模擬引擎/工具 150，以表徵每蒙特卡羅點（MC 點）的單元。使用 MC 資料，該工具針對每一單元建立降級（de-rate）查閱資料表。降級資料藉由用參考點的資料來對每一 MC 資料點進行因數分解而產生。參考點可以表示中心製造點、標稱操作電壓和標稱操作溫度。參考點可以表示其他製造點，以在感興趣的製造點處獲得更好的精度。以下是由工具針對特定單元根據特定電壓和溫度產生的延遲降級查閱資料表的範例。該範例示出了一個單元弧（a4 輸入的上升到輸出 z 的上升）相對於幾個 MC 點的降級值。該資料是對於 PSA 和“設計時的矽生產視圖”工具的資料庫。

MC	輸出引腳	輸入引腳	trans	降級
4197	z	a4	r2r	1.030242
4243	z	a4	r2r	1.071478
4441	z	a4	r2r	1.105277
4561	z	a4	r2r	1.049256
4588	z	a4	r2r	1.075895
4626	z	a4	r2r	1.07629
4771	z	a4	r2r	0.931404
4931	z	a4	r2r	0.929265
-1	z	a4	r2r	0.934217
-2	z	a4	r2r	1.071943

表 1：降級表範例

【0027】查閱資料表資料可以使用一或更多轉換因數來增加其他場景（例如不同的負載（FO）或不同的輸入斜率）的準確性。附加地或替代地，查閱資料表可以包括表示老化退化的降級因數。

【0028】PSA 120 的目標是識別 IC 在 Si 製造空間上的關鍵路徑（CP）。這些路徑將決定每一 Si 製造點處的晶粒頻率。該工具產生 CP 的列表，該清單可以確定 Si 製造點上的頻率。參考第 3 圖，示出了根據範例的頻率長條圖，其中線條圖示出了對於每一分箱（bin）的頻率，並且直條（bar）表示分箱的大小。

【0029】對於 PSA 120 的輸入是：

1. 由靜態時序分析（STA）過程/EDA 工具等產生的候選路徑的清單。每條路徑由對應於特定邏輯閘延遲及/或互連 RC 延遲的延遲弧列表來描述。
2. 由 Lib-Sense 工具 110 產生的因數分解的參考弧延遲（factorized Reference arcs-delays）的列表（降級表 - 第 1 圖）。該清單包括某個標準單元中每一弧延遲在 500 個 MC 點上的延遲分佈、一組操作電壓以及一組操作溫度。
3. 表示 Si 製造空間的製程分佈資料。

【0030】PSA 過程

A 部分：識別 CP 集：

1. 產生 Si 製造空間：
  - 1.1 基於製程分佈資料來計算製程分佈平均值和協方差矩陣。
  2. 基於以下項，從 Si 製造空間中對晶粒進行取樣：
    - 2.2 全域製程變化，即使用計算的製程平均值和協方差矩陣（1 中提到的）。
    - 2.3 藉由從具有  $\sigma$ （sigma）的二維互高斯分佈中取樣得到的局部變化取決於距離。
  3. 對於每一樣本，藉由使用 500 個 MC 點由 K-NN 演算法來估計每一弧的延遲。可以藉由交叉驗證來對 K-NN 進行調整。
  4. 每條路徑的延遲是路徑中包含的弧的延遲之和。

5.  $\epsilon_1$  被定義為到最慢路徑的時間差，並且  $\delta_1$  被定義為找到它的機率。對於給定的  $\epsilon_1$  和  $\delta_1$ ，演算法返回一組路徑，使得這些路徑中至少有一條是  $\epsilon_1$ -在  $(1 - \delta_1) \times 100\%$  的時間上最慢的。

**B 部分：添加隨機變化：**

6. 執行上面步驟 1 至 5。

7. 複製每一樣本。

8. 對於實例中的每一個，向每一弧添加隨機變化。

9. 對於樣本中的每一個，計算樣本（無隨機）與其實例（包括隨機）之間的延遲差異。

10. 計算對於每一分箱（具有相似延遲的樣本組）的差值平均值和  $\sigma$ 。

也可以在 A 部分的步驟 2 添加隨機變化。

**EDA 工具 - 生產視圖：設計時的矽生產視圖**

**【0031】**“設計時的矽生產視圖”工具用於針對特定功率/性能規格分析晶粒的 Si 後參數化成品率。Si 後資料可以來自不同的 Si 後階段，例如製造及/或老化測試。“設計時的矽生產視圖”工具是一種規劃工具，它允許計算相對於 Si 前階段的特定頻率/功率分箱的 Si 後參數化成品率（符合功率/性能規格）。

**【0032】**對於該工具的輸入包括：

1. 由靜態時序分析(STA)過程/EDA 工具或類似工具產生的關鍵路徑(CP)清單。每條路徑由對應於特定邏輯閘延遲及/或互連 RC 延遲的延遲弧的列表來描述。

2. 由 Lib-Sense 工具產生的因數分解的參考弧延遲的列表。該清單包括某個標準單元中每一弧延遲在 500 個 MC 點上的延遲分佈、一組操作電壓、一組操作溫度和一組老化條件。

3. IC 數位實現中使用的基礎智慧財產權單元、標準單元和記憶體(基礎 IP)的列表。
4. 由 Lib-Sense 工具產生的每單元因數分解的參考洩漏電流值的列表。
5. 由功率分析工具產生的有功功率 (active power)。
6. 表示 Si 製造空間的製程分佈資料。

【0033】該工具使用 CP 集 (1) 以及操作電壓和溫度集來創建 CP 的延遲。STA 的時序跟蹤將針對特定的蒙特卡羅點、電壓點和溫度點來產生新的 STA 模型。下表示出了對於 CP 延遲表示的範例 (即, 在某個操作點某些延遲弧相對於 MC 點) :

MC索引	路徑ID	L_總_延遲	弧索引												
			12450	0	12451	1	12452	2	12453	3	12454	4	12455	5	12456
-2	0	1.966897259	0.0084	0.0243	0.0039	0.0253	0.0033	0.0257	0.0092	0.0548	0.0088	0.0813	0.0106	0.0248	0.0082
-1	0	1.692783937	0.0084	0.0243	0.0039	0.0218	0.0033	0.0221	0.0092	0.0417	0.0088	0.06	0.0106	0.0214	0.0082
0	0	1.822567	0.0084	0.0243	0.0039	0.0233	0.0033	0.0237	0.0092	0.0476	0.0088	0.0694	0.0106	0.023	0.0082
1	0	1.822560113	0.0084	0.0243	0.0039	0.0233	0.0033	0.0237	0.0092	0.0476	0.0088	0.0694	0.0106	0.023	0.0082
2	0	1.819079828	0.0084	0.0243	0.0039	0.0235	0.0033	0.0239	0.0092	0.0453	0.0088	0.0661	0.0106	0.023	0.0082
3	0	1.784229397	0.0084	0.0243	0.0039	0.0228	0.0033	0.0231	0.0092	0.046	0.0088	0.0658	0.0106	0.0226	0.0082
4	0	1.837086333	0.0084	0.0243	0.0039	0.0235	0.0033	0.0239	0.0092	0.0479	0.0088	0.0704	0.0106	0.0232	0.0082
5	0	1.787367378	0.0084	0.0243	0.0039	0.0228	0.0033	0.0232	0.0092	0.0449	0.0088	0.0645	0.0106	0.0226	0.0082

表 2 : CP 延遲

【0034】該工具使用 IC 設計中使用的基礎 IP 實例的清單來產生洩漏功率資料庫。

【0035】功率資料庫是洩漏功率和有功功率的總和。可以藉由對特定 IC 設計中所有基礎 IP 實例的洩漏功率進行求和來計算總洩漏功率。於 2018 年 4 月 16 日提交的標題為“Integrated Circuit Profiling and Anomaly Detection”的第 62/657,986 號美國臨時專利申請以及於 2019 年 4 月 16 日提交的標題為“Integrated Circuit Profiling and Anomaly Detection”的第 PCT/IL2019/050433 號國際 (PCT) 專利申請中描述了更多細節, 這兩個專利申請都藉由引用以其整體併入本文。

【0036】例如，特定 IC 設計的總洩漏可以被生成為總洩漏測量值，總洩漏測量值作為所有單元洩漏的總和：

$$\text{總洩漏} | PVT = V \times \sum_{\text{所有單元}} I_{off}(i) | PVT$$

【0037】該工具首先在標稱操作點處創建頻率及/或功率分箱（例如，如下所討論，如參考第 3 圖、第 4 圖或第 5 圖所示，其中示出了頻率分箱，或者如參考第 4 圖所示，其中示出了功率分箱），然後允許使用者使用“假設（What-If）”查詢來探測資料庫。“假設”查詢產生不同的成品率與功率/性能情況的關係。長條圖中的每一頻率桶（bucket）對應於與一組 CP 相關的一組 MC 點。慢速製程拐點（slow process corner）和快速製程拐點也是長條圖的一部分。

【0038】參考第 4 圖、第 5 圖和第 6 圖示出了三個範例。第 4 圖示出了在 Si 前成品率損失減輕過程的範例中使用的第 3 圖的頻率長條圖。藉由增加（上驅動（up-driving））在材料分箱中具有預測的 Fmax（最大頻率）（其低於目標頻率（在該情況下約為 530MHz））的裝置的電壓，可以挽救成品率損失。第 5 圖示出了說明了 IC 的功率分箱的功率長條圖。可以藉由降低高功率分箱中裝置的操作電壓來減輕功率成品率損失。在第三個範例中（第 6 圖），第 3 圖的頻率長條圖用於說明假設分析的上市時間（TTM）視圖。這表明，相對於頻率目標，參數化成品率損失和以工作周（WW）為單位測量的工作量之間存在折衷。藉由在 530MHz 的目標頻率上折衷 4% 的參數化成品率損失，TTM 可以減少 35WW。

### 感測器/代理 210

【0039】這些是用於感測或測量特定裝置參數、子電路參數、晶粒級參數等的電路。例如，感測器測量特定邏輯單元的延遲。

【0040】以下是感測器/代理電路（為了簡單起見，在下文中稱為“感測器”）的範例。

【0041】時序裕度感測器產生在 IC 中的許多點處的裕度圖 (Margin Map)。第 7 圖示出了晶粒的範例裕度圖。裕度圖可以由在 2017 年 12 月 5 日提交的標題為“Integrated Circuit Failure Prediction Device”的第 62/586,423 號美國臨時專利申請以及在 2018 年 11 月 15 日提交的標題為“Integrated Circuit Margin Measurement and Failure Prediction Device”的第 PCT/IL2018/051234 號國際 (PCT) 專利申請中描述的時序裕度偵測電路產生，這兩個專利申請都藉由引用以其整體併入本文。這也在前面提到的 ‘986 申請和相應的 PCT 申請中有所描述。

【0042】延遲感測器可以感測特定邏輯單元的延遲。它可以由環形振盪器電路實現，該電路的頻率反映邏輯單元的平均延遲。

【0043】另一延遲感測器可以以單獨的方式來感測特定邏輯單元的上升沿和邏輯單元的下降沿的延遲。

【0044】又一延遲感測器可以感測每金屬或每金屬子集等的 RC 延遲。

【0045】洩漏感測器可以用於以單獨的方式來感測特定 P 裝置和特定 N 裝置的洩漏，如在標題為“Integrated Circuit Sub-Threshold Leakage Sensor”的第 62/614,706 號美國臨時專利申請以及於 2019 年 1 月 8 日提交的標題為“Integrated Circuit Workload, Temperature and/or Sub-Threshold Leakage Sensor”的第 PCT/IL2019/050039 號國際 (PCT) 專利申請中所描述的，這兩個專利申請都藉由引用以其整體併入本文。

【0046】電壓感測器可以感測 Si 中的點的絕對 DC 電壓或者暫時 AC 電壓 (負峰值、正峰值和峰-峰值)。

【0047】熱感測器可以感測 Si 中的點的絕對溫度或暫時溫度 (負峰值、正峰值和峰-峰值)。參考上述洩漏感測器來討論熱感測器的範例。

ML 工具 - CP 估計器產生器 230

【0048】估計器是在值之間轉換的函數及/或規則（即，藉由分析、經驗、啟發式等定義晶粒操作值之間的關係），其例如使用感測器值作為輸入引數來確定 CP 延遲、晶粒功耗、簡檔（profile）（簡檔分類器）、預測的高覆蓋測量（HCM）值（HCM 轉換函數）、預測製造點等。如本文所用，術語“製造點”是指確定 IC 設計的製造的一組參數。在 HCM 值和感測器值之間可以發現類似的關係。晶粒測試和分析的結果可以更好地確定操作上符合或超過工程規範的特定晶粒。

### Si 後回饋資料 200

【0049】當測試特定晶粒時，測試儀從其感測器讀取值。此外，IC 對照 Fmax 限制進行測試，並且功耗（有功功率和洩漏功率-IDDQ）實際上根據用於特定生產測試的 IC 進行測量。

【0050】來自感測器的值用作以下各項的輸入資料：

1. '986 申請和相應的 PCT 申請中描述的剖析塊（profiling-block）。剖析塊根據晶粒的 Si 製造點對晶粒進行分類。
2. 估計器塊，其使用感測器資料作為其引數來計算 Si 前 CP 的延遲估計器、晶粒功耗估計器和 Si 製造點。
3. 直接參數測量，例如 IC 中的許多不同區域處的時序裕度。

【0051】估計器塊可以由 Si 後估計器產生以下輸出的一或更多個：

1. 晶粒最大頻率。
2. 晶粒功耗。
3. 晶粒 Si 製造點。

感測器讀數產生的附加資料作為直接參數測量結果。

4. IC 中許多不同點處的晶粒時序裕度圖。

【0052】1、2、3 的後處理用於按 Si 製造組/族和互連模型創建晶粒 Si 後頻率/功耗-分箱。

【0053】這些與 4 一起創建了“Si 後階段的設計檢視”。如上所描述的，該視圖在每裝置的 Si 後階段處根據設計產生資料，其直到現在還不可用。

【0054】以下資料或其一部分被回饋給根據每一晶粒的 Si 前製程：

1. Si 後 CP 的列表。
2. 晶粒的 Si 後功耗。
3. 晶粒 Si 製造簡檔/點。
4. Si 後 CP 的 Fmax 估計器結果。
5. Si 後壓降測量結果和局部熱點（hot-spot）。
6. IC 中許多不同點處的 Si 後時序裕度。

【0055】回饋資料允許將 Si 後結果與 Si 前模型相關聯，改進 Si 前模型和對進一步設計的假設，及/或改進 Si 後測試、測試條件和覆蓋範圍。

對照規格 - 參數化成品率改進的 Si 後分箱及/或性能/功率測試 140

【0056】在製造測試階段處，Si 後資料（1-6）用於實際執行“設計時的矽生產視圖”工具分析中決定的功率/性能分箱決策。在設計階段和 Si 後階段處提供相同的可視性和良好的決策，並根據設計階段中採取的決策來最大化參數化成品率。

【0057】時序裕度圖用於分析不同生產測試中的 IC 行為、找到“熱點”、比較不同生產測試的“壓力”和覆蓋範圍，以及用作對 Si 前模型的回饋。

【0058】一般而言，可以考慮在硬體處理器（或多個硬體處理器）上操作的方法，包括：運行多種積體電路（IC）單元類型中的每一種的可能的 IC 製程變化的蒙特卡羅模擬，其中，多種 IC 單元類型中的每一種由多個特定電晶體和多個特定互連來定義；基於蒙特卡羅模擬的結果，創建 IC 單元類型及其對於可

能的 IC 製程變化中的每一個的相應行為值的庫，並將該庫儲存在非暫時記憶體中；以及在硬體處理器處接收具體體現為數位檔的 IC 設計。IC 單元類型的庫有利地包括對於每種 IC 單元類型的一或更多模型（例如一或更多操作模型）。可以根據多種 IC 單元類型中的每一種的一或更多模型來實現蒙特卡羅模擬。每一模型可以包括老化退化資料。蒙特卡羅模擬的結果可以藉由用相應參考點的資料對來自蒙特卡羅模擬的結果的每一資料點進行因數分解來被降級。例如，參考點可以表示中心製造點、標稱操作電壓和標稱操作溫度。多種 IC 單元類型中的每一種的一或更多模型可以包括多種 IC 單元類型中的每一種的靜態時序分析（STA）模型。

**【0059】**在第一方面，該方法還可以包括：將接收到的 IC 設計與庫相關聯；以及預測根據 IC 設計製造的 IC 的頻率分佈及/或功率分佈。該方法可以允許獲得關於製造過程的改善資料。資料可以被回饋到製造過程及/或製造的 IC 的操作中。這可能是產品分箱的一種形式，其中 IC 可以根據其特性被分類。使用 Si 前（模擬和設計）資料來執行分箱，但是可以另外使用 Si 後資料（其可以從 IC 測量結果中獲得）。

**【0060】**在第二方面，該方法還可以包括：將路徑選擇演算法應用於 IC 設計，其中，該應用包括：從庫中檢索與 IC 設計中存在的單元類型相關的行為值。路徑選擇演算法的結果可以包括 IC 設計中的路徑清單以及可選地關鍵路徑的標識。由此可以提供路徑靈敏度分析（PSA）工具。在實施例中，該方法還可以包括：基於從庫中檢索的行為值，運行（例如，使用著重積體電路的模擬程式（SPICE）執行的）電子電路模擬，以產生可能的 IC 製程變化。可以從 IC 設計中的路徑中識別出關鍵路徑的排序清單。特別地，關鍵路徑的排序清單可以基於從庫中檢索的行為值（擴展的庫資料，尤其是在許多 MC 點處）。此外，關鍵路徑的排序清單可以基於 STA 模型，允許 STA 資料在製造過程空間上擴展。

CP 然後可以用於改進製造過程及/或製造的 IC 的操作。例如，根據 IC 設計製造的 IC 的頻率分佈及/或功率分佈可以基於關鍵路徑的排序清單（例如上面關於第一方面討論的）來被預測。

【0061】根據任何方面，可以認為行為值是影響基於 IC 設計製造的 IC 的至少一個指令引數的值。例如，至少一個指令引數可以選自由電壓、電流、延遲和頻率組成的組。

【0062】在實施例中，可以使用 Si 後資料。例如，可以接收從根據 IC 設計製造的 IC 獲得的 Si 後資料。可以基於接收到的資料來調整所儲存的庫。例如，這可以包括以下中的一或更多個：將 Si 後結果與 Si 前模型相關聯；改進 Si 前模型及/或對於進一步設計的假設；並改善 Si 後測試、測試條件和覆蓋範圍。

【0063】在實施例中，可以從根據 IC 設計製造的 IC 接收片上測量結果。然後，片上測量結果可以用作估計器的輸入。Si 後資料可以被提供作為來自估計器的輸出。估計器也可以使用 Si 前資料（例如模型及/或模擬資料）。例如，估計器可以用於提供 CP 延遲資訊。

【0064】從一或更多片上感測器（例如，如本文討論的代理）獲得 Si 後資料。一或更多片上感測器可以包括以下中的至少一個：時序裕度感測器；延遲感測器；洩漏感測器（例如，基於環形振盪器）；電壓感測器；以及熱感測器。

【0065】在實施例中，可以基於所儲存的庫，例如從庫中檢索的模型資料及/或行為值（包括從行為值獲得的諸如頻率分佈、功率分佈及/或 CP 的資訊）來設置一或更多製造參數。例如，這可以導致生產時間的減少，以實現特定的頻率目標。因此可以根據 IC 設計和製造參數來製造 IC。

【0066】在實施例中，該方法還可以包括：根據 IC 設計來製造 IC。然後，製造的 IC 的一或更多指令引數（例如操作電壓及/或頻率）可以基於所儲存的庫來被設置，例如基於從庫中檢索的模型資料及/或行為值（包括從行為值獲得的

諸如頻率分佈、功率分佈及/或 CP 的資訊)。例如，在某些情況下，降低裝置的操作電壓可以降低成品率損失。在這樣的實施例中，基於 Si 後資料有益地改善或更新模型資料。

**【0067】** 本發明可以是系統（其可以包括製造及/或測試裝置）、方法及/或電腦程式產品。電腦程式產品可以包括用於使（或被置成使）處理器執行本發明的各方面的電腦可讀程式指令。電腦可讀儲存媒體（或多個電腦可讀儲存媒體）可以具有電腦可讀程式指令。

**【0068】** 電腦可讀儲存媒體可以是能夠保存並儲存指令以供指令執行裝置使用的有形裝置。電腦可讀儲存媒體可以是，例如但不限於，電子存放裝置、磁存放裝置、光存放裝置、電磁存放裝置、半導體存放裝置、或者上述的任何適當組合。電腦可讀儲存媒體的更具體範例的非窮舉清單包括以下內容：可攜式電腦磁片、硬碟、隨機存取記憶體（RAM）、唯讀記憶體（ROM）、可抹除可程式唯讀記憶體（EPROM 或快閃記憶體）、靜態隨機存取記憶體（SRAM）、可攜式光碟唯讀記憶體（CD-ROM）、數位視訊光碟（DVD）、記憶條、磁片、其上具有記錄的指令的機械編碼設備，以及上述的任何適當組合。如本文所使用的，電腦可讀儲存媒體本身不應被解釋為暫時訊號，例如無線電波或其它自由傳播的電磁波、藉由波導或其它傳輸媒介傳播的電磁波（例如，藉由光纖電纜進行傳遞的光脈衝）、或藉由導線傳輸的電訊號。相反，電腦可讀儲存媒體是非暫時（即，非易失性）媒體。

**【0069】** 可以將本文描述的電腦可讀程式指令從電腦可讀儲存媒體下載到相應的計算/處理裝置，或者經由網路（例如，網際網路、區域網路、廣域網路及/或無線網路）下載到外部電腦或外部存放裝置。網路可以包括銅傳輸線纜、光傳輸光纖、無線傳輸、路由器、防火牆、交換機、閘道電腦及/或邊緣伺服器。每一計算/處理設備中的網路介面卡或網路介面從網路接收電腦可讀程式指令，

並轉發電腦可讀程式指令以儲存在相應計算/處理裝置內的電腦可讀儲存媒體中。

**【0070】**用於執行本發明的操作的電腦可讀程式指令可以是彙編指令、指令集架構（ISA）指令、機器指令、與機器有關的指令、微代碼、韌體指令、狀態設置資料、或以一或更多程式設計語言（包括物件導向的程式設計語言（諸如，Java、Smalltalk、C++等）、以及常規過程程式設計語言（諸如，“C”程式設計語言或類似的程式設計語言））的任意組合的方式編寫的原始程式碼或目標代碼。電腦可讀程式指令可以完全地在使用者的電腦上執行、作為獨立的套裝軟體部分地在使用者的電腦上執行、部分地在使用者的電腦上執行並且部分地在遠端電腦上執行，或者完全在遠端電腦或伺服器上執行。在後者的方案中，遠端電腦可藉由任何類型的網路連接到使用者的電腦，包括區域網路（LAN）或廣域網路（WAN），或者可連接到外部電腦（例如，藉由使用網際網路服務提供者的網際網路）。在一些實施例中，包括例如可程式邏輯電路、現場可程式閘陣列（FPGA）或可程式邏輯陣列（PLA）的電子電路可以藉由利用電腦可讀程式指令的狀態資訊來執行電腦可讀程式指令以個性化設置電子電路，以便執行本發明的各方面。

**【0071】**本文參考根據本發明的實施例的方法、裝置（系統）、和電腦程式產品的流程圖圖式及/或框圖描述了本發明的各方面。應理解的是，流程圖圖式及/或框圖中的每一塊和流程圖圖式及/或框圖中的塊的組合可以由電腦可讀程式指令來實現。

**【0072】**這些電腦可讀程式指令可被提供到通用電腦的、專用電腦的或用於產生機器製造的其他可程式資料處理設備的處理器，使得經由電腦的或其他可程式資料處理設備的處理器執行的指令創建用於實現在流程圖中及/或在框圖的一或更多框中所指定的功能/動作。這些電腦可讀程式指令還可以儲存在電腦

可讀儲存媒體中，其可以引導電腦、可程式資料處理設備、及/或其他裝置以特定方式運行，使得其中儲存有指令的電腦可讀儲存媒體包括包含實施流程圖及/或框圖的一或更多框中指定的功能/動作的各方面的指令的製造品。

**【0073】**電腦可讀程式指令還可被載入到電腦、其他可程式資料處理設備、或其他裝置上，以使一系列操作步驟在電腦、其他可程式裝置、或其他裝置上被執行以產生電腦實現的過程，使得在電腦、其他可程式裝置、或其他裝置上執行的指令實施在流程圖及/或框圖中的一或更多框中指定的功能/動作。

**【0074】**圖式中的流程圖和框圖示出了根據本發明的各種實施例的系統、方法和電腦程式產品的可能的實施的架構、功能和操作。在這一點上，在流程圖或框圖中的每一框可以代表模組、片段或指令的一部分，其可以包括用於實現指定邏輯功能（多個指定邏輯功能）的一或更多可執行指令。在一些可選的實施方式中，在框中標注的功能可能並非以圖式中標注的順序來發生。例如，連續地顯示的兩個塊事實上可以基本上同時執行，或者框有時可以以相反的循序執行，這取決於所涉及的功能。還應注意到，框圖及/或流程圖圖式中的每一框以及框圖及/或流程圖圖式中的框的組合可以藉由執行指定功能或動作或者執行專用硬體和電腦指令的組合的基於專用硬體的系統來實現。

**【0075】**所呈現的本發明的各種實施例的描述目的在於說明，而不旨在是詳盡的或限於所揭露的實施例。在不脫離所描述實施例的範圍和精神的情況下，許多修改和變化對於本領域普通技術人員來說是明顯的。選擇本文使用的術語是為了最好地解釋實施例的原理、實際應用或對市場上發現的技術改進，或者使本領域普通技術人員能夠理解本文揭露的實施例。

## **【符號說明】**

**【0076】** 100：電子設計自動化（EDA）工具集

第 19 頁，共 20 頁(發明說明書)

101：Si 前 (Pre-Si)

110：庫靈敏度 (Lib-Sens) 資源管理器工具

120：路徑靈敏度分析 (PSA) 工具

130：機器學習 (ML) 工具

140：Si 後分箱分析

150：電路模擬引擎/工具

200：Si 後回饋

201：Si 後 (Post-Si)

210：感測器/代理

230：CP 估計器產生器

310：產品操作點

320：單元庫/庫單元

330：製程技術模型

350：Si 製造空間資料

360：庫單元查閱資料表

CP：關鍵路徑

FMAX：最大頻率

MC：蒙特卡羅

STA：靜態時序分析

## 【發明申請專利範圍】

【第1項】 一種方法，包括使用至少一硬體處理器來用於：

運行多種積體電路（IC）單元類型中的每一種的可能的 IC 製程變化的蒙特卡羅模擬，其中，該等多種 IC 單元類型中的每一種由多個特定電晶體和多個特定互連來定義；

基於該蒙特卡羅模擬的結果，創建 IC 單元類型及它們對於該等可能的 IC 製程變化中的每一個的相應行為值的庫，並將該庫儲存在非暫時記憶體中；

接收體現為數位檔的一 IC 設計；

將接收到的 IC 設計與該庫相關聯；以及

預測根據該 IC 設計製造的 IC 的頻率分佈及/或功率分佈。

【第2項】 一種方法，該方法包括使用至少一硬體處理器以用於：

運行多種積體電路（IC）單元類型中的每一種的可能的 IC 製程變化的蒙特卡羅模擬，其中，該等多種 IC 單元類型中的每一種由多個特定電晶體和多個特定互連來定義；

基於該蒙特卡羅模擬的結果，創建 IC 單元類型及它們對於該等可能的 IC 製程變化中的每一個的相應行為值的庫，並將該庫儲存在非暫時記憶體中；

接收體現為數位檔的一 IC 設計；

將路徑選擇演算法應用於該 IC 設計，其中，該應用包括：從該庫中檢索與該 IC 設計中存在的單元類型相關的行為值。

【第3項】 如申請專利範圍第 2 項所述之方法，還包括：

基於從該庫中檢索的該等行為值，運行該 IC 設計的電子電路模擬，以識別可能的 IC 製程變化。

【第4項】 如申請專利範圍第 2 項或申請專利範圍第 3 項所述之方法，還包括：

基於從該庫中檢索的該等行為值，識別該 IC 設計中的路徑中的關鍵路徑的排序清單。

【第5項】 如申請專利範圍第 2 項至第 4 項中任一項所述之方法，還包括：

基於該 IC 設計中的該等路徑，預測根據該 IC 設計製造的 IC 的頻率分佈及/或功率分佈。

【第6項】 如申請專利範圍第 1 項至第 5 項中任一項所述之方法，其中，該等行為值是影響基於該 IC 設計製造的 IC 的至少一指令引數的值，其中，該等至少一指令引數選自由電壓、電流、延遲和頻率組成的組。

【第7項】 如申請專利範圍第 1 項至第 6 項中任一項所述之方法，其中，IC 單元類型的該庫包括對於每種 IC 單元類型的一操作模型。

【第8項】 如申請專利範圍第 7 項所述之方法，其中，對於每種 IC 單元類型的該操作模型包括一老化退化資料。

【第9項】 如申請專利範圍第 8 項所述之方法，其中，對於每種 IC 單元類型的該操作模型包括一靜態時序分析 (STA) 模型。

【第10項】 如申請專利範圍第 1 項至第 9 項中任一項所述之方法，其中，使用 SPICE (著重積體電路的模擬程式) 來執行該電子電路模擬。

【第11項】 如申請專利範圍第 1 項至第 10 項中任一項所述之方法，還包括：

接收從根據該 IC 設計製造的 IC 獲得的一 Si 後資料；以及

基於接收到的資料來調整所儲存的庫。

【第12項】 如申請專利範圍第 11 項所述之方法，還包括：

從根據該 IC 設計製造的 IC 接收一片上測量結果；

使用該片上測量結果作為估計器的輸入，該 Si 後資料被提供作為來自該估計器的輸出。

【第13項】如申請專利範圍第 11 項至第 12 項中任一項所述之方法，其中，從一或更多片上感測器獲得該 Si 後資料。

【第14項】如申請專利範圍第 13 項所述之方法，其中，該等一或更多片上感測器包括以下中的至少一個：一時序裕度感測器；一延遲感測器；一洩漏感測器；一電壓感測器；以及一熱感測器。

【第15項】如申請專利範圍第 1 項至第 14 項中任一項所述之方法，還包括：

根據該 IC 設計製造 IC；以及

基於所儲存的庫來設置所製造的 IC 的一或更多指令引數。

【第16項】如申請專利範圍第 1 項至第 15 項中任一項所述之方法，還包括：

基於所儲存的庫來設置一或更多製造參數；以及

根據該 IC 設計和該等製造參數來製造 IC。

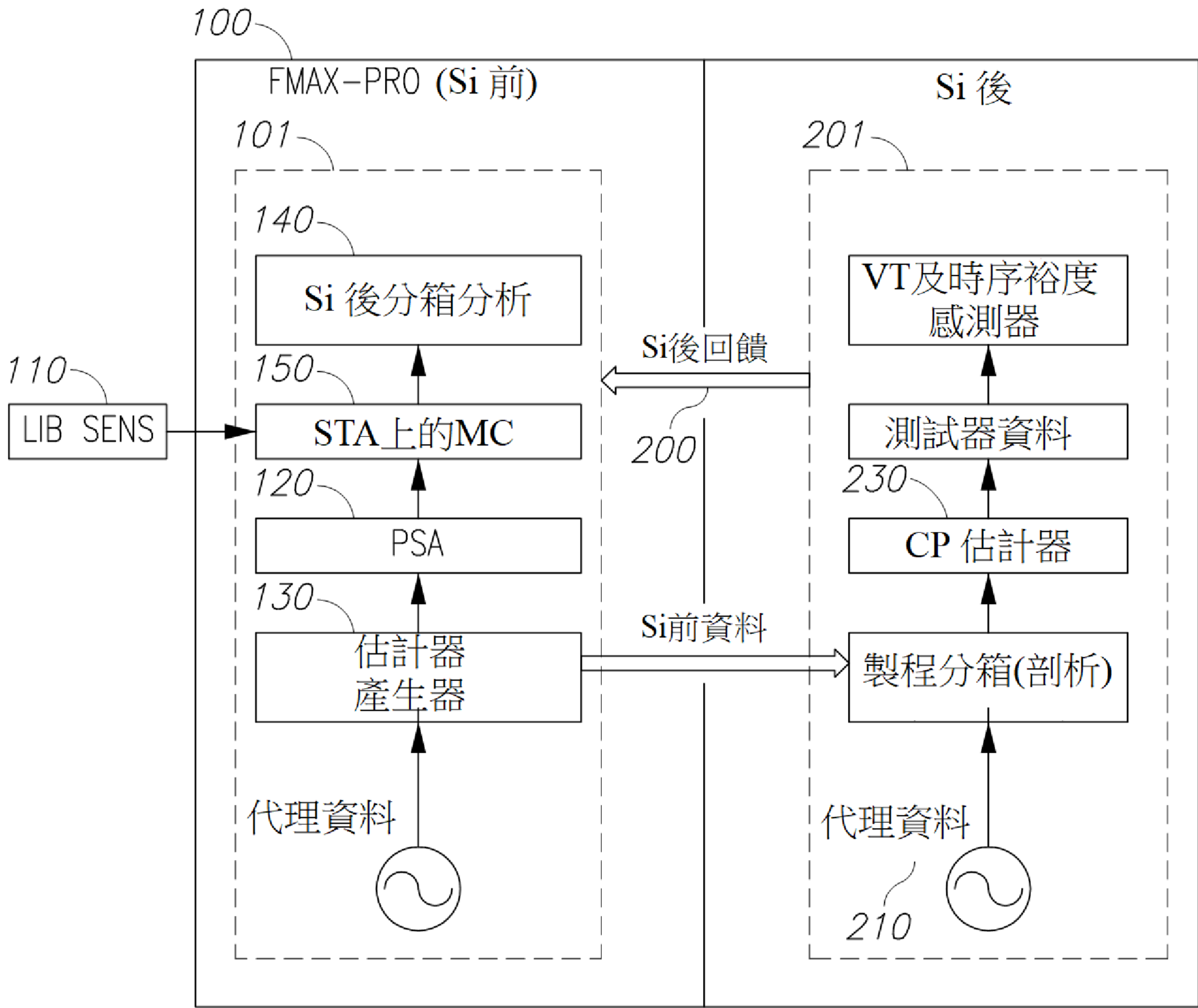
【第17項】一種電腦程式產品，包括其上包含有一程式碼的非暫時性電腦可讀儲存媒體，該程式碼是由至少一硬體處理器可執行的，以執行前述申請專利範圍中任一項之動作。

【第18項】一種系統，包括：

(a) 其上包含有一程式碼的非暫時性電腦可讀儲存媒體，該程式碼是由至少一硬體處理器可執行的以執行申請專利範圍第 1 項至第 16 項中任一項之動作；

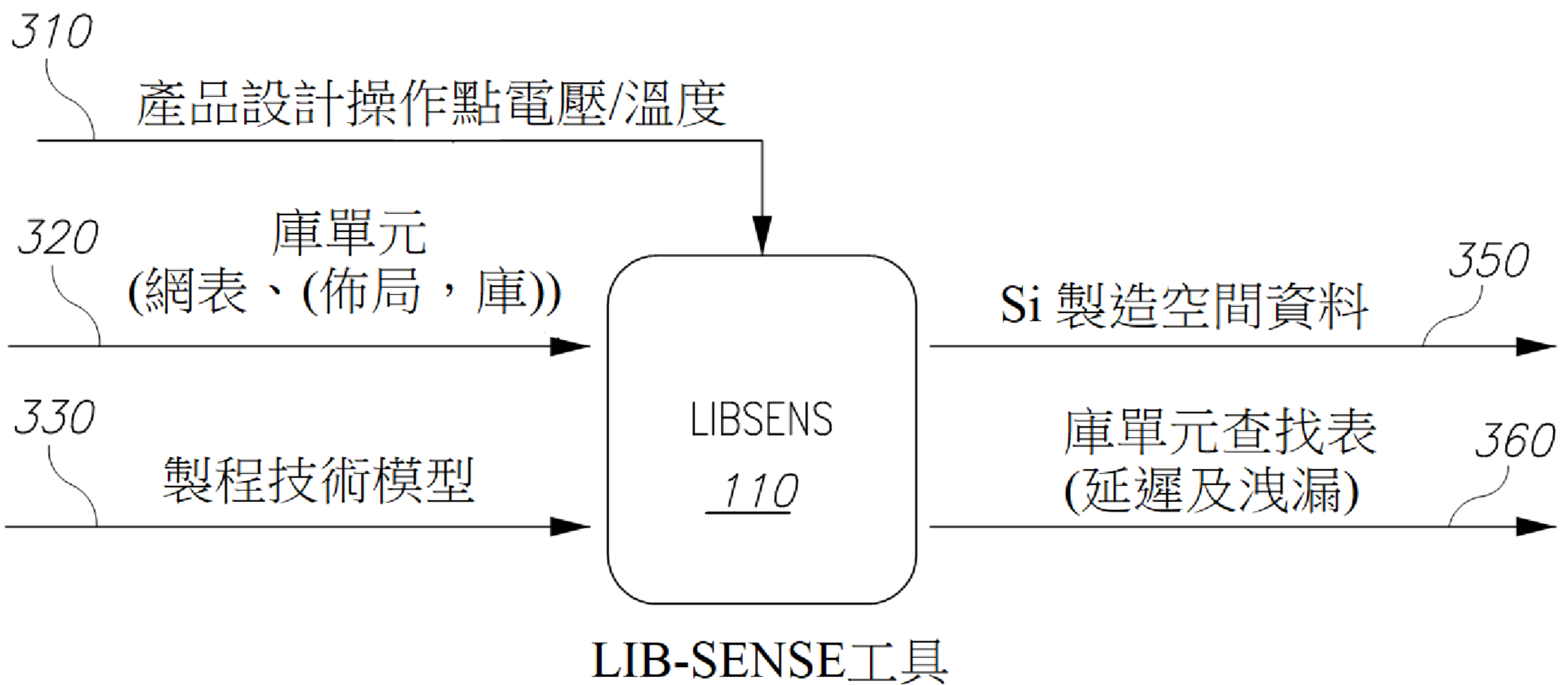
(b) 被配置成執行該程式碼的至少一硬體處理器。

【發明圖式】

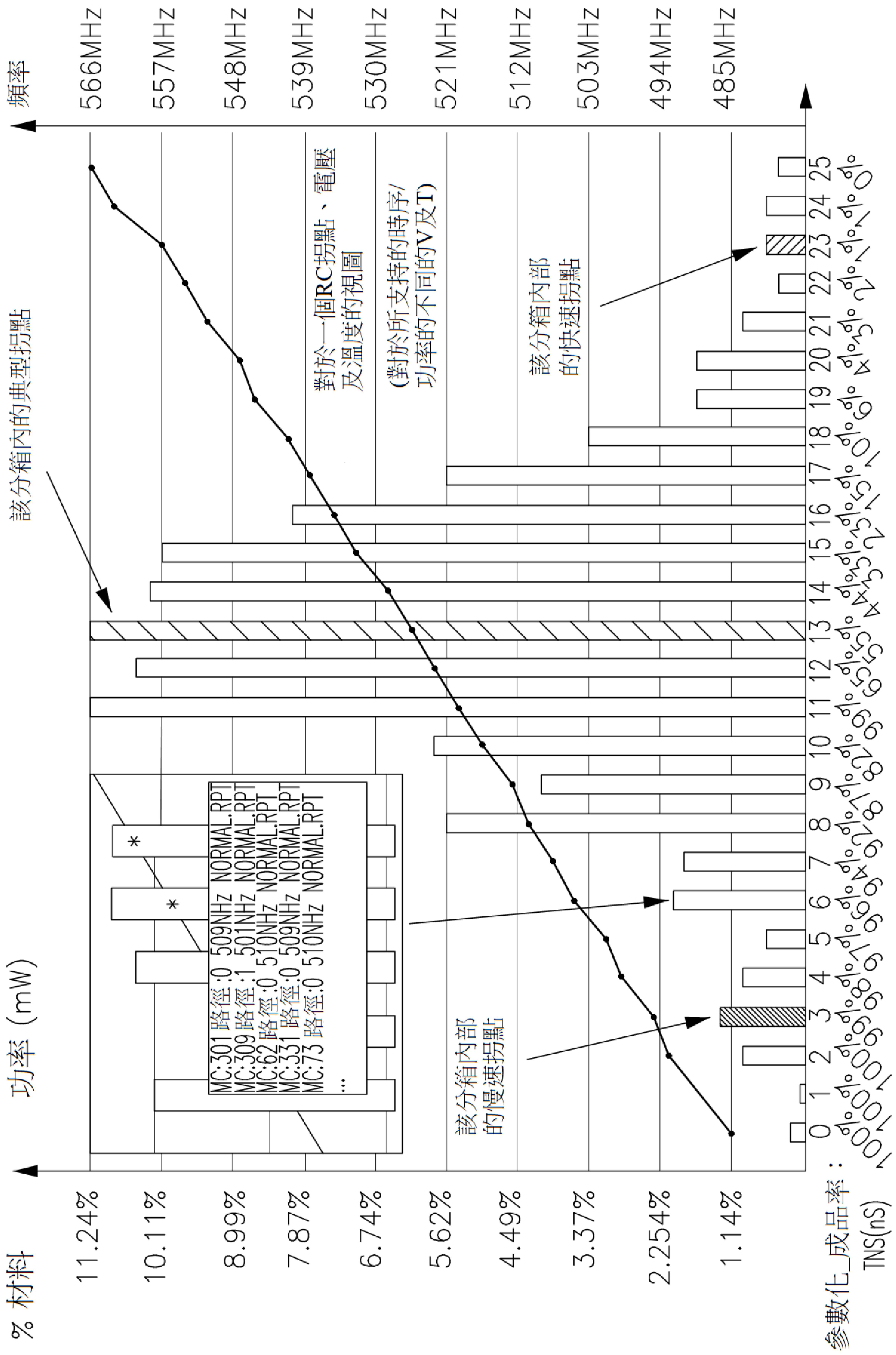


系統框圖

第 1 圖

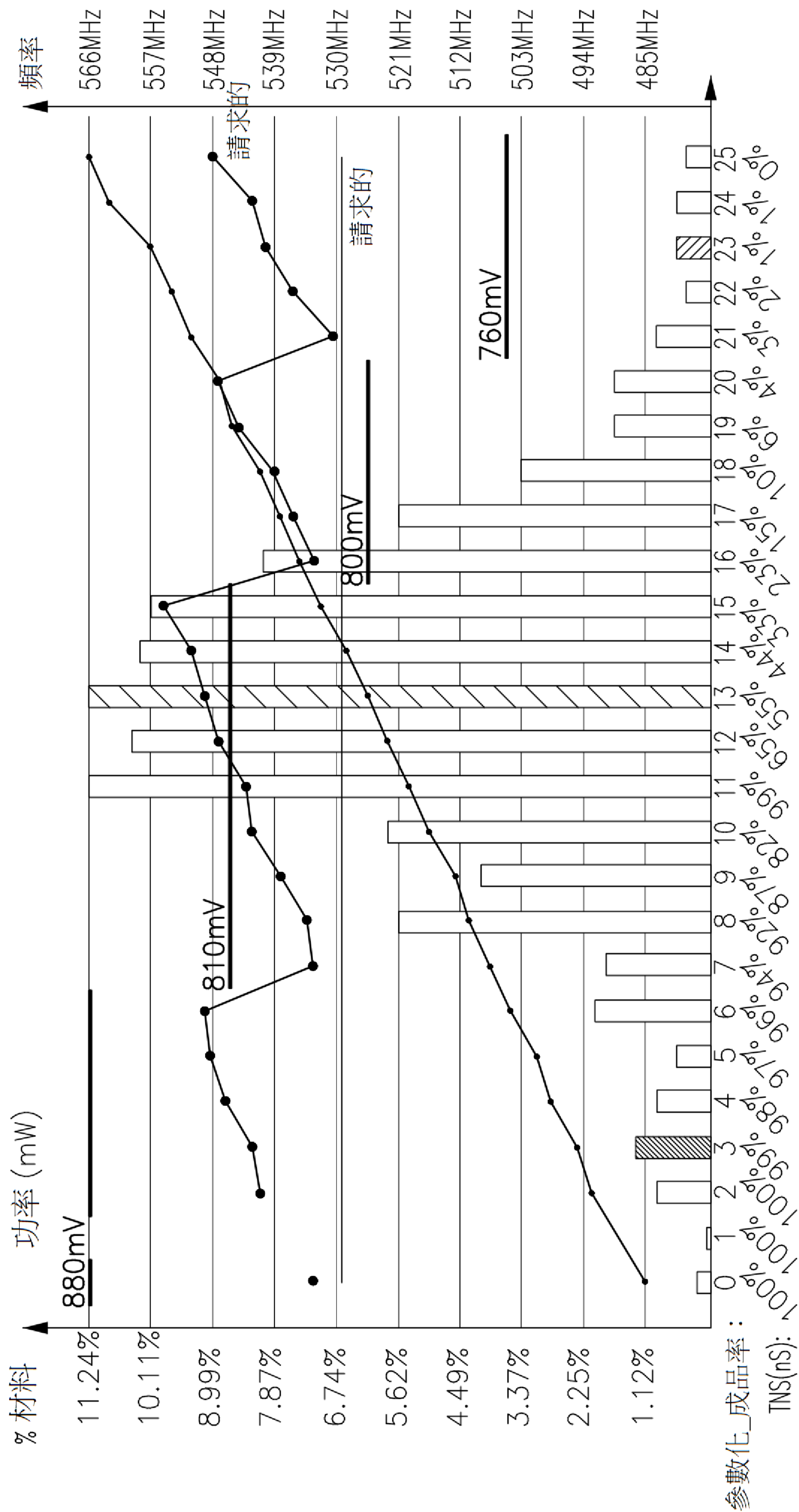


第 2 圖



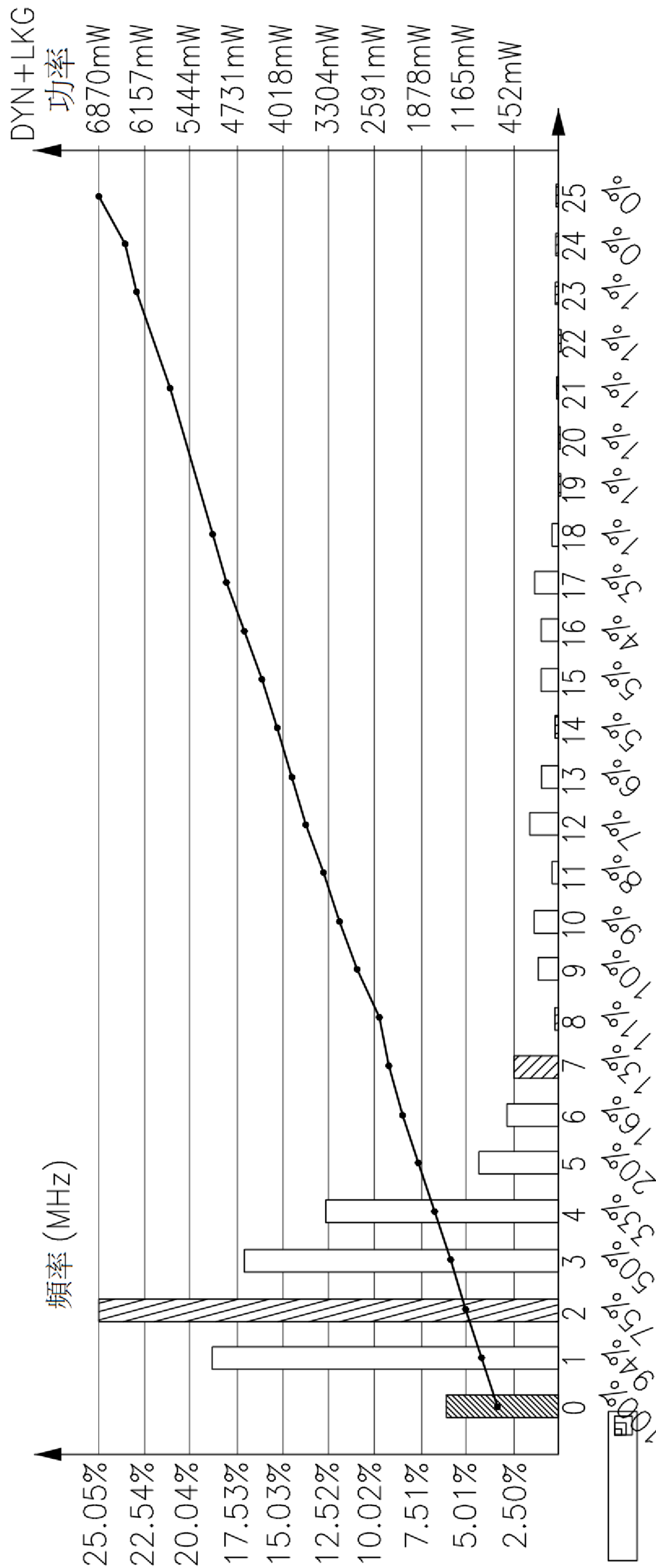
頻率直方圖

第3圖



頻率成品率損失的減輕

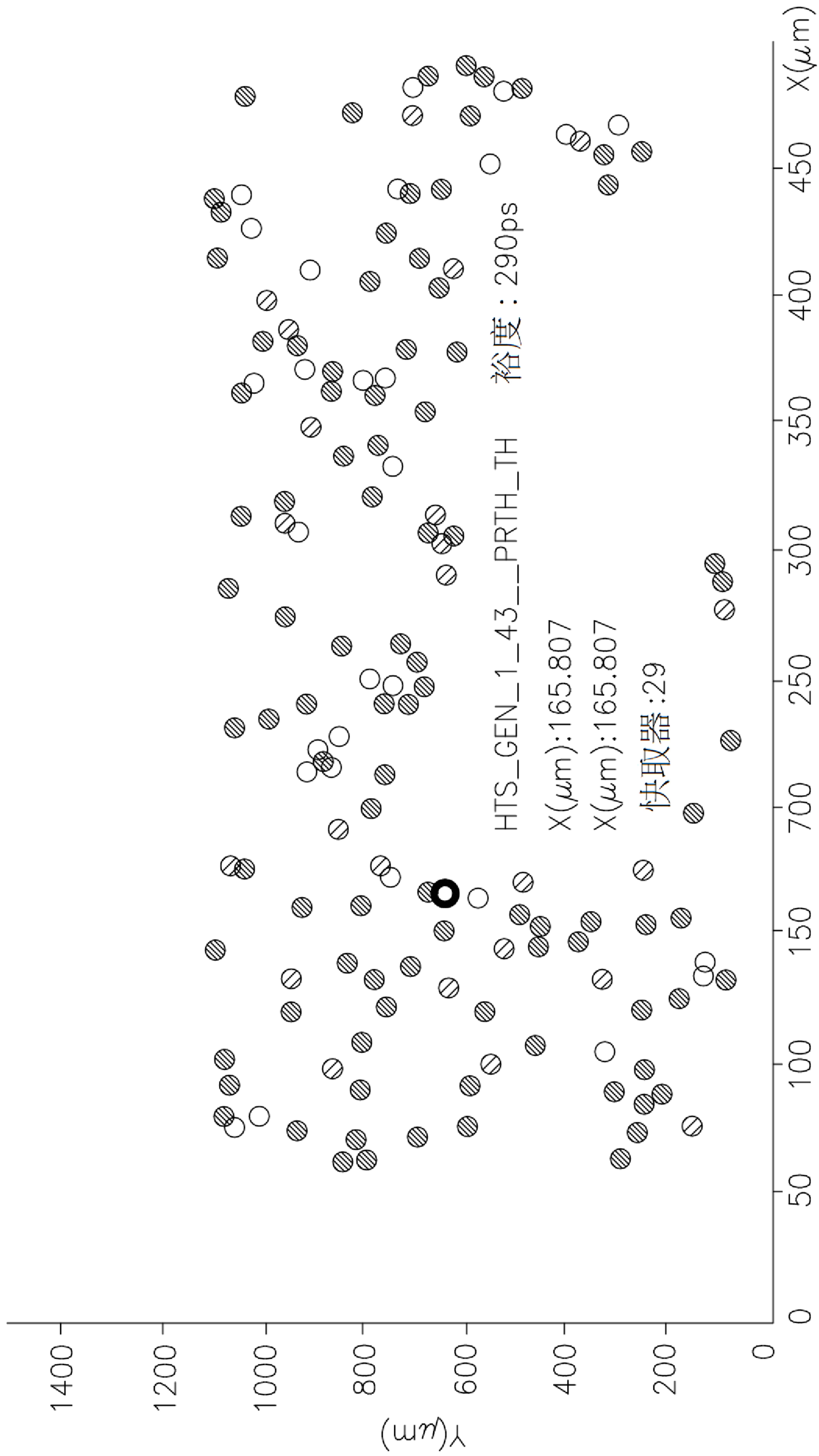
第 4 圖



功率直方圖

第 5 圖





晶粒的裕度圖

第7圖