

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7540334号
(P7540334)

(45)発行日 令和6年8月27日(2024.8.27)

(24)登録日 令和6年8月19日(2024.8.19)

(51)国際特許分類

F I

H 0 1 L	29/78 (2006.01)	H 0 1 L	29/78	6 5 2 K
H 0 1 L	29/12 (2006.01)	H 0 1 L	29/78	6 5 2 T
H 0 1 L	29/739 (2006.01)	H 0 1 L	29/78	6 5 3 C
H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	6 5 2 D
		H 0 1 L	29/78	6 5 2 B

請求項の数 2 (全13頁) 最終頁に続く

(21)出願番号	特願2020-217183(P2020-217183)
(22)出願日	令和2年12月25日(2020.12.25)
(65)公開番号	特開2022-102450(P2022-102450 A)
(43)公開日	令和4年7月7日(2022.7.7)
審査請求日	令和5年4月10日(2023.4.10)

(73)特許権者	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(73)特許権者	000003207 トヨタ自動車株式会社 愛知県豊田市トヨタ町1番地
(73)特許権者	520124752 株式会社ミライズテクノロジーズ 愛知県日進市米野木町南山500番地1
(74)代理人	110001128 弁理士法人ゆうあい特許事務所
(72)発明者	前川 容佑 愛知県日進市米野木町南山500-1 株式会社ミライズテクノロジーズ内
審査官	恩田 和彦

最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【特許請求の範囲】

【請求項1】

第1導電型のドリフト層(12)と、
前記ドリフト層上に形成された第2導電型のベース層(13)と、
前記ベース層の表層部に形成され、前記ドリフト層よりも高不純物濃度とされた第1導電型の第1不純物領域(14)と、
前記ドリフト層のうちの前記ベース層側と反対側に形成された第1導電型または第2導電型の第2不純物領域(11)と、
前記ベース層を貫通して前記ドリフト層に達する状態で形成されたトレンチ(16)の壁面に配置されたゲート絶縁膜(16)と、前記ゲート絶縁膜上に配置されたゲート電極(18)と、を有するトレンチゲート構造と、
前記ベース層および前記第1不純物領域と電氣的に接続される第1電極(20)と、
前記第2不純物領域と電氣的に接続される第2電極(21)と、
前記第1電極と前記ゲート電極との間に配置された層間絶縁膜(19)と、を備え、
前記ゲート電極は、前記トレンチの開口部に対して凹んだ窪み部(18a)が形成されており、
前記層間絶縁膜は、前記ゲート電極と接続される配線部が配置される部分と異なる部分において、前記トレンチ内に配置されている前記ゲート電極上のみ配置されている半導体装置の製造方法であって、
前記ドリフト層および前記ベース層を有し、前記ベース層側の面を一面(10a)とす

10

20

る半導体基板（10）を用意することと、

前記半導体基板に前記トレンチを形成することと、

前記トレンチの壁面に前記ゲート絶縁膜を形成することと、

前記ゲート絶縁膜上に、前記トレンチの開口部側に空洞部（16a）が形成されるように、前記ゲート電極を形成することと、

前記半導体基板の一面上に、前記トレンチの空洞部を埋め込みつつ、前記半導体基板と反対側の表面（191a）のうちの前記ゲート電極と対向する部分に凹部（191b）が形成されるように下層絶縁膜（191）を形成することと、

前記下層絶縁膜上に、前記凹部を埋め込むように、前記下層絶縁膜よりエッチングレートの低い上層絶縁膜（192）を形成することと、

ドライエッチングを行い、前記トレンチ内に配置されている前記ゲート電極上に少なくとも前記下層絶縁膜が残るようにしつつ、前記半導体基板の一面を露出させることにより、前記ゲート電極上に前記下層絶縁膜を含む前記層間絶縁膜を形成することと、

前記半導体基板の一面に前記第1電極を形成することと、を行い、前記下層絶縁膜を形成することの後、ウェットエッチングを行い、前記凹部の開口部幅（A1）を広げることを行う半導体装置の製造方法。

【請求項2】

前記凹部の開口部幅を広げることでは、前記下層絶縁膜のうちの前記ゲート電極と対向する全領域に前記凹部が形成されるようにする請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トレンチゲート構造を有する半導体装置の製造方法に関するものである。

【背景技術】

【0002】

従来より、トレンチゲート構造を有する半導体装置が提案されている（例えば、特許文献1参照）。具体的には、この半導体装置は、 n^+ 型の基板上に、 n^- 型のドリフト層、 p 型のベース層、 n^+ 型のソース領域等が順に積層された半導体基板を用いて構成されている。そして、半導体基板には、ソース領域およびベース層を貫通するように複数のトレンチが形成されており、各トレンチには、ゲート絶縁膜およびゲート電極が順に形成されている。これにより、トレンチゲート構造が形成されている。

【0003】

また、この半導体装置では、半導体基板の一面上に層間絶縁膜が形成され、層間絶縁膜にはベース層およびソース領域を露出させるコンタクトホールが形成されている。そして、層間絶縁膜上には、層間絶縁膜に形成されたコンタクトホールを通じてベース層およびソース領域と電気的に接続されるように第1電極が形成されている。また、半導体基板の他面側には、 n^+ 型の基板と接続されるように第2電極が形成されている。

【先行技術文献】

【特許文献】

【0004】

【文献】特開2018-037533号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記のような半導体装置では、ソース領域等の不純物領域と第1電極との位置ずれを抑制することが望まれている。つまり、不純物領域と第1電極との接続性を向上させることが望まれている。

【0006】

本発明は上記点に鑑み、不純物領域と第1電極との接続性が低下することを抑制できる半導体装置の製造方法を提供することを目的とする。

10

20

30

40

50

【課題を解決するための手段】

【0009】

上記目的を達成するための請求項1は、半導体装置に関する製造方法であり、ドリフト層およびベース層を有し、ベース層側の面を一面(10a)とする半導体基板(10)を用意することと、半導体基板にトレンチを形成することと、トレンチの壁面にゲート絶縁膜を形成することと、ゲート絶縁膜上に、トレンチの開口部側に空洞部(16a)が形成されるように、ゲート電極を形成することと、半導体基板の一面上に、トレンチの空洞部を埋め込みつつ、半導体基板と反対側の表面(191a)のうちのゲート電極と対向する部分に凹部(191b)が形成されるように下層絶縁膜(191)を形成することと、下層絶縁膜上に、凹部を埋め込むように、下層絶縁膜よりエッチングレートの低い上層絶縁膜(192)を形成することと、ドライエッチングを行い、トレンチ内に配置されているゲート電極上に少なくとも下層絶縁膜が残るようにしつつ、半導体基板の一面を露出させることにより、ゲート電極上に下層絶縁膜を含む層間絶縁膜を形成することと、半導体基板の一面に第1電極を形成することと、を行い、下層絶縁膜を形成することの後、ウェットエッチングを行い、凹部の開口部幅(A1)を広げることを行う。

10

【0010】

これによれば、下層絶縁膜上に、下層絶縁膜に形成される凹部を埋め込むように、下層絶縁膜よりエッチングレートの低い上層絶縁膜を配置している。このため、ドライエッチングを行って構成基板の一面を露出させる際、ゲート電極上に下層絶縁膜を残し易くできる。このため、ドライエッチング時のロバスト性を向上しつつ、第1電極とゲート電極と

20

【0011】

なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

【図面の簡単な説明】

【0012】

【図1】第1実施形態における半導体装置の断面図である。

【図2A】図1に示す半導体装置の製造工程を示す断面図である。

【図2B】図2Aに続く半導体装置の製造工程を示す断面図である。

【図2C】図2Bに続く半導体装置の製造工程を示す断面図である。

【図2D】図2Cに続く半導体装置の製造工程を示す断面図である。

【図2E】図2Dに続く半導体装置の製造工程を示す断面図である。

【図2F】図2Eに続く半導体装置の製造工程を示す断面図である。

【図2G】図2Fに続く半導体装置の製造工程を示す断面図である。

【図3】第2実施形態における半導体装置の製造工程を示す断面図である。

【発明を実施するための形態】

【0013】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0014】

(第1実施形態)

第1実施形態について、図面を参照しつつ説明する。本実施形態の半導体装置は、図1に示されるように、MOSFET(Metal Oxide Semiconductor Field Effect Transistorの略)が形成されて構成されている。なお、半導体装置は、特に図示しないが、セル領域、およびセル領域を囲むように形成された外周領域を有している。そして、MOSFETは、半導体装置のうちのセル領域に形成されている。

【0015】

半導体装置は、図1に示されるように、炭化珪素(以下では、単にSiCともいう)で構成されるn⁺型の基板11を有する半導体基板10を備えている。なお、本実施形態では、基板11がドレイン領域を構成する。基板11の表面上には、SiCで構成されるn

30

40

50

型ドリフト層12が配置され、ドリフト層12上には、SiCで構成されるp型のベース層13が配置されている。そして、ベース層13の表層部には、SiCで構成され、ドリフト層12よりも高不純物濃度とされたn⁺型のソース領域14、およびベース層13よりも高不純物濃度とされたp⁺型のコンタクト領域15が形成されている。

【0016】

本実施形態では、このように、基板11、ドリフト層12、ベース層13、ソース領域14、コンタクト領域15等が積層されて半導体基板10が構成されている。以下、半導体基板10のうちの基板11側の面を半導体基板10の他面10bとし、ソース領域14およびコンタクト領域15側の面を半導体基板10の一面10aとする。そして、ソース領域14およびコンタクト領域15は、半導体基板10の一面10aから露出した状態とな

10

【0017】

なお、本実施形態では、ドリフト層12およびベース層13がエピタキシャル成長等によって形成される。ソース領域14およびコンタクト領域15は、エピタキシャル成長やイオン注入等によって形成される。また、本実施形態では、ソース領域14が第1不純物領域に相当し、基板11が第2不純物領域に相当している。

【0018】

半導体基板10には、一面10a側からベース層13およびソース領域14を貫通してドリフト層12に達するように複数のトレンチ16が形成されている。これにより、ベース層13は、複数個に分離され、トレンチ16の側面と接するようにソース領域14が形成された状態となる。そして、本実施形態のコンタクト領域15は、隣合うトレンチ16の間において、ソース領域14を挟んでトレンチ16と反対側に形成されている。つまり、コンタクト領域15は、トレンチ16に挟まれるように形成されている。

20

【0019】

なお、ソース領域14は、トレンチ16の長手方向に沿ってトレンチ16の側面に接するように棒状に延設され、トレンチ16の先端よりも内側で終端する構造とされている。コンタクト領域15は、ソース領域14を挟んでトレンチ16と反対側に形成されると共に、トレンチ16の長手方向（すなわち、ソース領域14）に沿って棒状に延設されている。そして、本実施形態のコンタクト領域15は、半導体基板10の一面10aを基準としてソース領域14よりも深く形成されている。

30

【0020】

複数のトレンチ16は、本実施形態では、半導体基板10の一面10aの面方向のうちの一方向（すなわち、図1中紙面奥行き方向）に沿って等間隔にストライプ状に形成されている。なお、複数のトレンチ16は、先端部が引き回されることで環状構造とされていてもよい。また、本実施形態のトレンチ16は、特に図示しないが、セル領域から外周領域まで引き延ばされている。

【0021】

また、本実施形態のトレンチ16は、当該トレンチ16の開口部側から底面側に向かって幅が狭くなるテーパ状とされている。そして、トレンチ16は、開口部の幅をAとし、深さをBとすると、幅Aに対する深さBの比であるアスペクト比（B/A）が2.5以上となるように構成されている。つまり、トレンチ16は、高アスペクト比となる形状とされている。

40

【0022】

なお、トレンチ16の幅Aとは、半導体基板10の面方向において、トレンチ16の長手方向と交差する方向の長さのことであり、図1中では紙面左右方向の長さとなる。また、トレンチ16の深さBとは、半導体基板10の厚さ方向の長さであり、ドリフト層12とベース層13との積層方向に沿った長さである。そして、トレンチ16は、例えば、幅Aが500~1000nm程度とされ、深さBが1300~1700nm程度とされる。

【0023】

各トレンチ16内は、各トレンチ16の壁面を覆うように形成されたゲート絶縁膜17

50

と、このゲート絶縁膜 17 の上に形成されたポリシリコン等により構成されるゲート電極 18 とにより埋め込まれている。これにより、トレンチゲート構造が構成されている。

【0024】

ここで、本実施形態のゲート電極 18 は、トレンチ 16 の開口部よりも凹んだ窪み部 18a が形成された状態となっている。言い換えると、ゲート電極 18 は、半導体基板 10 の一面 10a に対して凹んだ窪み部 18a が形成された状態となっている。

【0025】

そして、ゲート電極 18 上には、半導体基板 10 の一面 10a から突出するように、層間絶縁膜 19 が形成されている。具体的には、層間絶縁膜 19 は、ゲート電極 18 上に形成されており、半導体基板 10 の一面 10a は、層間絶縁膜 19 から露出した状態となっている。但し、本実施形態では、特に図示しないが、ゲート電極 18 は、外周領域まで引き出されたトレンチ 16 の長手方向の端部において、半導体基板 10 の一面 10a 側に形成された配線部としてのゲートランナーと電気的に接続される。そして、外周領域では、ゲートランナーを覆うように層間絶縁膜 19 が形成されている。つまり、層間絶縁膜 19 は、ゲートランナーが配置される部分と異なる部分においては、ゲート電極 18 上のみに配置されている。すなわち、本実施形態では、外周領域にゲートランナーが配置されているため、セル領域においては、ゲート電極 18 上のみに層間絶縁膜 19 が配置されている。そして、ソース領域 14 およびコンタクト領域 15 は、全領域が半導体基板 10 の一面 10a から露出した状態となっている。なお、本実施形態では、セル領域にゲートランナーが形成されていない構成について説明し、外周領域の構成は適宜変更可能である。

【0026】

半導体基板 10 の一面 10a には、ソース領域 14 およびコンタクト領域 15 と電気的に接続される上部電極 20 が形成されている。具体的には、上部電極 20 は、半導体基板 10 の一面 10a 側に直接配置されている。つまり、層間絶縁膜 19 には、半導体基板 10 の一面 10a を露出させるコンタクトホール等は形成されていない。また、上部電極 20 とゲート電極 18 とは、層間絶縁膜 19 によって絶縁されている。

【0027】

本実施形態の上部電極 20 は、例えば、Ni/Al 等の複数の金属にて構成されている。そして、複数の金属のうちの n 型 SiC (すなわち、ソース領域 14) を構成する部分と接触する部分は、n 型 SiC とオーミック接触可能な金属で構成されている。また、複数の金属のうちの少なくとも p 型 SiC (すなわち、コンタクト領域 15) と接触する部分は、p 型 SiC とオーミック接触可能な金属で構成されている。なお、本実施形態では、上部電極 20 が第 1 電極に相当している。

【0028】

半導体基板 10 の他面 10b 側には、基板 11 と電気的に接続される下部電極 21 が形成されている。なお、本実施形態では、下部電極 21 が第 2 電極に相当している。本実施形態では、このような構造により、n チャネルタイプの反転型であるトレンチゲート構造の MOSFET が構成されている。そして、このような MOSFET が複数配置されることでセル領域が構成されている。

【0029】

以上が本実施形態における SiC 半導体装置の構成である。なお、本実施形態では、n⁺ 型、n 型、n⁻ 型が第 1 導電型に相当しており、p⁻ 型、p 型、p⁺ 型が第 2 導電型に相当している。また、本実施形態では、上記のように、基板 11、ドリフト層 12、ベース層 13、ソース領域 14、コンタクト領域 15 等を含んで半導体基板 10 が構成されている。

【0030】

次に、上記半導体装置の製造方法について、図 2A ~ 図 2G を参照しつつ説明する。なお、図 2A ~ 図 2G では、1 つのトレンチ 16 付近の断面図を示している。

【0031】

まず、図 2A に示されるように、ドリフト層 12、ベース層 13、ソース領域 14、コ

10

20

30

40

50

ンタクト領域 15 等が形成された半導体基板 10 を用意する。そして、図示しないマスクを用いてドライエッチング等を行い、ソース領域 14 およびベース層 13 を貫通してドリフト層 12 に達するトレンチ 16 を形成する。

【0032】

次に、図 2 B に示されるように、熱酸化等を行い、トレンチ 16 の壁面にゲート絶縁膜 17 を形成する。続いて、LPCVD (Low-Pressure Chemical Vapor Deposition の略) 法等によってポリシリコンを成膜することにより、ゲート絶縁膜 17 上にゲート電極 18 を配置する。その後、図示しないマスクを用いてパターニングを行い、ドライエッチング等で半導体基板 10 の一面 10 a 上に配置されたポリシリコンを除去しつつ、トレンチ 16 のうちの開口部側の部分に配置されたポリシリコンを除去する。これにより、トレンチ 16 のうちの開口部側の部分にゲート電極 18 が配置されていない空洞部 16 a が構成される。言い換えると、ゲート電極 18 に窪み部 18 a が構成される。

10

【0033】

続いて、図 2 C に示されるように、CVD (Chemical Vapor Deposition の略) 法等により、トレンチ 16 の開口部側の部分 (すなわち、空洞部 16 a) を埋め込むように下層絶縁膜 191 を形成する。この際、下層絶縁膜 191 には、半導体基板 10 の一面 10 a 側と反対側の表面 191 a 側において、トレンチ 16 を埋め込むことによって構成される微小な凹部 191 b が形成された状態となる。具体的には、下層絶縁膜 191 の表面 191 a には、半導体基板 10 の厚さ方向において、ゲート電極 18 と対向する部分に凹部 191 b が形成された状態となる。なお、下層絶縁膜 191 は、凹部 191 b が構成されるように厚さが調整される。

20

【0034】

次に、図 2 D に示されるように、下層絶縁膜 191 上に、下層絶縁膜 191 に形成された凹部 191 b を埋め込むように上層絶縁膜 192 を配置する。上層絶縁膜 192 は、下層絶縁膜 191 よりエッチングレートの低い材料で構成されたものが用いられる。例えば、下層絶縁膜 191 は、BPSG (Borophosphosilicate Glass の略) 等で構成され、上層絶縁膜 192 は、TEOS (tetraethoxysilane の略) 等で構成される。なお、下層絶縁膜 191 に形成される凹部 191 b が微小であるため、上層絶縁膜 192 は、所定以上の厚さとされることにより、下層絶縁膜 191 側と反対側の表面 192 a がほぼ平坦な面となる。言い換えると、下層絶縁膜 191 および上層絶縁膜 192 は、下層絶縁膜 191 に凹部 191 b が形成されつつ、上層絶縁膜 192 の表面 192 a が平坦となるように、厚さが調整される。

30

【0035】

次に、図 2 E に示されるように、半導体基板 10 の一面 10 a 側から、セル領域においては、マスク等を配置せずに全体的にドライエッチングを行う。この場合、上層絶縁膜 192 は、凹部 191 b を埋め込む部分に配置された部分の厚さが厚くなっている。つまり、上層絶縁膜 192 は、ゲート電極 18 上に位置する部分の厚さが厚くなっている。このため、半導体基板 10 の一面 10 a 側から全体的にドライエッチングを行うと、まず、凹部 191 b 内に配置された上層絶縁膜 192 を除く上層絶縁膜 192 が全体的に除去される。

40

【0036】

そして、そのままドライエッチングを行うことにより、下層絶縁膜 191 が除去されつつ、凹部 191 b 内の上層絶縁膜 192 も除去される。この際、上層絶縁膜 192 のエッチングレートが下層絶縁膜 191 のエッチングレートよりも低くされているため、下層絶縁膜 191 の方が除去され易くなる。また、下層絶縁膜 191 が除去される際、下層絶縁膜 191 では、上層絶縁膜 192 が配置された部分から離れた部分のエッチングレートが高くなり易い。具体的には、下層絶縁膜 191 では、隣合うトレンチ 16 の間の中心の部分のエッチングレートが高くなり易い。したがって、下層絶縁膜 191 および上層絶縁膜 192 の表面 191 a、192 a は、トレンチ 16 上の部分から、隣合うトレンチ 16 の間の中心に向かって半導体基板 10 の一面 10 a 側に傾斜した形状となる。なお、外周領

50

域においては、適宜マスクが配置され、ゲートライナー等を覆うように、下層絶縁膜 191 および上層絶縁膜 192 が残される。

【0037】

続いて、図 2 F に示されるように、さらにドライエッチングを行い、セル領域においては、ゲート電極 18 上に下層絶縁膜 191 を残しつつ、半導体基板 10 の一面 10 a 上に形成されている下層絶縁膜 191 を除去する。つまり、セル領域においては、ゲート電極 18 上のみを下層絶縁膜 191 を残しつつ、ソース領域 14 およびコンタクト領域 15 を下層絶縁膜 191 から露出させる。この際、ゲート電極 18 上では上層絶縁膜 192 が残存することによってエッチングされ難くなっていたため、容易にゲート電極 18 上のみを下層絶縁膜 191 を残すことができる。そして、ゲート電極 18 上に残る下層絶縁膜 191 によって層間絶縁膜 19 が構成される。

10

【0038】

その後、図 2 G に示されるように、PVD (physical vapor deposition の略) 法等により、半導体基板 10 の一面 10 a 側に上部電極 20 を形成する。この場合、層間絶縁膜 19 は、トレンチ 16 内に配置されており、半導体基板 10 の一面 10 a 上には配置されていない。つまり、ソース領域 14 およびコンタクト領域 15 は、層間絶縁膜 19 から露出した状態となっている。このため、本実施形態では、層間絶縁膜 19 にソース領域 14 等を露出させるコンタクトホールを形成することなく、ソース領域 14 と電気的に接続される上部電極 20 が形成される。つまり、本実施形態では、ソース領域 14 と上部電極 20 とをセルフアライン (すなわち、自己整合) で接続できる。そして、特に図示しないが、半導体基板 10 の他面側に下部電極 21 を形成することにより、図 1 に示す半導体装置が製造される。

20

【0039】

以上説明した本実施形態によれば、上部電極 20 は、半導体基板 10 の一面 10 a に配置され、ソース領域 14 およびコンタクト領域 15 とそのまま接続されている。このため、層間絶縁膜 19 にソース領域 14 およびコンタクト領域 15 を露出させるコンタクトホールを形成する必要がない。したがって、ソース領域 14 およびコンタクト領域 15 と上部電極 20 との位置ずれが発生することを抑制でき、ソース領域 14 およびコンタクト領域 15 と上部電極 20 との接続性が低下することを抑制できる。また、層間絶縁膜 19 にコンタクトホールを形成する必要がないため、製造工程の簡略化を図ることもできる。

30

【0040】

(1) 本実施形態では、層間絶縁膜 19 は、トレンチ 16 の開口部から外側に突出するように配置されている。このため、層間絶縁膜 19 が厚くなり易く、ゲート電極 18 と上部電極 20 との絶縁性の向上を図ることができる。

【0041】

(2) 本実施形態では、下層絶縁膜 191 を形成する際、下層絶縁膜 191 の表面 191 a のうちのゲート電極 18 と対向する部分に凹部 191 b が形成されるようにしている。そして、上層絶縁膜 192 を形成する際、下層絶縁膜 191 に形成された凹部 191 b を埋め込むように上層絶縁膜 192 を配置している。また、上層絶縁膜 192 を下層絶縁膜 191 よりエッチングレートの低い材料で構成している。このため、半導体基板 10 の一面 10 a 上に配置された下層絶縁膜 191 および上層絶縁膜 192 を除去する際、容易にゲート電極 18 上のみを下層絶縁膜 191 を残すことができる。したがって、ドライエッチング時のロバスト性を向上しつつ、上部電極 20 とゲート電極 18 とがショートすることを抑制できる。

40

【0042】

(第 2 実施形態)

第 2 実施形態について説明する。本実施形態は、第 1 実施形態に対し、凹部 191 b を広げる工程を追加したものである。その他に関しては、第 1 実施形態と同様であるため、ここでは説明を省略する。

【0043】

50

本実施形態では、上記図 2 C の工程を行って下層絶縁膜 191 を形成した後、図 3 に示されるように、ウェットエッチングを行うって凹部 191 b の開口部幅を広げる工程を行う。本実施形態では、凹部 191 b の開口部幅を A1 とすると共にゲート電極 18 の最大幅を A2 とした際、開口部幅 A1 が最大幅 A2 よりも広くなるようにする。つまり、下層絶縁膜 191 には、半導体基板 10 の厚さ方向において、表面 191 a のうちのゲート電極 18 と対向する全領域に凹部 191 b が形成されるようにする。なお、本実施形態におけるゲート電極 18 の最大幅 A2 は、ゲート電極 18 のうちの最もトレンチ 16 の開口部側に位置する部分の幅となる。

【0044】

その後、図 2 D の工程を行って上層絶縁膜 192 を配置する。この際、凹部 191 b の開口部幅 A1 がゲート電極 18 の最大幅 A2 よりも広くされているため、ゲート電極 18 上では、上層絶縁膜 192 の厚さが厚くなる部分が増加する。したがって、その後の工程を行って層間絶縁膜 19 を構成した際、ゲート電極 18 が層間絶縁膜 19 から露出することを抑制でき、ゲート電極 18 と上部電極 20 との絶縁性の向上を図ることができる。

10

【0045】

以上説明した本実施形態によれば、上部電極 20 は、ソース領域 14 およびコンタクト領域 15 とそのまま接続されている。したがって、上記第 1 実施形態と同様の効果を得ることができる。

【0046】

(1) 本実施形態では、凹部 191 b の開口部幅 A1 がゲート電極 18 の最大幅 A2 よりも広くされている。このため、ゲート電極 18 上では、上層絶縁膜 192 の厚さが厚くなる部分が増加する。したがって、半導体基板 10 の一面 10 a 上に配置された下層絶縁膜 191 および上層絶縁膜 192 を除去する際、さらにゲート電極 18 上に下層絶縁膜 191 を残し易くできる。

20

【0047】

(他の実施形態)

本開示は、実施形態に準拠して記述されたが、本開示は当該実施形態や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

30

【0048】

上記各実施形態では、第 1 導電型を n 型、第 2 導電型を p 型とした n チャネルタイプのトレンチゲート構造の MOSFET を半導体スイッチング素子の一例として説明した。しかしながら、これは一例を示したに過ぎず、他の構造の半導体スイッチング素子、例えば n チャネルタイプに対して各構成要素の導電型を反転させた p チャネルタイプのトレンチゲート構造の MOSFET としてもよい。さらに、半導体装置は、MOSFET 以外に、同様の構造の IGBT が形成された構成とされていてもよい。IGBT の場合、上記各実施形態における n⁺型の基板 11 (すなわち、ドレイン領域) を p⁺型のコレクタ領域に変更する以外は、上記各実施形態で説明した縦型 MOSFET と同様である。なお、IGBT とする場合、ソース領域 14 がエミッタ領域となる。

40

【0049】

また、上記各実施形態では、半導体基板 10 が炭化珪素で構成される例について説明した。しかしながら、半導体基板 10 は、シリコンや窒化ガリウム等で構成されていてもよい。なお、半導体基板 10 をシリコンで構成する場合、例えば、図 2 A の工程では、ドレイン領域が形成されていないなくてもよく、下部電極 21 を形成する前にイオン注入等でドレイン領域を構成するようにしてもよい。

【0050】

さらに、上記各実施形態では、トレンチ 16 が開口部から底面に向かって幅が狭くなるテーパ状とされた例について説明した。しかしながら、トレンチ 16 は、開口部から底面

50

に向かって幅が一定とされていてもよい。

【 0 0 5 1 】

また、上記各実施形態では、層間絶縁膜 1 9 が下層絶縁膜 1 9 1 で構成される例について説明した。しかしながら、図 2 F の工程では、ゲート電極 1 8 上に上層絶縁膜 1 9 2 も残るようにしてもよい。つまり、層間絶縁膜 1 9 は、下層絶縁膜 1 9 1 および上層絶縁膜 1 9 2 で構成されるようにしてもよい。

【 0 0 5 2 】

そして、上記各実施形態において、層間絶縁膜 1 9 は、トレンチ 1 6 の開口部から外側に突出するように配置されていなくてもよい。つまり、層間絶縁膜 1 9 は、トレンチ 1 6 内にのみ配置されていてもよい。

10

【 0 0 5 3 】

さらに、上記第 2 実施形態において、開口部幅 A 1 が最大幅 A 2 よりも狭くなるようにしてもよい。このような製造方法としても、開口部幅 A 1 を広げることによって上層絶縁膜 1 9 2 が厚くなる部分が増加するため、上記第 2 実施形態と同様の効果を得ることができる。

【 符号の説明 】

【 0 0 5 4 】

- 1 0 半導体基板
- 1 0 a 一面
- 1 1 b 他面
- 1 1 基板 (第 2 不純物領域)
- 1 2 ドリフト層
- 1 3 ベース層
- 1 4 ソース領域 (第 1 不純物領域)
- 1 5 ベース層
- 1 6 トレンチ
- 1 7 ゲート絶縁膜
- 1 8 ゲート電極
- 2 0 上部電極 (第 1 電極)
- 2 1 下部電極 (第 2 電極)

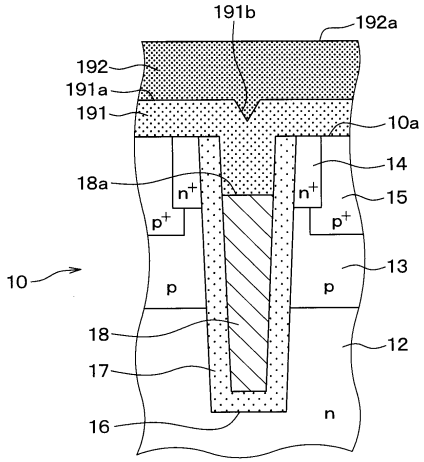
20

30

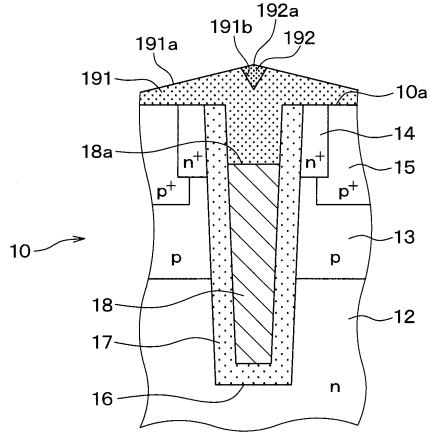
40

50

【図 2 D】

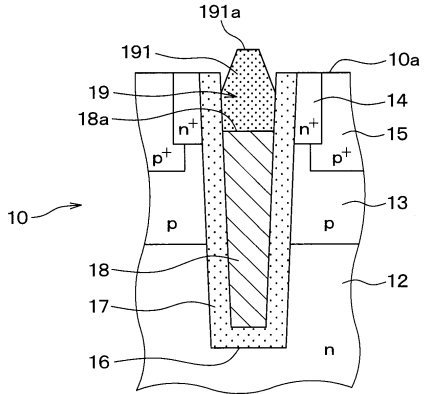


【図 2 E】

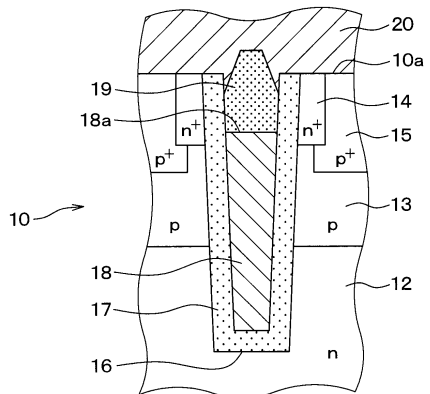


10

【図 2 F】



【図 2 G】



20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 29/78 6 5 5 A

H 0 1 L 29/78 6 5 8 F

(56)参考文献

特開 2 0 1 9 - 0 6 2 1 2 6 (J P , A)

特開 2 0 0 8 - 1 0 8 7 8 5 (J P , A)

特開 2 0 2 0 - 1 0 2 5 9 2 (J P , A)

国際公開第 2 0 1 9 / 1 1 7 2 4 8 (W O , A 1)

米国特許出願公開第 2 0 1 3 / 0 0 4 9 1 0 4 (U S , A 1)

(58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 9 / 7 8

H 0 1 L 2 9 / 1 2

H 0 1 L 2 9 / 7 3 9

H 0 1 L 2 1 / 3 3 6