



(12)发明专利

(10)授权公告号 CN 103685989 B

(45)授权公告日 2018.04.13

(21)申请号 201310408226.0

(22)申请日 2013.09.10

(65)同一申请的已公布的文献号

申请公布号 CN 103685989 A

(43)申请公布日 2014.03.26

(30)优先权数据

JP2012-204107 2012.09.18 JP

(73)专利权人 索尼公司

地址 日本东京都

(72)发明人 园田修治

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 郭定辉

(51)Int.Cl.

H04N 5/335(2011.01)

H04N 5/3745(2011.01)

H01L 27/146(2006.01)

审查员 汤茂飞

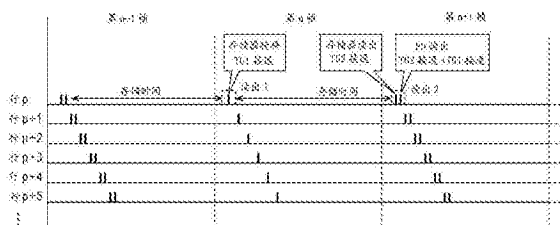
权利要求书2页 说明书12页 附图18页

(54)发明名称

固态成像器件、控制方法和电子设备

(57)摘要

固态成像器件、控制方法和电子设备,该固态成像器件包括:具有在其中布置的多个像素的像素阵列单元,每个像素至少包括生成与接收到的光对应的电荷的光电转换元件和保持由光电转换元件生成的电荷的存储器件;以及AD转换单元,其进行将与从像素输出的电荷对应的像素信号转换为计数值的AD转换,其中,像素在第n个帧中转移由光电转换元件生成的电荷到所述存储器件,以在存储器件中保持电荷,并且在第n+1帧中,顺序输出与在存储器件中保持的电荷对应的第一像素信号和与在存储器件中保持的电荷已经转移至存储器件之后由光电转换元件生成的电荷对应的第二像素信号,并且在第n+1帧中,在第一和第二像素信号之间改变获取计数值的向上/向下计数方向,从而对第一和第二像素信号接连进行AD转换。



1. 一种固态成像器件,包括:

具有在其中布置的多个像素的像素阵列单元,每个像素至少包括生成与接收到的光对应的电荷的光电转换元件和保持由所述光电转换元件生成的电荷的存储器;以及

AD转换单元,其进行将与从所述像素输出的电荷对应的像素信号转换为计数值的AD转换,其中

所述像素在第n个帧中转移由所述光电转换元件生成的电荷到所述存储器,以在所述存储器中保持所述电荷,并且在第n+1帧中,顺序输出与在所述存储器中保持的电荷对应的第一像素信号和与在前面的电荷已经转移至所述存储器之后由所述光电转换元件生成的电荷对应的第二像素信号,并且

所述AD转换单元,在第n+1帧中,在所述第一像素信号和所述第二像素信号之间改变获取所述计数值的向上/向下计数方向,从而对所述第一像素信号和所述第二像素信号接连进行AD转换,

其中,对所述第n个帧的所述第一像素信号的所述AD转换和对所述第n+1帧的所述第二像素信号的接连的AD转换在测量信号分量和重置分量的组合的时间段之前具有测量所述重置分量的时间段。

2. 根据权利要求1所述的固态成像器件,其中

所述AD转换单元包括

比较器,其输出通过比较斜坡波形的基准信号与从所述像素输出的像素信号而获取的差信号,以及

计数器,其在所述差信号处于预定电平的一个时间段内进行计数操作,并且

所述计数器从与所述第一像素信号相关联的所述差信号的计数值开始,开始计数与所述第二像素信号相关联的所述差信号。

3. 根据权利要求1所述的固态成像器件,还包括

信号处理电路,其基于在所述第一像素信号和所述第二像素信号之间的差的所述计数值,确定在被摄体中改变的存在或者不存在。

4. 一种用于控制固态成像器件的方法,所述固态成像器件包括:

具有在其中布置的多个像素的像素阵列单元,每个像素至少包括生成与接收到的光对应的电荷的光电转换元件和保持由所述光电转换元件生成的电荷的存储器;以及

AD转换单元,其进行将与从所述像素输出的电荷对应的像素信号转换为计数值的AD转换,其中

所述像素在第n个帧中转移由所述光电转换元件生成的电荷到所述存储器,以在所述存储器中保持所述电荷,并且在第n+1帧中,顺序输出与在所述存储器中保持的电荷对应的第一像素信号和与在前面的电荷已经转移至所述存储器之后由所述光电转换元件生成的电荷对应的第二像素信号,并且

所述AD转换单元,在第n+1帧中,在所述第一像素信号和所述第二像素信号之间改变获取所述计数值的向上/向下计数方向,从而对所述第一像素信号和所述第二像素信号接连进行AD转换,

其中,对所述第n个帧的所述第一像素信号的所述AD转换和对所述第n+1帧的所述第二像素信号的接连的AD转换在测量信号分量和重置分量的组合的时间段之前具有测量所述

重置分量的时间段。

5. 一种电子设备,包括:

固态成像器件,具有:

具有在其中布置的多个像素的像素阵列单元,每个像素至少包括生成与接收到的光对应的电荷的光电转换元件和保持由所述光电转换元件生成的电荷的存储器;以及

AD转换单元,其进行将与从所述像素输出的电荷对应的像素信号转换为计数值的AD转换,其中

所述像素在第 n 个帧中转移由所述光电转换元件生成的电荷到所述存储器,以在所述存储器中保持所述电荷,并且在第 $n+1$ 帧中,顺序输出与在所述存储器中保持的电荷对应的第一像素信号和与在前面的电荷已经转移至所述存储器之后由所述光电转换元件生成的电荷对应的第二像素信号,并且

所述AD转换单元,在第 $n+1$ 帧中,在所述第一像素信号和所述第二像素信号之间改变获取所述计数值的向上/向下计数方向,从而对所述第一像素信号和所述第二像素信号接连进行AD转换,

其中,对所述第 n 个帧的所述第一像素信号的所述AD转换和对所述第 $n+1$ 帧的所述第二像素信号的接连的AD转换在测量信号分量和重置分量的组合的时间段之前具有测量所述重置分量的时间段。

固态成像器件、控制方法和电子设备

技术领域

[0001] 本技术涉及固态成像器件、控制方法和电子设备,并且本技术尤其涉及能够输出帧间差的固态成像器件、用于控制该固态成像器件的方法和包括该固态成像器件的电子设备。

背景技术

[0002] 为了检测到监视设备等中图像的改变,普通方法利用作为目前捕获的当前图像和在当前图像之前捕获的图像之间的差的帧间差。帧间差处理一般由在图像传感器的下游侧上提供的图像处理电路来进行。

[0003] 用于图像传感器的分辨率增强的像素数量的增加增加单个图像的数据大小并且作为结果二增加对图像处理的负荷。如果图像传感器本身可以进行帧间差处理,替代在图像传感器的下游侧上提供的图像处理电路,则可以减少施加在图像处理电路上的负荷。

[0004] 直到现在为之提出的使能差输出的图像传感器的一种,被配置为输出在二维布置的像素中来自第y行上的像素的像素信号和来自第y+1行上的像素的像素信号之间的差(例如参见日本未审查专利申请公开第2006-33452号)。

[0005] 然而,仍没有开发出可以输出帧间差的图像传感器。

发明内容

[0006] 本技术已经鉴于这种情况做出并且使能帧间差输出。

[0007] 根据本技术的第一实施例的固态成像器件,包括:具有布置在其中的多个像素的像素阵列单元,每个像素至少包括生成与接收到的光对应的电荷的光电转换元件和保持由光电转换元件生成的电荷的存储器;以及AD转换单元,进行将与从像素输出的电荷对应的像素信号转换为计数值的AD转换,其中像素在第n个帧中转移由光电转换元件生成的电荷到存储器以在存储器中保持该电荷,并且在第n+1帧中,顺序输出与在存储器中保持的电荷对应的第一像素信号和与在前面的电荷已经转移至存储器之后由光电转换元件生成的电荷对应的第二像素信号,并且该AD转换单元,在第n+1帧中,在第一像素信号和第二像素信号之间改变获取所述计数值的向上/向下计数方向,从而接连对第一像素信号和第二像素信号接连进行AD转换。

[0008] 根据本技术的第二实施例针对一种用于控制固态成像器件的方法,该固态成像器件包括:具有布置在其中的多个像素的像素阵列单元,每个像素至少包括生成与接收到的光对应的电荷的光电转换元件和保持由光电转换元件生成的电荷的存储器;以及AD转换单元,进行将与从像素输出的电荷对应的像素信号转换为计数值的AD转换,其中像素在第n个帧中转移由光电转换元件生成的电荷到存储器以在存储器中保持该电荷,并且在第n+1帧中,顺序输出与在存储器中保持的电荷对应的第一像素信号和与在前面的电荷已经转移至存储器之后由光电转换元件生成的电荷对应的第二像素信号,并且该AD转换单元,在第n+1帧中,在第一像素信号和第二像素信号之间改变获取所述计数值的向上/向下计数方向,从

而接连对第一像素信号和第二像素信号接连进行AD转换。

[0009] 根据本技术的第三实施例针对一种电子设备,包括:具有布置在其中的多个像素的像素阵列单元,每个像素至少包括生成与接收到的光对应的电荷的光电转换元件和保持由光电转换元件生成的电荷的存储器;以及AD转换单元,进行将与从像素输出的电荷对应的像素信号转换为计数值的AD转换,其中像素在第 n 个帧中转移由光电转换元件生成的电荷到存储器以在存储器中保持该电荷,并且在第 $n+1$ 帧中,顺序输出与在存储器中保持的电荷对应的第一像素信号和与在前面的电荷已经转移至存储器之后由光电转换元件生成的电荷对应的第二像素信号,并且该AD转换单元,在第 $n+1$ 帧中,在第一像素信号和第二像素信号之间改变获取所述计数值的向上/向下计数方向,从而接连对第一像素信号和第二像素信号接连进行AD转换。

[0010] 根据本发明的第一至第三实施例包括:具有布置在其中的多个像素的像素阵列单元,每个像素至少包括生成与接收到的光对应的电荷的光电转换元件和保持由光电转换元件生成的电荷的存储器;以及AD转换单元,进行将与从像素输出的电荷对应的像素信号转换为计数值的AD转换,其中像素在第 n 个帧中转移由光电转换元件生成的电荷到存储器以在存储器中保持该电荷,并且在第 $n+1$ 帧中,顺序输出与在存储器中保持的电荷对应的第一像素信号和与在前面的电荷已经转移至存储器之后由光电转换元件生成的电荷对应的第二像素信号,并且该AD转换单元,在第 $n+1$ 帧中,在第一像素信号和第二像素信号之间改变获取所述计数值的向上/向下计数方向,从而接连对第一像素信号和第二像素信号接连进行AD转换。

[0011] 根据本技术的第一至第三实施例,可以输出帧间差。

附图说明

[0012] 图1是示出根据实施例的CMOS图像传感器的配置示例的框图,本技术应用于该CMOS图像传感器;

[0013] 图2详细图示像素和ADC的配置;

[0014] 图3是用于描述在移动图像模式中图1的CMOS图像传感器的驱动操作的时序图;

[0015] 图4是用于描述在帧间差输出模式中图1中的CMOS图像传感器的驱动操作的时序图;

[0016] 图5是用于详细描述在第 n 帧中从光电二极管读出电荷的操作的时序图;

[0017] 图6是用于详细描述在第 $n+1$ 帧中从光电二极管读出电荷的操作的时序图;

[0018] 图7概念化当被摄体保持不变时累积的电荷量;

[0019] 图8图示当被摄体保持不变时AD转换处理的操作;

[0020] 图9概念化当被摄体改变时累积的电荷量;

[0021] 图10图示当被摄体改变时AD转换处理的操作;

[0022] 图11图示在帧间差输出模式中的输出图像;

[0023] 图12图示用于确定被摄体中改变的存在或者不存在的处理;

[0024] 图13A和13B示意性描绘当CMOS图像传感器制造为前照式图像传感器时,硅衬底的截面结构;

[0025] 图14A和14B示意性描绘当CMOS图像传感器制造为背照式图像传感器时,硅衬底的

截面结构;

[0026] 图15A和15B图示堆栈式图像传感器;

[0027] 图16A和16B示意性描绘当图像传感器制造为堆栈式图像传感器时,硅衬底的截面结构;

[0028] 图17A和17B示意性描绘当图像传感器制造为堆栈式图像传感器时,硅衬底的截面结构;并且

[0029] 图18是示出根据实施例的电子设备的配置示例的框图,本技术应用于该电子设备。

具体实施方式

[0030] [CMOS图像传感器的配置示例]

[0031] 图1图示根据实施例的CMOS图像传感器(固态成像器件)的配置示例,本技术应用于CMOS图像传感器。

[0032] 图1中所示的CMOS图像传感器11包括定时控制单元12、垂直扫描电路13、像素阵列单元14、恒流源电路15、基准信号生成电路16、列AD转换器17、水平扫描电路18、水平输出线19和输出单元20。

[0033] 定时控制单元12基于具有预定频率的主时钟,供应对于预定操作必要的时钟信号和定时信号到垂直扫描电路13和水平扫描电路18。例如,定时控制单元12供应用来致动像素的快门操作和读出操作的定时信号到垂直扫描电路13和水平扫描电路18。此外,虽然未图示,但是定时控制单元12还供应对于预定操作必要的时钟信号和定时信号到基准信号生成电路16和列AD转换器17。

[0034] 垂直扫描电路13以预定定时,顺序供应控制像素信号的输出的信号到在像素阵列单元14中的垂直方向上布置的像素21。

[0035] 像素阵列单元14包括以二维阵列(以矩阵)布置的多个像素21。

[0036] 以二维阵列布置的像素21逐行地利用水平信号线22连接到垂直扫描电路13。换言之,沿着像素阵列单元14中的行布置的多个像素21利用单个水平信号线22连接到垂直扫描电路13。

[0037] 此外,以二维阵列布置的像素21逐列地利用垂直信号线23连接到水平扫描电路18。换言之,沿着像素阵列单元14中的列布置的多个像素21利用单个垂直信号线23连接到水平扫描电路13。

[0038] 像素阵列单元14中的每个像素21响应于经由水平信号线22从垂直扫描电路13供应的信号,输出与内部存储的电荷对应的像素信号到垂直信号线23。稍后将参考图2详细描述关于像素21的配置的细节。

[0039] 恒流源电路15包括多个负载MOS24,每个都连接到垂直信号线23之一。负载MOS24中的每个具有向其施加偏压的栅极和接地的源极,并且与连接于垂直信号线23的像素21中的晶体管一起组成源极跟随器电路。

[0040] 基准信号生成电路16包括DAC(数模转换器)16a,响应于来自定时控制单元12的时钟信号生成具有斜坡波形的基准信号,并且供应所生成的基准信号到列AD转换器17。

[0041] 列AD转换器17包括多个ADC(模数转换器)25,每个都连接到像素阵列单元14的列

之一。简言之,多个像素21、一个负载MOS24和一个ADC24连接到一条垂直信号线23。

[0042] ADC25对从与ADC25相同列上的像素21经由垂直信号线23馈送的像素信号进行CDS(相关双采样)处理,并且对像素信号进一步进行A/D转换处理。

[0043] 每个ADC25临时在其中存储A/D转换后的数据,并且在水平扫描电路18的控制下输出该像素数据到水平输出线19。

[0044] 水平扫描电路18使得ADC以预定定时顺序输出在ADC25中存储的像素数据到水平输出线19。

[0045] 水平输出线19与输出单元20连接,该输出单元20转而输出从ADC25供应的像素数据到CMOS图像传感器11的外部。

[0046] 在输出单元20的上游侧上,可以提供信号处理电路26,该信号处理电路26对经由水平输出线19输入的像素数据进行预定信号处理(诸如校正处理之类),并且从输出单元20输出已经经受处理的像素数据。

[0047] 如上述配置的CMOS图像传感器11采用所谓的列并行AD转换技术,在该列并行AD转换技术中,每个垂直列具有进行CDS处理和AD转换处理的其自身的ADC25。

[0048] [像素21和ADC25的详细配置示例]

[0049] 参考图2,将详细描述像素21和ADC25的配置。

[0050] 图2示出像素阵列单元14中的像素21、恒电流源电路15中的负荷MOS24和列AD转换器17中的ADC25,它们与单个垂直信号线23连接。

[0051] 像素21包括用作光电转换元件的光电二极管31、第一读出晶体管32、像素存储器33、第二读出晶体管34、FD(浮置扩散器)35、重置晶体管36、放大晶体管37和选择晶体管38。

[0052] 光电二极管31生成与接收到的光量对应的电荷(信号电荷)并且累积该电荷。第一读出晶体管32由转移信号TG1接通以读出由光电二极管31生成的电荷,并且转移该电荷到像素存储器33。像素存储器33保持从光电二极管31读出的电荷。

[0053] 第二读出晶体管34由转移信号TG2接通,以读出由像素存储器33保持的电荷,并且转移该电荷到FD35。同时地接通第一读出晶体管32和第二读出晶体管34允许直接转移由光电二极管31生成的电荷到FD35。

[0054] FD35保持从光电二极管31或者像素存储器33读出的电荷。重置晶体管36由重置信号RST接通,并且重置FD35的电势。放大晶体管37输出与FD35的电势对应的像素信号。当像素21由选择信号SEL选择时接通选择晶体管38,并且然后经由垂直信号线23输出像素21的像素信号到ADC25。由各个晶体管进行的操作由经由水平信号线22从垂直扫描电路13馈送的信号来控制。

[0055] ADC25包括电容器41、42、比较器43和向上/向下计数器(U/D CNT)44。

[0056] 从像素21输出的像素信号经由垂直信号线23输入到ADC25的电容器41。另一方面,电容器42接收从基准信号生成电路16的DAC16a馈送的基准信号。基准信号具有所谓的斜坡波形,在该斜坡波形中,电平(电压)随着时间流逝改变为斜坡形状。

[0057] 电容器41、42从基准信号和像素信号中去除DC分量,从而比较器43可以仅仅比较基准信号中的AC分量和像素信号中的AC分量。

[0058] 比较器43输出通过将像素信号与基准信号进行比较而获取的差信号到向上/向下计数器44。例如,如果基准信号大于像素信号,则将Hi(高)差信号供应给向上/向下计数器

44,而如果基准信号小于像素信号,则将Lo(低)差信号供应给向上/向下计数器44。

[0059] 在P相(预置相)AD转换时间段期间,向上/向下计数器(U/D计数器)44仅仅在供应Hi差信号的时候向下计数。在D相(数据相)AD转换时间段期间,向上/向下计数器44仅仅在供应Hi差信号的时候向上计数。然后,向上/向下计数器44将在P相AD转换时间段期间的向下计数值和D相AD转换时间段期间的向上计数值进行相加,并且输出相加的结果作为经受CDS处理和AD转换处理的像素数据。注意,向上/向下计数器44偶尔在P相AD转换时间段期间向上计数,并且在D相AD转换时间段期间向下计数,如稍后将描述。

[0060] [移动图像模式的描述]

[0061] 参考图3,将描述当CMOS图像传感器11在移动图像模式下操作时执行的驱动方法。

[0062] 在移动图像模式中,控制对于像素21的光接收(曝光),以便像素阵列单元14中的所有像素21在一个曝光时间段内一致地暴露于光。

[0063] 具体地,如图3所示,像素阵列单元14中的所有像素21同时开始接收光(或者开始暴露于光)。在特定时间的流逝之后,响应于转移信号TG1接通第一读出晶体管32,并且将由光电二极管31生成的电荷同时转移到像素存储器33。

[0064] 然后,垂直扫描电路13通过控制转移信号TG2,逐行地以预定顺序,顺序接通像素21的第二读出晶体管34。例如,垂直扫描电路13从像素阵列单元14中的第p行上的像素开始,顺序接通第二读出晶体管34。一旦接通第二读出晶体管34,在像素存储器33中存储的电荷被读出并且经由垂直信号线23输出到ADC25。

[0065] 与累积电荷对应并且已经供应给ADC25的像素信号经受如下CDS处理和AD转换处理。在P相AD转换时间段期间,向上/向下计数器44仅仅在供应Hi差信号的时候向下计数。在D相AD转换时间段期间,向上/向下计数器44仅仅在供应Hi差信号的时候向上计数。P相AD转换时间段是用于测量作为像素的波动分量的重置分量 ΔV 的时间段,而D相AD转换时间段是用于测量(信号分量 V_{sig} +重置分量 ΔV)的时间段。通过将P相AD转换时间段期间的计数值和D相AD转换时间段期间的计数值相加而获取的值等于通过AD转换与累积电荷对应的像素信号获取的值。通过组合在P相AD转换时间段期间的计数值和D相AD转换时间段期间的计数值,可以从(信号分量 V_{sig} +重置分量 ΔV)-(重置分量 ΔV)获取信号分量 V_{sig} ,由此实现同时的CDS处理和AD转换处理。

[0066] 从ADC25的向上/向下计数器44向输出单元20输出AD转换后的像素数据。

[0067] 如上所描述,在移动图像模式中,捕获被摄体图像,并且根据所谓的全局快门系统输出各个像素21的像素数据,该全局快门系统使得能够借助保持电荷的像素存储器33来同步所有像素21的曝光时间段。

[0068] [帧间差输出模式的描述]

[0069] 将描述作为唯一提供给CMOS图像传感器11的帧间差输出模式中的驱动方法。

[0070] 图4是用于描述帧间差输出模式中的驱动操作的时序图。

[0071] 在帧间差输出模式中,CMOS图像传感器11以两个帧的间隔输出两个相邻帧之间的像素数据中的差。

[0072] 具体地,如图4所示,CMOS图像传感器11在第n帧中进行转移由光电二极管31在第n-1帧中生成的电荷到像素存储器33中的操作($n>1$),并且对于像素阵列单元14中的每行接连重复操作。然后,在第n+1帧中,CMOS图像传感器11进行输出在第n帧中转移到像素存储器

33的电荷到ADC25的操作,以在前面的电荷已经在第n帧中被转移到像素存储器33之后输出由光电二极管31生成的电荷到ADC25的操作,并且对于像素阵列单元14中的每行接连进行该操作。

[0073] ADC25在第n+1帧中对从像素存储器33读出的电荷和从光电二极管31读出的电荷接连进行AD转换处理。在第n帧中,既不进行CDS处理也不进行AD转换处理,这是因为像素21中生成的电荷还没有输出到ADC25。

[0074] 从其在第n-1帧中开始存储电荷的时间流逝到其在第n帧中电荷转移到像素存储器33的时间的存储时间(曝光时间),等于从电荷转移到像素存储器33的时间流逝到在第n+1帧中在光电二极管31中存储的电荷转移的时间的存储时间(曝光时间)。在每个帧中对每行花费的存储时间是相同的。

[0075] [在第n帧中从光电二极管的读出操作]

[0076] 图5是用于详细描述在第n帧中转移光电二极管31中存储的电荷到行p($p \geq 1$)上的像素21中的像素存储器33的操作的时序图。

[0077] 当在第n帧中发生从行p上的像素21读出电荷的时间时,垂直扫描电路13提升转移信号TG1到Hi一个预定时间段,以接通第一读出晶体管32。接通状态第一读出晶体管32允许光电二极管31转移在其中存储的电荷到像素存储器33。

[0078] 当行P在第n帧中处于水平扫描时间段(1H)时,选择信号SEL、重置信号RST和转移信号TG2都处于Lo状态,并且因此所有选择晶体管38、重置晶体管36和第二读出晶体管34保持关闭。

[0079] [在第n+1帧中从光电二极管的读出操作]

[0080] 图6是用于详细描述在第n+1帧中读出像素存储器33中的电荷的操作和读出在前面的电荷已经被转移到在行p上的像素21的像素存储器33中之后存储的光电二极管31中的电荷的操作的时序图。

[0081] 在第n+1帧中,当行p输入水平扫描时间段(1H)时,向选择晶体管38馈送Hi选择信号SEL,以保持选择晶体管38处于接通状态,同时行p处于水平扫描时间段。

[0082] 在行p处于水平扫描时间段(1H)的情况下接通水平晶体管38之后,重置信号RST首先提升至Hi一个预定时间段,以接通重置晶体管36,该重置晶体管36转而重置FD35的电势。

[0083] 然后,转移信号TG2提升至Hi一个预定时间段,以接通第二读出晶体管34。接通状态的第二读出晶体管34允许像素存储器33经由垂直信号线23输出在其中保持的电荷到ADC25。

[0084] 然后,重置信号RST再次提升至Hi一个预定时间段,以接通重置晶体管36,重置晶体管36转而重置FD35的电势。

[0085] 随后,转移信号TG1和转移信号TG2同时提升至Hi,以同时接通第一读出晶体管32和第二读出晶体管34。接通状态的第一读出晶体管32和第二读出晶体管34。在前面的电荷已经在第n帧中转移至像素存储器33之后,允许在光电二极管31中存储的电荷经由垂直信号线23输出到ADC25。

[0086] 在帧间差输出模式中,重复跨越两个帧(即,第n帧和第n+1帧)进行上面描述的操作。

[0087] [对没有改变的被摄体的累积电荷量的描述]

[0088] 图7是概念化当被摄体保持不变时在行p上的像素存储器33和光电二极管31中累积的电荷量。

[0089] 在第n-1帧中由光电二极管31生成的电荷在第n帧中通过接通第一读出晶体管32,转移至像素存储器33。

[0090] 在第n帧中已经接通第一读出晶体管32之后,光电二极管31再次生成并且累积与接收到的光对应的电荷,直到第一读出晶体管32和第二读出晶体管34同时接通以允许在第n+1帧中将电荷输出到ADC25。

[0091] 如果被摄体中不存在改变,则在像素存储器33中保持的电荷量等于在第n+1帧中从光电二极管31读出的电荷量。

[0092] 图8图示在第n+1帧中当行p处于水平扫描时间段时,由ADC25进行的AD转换处理的操作。

[0093] 图8图示输入到ADC25的比较器43的基准信号RAMP和像素信号VSL和依据图6中在行p上进行的驱动操作的由向上/向下计数器44进行的计数操作。

[0094] 当在第n+1帧中行p处于水平扫描时间段时,在其中由像素存储器33保持的电荷作为第n-1帧的像素信号输入到ADC25的第一像素读出的时间和在其中从光电二极管31读出的电荷作为第n帧的像素信号VSL输入到ADC25的时间,ADC25进行作为与移动图像模式中进行的处理相同的处理的AD转换处理。ADC25的向上/向下计数器44在第一AD转换处理和第二AD转换处理之间改变其向上/向下计数方向(向下计数和向上计数的顺序)。

[0095] 具体地,如图8所示,在将由像素存储器33保持的电荷作为第n-1帧的像素信号VSL输入的第一像素读出的时间,向上/向下计数器44在P相AD转换时间段期间仅仅在供应Hi差信号的时候向下计数,并且在D相转换时间段期间仅仅在供应Hi差信号的时候向上计数。

[0096] 在经由第一P相向下计数获取的计数值和经由第一D相向上计数获取的计数值之间的比较说明了经由D相向上计数获取的计数值大了与由像素存储器33保持的电荷量对应的计数数量。结果,向上/向下计数器44在第一D相AD转换时间段结束时提供正计数值(第n-1帧的输出值)。

[0097] 在将从光电二极管31读出的电荷作为第n帧的像素信号VSL输入的第二像素读出的时间,向上/向下计数器44从在第一D相AD转换时间段结束时获取的计数值开始计数,并且在P相AD转换时间段期间仅仅在供应Hi差信号的时候向上计数并且在D相转换时间段期间仅仅在供应Hi差信号的时候向下计数。

[0098] 在经由第二P相向上计数获取的计数值和经由D相向下计数获取的计数值之间的比较说明了经由D相向下计数获取的计数值大了与从光电二极管31读出的电荷量对应的计数数量。当在第n-1帧和第n帧之间被摄体中不存在改变时,经由第二D相向下计数增量的计数数量等于经由第一P相向上计数增量的计数数量。因此在第一D相向上计数中获取的增量数和第二D相向下计数中获取的减量数量相互补偿,并且在第二D相AD转换时间段结束时由向上/向下计数器44获取的作为结果的计数值是0。结果,ADC25可以输出0作为在第n-1帧的像素信号VSL和第n帧的像素信号VSL之间的差。

[0099] [对改变的被摄体的累积电荷量的描述]

[0100] 下面,将描述在被摄体中存在改变的情况,尤其是第n帧中的被摄体具有比在第n-1帧中的被摄体更低的亮度电平的情况。

[0101] 类似于图7,图9概念化当被摄体改变时,在像素存储器33和光电二极管31中累积的电荷量。

[0102] 当第n帧中的被摄体的亮度低于第n-1帧中的被摄体的亮度时,在第n+1帧中从光电二极管31读出的电荷量小于在像素存储器33中保持的电荷量。

[0103] 类似于图8,图10图示在第n+1帧中当行p处于水平扫描时间段时,由ADC25进行的用于改变的被摄体的AD转换处理的操作。

[0104] 在将在像素存储器33中保持的电荷作为第n-1帧的像素信号VSL输入的第一像素读出的时间进行与图8中描述的操作相同的操作。因此,向上/向下计数器44在D相AD转换时间段结束时提供正计数值(第n-1帧的输出)。

[0105] 然而,因为第n帧中的被摄体具有比第n-1帧中的被摄体更低的亮度电平,所以在将从光电二极管31读出的电荷作为第n帧的像素信号VSL输入的第二像素读出的时间在D相向下计数获取的计数值,小于在第一D相向上计数中获取的计数值。

[0106] 换言之,因为在第一D相向上计数中获取的增量数量大于在第二D相向下计数中获取的增量数量,所以在第二D相AD转换时间段结束时由向上/向下计数器44获取的作为结果的计数值是正值。因此,当第n帧的被摄体亮度低于第n-1帧的被摄体亮度时,ADC25可以输出正值作为在第n-1帧的像素信号VSL和第n帧的像素信号VSL之间的差。

[0107] 如上所述,在帧间差输出模式中,CMOS图像传感器11可以输出作为在两个相邻帧(第n-1帧和第n帧)的像素信号VSL之间的差的帧间差。

[0108] 在前述实施例中,CMOS图像传感器11在用于读出在像素存储器33中保持的电荷的第一像素读出的时间,以从向下计数(P相AD转换时间段)到向上计数(D相AD转换时间段)的顺序进行计数操作,而在用于从光电二极管31读出电荷的第二像素读出时间的时间,以从向上计数(P相AD转换时间段)到向下计数(D相AD转换时间段)的顺序进行计数操作。

[0109] 然而,只要可以在第二像素读出操作中获取帧之间的像素值的差,那么可以以相反的顺序引导向下计数和向上计数。具体地,CMOS图像传感器11可以配置为在第一像素读出的时间以从向上计数(P相AD转换时间段)到向下计数(D相AD转换时间段)的顺序进行计数操作,而在第二像素读出的时间以从向下计数(P相AD转换时间段)到向上计数(D相AD转换时间段)的顺序进行计数操作。在该情形下,表示差的计数值可能具有与前述值相反的符号。

[0110] [帧间差输出模式中的输出图像]

[0111] 图11示出在差输出模式中由CMOS图像传感器的输出图像。

[0112] 图11的上部分示出当被摄体如图7和8所示那样保持跨越第n-1帧和第n帧没有改变时的输出图像,而图11的下部分示出当被摄体如图9和10所示跨越第n-1帧和第n帧改变时的输出图像。

[0113] 为了表达在表示输出图像的图11中的画面中的负值,用白色和黑色之间的中间色(灰色)填充具有零帧间差值的像素,用暗色(黑色)填充具有负帧间差值的像素,并且用亮色(白色)填充具有正差值的像素。

[0114] 图12图示对于其中在两个相邻帧之间在被摄体中不存在改变的情形和存在改变的情形,帧间差输出值的频率分布的计算结果。

[0115] 图12的上部分指示当被摄体中不存在改变时帧间差输出值的频率分布,而图12的

下部分指示当被摄体中存在改变时帧间差输出值的频率分布。

[0116] 在被摄体中不存在改变的情形下,各个像素的差输出值在零的附近聚集,如图12所示。另一方面,当被摄体中存在改变时,各个像素的差输出值在零的附近集合(这暗示像素具有较少帧到帧差)并且在除了零之外的至少两个预定值附近(这暗示像素具有大的帧到帧差)集合。

[0117] 被摄体中改变的存在或者不存可以通过设置用于差输出值的阈值 Th 来确定,以基于该阈值 Th 分析差输出值的分布。具体地,当差输出值在 $-Th$ 或更低的范围中或者在 Th 或更高的范围中(即,图12中所示的阴影范围)时,确定被摄体中存在改变,而当差输出值不在 $-Th$ 或更低的范围中或者在 Th 或更高的范围中时,确定被摄体中不存在改变。

[0118] 用于计算差输出值的频率分布和用于确定改变的存在处理可以通过对CMOS图像传感器11的输出单元20的下游侧上提供信号处理电路(诸如DSP(数字信号处理器)之类)来进行。可替代地,如图1中虚线所示,在输出单元20的上游侧上提供的信号处理电路26可以进行该处理。

[0119] CMOS图像传感器11可以基于关于在被摄体中改变的存在或者不存在的确定结果,可控制地在移动图像模式中进行的驱动操作和帧间差输出模式中进行的驱动操作之间切换。例如,CMOS图像传感器11可以配置为通常根据帧间差输出模式输出差,并且配置为一旦基于差的输出结果识别在被摄体中的改变,就根据移动图像模式开始拍摄图像一个特定时间段。这种使用对于安全性相机(监视相机)的优选的。

[0120] 如果CMOS图像传感器11中的信号处理电路26进行计算,以获取差输出值的频率分布,以及进行处理以确定存在改变,则输出单元20可以配置为输出指示在被摄体中存在或者不存在改变的状态信号和通知在被摄体中存在和不存在改变之间切换的信号。

[0121] 如上所述,本技术应用于的CMOS图像传感器11可以全部由自身判断出两个相邻帧之间的像素值中的差,并且输出该差。过去,帧间差不得不利用在其中保持的捕获图像在图像传感器的下游侧上计算;然而,CMOS图像传感器11的使用可以减少施加在CMOS图像传感器11的下游侧上的信号处理的负荷。

[0122] [前照式CMOS图像传感器11的截面结构]

[0123] 前述CMOS图像传感器11可以制造为前照式图像传感器或者背照式图像传感器。

[0124] 图13A和13B示意性描绘当CMOS图像传感器11制造为前照式图像传感器时硅衬底(半导体衬底)的截面结构。

[0125] 如图13A所示,前照式CMOS图像传感器11包括,由滤色器构成的上层、形成在硅衬底61的上侧上的片上镜头和其他组件。在硅衬底61中,金属布线层71靠近上层62形成,并且像素区域72和逻辑电路73形成在金属布线层71下面。

[0126] 如图13B所示,光电二极管31和控制电路(诸如第一读出晶体管32和第二读出晶体管34之类)形成在像素区域72中,并且比较器43、向上/向下计数器44、DAC16a和其他组件形成在逻辑电路73中。

[0127] [背照式CMOS图像传感器11的截面结构]

[0128] 图14A和14B示意性描绘当CMOS图像传感器11制造为背照式图像传感器时硅衬底的截面结构。

[0129] 如图14A所示,背照式CMOS图像传感器11包括,形成在支撑衬底80上的硅衬底61和

上层62。在支撑衬底80中不形成电路。

[0130] 在背照式CMOS图像传感器中,金属布线层71靠近支撑衬底80形成,并且在金属布线层71和上层62之间形成像素区域72和逻辑电路73。图14B中所示的像素区域72和逻辑电路73以与前照式CMOS图像传感器中的那些相同的方式配置。

[0131] [堆栈式CMOS图像传感器11的第一截面结构]

[0132] 除了前照式或者背照式CMOS图像传感器之外,CMOS图像传感器11还可以制造为堆栈式图像传感器。

[0133] 前述背照式CMOS图像传感器11通过在支撑衬底80上堆叠硅衬底61并且在单个硅衬底61中形成像素区域72和逻辑电路73来制作,如图15中所示。

[0134] 另一方面,例如通过制备具有形成在其中的逻辑电路73的第一硅衬底81并且结合具有在其中形成的像素区域72的第二硅衬底82在该第一硅衬底81上而不是支撑衬底80上来制作堆栈式CMOS图像传感器,如图15B中所示。例如在日本未审查专利申请公开第2010-245506和2011-96851中公开堆栈式CMOS图像传感器的结构的细节。

[0135] 图16A和16B示意性描绘当CMOS图像传感器11制造为堆栈式CMOS图像传感器时硅衬底的第一截面结构。

[0136] 在堆栈式图像传感器的第一结构中,如图16A所示,前述金属布线层71单独形成:在下侧上的第一硅衬底81中的金属布线层71A和上侧上的第二硅衬底82中的金属布线层71B。在下侧上的第一硅衬底81中,逻辑电路73形成在金属布线层71A的下侧上,而在第二上硅衬底82中,像素区域72形成在金属布线层71B的上侧上。

[0137] 分别形成在第一硅衬底81和第二硅衬底82中的像素区域72和逻辑电路73的配置与前照式和背照式CMOS图像传感器中的完全相同。

[0138] [堆栈式CMOS图像传感器11的第二截面结构]

[0139] 图17A和17B示意性描绘当CMOS图像传感器11制造为堆栈式CMOS图像传感器时硅衬底的第二截面结构。

[0140] 第二结构与图16A中所示的第一结构相同在于:金属布线层71A形成在下侧上的第一硅衬底81中,金属布线层71B形成在上侧上的第二硅衬底82中的金属布线层71B中,并且像素区域72形成在上侧上的第二硅衬底82中。

[0141] 然而,第二结构与第一结构不同在于:在第一结构中仅仅在第一硅衬底81中形成的逻辑电路73分别形成成为下侧上的第一硅衬底81中的逻辑电路73A和上侧上的第二硅衬底82中的逻辑电路73B。

[0142] 逻辑电路73A和73B分别形成,以能够具有不同类型电路。例如,如图17B所示,诸如向上/向下计数器44之类的数字型电路形成在第一硅衬底81中的逻辑电路73A中,而诸如比较器43之类的逻辑型电路形成在第二硅衬底82中的逻辑电路73B中。

[0143] [对电子设备的应用示例]

[0144] 前述CMOS图像传感器11可以应用于各种电子设备,例如成像设备(诸如数字照相机和数字摄像机之类)、配备成像功能的移动电话和配备成像功能的各种类型的设备。

[0145] 图18是示出成像设备的配置示例的框图,该成像设备是本技术应用于的电子设备。

[0146] 图18中所示的成像设备101包括光学系统102、快门设备103、固态成像器件104、控

制电路105、信号处理电路106、监视器107和存储器108,并且能够捕获静止图像和移动图像。

[0147] 光学系统102包括一个或者多个透镜并且用于将光从被摄体(入射光)引导到固态成像器件104,并且将光聚焦在固态成像器件104的光接收表面上。

[0148] 在光学系统102和固态成像器件104之间放置的快门设备103在控制电路105的控制下,控制光进入固态成像器件104的曝光时间段和阻止光进入固态成像器件104的遮光时间段。

[0149] 固态成像器件104是上述CMOS图像传感器11。固态成像器件104存储与经由光学系统102和快门设备103在固态成像器件104的光接收表面上成像的光对应的信号电荷一个特定时间段。在固态成像器件104中累积的信号电荷响应于从控制电路105供应的驱动信号(定时信号)转移。固态成像器件104可以实现为单个芯片或者可以与包括从光学系统102到信号处理电路106的组件一起封装,作为相机模块的一部分。

[0150] 控制电路105输出用于控制固态成像器件104的转移操作和快门设备103的快门操作的驱动信号,以致动固态成像器件104和快门设备103。

[0151] 信号处理电路106对从固态成像器件104输出的像素信号进行各种信号处理操作。将通过由信号处理电路106进行的信号处理操作获取的图像(图像数据)发送到监视器107,以在其上显示该图像(图像数据)或者发送到存储器108以在其中存储(记录)该图像(图像数据)。

[0152] 应该理解,本技术的实施例不限于前述实施例,并且可以不脱离本技术的精神的情况下做出各种改变和修改。

[0153] 例如,可以采用通过组合前述实施例的部分或者全部做出的实施例。

[0154] 本技术可以按照如下配置。

[0155] (1)一种固态成像器件,包括:

[0156] 具有在其中布置的多个像素的像素阵列单元,每个像素至少包括生成与接收到的光对应的电荷的光电转换元件和保持由所述光电转换元件生成的电荷的存储器;以及

[0157] AD转换单元,其进行AD转换以将与从所述像素输出的电荷对应的像素信号转换为计数值,其中

[0158] 所述像素在第n个帧中转移由所述光电转换元件生成的电荷到所述存储器,以在所述存储器中保持所述电荷,并且在第n+1帧中,顺序输出与在所述存储器中保持的电荷对应的第一像素信号和与在前面的电荷已经转移至所述存储器之后由所述光电转换元件生成的电荷对应的第二像素信号,并且

[0159] 所述AD转换单元,在第n+1帧中,在所述第一像素信号和所述第二像素信号之间改变获取所述计数值的向上/向下计数方向,从而对所述第一像素信号和所述第二像素信号接连进行AD转换。

[0160] (2)如(1)所述的固态成像器件,其中

[0161] 所述A/D转换单元包括

[0162] 比较器,其输出通过比较斜坡波形的基准信号与从所述像素输出的像素信号而获取的差信号,以及

[0163] 计数器,其在所述差信号处于预定电平的一个时间段内进行计数操作,并且

[0164] 所述计数器从与所述第一像素信号相关联的差信号的计数值开始,开始计数与所述第二差信号相关联的差信号。

[0165] (3) 如(1)或(2)所述的固态成像器件,还包括

[0166] 信号处理电路,其基于在所述第一像素信号和所述第二像素信号之间的差的计数值,确定在被摄体中改变的存在或者不存在。

[0167] (4) 一种用于控制固态成像器件的方法,所述固态成像器件包括:

[0168] 具有在其中布置的多个像素的像素阵列单元,每个像素至少包括生成与接收到的光对应的电荷的光电转换元件和保持由所述光电转换元件生成的电荷的存储器;以及

[0169] AD转换单元,其进行AD转换以将与从所述像素输出的电荷对应的像素信号转换为计数值,其中

[0170] 所述像素在第n个帧中转移由所述光电转换元件生成的电荷到所述存储器,以在所述存储器中保持所述电荷,并且在第n+1帧中,顺序输出与在所述存储器中保持的电荷对应的第一像素信号和与在前面的电荷已经转移至所述存储器之后由所述光电转换元件生成的电荷对应的第二像素信号,并且

[0171] 所述AD转换单元,在第n+1帧中,在所述第一像素信号和所述第二像素信号之间改变获取所述计数值的向上/向下计数方向,从而对所述第一像素信号和所述第二像素信号接连进行AD转换。

[0172] (5) 一种电子设备,包括:

[0173] 固态成像器件,具有:

[0174] 具有在其中布置的多个像素的像素阵列单元,每个像素至少包括生成与接收到的光对应的电荷的光电转换元件和保持由所述光电转换元件生成的电荷的存储器;以及

[0175] AD转换单元,其进行AD转换以将与从所述像素输出的电荷对应的像素信号转换为计数值,其中

[0176] 所述像素在第n个帧中转移由所述光电转换元件生成的电荷到所述存储器,以在所述存储器中保持所述电荷,并且在第n+1帧中,顺序输出与在所述存储器中保持的电荷对应的第一像素信号和与在前面的电荷已经转移至所述存储器之后由所述光电转换元件生成的电荷对应的第二像素信号,并且

[0177] 所述AD转换单元,在第n+1帧中,在所述第一像素信号和所述第二像素信号之间改变获取所述计数值的向上/向下计数方向,从而对所述第一像素信号和所述第二像素信号接连进行AD转换。

[0178] 本公开包含与在2012年9月18日向日本专利局提交的日本优先权专利申请JP2012-204104中公开的主题有关的主题,其全部内容以引用的方式结合于此。

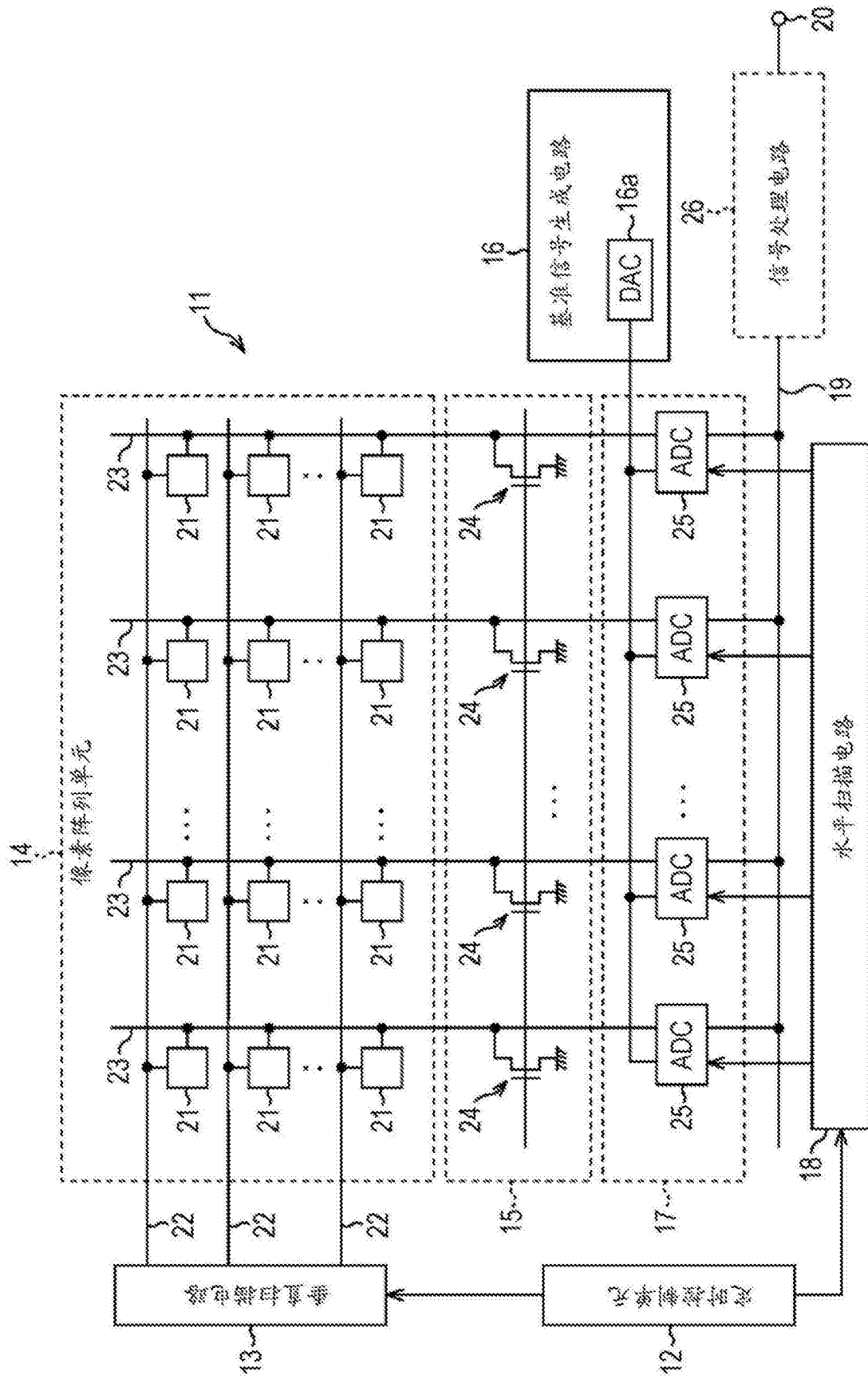


图1

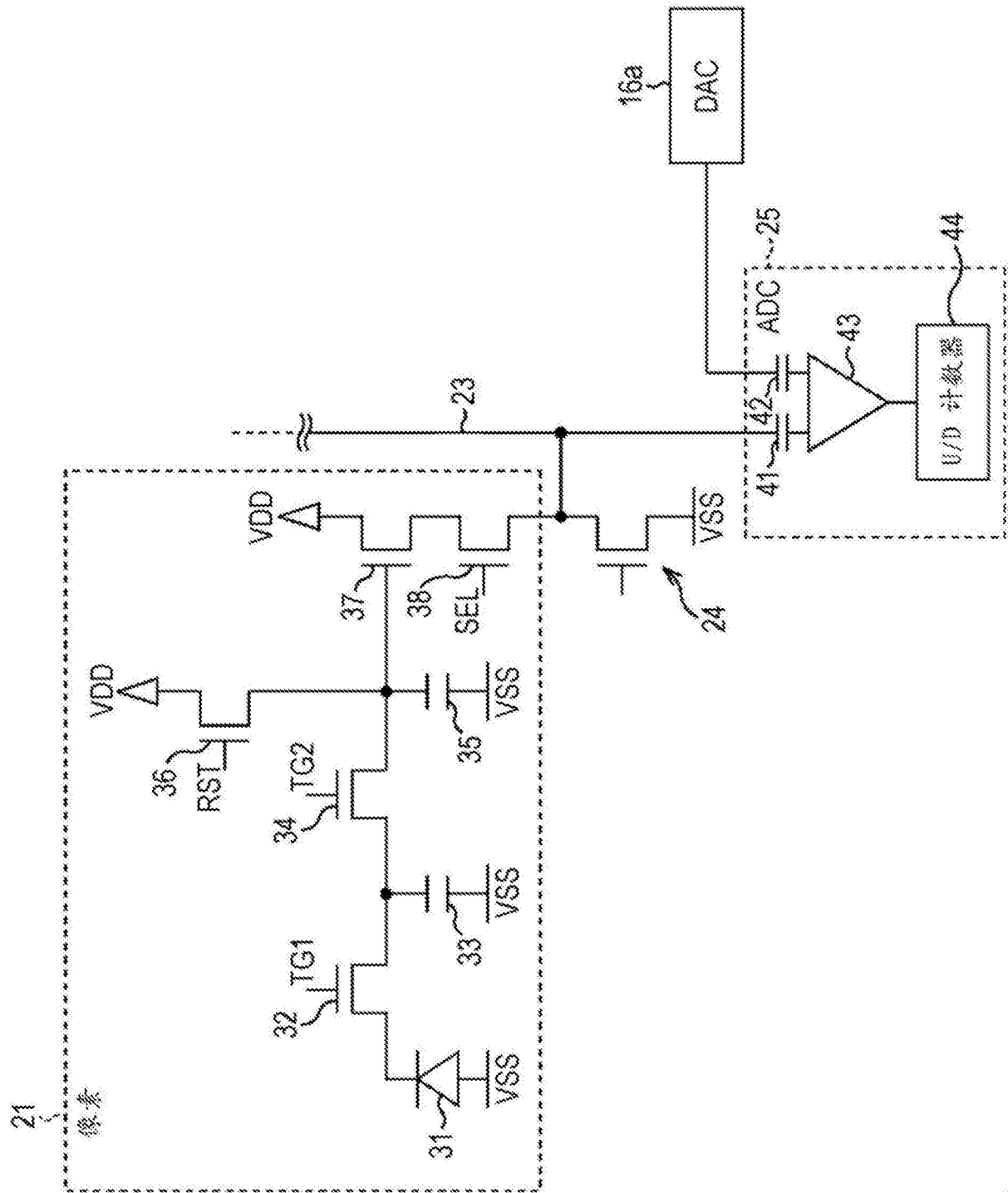


图2

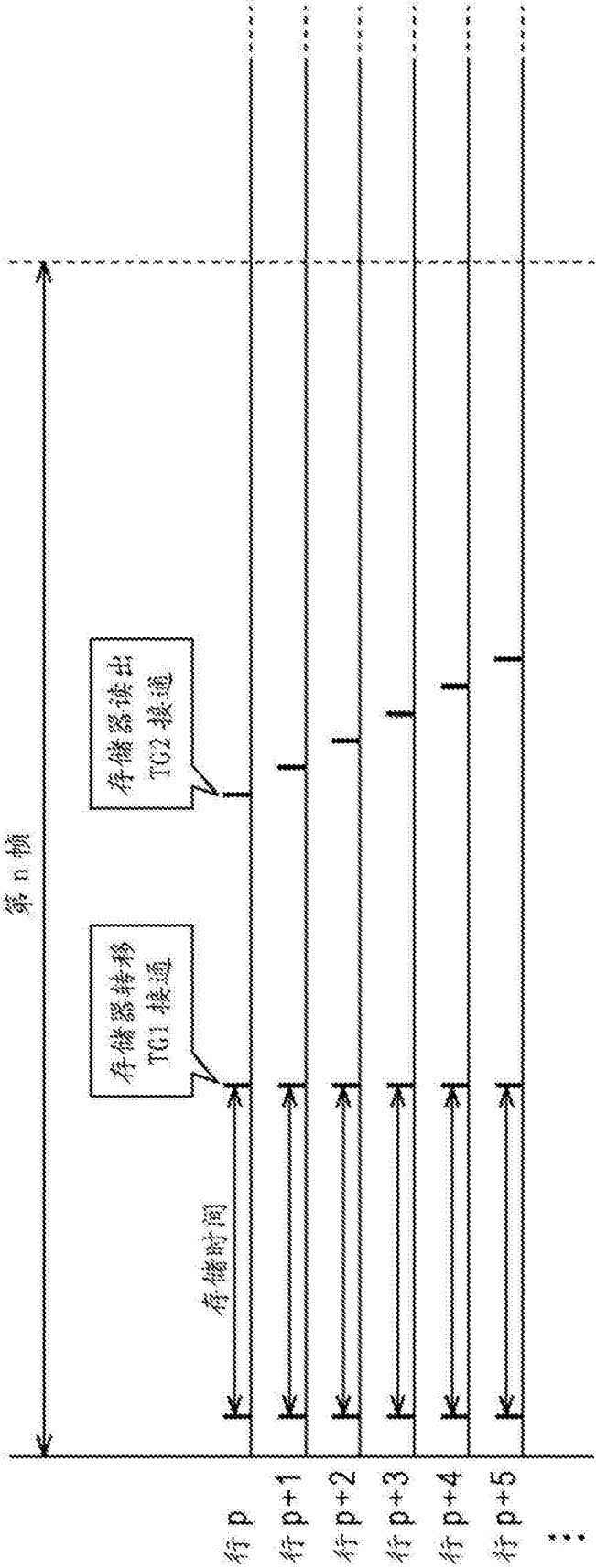


图3

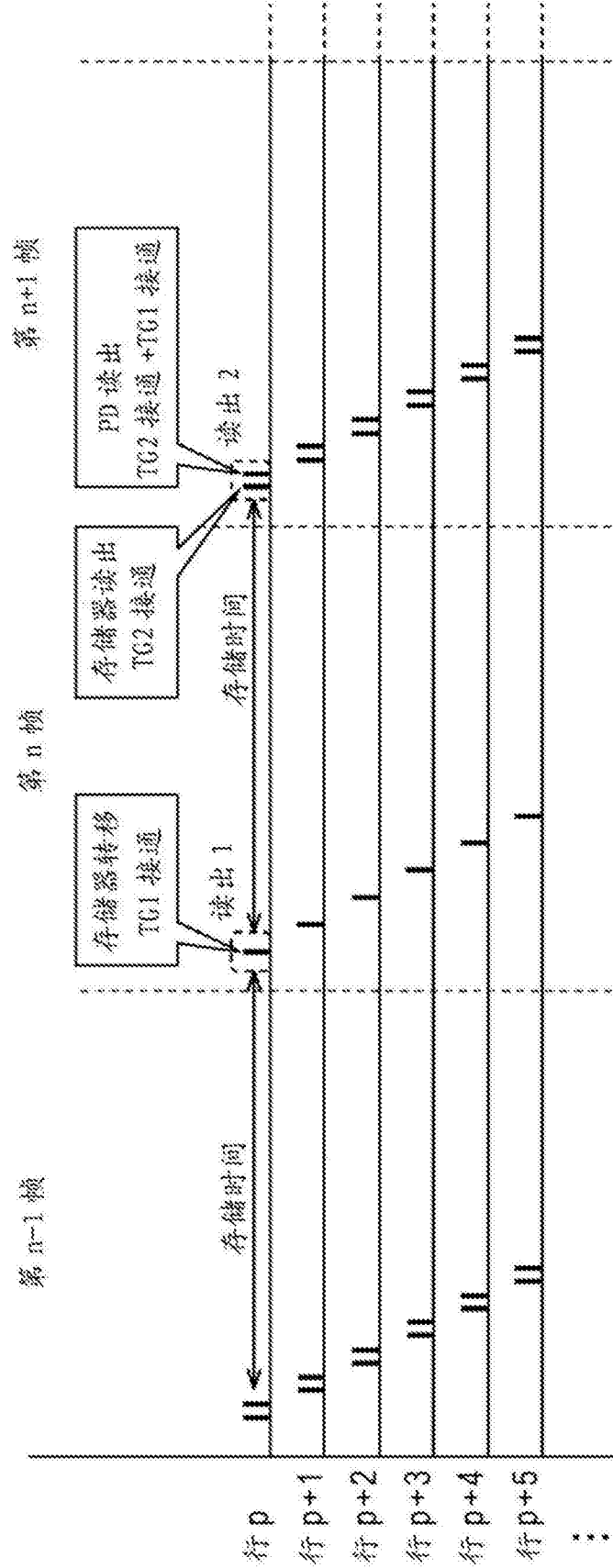


图4

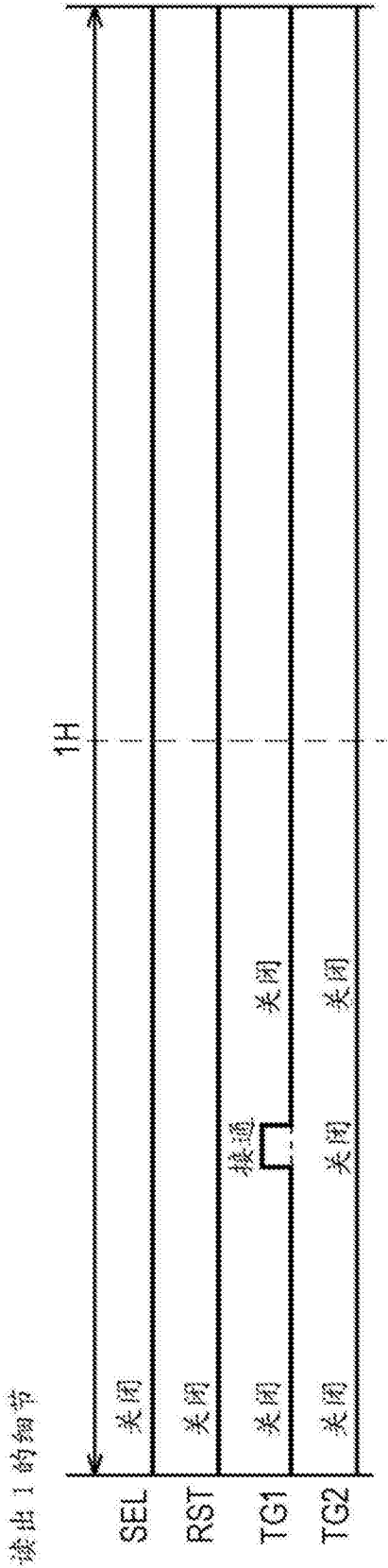


图5

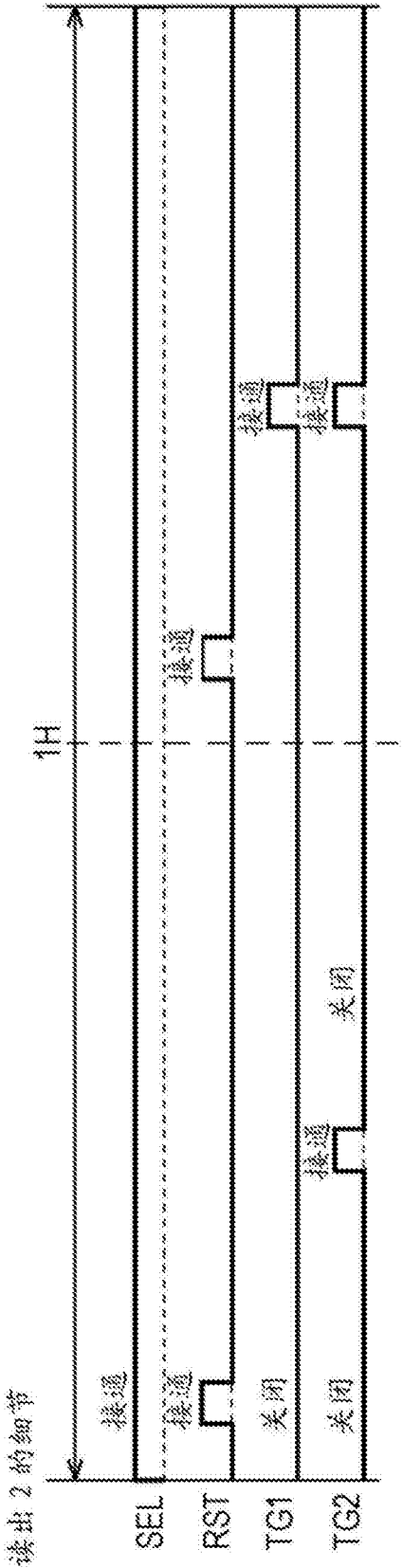


图6

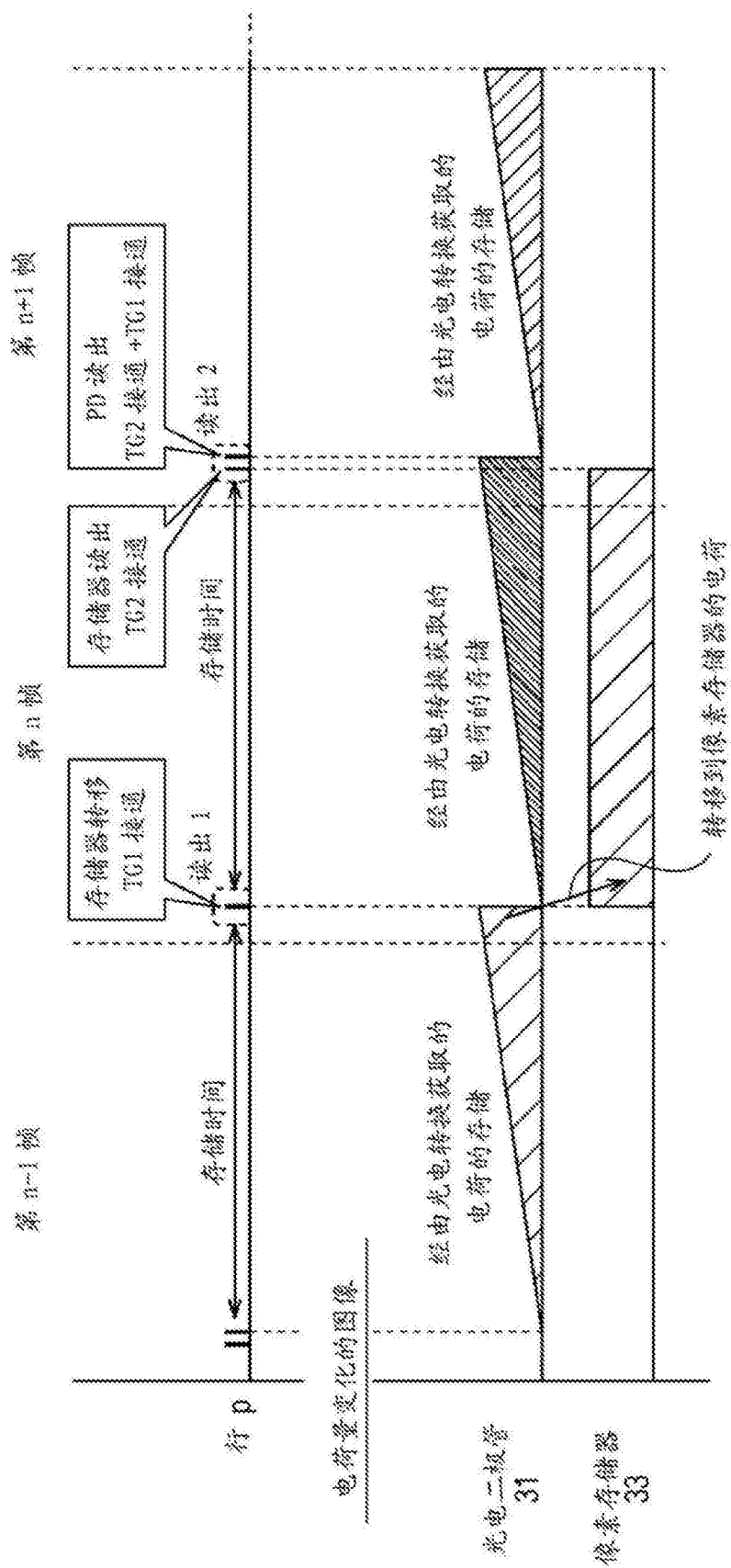


图7

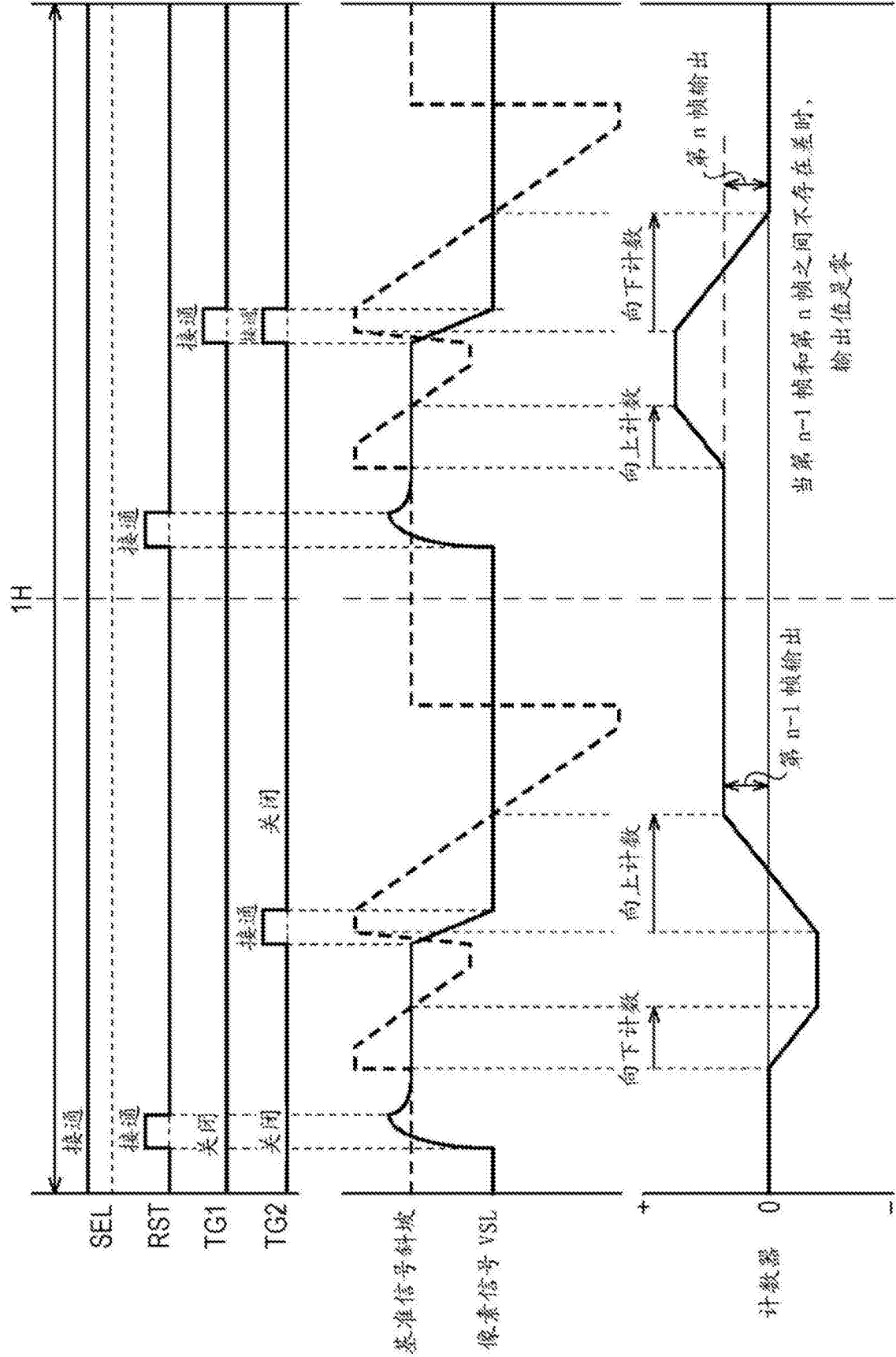


图8

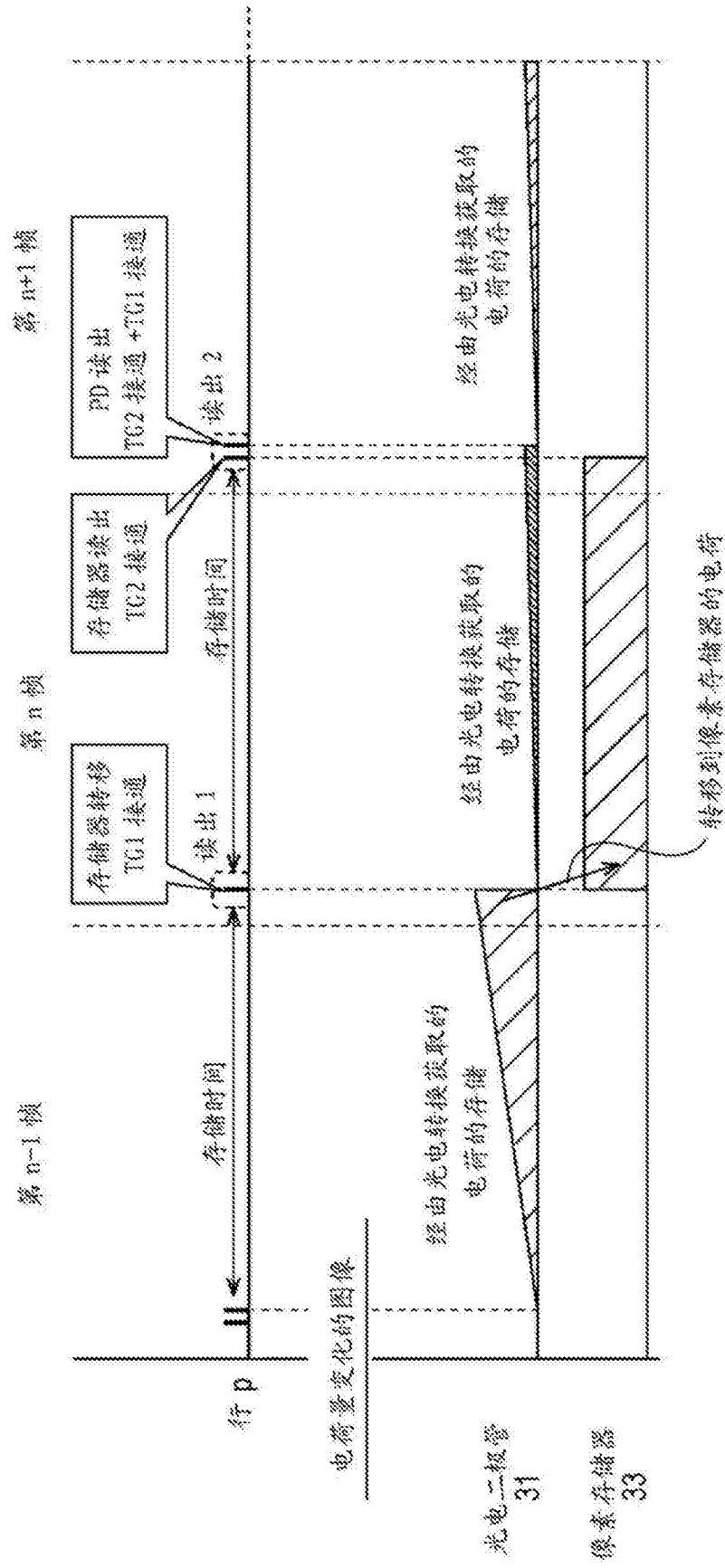


图9

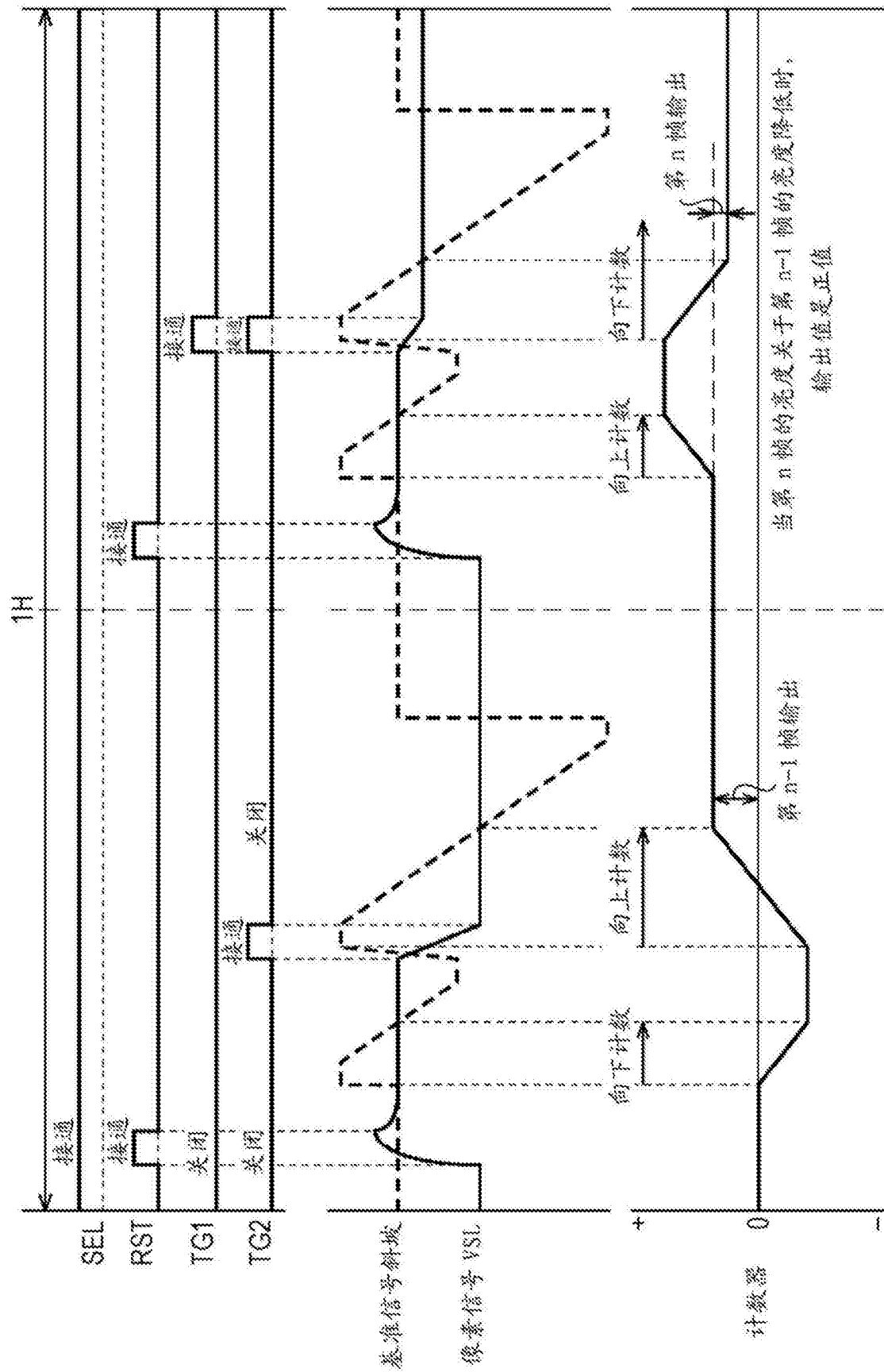


图10

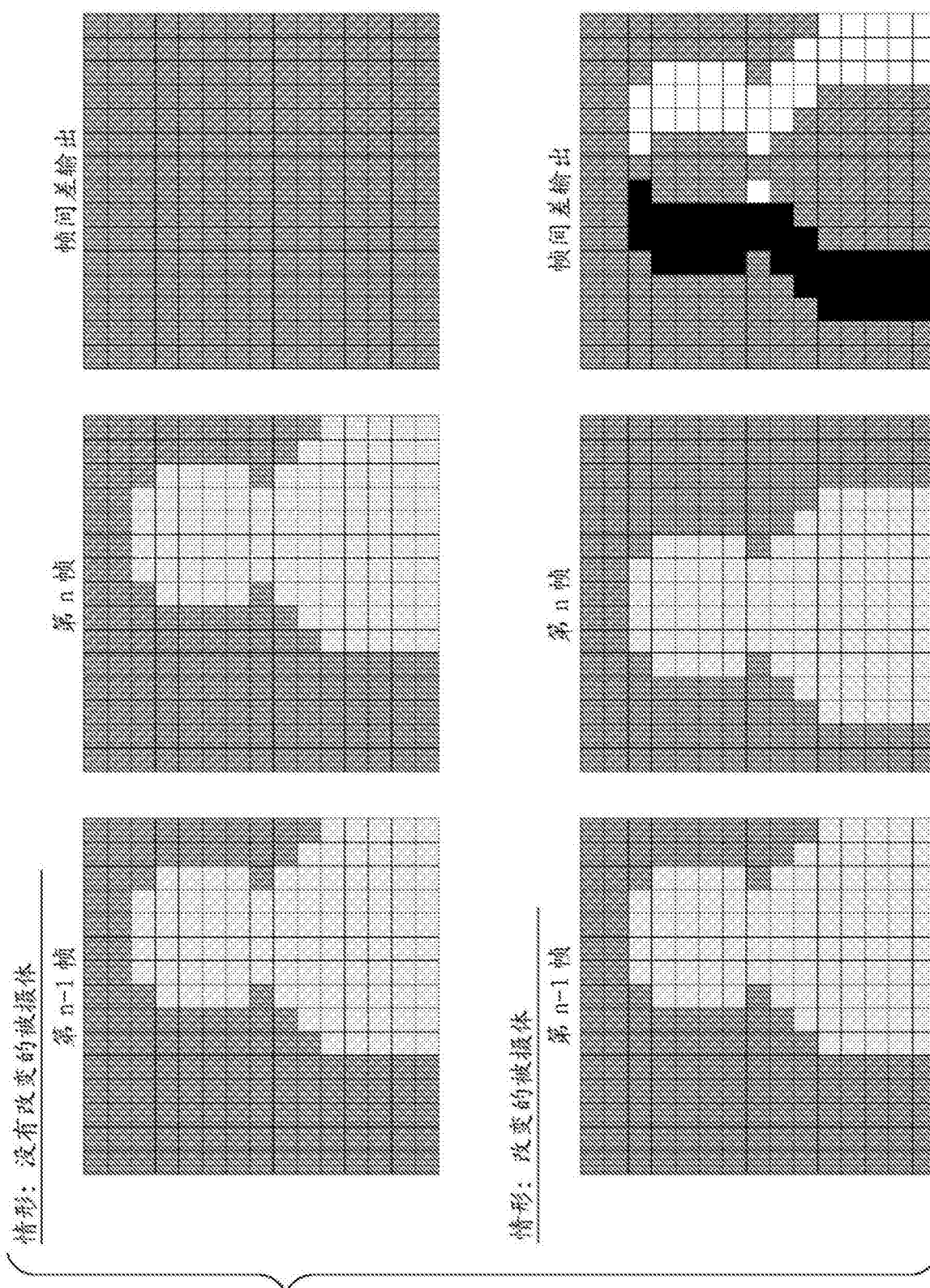


图 11

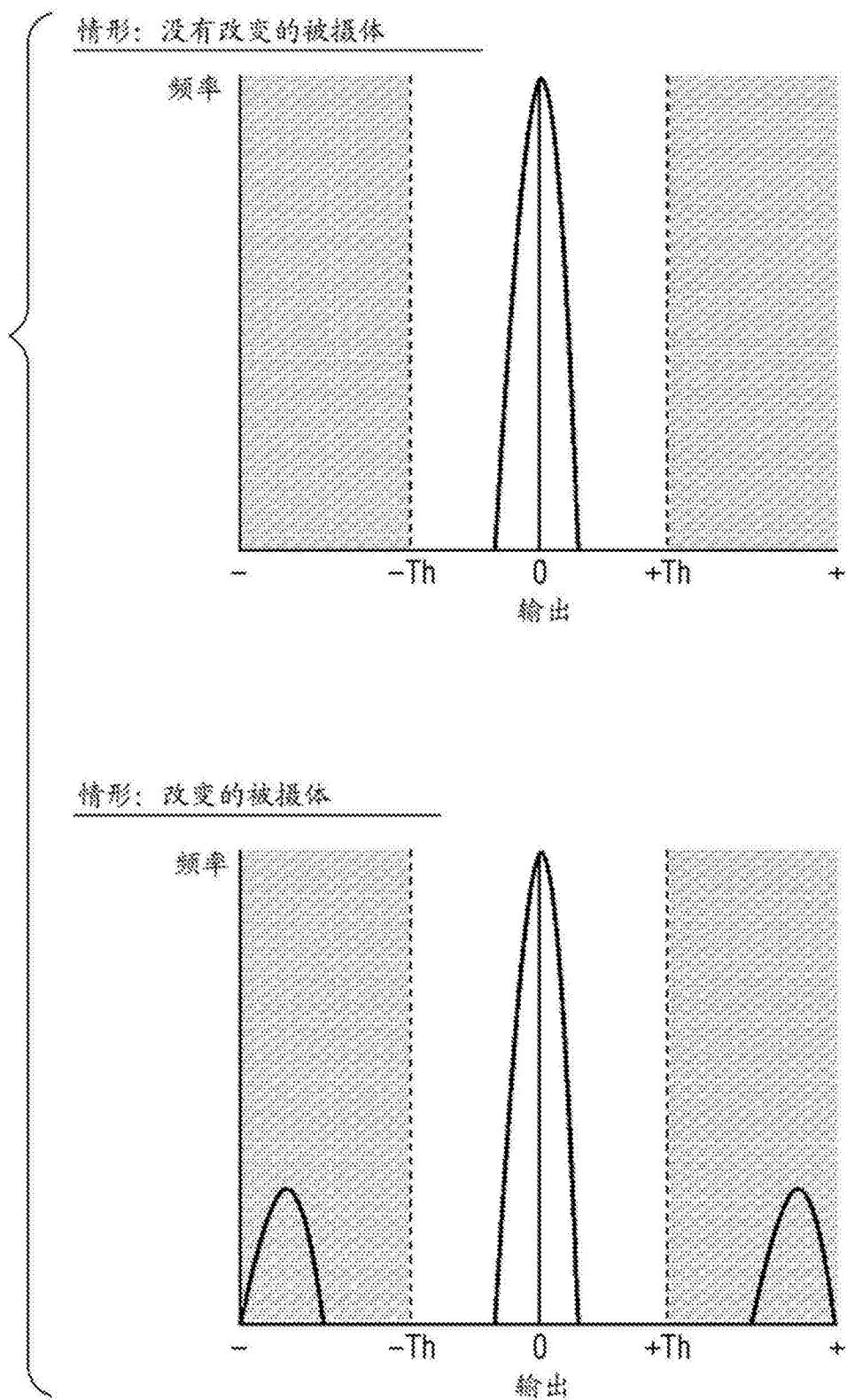


图12

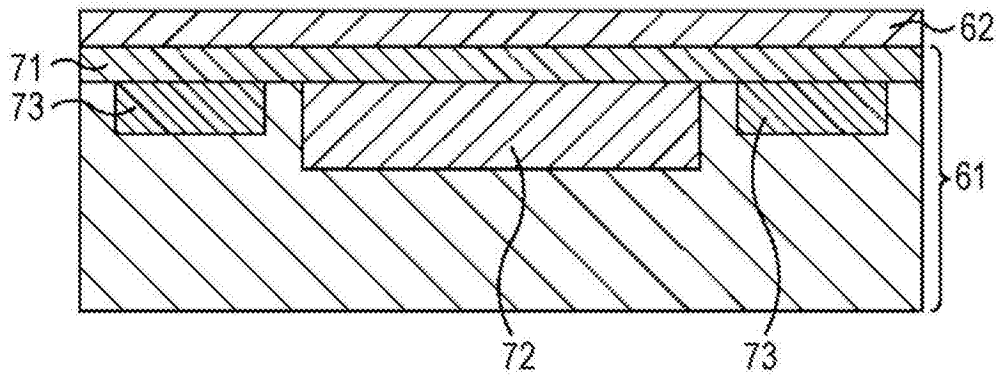


图13A

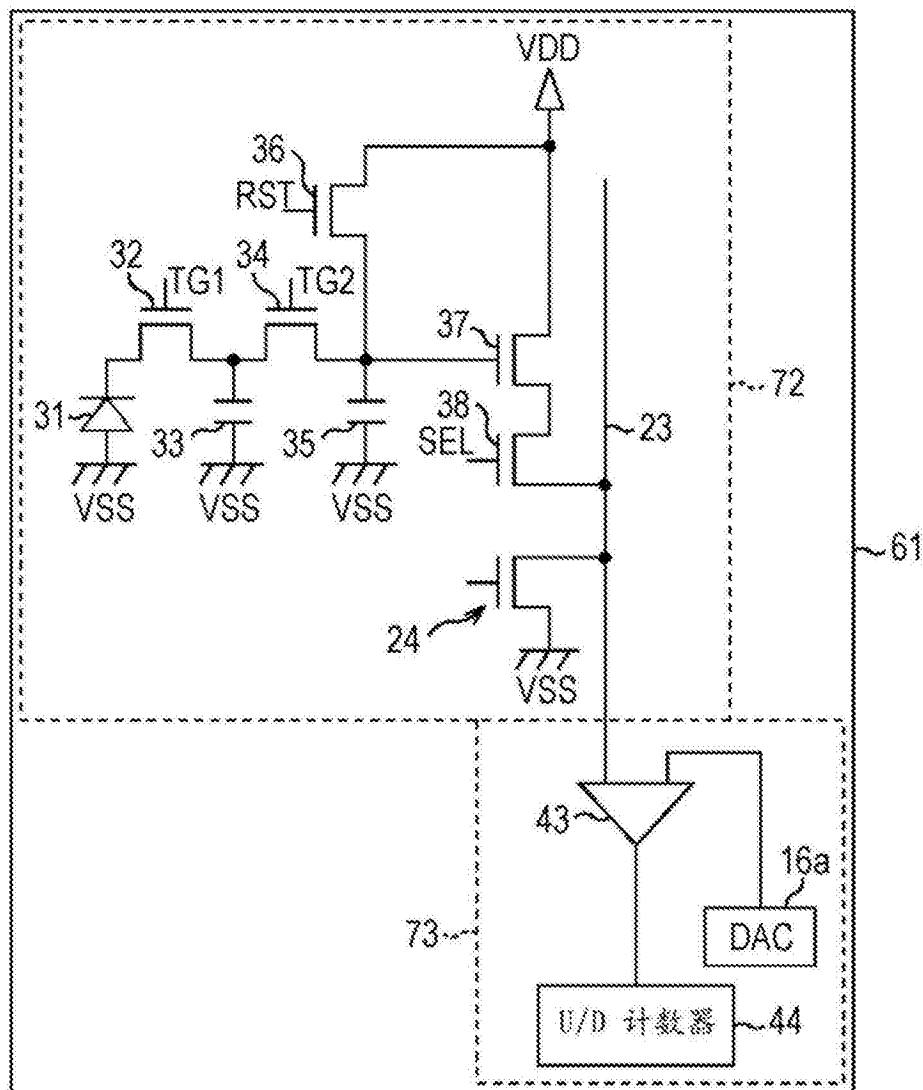


图13B

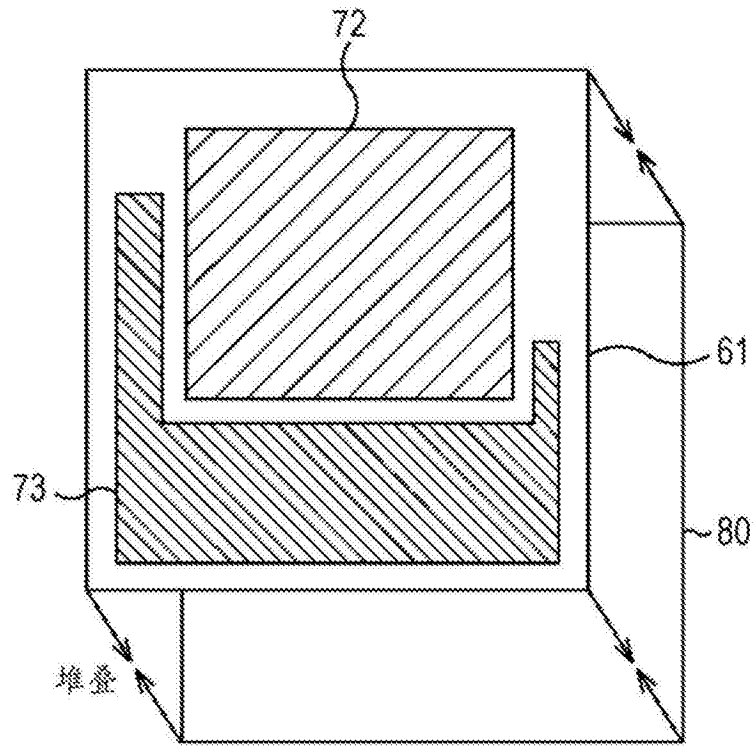


图15A

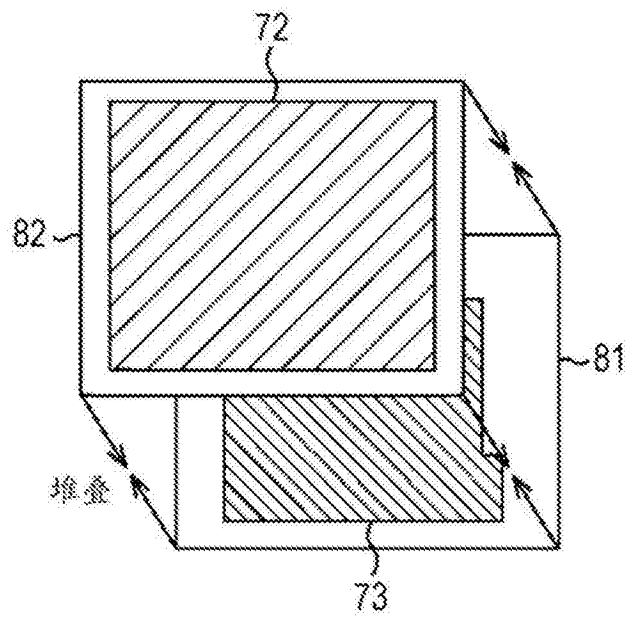


图15B

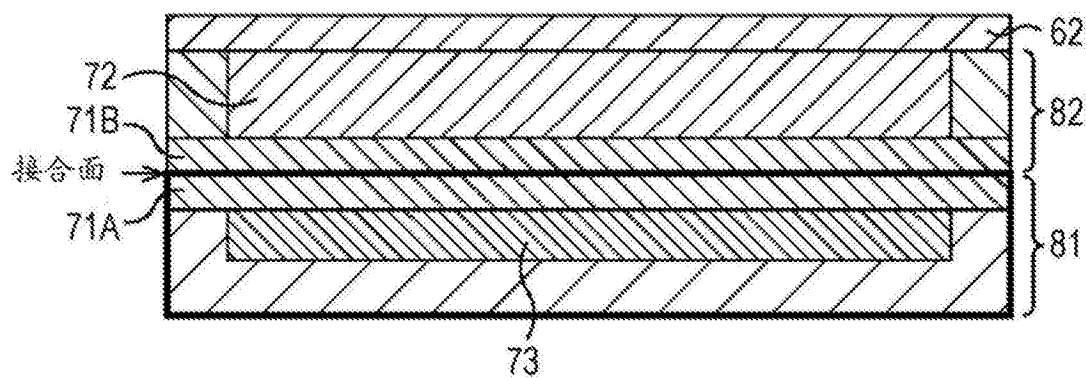


图16A

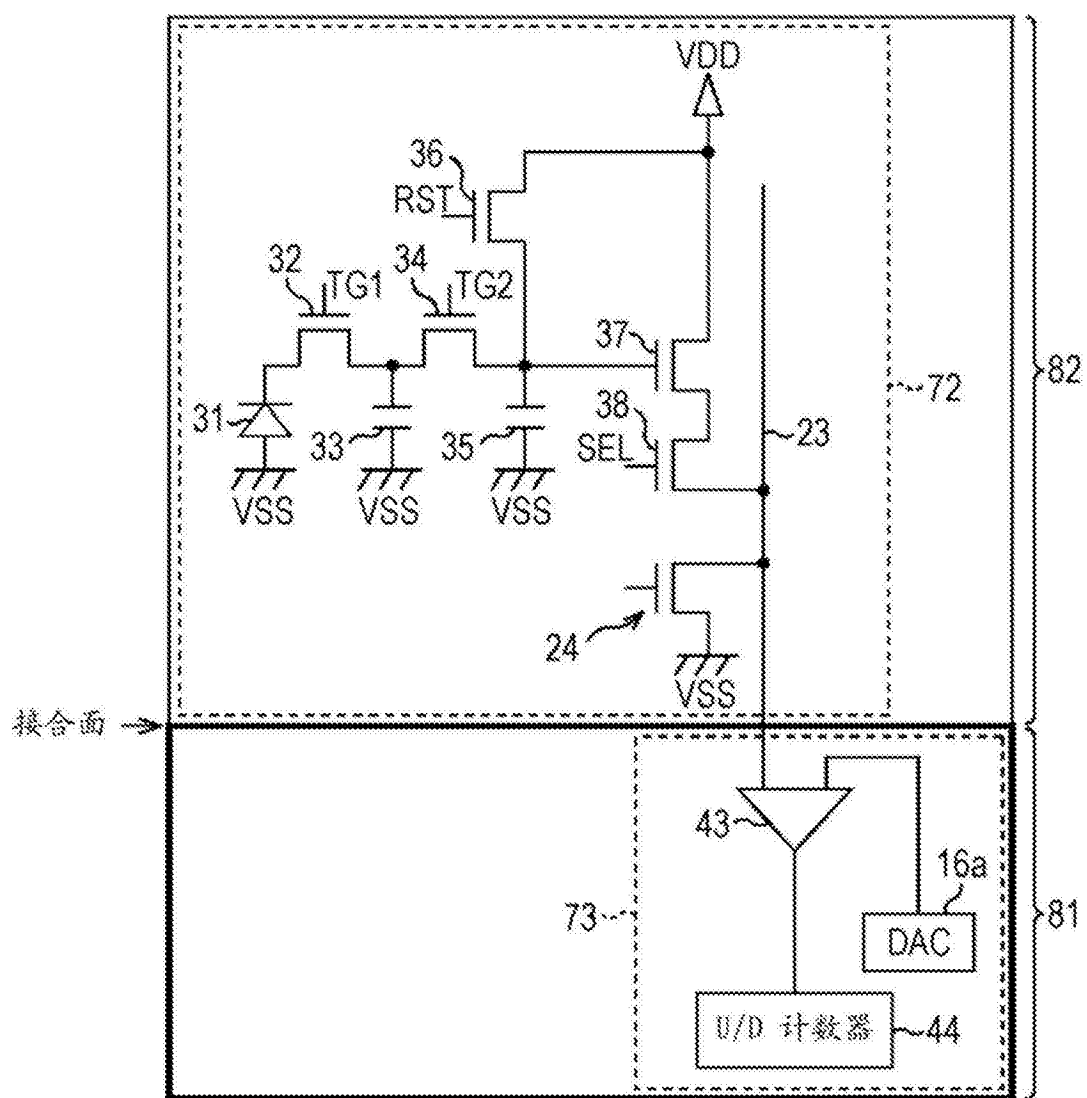


图16B

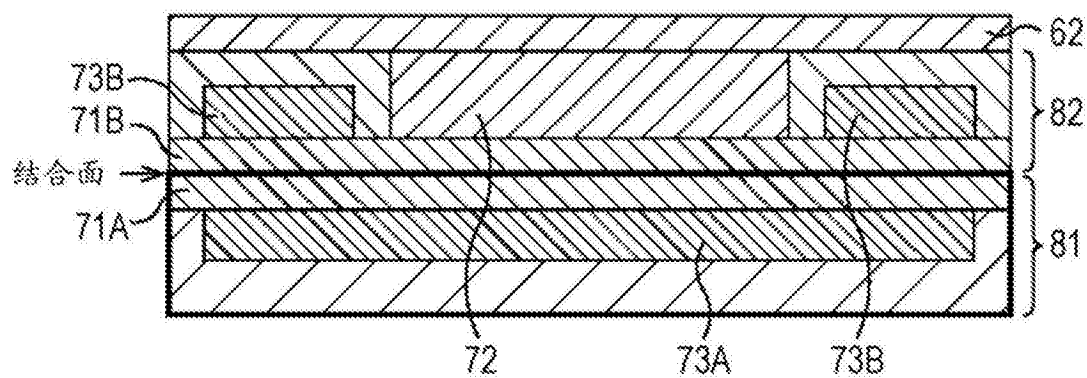


图17A

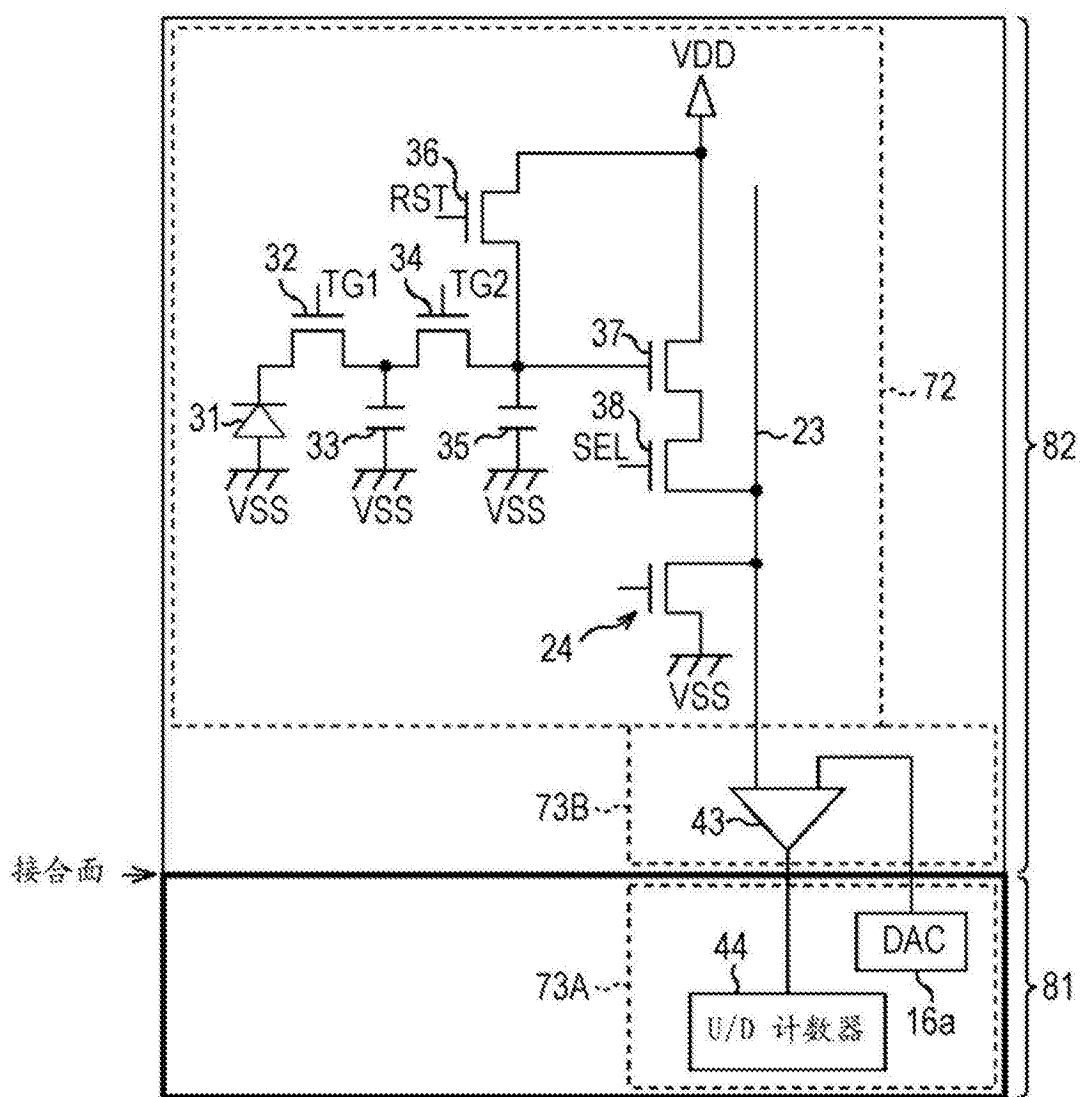


图17B

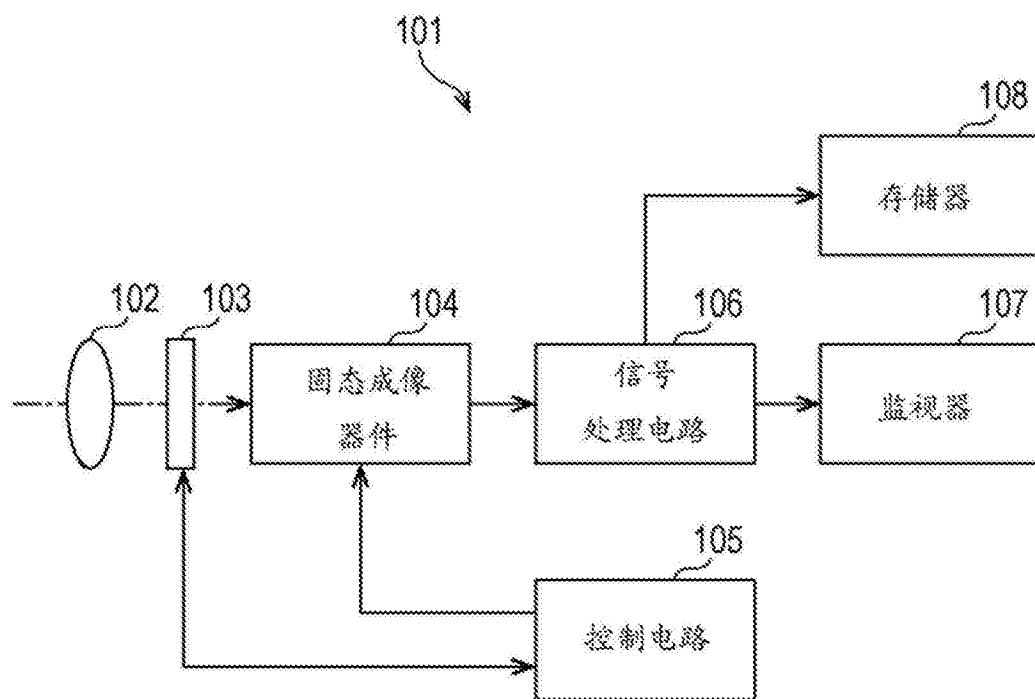


图18