(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
G11C 11/409

(45) 공고일자 2000년12월15일
(11) 등록번호 10-0275345
(24) 등록일자 2000년09월21일

(21) 출원번호	10-1997-0013902	(65) 공개번호	특1998-0006224
(22) 출원일자	1997년04월16일	(43) 공개일자	1998년03월30일
(30) 우선권주장	96-154512 1996년06월14일 일본(JP)		

(73) 특허권자 후지쯔 가부시끼가이샤 아끼구사 나오유끼
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1
(72) 발명자 사이토 미요시
일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4죠메 1반 1고, 후지쓰 가부시키가이샤 나이
(74) 대리인 조태연

심사관 : 김종찬

(54) 반도체 회로에 사용되는 트랜지스터의 임계전압 보상 회로 및 임계전압 보상 방법

요약

커패시터는 임계전압 보상 대상인 트랜지스터 Q와 입력 단자 IN 사이에 접속된다. 스위칭 소자 S1은 트랜지스터 Q의 일단에 접속된 전류원 CI와 트랜지스터 Q의 게이트 사이에 접속된다. 제2 스위칭 소자 S2는 입력 단자와 기준 전압 V_{REF}가 인가되는 단자 B 사이에 접속된다. 스위칭 소자 S1이 온으로 되면 트랜지스터 Q는 다이오드 접속으로 된다. 스위칭 소자 S2가 온으로 되면 기준 전압 V_{REF}는 입력 단자 IN에 인가된다. 기준 전압 V_{GND}는 트랜지스터 Q의 타단에 접속된 전류 유입 단자 A에 인가된다. 트랜지스터 Q의 임계전압 V_{TH}에 의한 충전이 커패시터 C에 축적된 후, 스위칭 소자 S1은 오프로 된다. 이러한 제어로 인해, 트랜지스터의 미세화에 따른 임계전압의 편차를, 인접한 트랜지스터 사이에서 임계전압이 서로 다른 경우도 포함하여 보상할 수 있다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 트랜지스터의 임계전압 보상 회로의 기본 구성을 나타내는 도면.

도 2는 본 발명의 제1 실시 형태에 따른 임계전압 보상 회로의 구성을 나타내는 도면.

도 3은 도 2에 도시된 회로의 동작 파형의 일예를 나타내는 도면.

도 4는 도 2에 도시된 회로에 의한 임계전압 제어의 상태를 나타내는 도면.

도 5는 도 2에 도시된 회로에 의한 효과를 설명하기 위한 도면.

도 6은 본 발명의 제2 실시 형태에 따른 임계전압 보상 회로의 구성을 나타내는 도면.

도 7은 도 6에 도시된 회로의 동작 파형의 일례를 나타내는 도면.

도 8은 도 6에 도시된 회로에 의한 효과를 설명하기 위한 도면.

도 9는 본 발명의 제3 실시 형태에 따른 임계전압 보상 회로를 이용한 센스 증폭기의 구성을 나타내는 도면.

도 10a 및 10b는 도 9의 센스 증폭기의 동작 파형의 일예를 나타내는 도면.

도 11은 도 9의 센스 증폭기에 의한 효과를 설명하기 위한 도면.

도 12는 본 발명을 적용한 센스 증폭기를 구동시키기 위한 제1 구성예를 개략적으로 나타낸 도면.

도 13은 도 12의 구성의 변형예에 있어서의 주요부의 구성을 나타내는 도면.

도 14a 및 14b는 도 12의 구성에 있어서의 센스 증폭기를 구동시키기 위한 동작 파형의 일예를 나타내는 도면.

도 15는 본 발명이 사용된 센스 증폭기를 구동시키기 위한 제2 구성예를 개략적으로 나타내는 도면.

도 16은 본 발명이 사용된 센스 증폭기를 구동시키기 위한 제3 구성예를 개략적으로 나타낸 도면.

도 17은 도 16의 구성의 변형예에 있어서의 주요부의 구성을 나타내는 도면.

<도면의 주요 부분에 대한 부호의 설명>

A : 전류 유입 단자

B : 기준 단자

C : 커패시터

CI : 전류원

IN : 입력단자

Q : 트랜지스터

S1, S2 : 스위칭 소자

V_{TH} : 트랜지스터의 임계전압

V_{REF}, V_{GND} : 기준 전압

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 회로에서 사용되는 트랜지스터의 임계전압을 보상(compensation)하는 기술에 관한 것으로서, 특히 임계전압간의 편차를 보상하는데 효율적인 회로와, 이 회로를 이용한 센스 증폭기의 구성에 관한 것이다.

최근에, 반도체 소자의 미세화에 따라, 단채널(short channel) 효과와 협채널(narrow channel) 효과 등이 나타나게 되었다. 단채널 효과란 게이트 길이가 짧아지면 임계전압이 작아지는 현상이며, 협채널 효과란 게이트 폭이 좁아지면 임계전압이 커지는 현상이다. 제조과정에서 발생하는 트랜지스터간의 편차에 의해, 게이트간의 길이와 폭이 서로 다르면, 결과적으로 트랜지스터의 임계전압은 서로 상이하게 된다. 게다가, 채널을 형성하기 위한 이온 주입(ion implantation) 동안의 자연 분포에 의해서도 피할 수 없는 임계전압 편차가 생기는 것이 보고되었다. 이후, 반도체 소자 구조의 미세화가 더 진행된다면, 이러한 편차를 감소시키는 것이 더욱 어려워질 것이다. 그래서, 이러한 편차를 고려한 회로 설계 기술이 요구되고 있다.

종래, 임계전압의 편차를 고려한 설계 기술 중, 임계전압을 보상하는 방법이 있다. 하나의 방식으로서는 소위 웰 드라이브(well drive) 방식이 알려져 있으며, 이것은 반도체 기판 내의 웰의 전위를 변화시키는 것으로서 임계전압을 실질적으로 변화시키는 방법이다. 이 방법은 예컨대, 칩 전체 또는 칩 내의 상대적으로 넓은 영역에서 임계전압이 같지만, 로트(lot)간에 임계전압의 편차가 있으며, 그 편차 때문에 시스템이 소정의 규정대로 동작하지 않은 경우에 유효한 방법이다. 그러나, 칩 내 일정 영역의 임계전압은 높고 별도의 영역에서는 임계전압이 낮으면, 영역마다의 동작 속도가 다르게 된다. 칩 전체로 보면 지연으로 인한 클록 스큐(clock skew)가 발생하게 되어, 결국, 회로가 정상적으로 동작하지 않는 단점을 갖게 된다.

이와 같이 종래의 방법은 칩 사이에서 임계전압이 편차가 있는 경우나, 칩 내에서의 임계전압이 상대적으로 넓은 영역마다 편차가 있는 경우에는 유효하지만, 임계전압의 편차의 형태는 이것에 한하는 것이 아니다. 예컨대, 인접한 트랜지스터 사이에서의 임계전압의 편차도 무시할 수 없는 상황이 이후 점점 증가해 간다고 생각된다. 그것은 상술한 바와 같이 제조 공정상 불가피한 상황으로 되기 때문이다.

그래서, 인접한 트랜지스터간의 임계전압의 편차에 의해 가장 큰 영향을 받는 회로로서 플립플롭형의 센스 증폭기가 있다. 그리고, 이러한 영향을 없애기 위한 방법으로서, DRAM용의 센스 증폭기가 몇가지 제안되고 있다.

예컨대, 하나의 방식으로서, 센스 증폭기에 플립플롭을 구성하는 트랜지스터의 임계전압을 감지 동작시에 보상하는 기능을 갖게 한 것이 있다. 그러나, 이러한 형태의 센스 증폭기는 감지 동작에 더해 임계전압 보상과 같은 부가적인 동작을 수행하여야 하기 때문에, 최근에 더욱 요구되어지고 있는 고속 동작에는 적합하지 않다.

또한, 다른 방식으로서, 감지 동작시와 임계전압 보상 간에 트랜지스터의 소오스와 드레인의 교환(즉, 접속 전환)을 행하도록 한 것도 있다. 그러나, 트랜지스터의 임계전압이 방향에 따른 편차를 갖는다면, 이러한 형태의 센스 증폭기는 편차를 성공적으로 보상할 수 없을 것이다.

또, DRAM으로부터 셀데이타(cell data)를 독출하는 방식으로서 전치충전(pre-charge) 방식이 널리 채용되고 있지만, 종래의 방식 중에는 이 전치충전을 Vcc(전원전압)로 행하는 것도 있다. 그러나, 센스 증폭기는 현재 CMOS를 구비하며 주변 회로를 갖기 때문에, Vcc/2의 전치충전 방법이 주류가 되고 있다. 이러한 이유로, Vcc 전치충전 방식을 채용하고 있는 센스 증폭기도 이 Vcc/2 전치충전 방식에 대응할 수 있도록 하는 것이 바람직하다.

발명이 이루고자 하는 기술적 과제

본 발명의 주된 목적은 트랜지스터의 미세화에 따른 임계전압간의 편차를 트랜지스터가 인접하고 있는 경

우도 포함시켜서 보상할 수 있는 임계전압 보상 회로를 제공하는 것에 있다.

또한, 본 발명의 다른 목적은 상기 임계전압 보상 회로를 센스 증폭기에 적용하는 것으로, 감지 동작시에 임계전압을 보상할 필요를 없애고, 나아가서는 고속 동작에 적응시킬 수 있는 센스 증폭기를 제공하는데 있다.

본 발명의 또 다른 목적은 상기 임계전압 보상 회로를 센스 증폭기에 적용하는 것으로, 감지 동작시와 임계전압 보상시에 트랜지스터의 소스와 드레인의 교환을 행할 필요를 없애고, 나아가서는 완전한 임계전압 보상을 실현할 수 있는 센스 증폭기를 제공하는데 있다.

본 발명의 또 다른 목적은 Vcc/2 전치충전 방식에 대응하는 센스 증폭기를 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명의 제1 특징에 따라, 트랜지스터의 임계전압을 보상하는 회로는, 입력단자와; 상기 입력단자와 트랜지스터의 게이트 사이에 접속되며, 상기 트랜지스터의 게이트 컨덕턴스에 비하여 큰 용량을 갖는 커패시터와; 상기 트랜지스터의 일단에 접속된 전류원과; 상기 전류원으로부터 공급된 전류를 상기 트랜지스터를 통해서 유입시키는 전류 유입 단자와; 상기 트랜지스터의 임계전압 보상시에 제1 기준 전압이 인가되는 기준 단자와; 상기 트랜지스터의 일단과 게이트의 사이에 접속된 제1 스위칭 소자와; 상기 기준 단자와 상기 입력 단자의 사이에 접속된 제2 스위칭 소자를 구비하며, 상기 제1 스위칭 소자를 온으로 하여 상기 트랜지스터를 다이오드 접속시키고, 상기 제2 스위칭 소자를 온으로 하여 상기 제1 기준 전압을 상기 입력 단자에 인가하며, 제2 기준 전압을 상기 전류 유입 단자에 인가하여 상기 트랜지스터의 임계전압에 의존한 전하를 상기 커패시터에 축적한 후, 상기 제1 스위칭 소자를 오프로 하는 것을 특징으로 한다.

또한, 본 발명의 제2 특징에 따라, 청구항 1에 기재된 임계전압 보상 회로를 이용한 반도체 기억 장치는, 1쌍의 상보적 비트라인의 사이에 접속된 플립플롭형 센스 증폭기와; 상기 센스 증폭기의 플립플롭을 구성하며 임계전압 보상 대상인 1쌍의 트랜지스터의 각 드레인에 전류를 공급하는 전류원을 구비하는데, 상기 센스 증폭기는 상기 임계전압 보상 대상인 1쌍의 트랜지스터의 각 게이트에 대응하는 각 드레인의 사이에 접속되고, 임계전압 보상시에 온으로됨으로써, 대응하는 트랜지스터를 다이오드 접속시키는 1쌍의 트랜지스터와; 상기 임계전압 보상 대상인 1쌍의 트랜지스터의 각 드레인과 상기 1쌍의 상보적 비트라인의 사이에 접속되며, 임계전압 보상시에 오프로 되는 1쌍의 트랜스퍼 게이트용 트랜지스터와; 상기 임계전압 보상 대상인 1쌍의 트랜지스터의 각 게이트에 각각의 일단이 접속되고, 각각의 타단은 각각 대응하는 임계전압 보상 대상인 트랜지스터의 드레인이 연결되는 비트라인과 반대측의 비트라인에 접속되어 있는 1쌍의 커패시터를 포함하는 것을 특징으로 한다.

또한, 본 발명의 제3 특징에 따라, 임계전압 보상 대상인 트랜지스터의 임계전압을 보상하는 방법은, 상기 센스 증폭기 내의 각 노드를 제1 전압과 동일하게 전치충전하는 단계와; 상기 임계전압 보상 대상인 1쌍의 트랜지스터의 각 게이트와 드레인의 사이를 연결하여 다이오드 접속시키는 단계와; 상기 1쌍의 커패시터의 각각의 타단에 상기 제1 전압이 인가되어 있는 상태로 하기 위해 상기 1쌍의 트랜스퍼 게이트용 트랜지스터를 오프로 하는 단계와; 상기 임계전압 보상 대상인 트랜지스터의 각 소오스에 제2 전압을 인가하는 단계와; 상기 제1 전류원을 구성하는 트랜지스터를 온으로 하며, 이어서 상기 제2 전류원을 구성하는 트랜지스터를 온으로 하여 보상 동작을 개시하는 단계와; 어느정도 보상이 이루어진 시점에서 상기 제2 전류원을 구성하는 트랜지스터를 오프로 하여, 그 오프 상태를 유지하여 보상 동작을 계속 실행하는 단계와; 보상이 충분히 이루어진 시점에서 상기 다이오드 접속된 트랜지스터를 오프로 하여, 보상된 정보를 상기 1쌍의 커패시터의 각각의 일단에 저장한 상태로 유지하는 단계와; 상기 임계전압 보상 대상인 트랜지스터의 각 소오스에 상기 제2 전압의 인가를 중지하는 단계와; 상기 제1 전류원을 구성하는 트랜지스터를 오프로 하고, 이어서 상기 1쌍의 트랜스퍼 게이트용 트랜지스터를 온으로 하여 보상 동작을 종료하는 단계를 포함하는 것을 특징으로 한다.

본 발명의 다른 목적과 장점은 첨부한 도면을 참조한 다음 실시예의 설명을 통해 더욱 명확해 진다.

도 1에는 본 발명에 관한 트랜지스터의 임계전압 보상 회로의 기본 구성이 개략적으로 도시되어 있다.

도면 중, Q는 임계전압 보상의 대상인 트랜지스터를 나타내고, 이 트랜지스터 Q의 일단에는 전류원 CI가 접속되며, 트랜지스터 Q의 타단은 전류원 CI로부터의 트랜지스터 Q를 통해서 전류를 유입시키는 전류 유입 단자 A를 구성하고 있다. 이 단자 A에는 트랜지스터 Q의 임계전압 보상시에 기준 전압 V_{GND} 가 인가된다. 또한, 입력 단자 IN은 트랜지스터 Q의 통상적인 동작시에 사용되는 입력 단자이며, B는 트랜지스터 Q의 임계전압이 보상될 때 기준 전압 V_{REF}가 인가되는 기준 단자를 나타낸다.

또한, 트랜지스터 Q의 게이트와 입력단자 IN의 사이에는 트랜지스터 Q의 게이트 용량에 비하여 충분히 큰 용량을 갖는 커패시터 C가 접속되어 있다. 또, 트랜지스터 Q의 일단과 게이트의 사이에 스위칭 소자 S1이 접속되고, 기준 단자 B와 입 력단자 IN의 사이에 스위칭 소자 S2가 접속되어 있다. 스위칭 소자 S1이 오프일 때에는 트랜지스터 Q의 게이트와 커패시터 C의 사이는 플로팅(floating) 노드가 되어, 소위 플로팅 게이트로서 작용하게 된다.

이러한 구성에 있어서, 트랜지스터 Q의 임계전압을 보상할 때, 먼저, 스위칭 소자 S1을 턴온시키고, 트랜지스터 Q를 다이오드 접속시키며, 전류원 CI와 플로팅 노드를 접속한다. 이것에 의해서 트랜지스터 Q의 플로팅 게이트부, 즉 커패시터 C의 일단은 단자 A의 전위 V_{GND}에 대하여 임계전압 V_{TH} 만큼만 충전된다. 또한 이 때, 트랜지스터 Q의 전류 유입 단자 A에 기준 전압 V_{GND}를 인가하는 동시에, 스위칭 소자 S2를 온으로 하여 기준 단자 B에서의 기준 전압 V_{REF}를 입력 단자 IN, 즉 커패시터 C의 타단에 인가한다.

이것에 의해서, 기준전압 V_{REF}와 트랜지스터 Q의 플로팅 게이트부의 전위에 의존한 전하(즉, 트랜지스터 Q의 보상 후의 임계전압 V_{TH}에 의존한 전하)를 커패시터 C에 축적할 수 있다. 이 후, 스위칭 소자 S1을 오

프로 하는 것으로, 플로팅 게이트부는 본래의 플로팅 게이트가 된다. 커패시터 C에 축적되는 전하의 V_{REF} 및 V_{TH} 의존성은 보상 후에 단자 IN에서의 보상된 임계전압의 전압 V_{REF} 에서 전압 V_{GND}를 감산한 것이 된다.

이와 같이, 입력단자 IN에 인가하는 전압 V_{IN}(즉 통상적인 동작시의 게이트 전압)에 대한 트랜지스터 Q의 임계전압 V_{TH}는 기준 전압 V_{REF} 및 V_{GND}를 적당히 선정 하는 것으로 임의로 결정할 수 있다. 이 때, 트랜지스터 Q의 임계전압은 다이오드 접속시에 보상되어 있기 때문에, 통상적인 동작시에서의 입력 전압 V_{IN}에 대한 트랜지스터 Q의 임계전압 V_{TH}는, (보상 전의)초기의 임계전압에는 의존하지 않도록 할 수 있다. 즉, 트랜지스터 Q의 임계전압 V_{TH}를 초기의 임계전압과 관계 없이 원하는 값으로 제어하는 것이 가능해진다.

따라서, 본 발명에 관한 임계전압 보상 회로에 의하면, 트랜지스터의 미세화에 따른 임계전압의 편차를 트랜지스터가 인접하고 있는 경우도 포함시켜서 보상할 수 있다.

또, 본 발명의 바람직한 실시예는 도 2 내지 도 17을 참조하여 설명될 것이다.

도 2에 본 발명의 제1 실시 형태에 관한 임계전압 보상 회로의 구성이 도시되었다.

도 1에 나타내는 원리 및 구성과의 대비에 있어서, 임계전압 보상 대상인 트랜지스터 Q는 N채널 MOS 트랜지스터 QX에, 커패시터 C는 커패시터 CX에, 스위칭 소자 S1는 N채널 MOS 트랜지스터 Q1에, 스위칭 소자 S2는 N채널 MOS 트랜지스터 Q2에, 전류원 CI는 P채널 MOS 트랜지스터 Q3에 각각 대응한다. 본 실시 형태에 있어서, 커패시터 CX의 용량은 25 fF로 설정되고, 트랜지스터 QX의 게이트폭(W)과 게이트 길이(L)의 비(W/L)는 2.25/0.22(단위는 μm)로 설정되며, 트랜지스터 Q3의 W/L은 2.5/0.4로 설정되어 있다. 커패시터 CX는 통상의 DRAM의 셀 커패시터와 동등한 공정으로 형성하여도 좋으며, 또는 통상의 평행 평판형 커패시터(parallel plate capacitor)의 형태로 형성하여도 좋다. 또한, 트랜지스터 QX의 임계전압 V_{THN}은 0.27V로 설정되어 있다. 또, 본 실시 형태에서의 임계전압 V_{THN}와 각 트랜지스터 및 커패시터의 크기에 관해서는 어디까지나 일예이기 때문에, 이것에 한정되는 것은 아니다.

다음에, 본 실시 형태의 회로의 동작(트랜지스터 QX의 임계전압 V_{THN} 보상 동작)에 관해서, 동작 파형의 일예를 나타내는 도 3을 참조하면서 설명한다. 또, 전원 전압 Vcc는 1V에서, 기준 전압은 각각 V_{GND}=0.3V, V_{REF}=0.5V로 한다. 후에 다른 값인 경우도 나타내지만, 이 값도 일예에 지나지 않는다.

먼저, 트랜지스터 Q1 및 Q2를 턴온시키기 위해 게이트 제어 신호 SW1 및 SW2를 각각 하이(high)레벨로 한다(도 3의 예에서는 이미 하이레벨로 되어 있다). 또한, 전류원을 구성하는 트랜지스터 Q3의 게이트에는 0.5V의 제어 신호 CS1을 인가한다. 또, 인가된 전압은 이것에 한하는 것이 아니고, 트랜지스터 Q3이 포화 동작에 가까운 상태가 되는 전압이면 충분하다.

트랜지스터 Q1이 턴온되면 드레인과 게이트 사이가 다이오드 접속된 트랜지스터 QX의 플로팅 노드 FLT의 전위는 전류원 Q3으로부터의 전류에 의해 서서히 상승한다. 이 전위가 안정된 곳에서(도시의 예에서는 0.7V 전후), 제어 신호 SW1 및 SW2를 로우(low)레벨로 하고, 트랜지스터 Q1 및 Q2를 오프로 한다.

이것에 의해서, 플로팅 노드 FLT에, 트랜지스터 QX의 임계전압 V_{THN}에 의존한 전하가 축적된다. 이 때의 임계전압 V_{THN}은 트랜지스터 QX의 백게이트(backgate) Vss를 0.5V로 했을 때에 약 0.27V가 된다(여기서는, Vcc/2 전치충전 방식에 대응할 수 있도록 0.5V로 하고 있다). 또, 백게이트를 접지레벨로 한 경우에, 임계전압 V_{THN}은 약 0.14V가 된다. 따라서, 값은 다르지만, 원하는 임계전압 V_{THN}으로 제어할 수 있는 것에 변함이 없다.

도 4에는 본 실시 형태의 회로에 의한 임계전압 제어의 상태가 도시되어 있다. 여기서도, 트랜지스터 QX의 백게이트를 0.5V로 했을 때의 임계전압 V_{THN}을 나타낸다. 도 4에 도시된 바와 같이, 임계전압 제어시에 인가하는 기준 전압 V_{GND} 및 V_{REF}의 값에 따라서 트랜지스터 QX의 임계전압 V_{THN}은 임의로 제어할 수 있는 것을 알 수 있다. 여기서는 0.5V로 표시하고 있지만 0V에서도 같다.

따라서, 도 2에 도시된 구성에 의해 이미 임계전압이 제조과정에서 결정되는 트랜지스터 QX의 임계전압 V_{THN}을 원하는 값으로 제어할 수 있다.

이 결과는, 트랜지스터 QX의 처음에 결정된 임계전압(초기의 임계전압)에는 의존하지 않는다. 그 결과의 일예를 도 5에 나타낸다.

도 5에 있어서, 횡축은 트랜지스터 QX의 초기의 임계전압을 표시하고 있으며, 종축은 제어된 후(즉 보상 후)의 임계전압을 표시하고 있다. 여기서도, 기준 전압은 각각 V_{GND}=0.3V, V_{REF}=0.5V이다. 도 5로부터 명백히 알 수 있듯이, 초기의 임계전압의 편차에 관계없이, 보상 후의 임계전압을 거의 일정하게 할 수 있다. 구체 적으로는, 초기 임계전압의 400mV의 편차에 대하여 보상 후의 임계전압의 편차를 약 8.8mV로 억제할 수 있다.

이와 같이 본 실시 형태에 의하면, 트랜지스터 QX의 임계전압의 편차를 억제하는 동시에, 기준 전압 V_{GND} 및 V_{REF}의 값에 따라서 트랜지스터 QX의 임계전압 V_{THN}을 원하는 값으로 제어할 수 있다.

또, 본 실시 형태에서는 N채널 MOS 트랜지스터 QX의 임계전압을 보상하도록 하였지만, 이것은 임계전압 보상 대상인 트랜지스터 QX와 전류원으로서의 트랜지스터 Q3의 도전형을 각각 서로 반대의 도전형으로 하는 것으로, P채널 MOS 트랜지스터의 임계전압을 보상하는 것도 가능하다.

도 6에 본 발명의 제2 실시 형태에 관한 임계전압 보상 회로의 구성이 도시되어 있다.

상술한 제1 실시 형태(도 2 참조)에서는, 전류원을 구성하고 있는 P채널 MOS 트랜지스터 Q3의 임계전압이 편차가 있는 경우, 그것에 따라서 임계전압 보상 대상인 트랜지스터 QX의 임계전압도 편차가 있을 가능성

이 있다.

이 제2 실시 형태는 이러한 단점을 해소하기 위한 것이다. 이 때문에, P채널 MOS 트랜지스터 Q3과 직렬로, 임계전압 보상 대상인 트랜지스터 QX와는 반대측에 또 하나의 전류원으로서의 P채널 MOS 트랜지스터 Q4가 접속되어 있다. 다른 회로 구성에 관해서는 상술한 제1 실시 형태(도 2 기준)와 같다.

본 실시 형태에서는, 제어신호 CS1에 의한 트랜지스터 Q3의 오프 동작과 제어 신호 CS2에 의한 트랜지스터 Q4의 오프 동작에 시간차를 설정하고 있다. 이것에 의해서, P채널 MOS 트랜지스터 Q3의 임계전압 V_{THP}이 서로 다른 경우에서도 트랜지스터 QX의 임계전압 V_{THN}의 편차를 억제하여, 해당 임계전압을 원하는 값으로 제어할 수 있다.

도 7에 동작 파형의 일예를 도시한다. 도 7의 예에서는 본 실시 형태의 회로의 동작 특성의 주요 부분을 알기 쉽게 하기 위해, 트랜지스터 QX의 임계전압 V_{THN}은 동일하고, 트랜지스터 Q3의 임계전압 V_{THP}가 다를 때의 보상 동작의 상태를 나타내고 있다.

도 7에 도시된 바와 같이, 제어 신호 CS1을 하이레벨로 하여 트랜지스터 Q3을 오프로 한 후, 잠시동안 제어 신호 CS2를 로우레벨로 하여 트랜지스터 Q4를 온으로 해 둠으로써, 트랜지스터 QX의 플로팅 게이트부의 전위가 트랜지스터 Q3의 임계전압 V_{THP}에 따르지 않고 의사 안정치(pseudo steady value)로 되는 것을 알 수 있다. 이 후, 제어 신호 SW1를 로우레벨로 하여 트랜지스터 Q1을 오프로 하면, 트랜지스터 Q3의 임계전압 V_{THP}에 의존하지 않는 임계전압 보상 전하가 플로팅 게이트부에 저장되게 된다.

이것 이외의 동작과 그것에 기초하는 효과에 관해서는 상술한 제1 실시 형태(도 2 기준)와 같다.

도 8에는 본 실시 형태에 따른 회로에 의한 보상 후의 트랜지스터 QX의 임계전압 V_{THN}와 트랜지스터 Q3의 임계전압 V_{THP}의 관계가 도시된다. 도 8로부터 알 수 있 는 바와 같이, 거의 -0.30V까지의 임계전압 V_{THP}의 변동에 대하여, 트랜지스터 QX의 임계전압 V_{THN}을 안정하게 제어할 수 있다.

이와 같이 본 실시 형태에 의하면, 전류원을 구성하고 있는 P채널 MOS 트랜지스터의 임계전압이 서로 다른 경우에서도, 임계전압 보상 대상인 트랜지스터 QX의 임계전압 V_{THN}의 편차를 억제하여 원하는 값으로 제어하는 것이 가능해진다.

또한, 상술한 제1 실시 형태(도 2 참조)와 같이, 임계전압 보상 대상인 트랜지스터 QX와 전류원으로서의 트랜지스터 Q3 및 Q4의 도전형을 각각 서로 반대의 도전형으로 하는 것으로, P채널 MOS 트랜지스터의 임계전압을 보상하는 회로를 실현하는 것도 가능하다.

도 9에 본 발명의 제3 실시 형태에 관한 임계전압 보상 회로를 이용한 센스 증폭기의 구성이 도시된다.

도면 중, SA는 센스 증폭기(S/A)를 나타내고, 기본적인 구성으로서, 2개의 N채널 MOS 트랜지스터 Q11 및 QI2와 2개의 P채널 MOS 트랜지스터 Q13 및 Q14가 플립플롭을 구성하도록 접속되어 있다. 또한, 트랜지스터 Q11 및 Q12의 각 게이트와 각각 대응하는 드레인과의 사이에는 N채널 MOS 트랜지스터 Q15 및 Q16가 접속되어 있다. 이들 트랜지스터 Q15 및 Q16은 임계전압 보상시에 각각 온으로 되고, 대응하는 트랜지스터 Q11 및 Q12를 다이오드 접속시킨다. 또한, 트랜지스터 Q11 및 Q12의 각 드레인과 1쌍의 상보 비트라인 BL 및 BLX와의 사이에는 N채널 MOS 트랜지스터 Q17 및 Q18이 접속되어 있다. 이들의 트랜지스터 QI7 및 Q18은 임계전압 보상시에 각각 오프로 된다. 또, 트랜지스터 Q11 및 Q12의 각 게이트와 상보 비트라인 BLX 및 BL과의 사이에는 커패시터 C1 및 C2가 각각 접속되어 있다.

또한, CCS는 센스 증폭기(SA)의 플립플롭을 구성하는 N채널 MOS 트랜지스터 Q11 및 Q12의 각 드레인에 전류를 공급하기 위한 전류원을 나타낸다. 이 전류원(CCS)은 다른 센스 증폭기(S/A)와 공유되도록 설치된 전류원으로서의 P채널 MOS 트랜지스터 Q23과, 이 트랜지스터 Q23의 드레인과 N채널 MOS 트랜지스터 Q11 및 Q12의 각 드레인의 사이에 접속된 1쌍의 P채널 MOS 트랜지스터 Q21 및 Q22(전류원)을 갖고 있다.

또한, PC는 센스 증폭기(SA)의 구동에 앞서 비트라인 BL 및 BLX를 전원전압 Vcc의 1/2의 전위에 전치충전시키는 회로를 나타낸다. 이 전치충전 회로(PC)는 비트라인 BL 및 BLX의 사이에 접속된 N채널 MOS 트랜지스터 Q30과, 동일하게 비트라인 BL 및 BLX의 사이에 직렬로 접속된 2개의 N채널 MOS 트랜지스터 Q31 및 Q32를 갖고 있다. 트랜지스터 Q31 및 Q32의 접속점은 Vcc/2의 전원 라인에 접속되어 있다. 또, Q33 및 Q34는 센스 증폭기측의 비트라인 BL 및 BLX를 셀어레이(도시하지 않음)측의 대응하는 비트라인에 접속하기 위한 N채널 MOS 트랜지스터를 나타낸다.

도 10a 및 10b에는 본 실시 형태에 관한 센스 증폭기의 동작 파형의 일예가 도시된다. 기본적인 동작에 관해서는 상술한 제1 또는 제2 실시 형태와 동일하다. 이하, 본 실시 형태에 특유의 동작에 관해서 설명한다. 또, 회로의 각부에서의 신호의 전압 레벨은 각각 크기가 다른 것을 고려하여, 보기 쉽게 하기 위해서 동작 파형도가 10a 및 10b의 2개로 나눠져 있다. 또한, t_C는 임계전압 보상 동작 기간, t_S는 감지 동작 기간을 표시하고 있다.

먼저, 전치충전 신호 PR을 하이레벨로 하고, 또한 제어 신호 SNL 및 SPL을 전원전압 Vcc의 절반인 전압 Vcc/2로 설정한다. 센스 증폭기(SA)는 (노드 N1 및 N2도 포함시켜서)전압 Vcc/2를 갖도록 전치충전시킨다. 또한, 제어 신호 DIO는 하이레벨로 하고 트랜지스터 Q15 및 Q16를 온으로 하여, 임계전압 보상 대상인 트랜지스터 Q11 및 Q12를 각각 다이오드 접속시킨다.

다음에, 제어 신호 CON은 로우레벨로 하고, 트랜지스터 Q17 및 QI8을 오프로 하고, 임계전압 보상과 관계없는 회로 부분(즉, 플립플롭을 구성하는 P채널 MOS 트랜지스터 Q13 및 Q14)을 분리한다. 이 때, 커패시터 CI 및 C2의 각각의 타단, 즉 비트라인 BLX 및 BL에 연결되는 측의 노드는, Vcc/2의 전위로 유지되게 된다. 이 Vcc/2는 도 1에 나타낸 기준 전압 V_{REF}에 상당한다.

다음에, 제어 신호 SNL을 Vcc/2와 Vss의 사이의 중간전위(도시의 예에서는 약 0.33V)로 한다. 이 전위는

도 1에 나타낸 기준 전압 V_{GND}에 상당한다.

이어서, 제어 신호 CS2로서 Vcc/2(=0.5V)를 인가하고, 트랜지스터 Q23를 온으로 한다. 또, 이 전압(0.5V)은 이것에 한하는 것이 아니고, 트랜지스터 Q23이 포화 동작에 가까운 상태가 되는 전압이면 충분하다. 또, 제어 신호 CS1으로서 Vcc/2를 인가하고, 트랜지스터 Q21 및 Q22를 온으로 한다. 동일하게, 이 전압에 관해서도 트랜지스터 Q21 및 Q22가 포화 동작에 가까운 상태가 되는 전압이면 충분하다.

이것에 의해서, 임계전압 보상 동작이 개시된다. 즉, 노드 N1 및 N2는 트랜 지스터 Q11 및 Q12의 각각의 임계전압 V_{THN}가 보상되도록 충전된다.

어느정도 보상이 이루어진 시점에서, 제어 신호 CS1로서 Vcc를 인가하면, 트랜지스터 Q21 및 Q22의 임계전압에 편차가 있는 경우의 보상 동작으로서, 노드 N1 및 N2는 의사 안정 상태까지 변화한다. 이러한 동작 형태는 제2 실시 형태(도 6 참조)에서 설명한 동작과 같다. 이것에 의해서 정전류원을 구성하는 P채널 MOS 트랜지스터 Q21 및 Q22의 임계전압에서의 편차를 억제할 수 있다.

보상이 충분히 이루어진 시점에서, 제어 신호 DIO를 로우레벨로 하고, 트랜지스터 Q15 및 Q16을 오프로 한다. 이것에 의해서, 보상된 정보가 커패시터 CI 및 C2의 각각의 일단(노드 N1 및 N2)에서 유지된 상태가 된다. 이 결과, 트랜지스터 Q11 및 Q12의 각각의 임계전압 V_{THN}를 하나의 값으로 설정할 수 있으며, 센스 증폭기(SA)의 임계전압의 언밸런스에 의한 오동작을 막을 수 있다.

도 10b에 있어서, 임계전압 보상 동작 기간 t_C에 계속되는 감지 동작 기간 t_S에 주목하면, 보상 직후의 트랜지스터 Q11 및 Q12의 각각의 임계전압의 차는 약 230mV이다. 비트라인 BL 및 BLX에 셀에서 나온 전하에 의해 생기는 전압차는 약 70mV임에도 불구하고, 230mV를 보상하여 정상적인 증폭 동작을 하고 있는 것을 알 수 있다.

또한, 도 10b에 도시된 바와 같이, 임계전압 보상시의 정보는 노드 N1 및 N2가 플로팅 노드가 되어 이들의 노드에 저장되고 있기 때문에, 감지 동작마다 임계전압을 보상할 필요는 없다.

다만, 이 센스 증폭기를 동작시킬 때에는, N채널 MOS 트랜지스터 Q11 및 Q12만을 임계전압 보상하고 있기 때문에, 감지 동작은 반드시 N채널 MOS 트랜지스터측에서 행하지 않으면 안된다.

다음에, 본 실시 형태에 관한 센스 증폭기의 이점에 관해서, 도 11을 참조하면서 설명한다.

도 11에 표시된 바와 같이, 이 보상 방식에서는 트랜지스터 Q11 및 Q12의 각각의 임계전압을 하나의 값으로 설정하는 것이 같은 보상 동작 조건으로 가능하기 때문에, 센스 증폭기의 동작 속도를 초기의(즉 보상 전의) 임계전압에 관계없이 같게 할 수 있다. 이것은 다른 센스 증폭기끼리의 속도차가 없어지는 것을 의미하기 때문에, 동작의 타이밍을 완전히 일치시킬 수 있다. 이 때문에, 센스 증폭기 동작의 경우, 최악의 동작 속도의 센스 증폭기의 감지 동작의 종료를 기다릴 필요가 없어지기 때문에, 통상보다 고속인 감지 동작의 사이클 시간을 얻을 수 있다. 또한, 임계전압은 원하는 값으로 제어할 수 있기 때문에, 예컨대 임계전압에 편차가 없는 경우에서도, 제조시에는 높은 임계전압만으로도 이 방식에 의해 임계전압을 낮출 수 있기 때문에, 보다 고속인 감지 동작을 실현하는 것이 가능해진다.

센스 증폭기는 노드 N1 및 N2로 유지된 정보(즉 전하)는 소자의 누설 등에 의해 감쇠하기 때문에, 어떤 사이클마다 재생을 할 필요가 있다. 예컨대 본 실시 형태에서는, 누설에 의해 노드 N1 및 N2의 전위가 20mV 감쇠하는 시간은 85ms이고, 또 최악의 경우가 340mS 이다. 따라서, 이 시간 내에 재생을 할 필요가 있다.

이 시간은 셀의 재생을 하고 있는 장소와 다른 장소에서 재생동작을 하면 충 분한 시간이다. 따라서, 센스 증폭기의 재생은 셀의 재생 동작과 동시에 병렬적으로 행할 수 있기 때문에, 종래 기술에 있어서의 센스 증폭기의 임계전압 보상시의 문제점인 보상 동작에 따른 시간의 손실을 없앨 수 있다.

도 12에는 본 발명을 적용한 센스 증폭기를 구동하기 위한 제1 구성예가 개략적으로 도시되어 있다.

도시된 예에서는, 어떤 셀에 대하여 독출/기록 또는 재생(셀 재생도 포함한다)이 행해질 때에 해당 셀이 포함되는 셀어레이와 다른 셀어레이에 있어서 임계전압 보상이 행해지는 구성으로 되어 있다.

또한, 도시된 예에서는 로우(row) 어드레스에 의해 임계전압 보상이 행해지는 셀어레이의 선택을 행하고 있지만, 이것은, 칼럼 어드레스를 사용하는 구성으로 하여도 좋다.

또한, 도시된 예에서는 재생신호 REF에 응답하는 통상적인 재생용 카운터와 셀 재생 신호 SLF에 응답하는 셀 재생용 카운터를 따로따로 구비한 구성으로 되어 있지만, 이것에 한하지 않고, 예컨대 도 13에 도시된 바와 같이, 1개의 재생 카운터에 재생 신호 REF와 셀 재생 신호 SLF를 입력하는 것으로, 통상의 재생용과 셀 재생용을 겸용하도록 하여도 좋다.

도 12의 구성에 있어서, 복수의 블록(도시된 예로서는 블록 A 및 B)으로 분할된 메모리에 대하여 독출/기록 동작이 발생하였을 때, 어드레스 ADD가 멀티플렉서를 통해 로우 어드레스 버퍼에 입력되고, 선택셀을 액세스하기 위해서, 복수의 상보적 로우 어드레스 신호가 출력되며, 각 선택 디코더에 입력된다. 이 때, 예컨 대 어드레스 신호 a에 주목하면, 이 어드레스 신호 a에 응답하는 정논리용의 셀어레이/블록 선택 디코더 A로부터, 이 어드레스 신호 a에 대응하는 블록 내의 셀어레이를 선택하기 위한 셀어레이 선택 신호 pdec가 출력된다. 이것에 의해서 선택된 셀어레이 중의 1개의 워드라인이 선택(활성화)되어, 통상의 셀데이타의 독출/기록이 행해진다.

또한, 이 어드레스 신호 a에 의해 부논리용의 셀어레이/블록 선택 디코더 BX가 활성화되고, 임계전압 보상 동작 선택 신호 ndec′ 가 출력된다. 이것에 의해서 임계전압 보상이 행해지는 셀어레이가 선택된다.

어드레스 신호가 상기 어드레스 신호 a와 상보적인 신호 ax인 경우에는, 어드레스 신호 a일 때에 독출/기록이 행해지는 셀어레이로서 선택된 셀어레이가, 임계전압 보상이 행해지는 셀어레이로서 선택된다. 또한, 어드레스 신호 a일 때에 임계전압 보상이 행해지는 셀어레이로서 선택된 셀어레이가, 독출/기록이

행해지는 셀어레이로서 선택된다.

다시 설명을 위해 어드레스 신호가 a인 경우로 되돌아간다. 독출/기록이 행해지는 셀어레이에 대해서는 셀어레이 선택 신호 pdec가 활성화되고, 이 신호 pdec와 센스 증폭기 활성화 신호 SA의 논리(도시된 예에서는 NOR 논리)를 취함으로써, 통상의 센스 증폭기(S/A) 드라이버 A1이 활성화되며, 센스 증폭기(S/A)의 어레이는 통상적인 동작을 행하게 된다. 이 때, 이 셀어레이 Ap에 관해서, 임계전압 보상용 센스 증폭기 드라이버 B1은 센스 증폭기 활성화 신호SA가 입력되어도 비활성이 되도록 하고 있다.

한편, 임계전압 보상이 행해지는 셀어레이로서 선택된 셀어레이에 있어서는, 부논리 디코더인 임계전압 보상용 셀어레이 선택 디코더 BX의 디코드신호 ndec′ 와 센스 증폭기 활성화 신호 SA의 논리를 취함으로써, 임계전압 보상용 센스 증폭기 드라이버 B2가 활성화된다. 이 때에는, 이 임계전압 보상이 행해여지는 셀어레이 Bq에 연결되는 정논리 디코더 B는 활성화되지 않는다. 또한, 임계전압 보상 선택 신호 ndec′ 가, 워드라인 선택 신호 wo′ 를 활성화하지 않도록, 신호 ndec′ 와 신호 wo′ 의 논리(도시된 예에서는 NAND 논리)를 취함으로써, 셀어레이 Bq 내의 워드라인이 활성화되지 않도록 하고 있다.

이것에 의해서, 임계전압 보상이 행해지는 셀어레이에 있어서 워드선이 선택되지 않도록 할 수 있다. 이 경우, 워드라인 선택 신호 wo′ 가 임계전압 보상 선택 신호 ndec′ 보다 늦게 출력될 필요가 있다. 그래서, 이 예에서는 워드라인 선택용 어드레스 신호가 블록/셀어레이 선택 신호보다 늦게 각각의 디코더에 도착하도록 로우 어드레스 버퍼로 타이밍을 조정하고 있다. 이 조정은 반드시 로우 어드레스 버퍼 내에서 행할 필요는 없고, 예컨대, 워드라인 선택 디코더 내에서 지연을 행하거나, 또는 로우 어드레스 버퍼와 워드라인 선택 디코더의 사이에서 조정하여도 좋다.

또, 도 12에 있어서, 센스 증폭기 드라이버 A1 및 A2의 출력 D1은, 도 9에 나타낸 제어신호 SNL 및 SPL에 상당하고, 센스 증폭기 드라이버 B1 및 B2의 출력 D2는 도 9에 나타낸 제어신호 SNL, SPL, CON, DIO, CS1 및 CS2에 상당한다. 또한, 실선 표시는 센스 증폭기 드라이버가 활성화되어 있는 상태를 나타내고 있으며, 점 선 표시는 센스 증폭기 드라이버가 비활성으로 되어있는 상태를 나타내고 있다.

또한, 도 14a 및 14b에는 센스 증폭기를 구동하기 위한 동작 파형의 일예가 도시된다. 14a는 셀데이타의 독출/기록이 행해지는 셀어레이에 대한 동작 파형을 나타내고, 14b는 임계전압 보상이 행해지는 셀어레이에 대한 동작 파형을 나타내고 있다.

이상의 설명은, 셀데이타의 독출/기록이 행해지는 셀어레이의 선택과 임계전압 보상이 행해지는 셀어레이 선택의 관계에 관해서이다. 통상의 재생이 행해지는 셀어레이의 선택과 임계전압 보상이 행해지는 셀어레이의 선택과의 관계 및 셀 재생이 행해지는 셀어레이의 선택과 임계전압 보상이 행해지는 셀어레이의 선택과의 관계에 관해서는 로우 어드레스 버퍼로부터 구성과 동일하게 되기 때문에 그 설명은 생략한다.

통상의 셀데이타 재생 동작에 있어서는, 재생 신호 REF에 응답하여 재생 카운터가 동작하고, 이 재생 카운터가 생성하는 어드레스가 멀티플렉서를 통해 로우 어드레스 버퍼에 보내여진다. 이 때, 재생신호 REF에서 생성되는 제어신호에 기초하여, 멀티플렉서는 통상 재생용의 재생 카운터의 어드레스를 판독하도록 하고 있다.

또한, 자기(self) 셀데이타 재생 동작시도 동일하게, 셀 재생 신호 SLF에 응답하여 재생 카운터가 동작하고, 이 재생 카운터가 생성하는 어드레스가 멀티플렉서를 통해 로우 어드레스 버퍼로 보내여진다. 이 때, 셀 재생 신호 SLF로부터 생성되는 제어 신호에 기초하여, 멀티플렉서는 셀 재생용의 재생 카운터의 어드레스를 판독하도록 하고 있다.

자기 셀데이타 재생시에는 재생 타이머에 의해서 생성되는 시간마다 재생 카운터를 증가시켜 어드레스를 진행시키고 있다. 또한, 도 12에 나타내는 구성예에서는 셀어레이 선택 디코더와 블록 선택 디코더를 편의상 인접되도록 그려져 있지만, 이것은, 떨어져 있어도 좋다. 실제로는, 블록선택 디코더의 수는 셀어레이 선택 디코더에 비하여 적은 경우가 많고, 인접되지 않는 경우가 많다. 이 경우의 구성예는 도 15에 도시되어 있다.

도 15는 본 발명을 적용한 센스 증폭기를 구동하기 위한 제2 구성예를 개략적으로 나타낸 것이다. 이 예에서는 같은 블록 A 내에 있는 셀어레이 Ap에서는 셀데이타의 독출/기록, 재생 또는 자기 셀데이타 재생 중 어느 하나가 행해지고, 이것과는 다른 셀어레이 Aq에서는 임계전압 보상이 행해지는 구성으로 되어 있다.

도 16에는 본 발명을 이용하여 센스 증폭기를 구동시키는 제3 구성예가 개략적으로 도시된다.

도시된 예에서는, 재생(또는 셀 재생)이 행해질 때에, 해당 셀데이타 재생(또는 자기 셀데이타 재생)이 행해지는 셀어레이와 다른 셀어레이에 있어서 임계전압 보상이 행해지고, 셀데이타의 독출/기록이 행해질 때에는 임계전압 보상이 행해지지 않도록 구성되어 있다.

도 16의 예에서는, 재생 신호 REF와 셀 재생 신호 SLF에 응답하는 OR 게이트를 설치하고, 이 OR 게이트의 출력에 기초하여, 재생 또는 셀 재생이 행해질 때에 부논리 디코더 AX 및 BX가 활성화되도록 되어 있다.

도 16에 도시된 바와 같이, 셀데이타의 독출/기록이 행해질 때에는 임계전압 보상이 행해지지 않도록 하는 동작 방법은, 예컨대 도 17에 변형예로서 표시되도록, 외부에서의 명령 신호 CMD에 의해 OR 게이트를 제어하는 것으로, 임계전압 보상을 행할지 행하지 않을지 중 어느 하나를 선택할 수도 있다.

발명의 효과

이상 설명한 바와 같이 본 발명에 의하면, 트랜지스터의 미세화에 따른 임계전압의 편차를, 인접한 트랜지스터 사이에서 임계전압이 서로 다른 경우도 포함시켜서 보상할 수 있다.

또한, 센스 증폭기에 적용한 경우에는 감지 동작시에 임계전압을 보상할 필요를 없애고, 또한 감지 동작시와 임계전압 보상시에서 소오스/드레인의 교환을 행할 필요를 없앨 수 있으므로, 고속동작으로의 적응

화 및 오동작의 방지와, 효율적인 임계전압 보상의 실현에 기여한다.

(57) 청구의 범위

청구항 1

트랜지스터(Q)의 임계전압을 보상하는 회로에 있어서,

입력 단자(IN)와;

상기 입력 단자와 상기 트랜지스터의 게이트 사이에 접속되며, 상기 트랜지스터의 게이트 컨덕턴스에 비하여 큰 용량을 갖는 커패시터(C)와;

상기 트랜지스터의 일단에 접속된 전류원(CI)과;

상기 전류원으로부터 공급된 전류를 상기 트랜지스터를 통해서 유입시키는 전류 유입 단자(A)와;

상기 트랜지스터의 임계전압 보상시에 제1 기준 전압(V_{REF})이 인가되는 기준 단자(B)와;

상기 트랜지스터의 일단과 게이트의 사이에 접속된 제1 스위칭 소자(S1)와;

상기 기준 단자와 상기 입력 단자의 사이에 접속된 제2 스위칭 소자(S2)를 구비하며,

상기 제1 스위칭 소자를 온으로 하여 상기 트랜지스터를 다이오드 접속시키고, 상기 제2 스위칭 소자를 온으로 하여 상기 제1 기준 전압을 상기 입력 단자에 인가하며, 제2 기준 전압(V_{GND})을 상기 전류 유입 단자에 인가하여 상기 트랜지스터의 임계전압(V_{TH})에 의존한 전하를 상기 커패시터에 축적한 후, 상기 제1 스위칭 소자를 오프로 하는 것을 특징으로 하는 임계전압 보상 회로.

청구항 2

제1항에 있어서, 상기 제1 및 제2 스위칭 소자는 트랜지스터(Q1, Q2)로 구성되고,

상기 전류원은 상기 임계전압 보상 대상인 트랜지스터의 도전형과 반대인 도전형의 트랜지스터(Q3)로 구성되는 것을 특징으로 하는 임계전압 보상 회로.

청구항 3

제1항에 있어서, 상기 제1 및 제2 스위칭 소자는 트랜지스터(Q1, Q2)로 구성되고,

상기 전류원은 상기 임계전압 보상 대상의 트랜지스터의 도전형과 반대인 도전형의 직렬 접속된 2개의 트랜지스터(Q3, Q4)로 구성되며,

상기 제1 스위칭 소자를 온으로 한 후 오프하기 전에, 상기 직렬 접속된 2개의 트랜지스터 중 상기 임계전압 보상 대상의 트랜지스터에 가까운 측의 트랜지스터(Q3)를 먼 측의 트랜지스터(Q4)보다 빨리 오프로 하는 것을 특징으로 하는 임계전압 보상 회로.

청구항 4

청구항 1에 기재된 임계전압 보상 회로와;

1쌍의 상보적 비트라인(BL, BLX)의 사이에 접속된 플립플롭형 센스 증폭기(SA)와;

상기 센스 증폭기의 플립플롭을 구성하며 임계전압 보상 대상인 1쌍의 트랜지스터(Q11,Q12)의 각 드레인에 전류를 공급하는 전류원(CCS)을 구비하는데,

상기 센스 증폭기는,

상기 임계전압 보상 대상인 1쌍의 트랜지스터의 각 게이트에 대응하는 각 드레인의 사이에 접속되고, 임계전압 보상시에 온으로 됨으로써, 대응하는 트랜지스터를 다이오드 접속시키는 1쌍의 트랜지스터(Q15, Q16)와;

상기 임계전압 보상 대상인 1쌍의 트랜지스터의 각 드레인과 상기 1쌍의 상보적 비트라인의 사이에 접속되며, 임계전압 보상시에 오프로 되는 1쌍의 트랜스퍼 게이트용 트랜지스터(Q17, Q18)와;

상기 임계전압 보상 대상인 1쌍의 트랜지스터의 각 게이트에 각각의 일단이 접속되고, 각 트랜지스터의 타단은 각각 대응하는 임계전압 보상 대상인 트랜지스터의 드레인이 연결되는 비트라인과 반대측의 비트라인에 접속되어 있는 1쌍의 커패시터(C1, C2)를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 5

제4항에 있어서, 상기 전류원은 다른 센스 증폭기와 공유되며 트랜지스터(Q23)로 구성되는 제1 전류원과, 상기 제1 전류원과 상기 임계전압 보상 대상인 1쌍의 트랜지스터의 각 드레인의 사이에 접속된 1쌍의 트랜지스터(Q21, Q22)로 구성되는 제2 전류원을 구비하는 것을 특징으로 하는 반도체 기억 장치.

청구항 6

제5항에 있어서, 임계전압 보상은 소정의 크기를 갖는 셀어레이 또는 블록 단위로 실행되며, 셀데이타의 독출/기록 또는 재생이 실행되는 셀어레이와는 다른 셀어레이에서 실행되는 것을 특징으로 하는 반도체 기억 장치.

청구항 7

제6항에 있어서, 어드레스 신호(a)에 응답하여 각각 활성화되고, 이것에 의해 셀데이타의 독출/기록 또는 재생이 행해지는 셀어레이를 선택하는 제1 셀어레이 선택 디코더(A,BX)와;

상기 어드레스 신호와 상보적인 어드레스 신호(ax)에 응답하여 각각 활성화되고, 이것에 의해 임계전압 보상이 실행되는 셀어레이를 선택하는 제2 셀어레이 선택 디코더(AX,B)와;

대응하는 셀어레이에 대해 셀데이타의 독출/기록 또는 재생이 행해질 경우에 각각 활성화되는 제1 센스 증폭기 드라이버(AI,B2)와;

대응하는 셀어레이에서 임계전압 보상이 실행될 경우에 각각 활성화되는 제2 센스 증폭기 드라이버(BI, A2)를 구비하며,

상기 제2 셀어레이 선택 디코더에 의해서 임계전압 보상이 실행되는 셀어레이가 선택되었을 때, 상기 셀어레이로 워드라인이 활성화되지 않도록 하여 상기 임계전압 보상을 실행하는 것을 특징으로 하는 반도체 기억 장치.

청구항 8

제7항에 있어서, 셀데이타의 재생이 실행될 때만 상기 재생이 실행되는 셀어레이와 다른 셀어레이에 대하여 임계전압 보상을 실행하고,

셀데이타의 독출/기록이 행해질 때에는 임계전압 보상을 실행하지 않는 것을 특징으로 하는 반도체 기억 장치.

청구항 9

제7항에 있어서, 셀데이타의 재생이 실행될 때에는 상기 재생이 행해지는 셀어레이와 다른 셀어레이에 대하여 임계전압 보상을 실행하고,

셀데이타의 독출/기록이 행해질 때에는 셀데이타의 독출/기록이 실행되는 셀어레이와 다른 셀어레이에 대하여 임계전압 보상을 실행할지 실행하지 않을지를 외부 명령에 의해 선택하는 것을 특징으로 하는 반도체 기억 장치.

청구항 10

청구항 5에 기재된 반도체 기억 장치에서 적어도 하나의 트랜지스터의 임계전압을 보상하는 방법에 있어서,

상기 센스 증폭기 내의 각 노드를 제1 전압과 동일하게 전치충전하는 단계와;

상기 임계전압 보상 대상인 1쌍의 트랜지스터의 각 게이트와 드레인의 사이를 연결하여 다이오드 접속시키는 단계와;

상기 1쌍의 커패시터의 각각의 타단에 상기 제1 전압이 인가되어 있는 상태로 하기 위해 상기 1쌍의 트랜스퍼 게이트용 트랜지스터를 오프로 하는 단계와;

상기 임계전압 보상 대상인 트랜지스터의 각 소오스에 제2 전압을 인가하는 단계와;

상기 제1 전류원을 구성하는 트랜지스터를 온으로 하며, 이어서 상기 제2 전류원을 구성하는 트랜지스터를 온으로 하여 보상 동작을 개시하는 단계와;

어느정도 보상이 이루어진 시점에서 상기 제2 전류원을 구성하는 트랜지스터를 오프로 하여, 그 오프 상태를 유지하여 보상 동작을 계속 실행하는 단계와;

보상이 충분히 이루어진 시점에서 상기 다이오드 접속된 트랜지스터를 오프로 하여, 보상된 정보를 상기 1쌍의 커패시터의 각각의 일단에 저장한 상태로 유지하는 단계와;

상기 임계전압 보상 대상인 트랜지스터의 각 소오스에 상기 제2 전압의 인가를 중지하는 단계와;

상기 제1 전류원을 구성하는 트랜지스터를 오프로 하고, 이어서 상기 1쌍의 트랜스퍼 게이트용 트랜지스터를 온으로 하여 보상 동작을 종료하는 단계를 포함하는 것을 특징으로 하는 임계전압 보상 방법.

청구항 11

제10항에 있어서, 상기 제1 전압은 Vcc를 고전위의 전원 전압으로 하여, 그 전압을 Vcc/2로 설정하고,

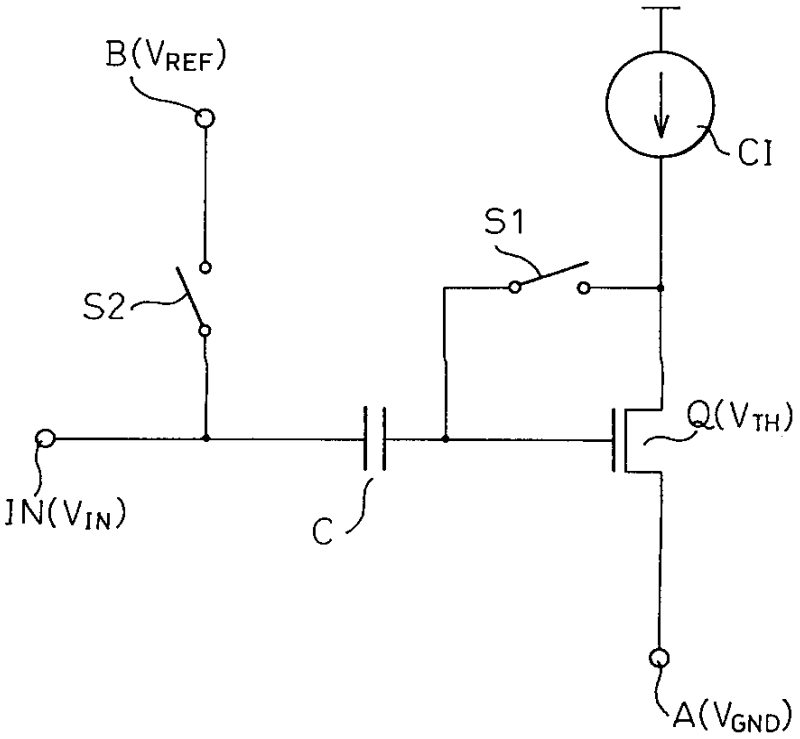
상기 제2 전압은 저전위의 전원 전압과 Vcc/2의 중간 전압인 Vss로 설정하는 것을 특징으로 하는 임계전압 보상 방법.

청구항 12

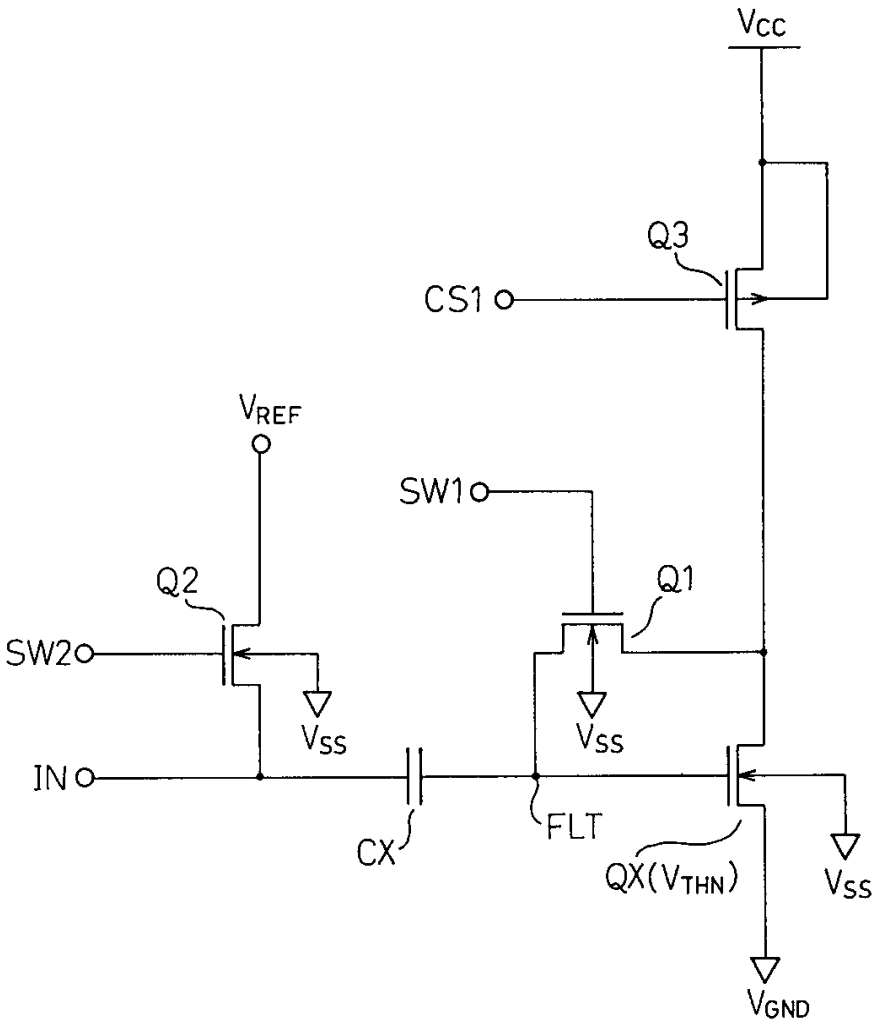
제10항에 있어서, 상기 센스 증폭기가 재생 동작을 행할 경우에, 셀의 재생 동작과 동시에 상기 셀의 재생 동작을 행하고 있는 장소와 다른 장소에서 상기 센스 증폭기가 재생 동작을 행하는 것을 특징으로 하는 임계전압 보상 방법.

도면

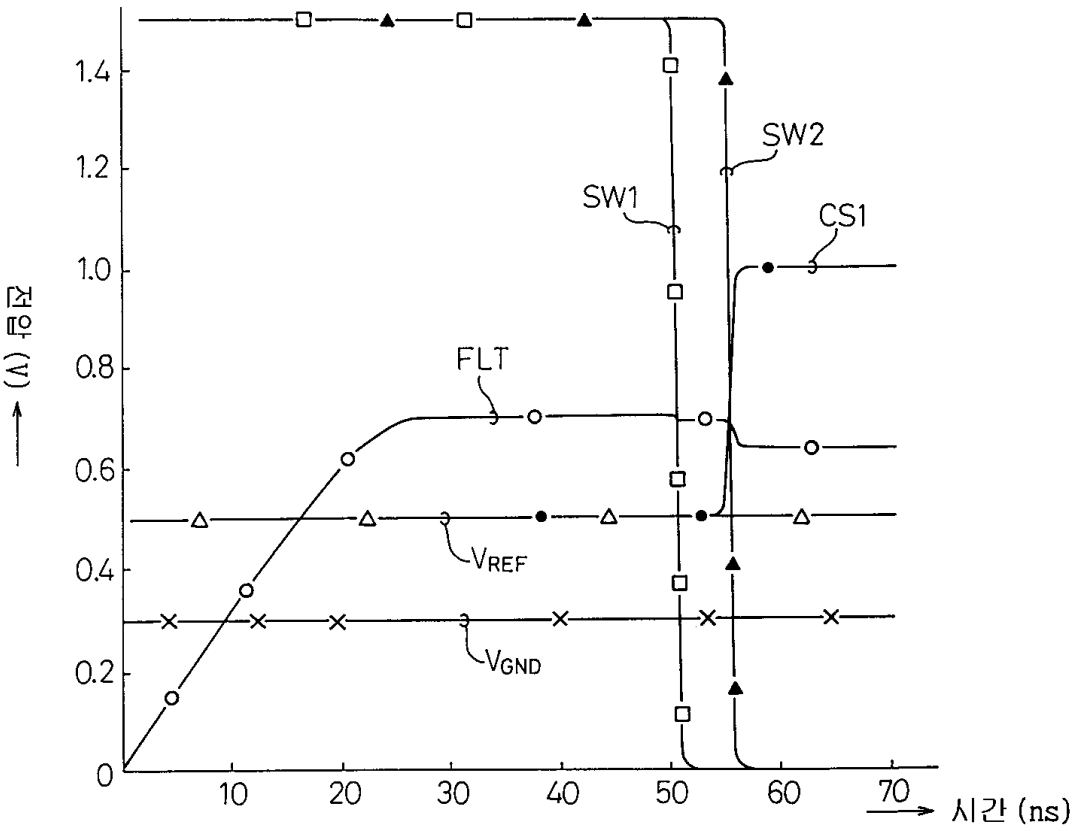
도면1



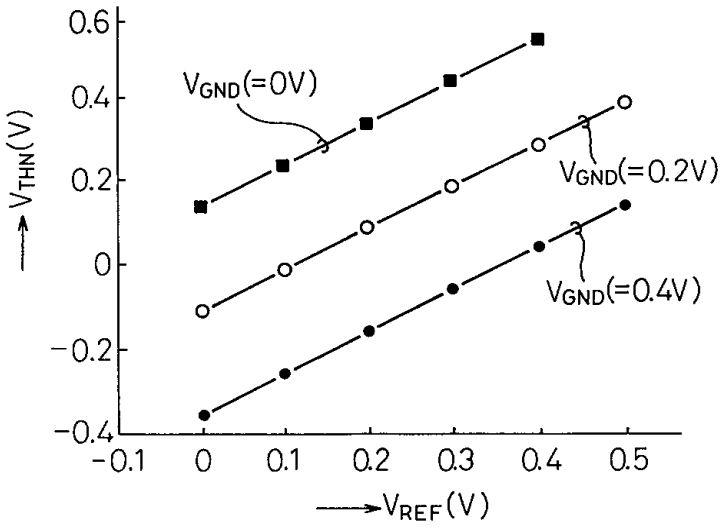
도면2



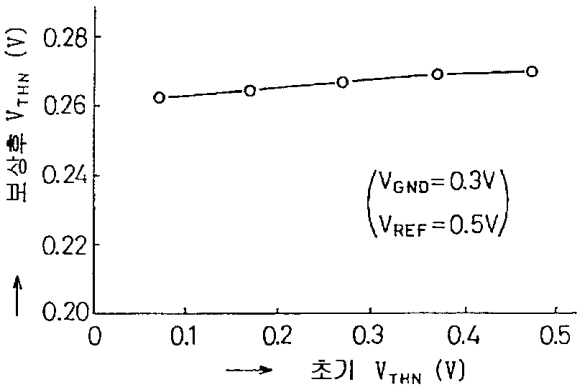
도면3


1.4
1.2
1.0
0.8
0.6
0.4
0.2
0
전압 (V)
SW2
SW1
CS1
FLT
VREF
VGND
10
20
30
40
50
60
70
시간 (ns)

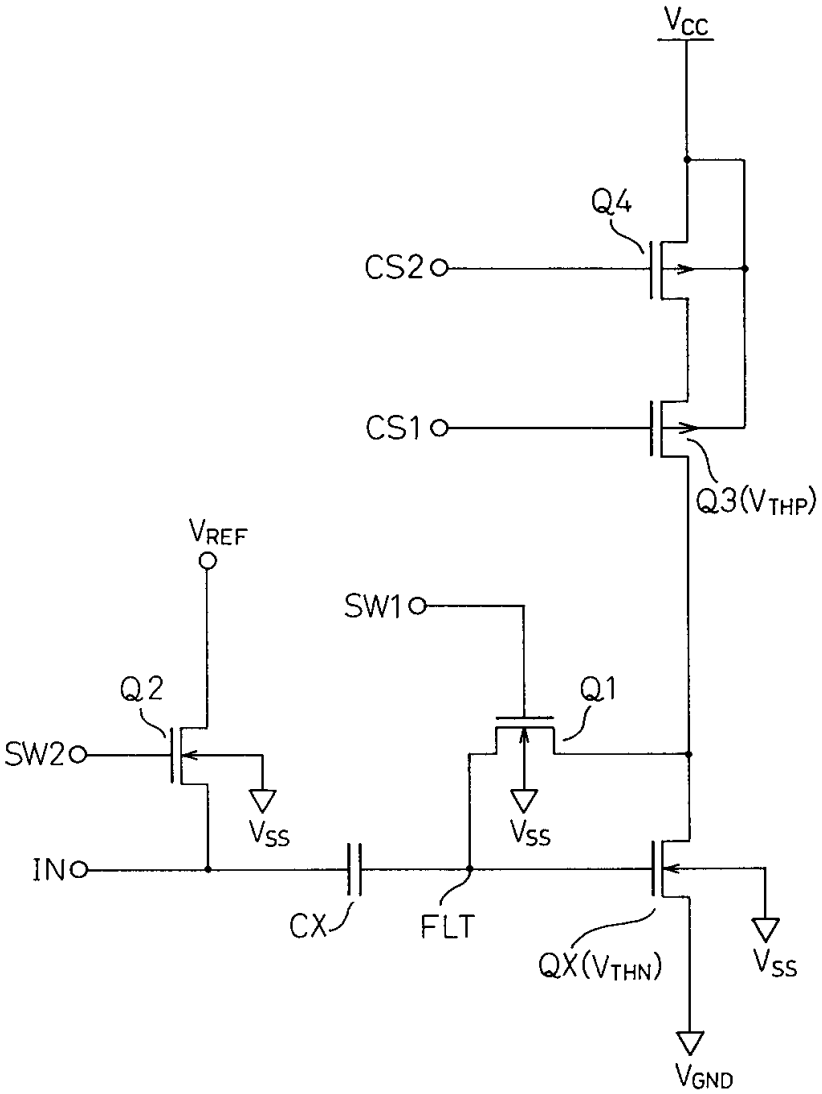
도면4


0.6
0.4
0.2
0
−0.2
−0.4
VTHN(V)
VGND(=0V)
VGND(=0.2V)
VGND(=0.4V)
−0.1
0
0.1
0.2
0.3
0.4
0.5
VREF(V)

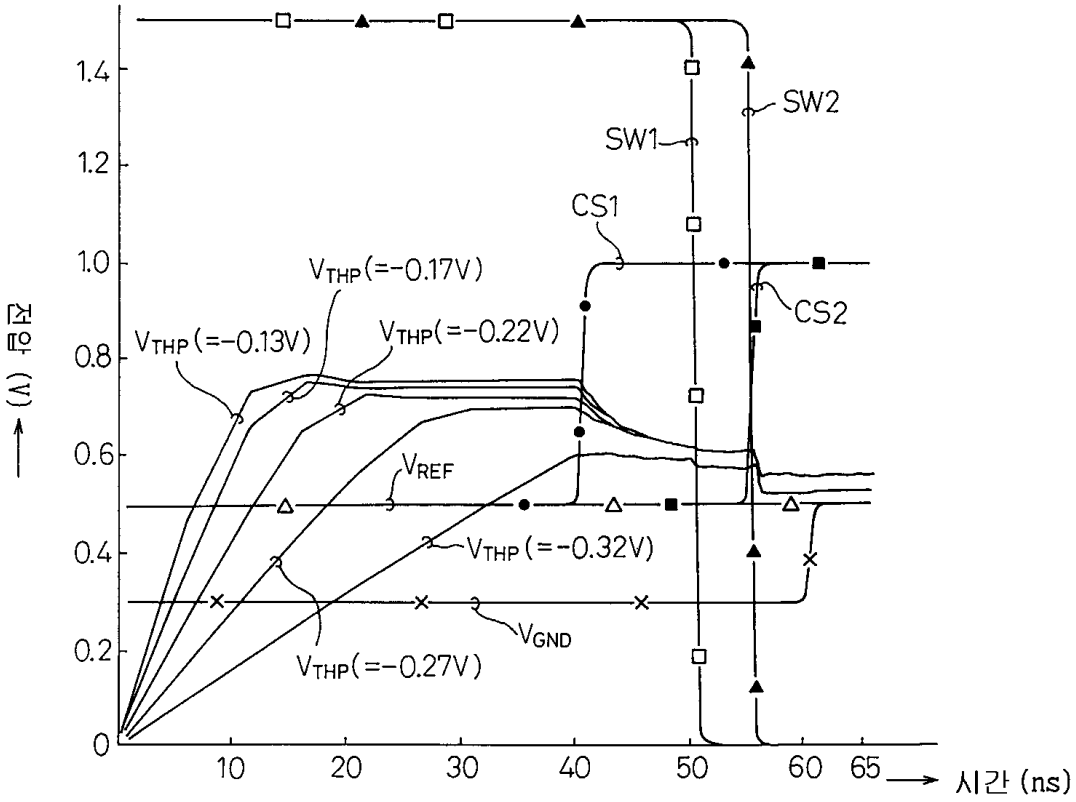
도면5


보상후 V_{THN} (V)
0.28
0.26
0.24
0.22
0.20
0
0.1
0.2
0.3
0.4
0.5
초기 V_{THN} (V)
V_{GND}=0.3V
V_{REF}=0.5V

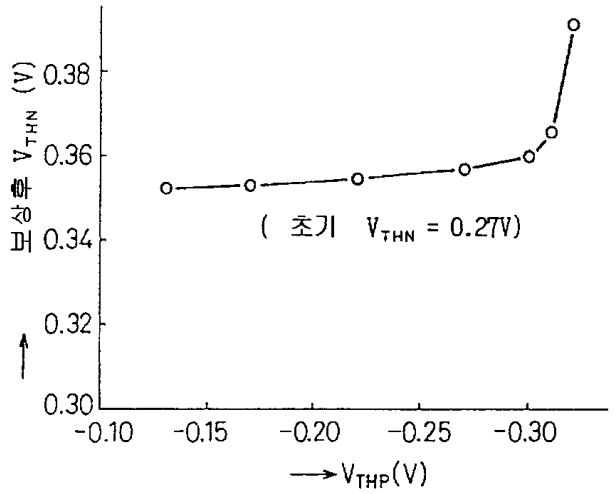
도면6


V_{CC}
Q4
CS2
CS1
Q3(V_{THP})
V_{REF}
SW1
Q2
Q1
SW2
V_{SS}
V_{SS}
IN
CX
FLT
QX(V_{THN})
V_{SS}
V_{GND}

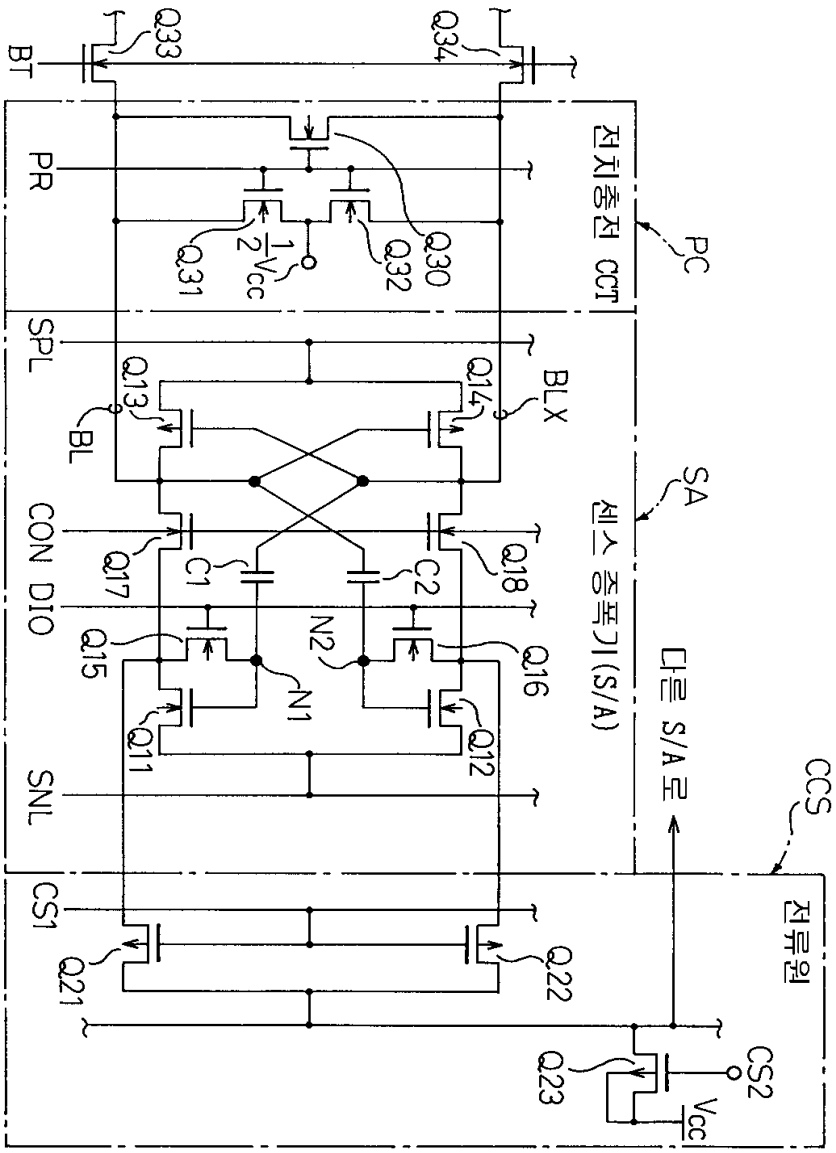
도면7


1.4
1.2
1.0
0.8
0.6
0.4
0.2
0
전압 (V)
SW2
SW1
CS1
CS2
VTHP(=-0.17V)
VTHP(=-0.13V)
VTHP(=-0.22V)
VREF
VTHP(=-0.32V)
VGND
VTHP(=-0.27V)
10
20
30
40
50
60
65
시간 (ns)

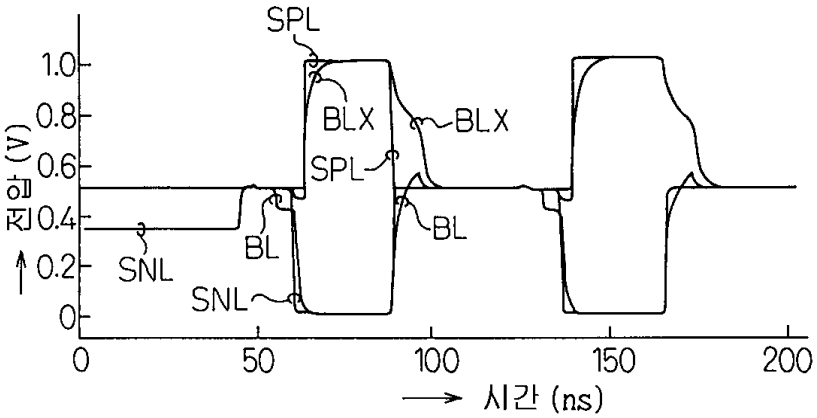
도면8


문상후 VTHN (V)
0.38
0.36
0.34
0.32
0.30
(초기 VTHN = 0.27V)
-0.10
-0.15
-0.20
-0.25
-0.30
VTHP(V)

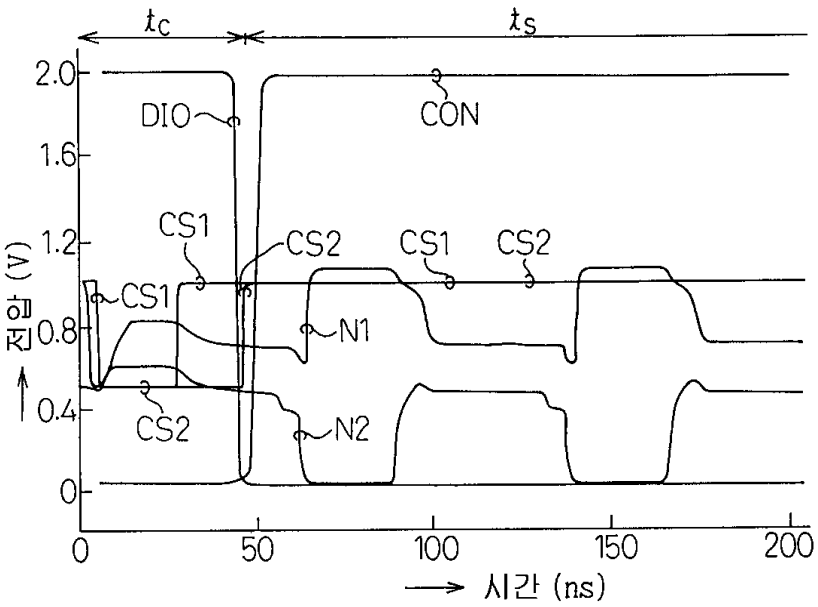
도면9


BT
Q33
Q34
PR
Q31
1/2 Vcc
Q32
Q30
전치충전 CCT
PC
SPL
Q13
Q14
BL
BLX
SA
센스 증폭기(S/A)
CON DIO
Q17
C1
C2
Q18
N2
Q15
Q16
N1
Q11
Q12
다른 S/A 로
SNL
CCS
CS1
Q21
Q22
전류원
Q23
CS2
Vcc

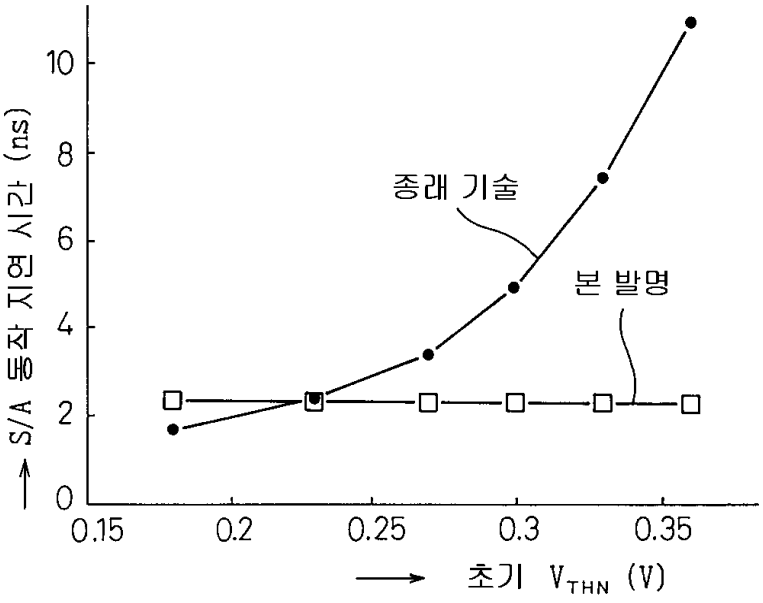
도면10a


SPL
BLX
BLX
SPL
BL
BL
SNL
SNL
1.0
0.8
0.6
0.4
0.2
0
전압 (V)
0
50
100
150
200
시간 (ns)

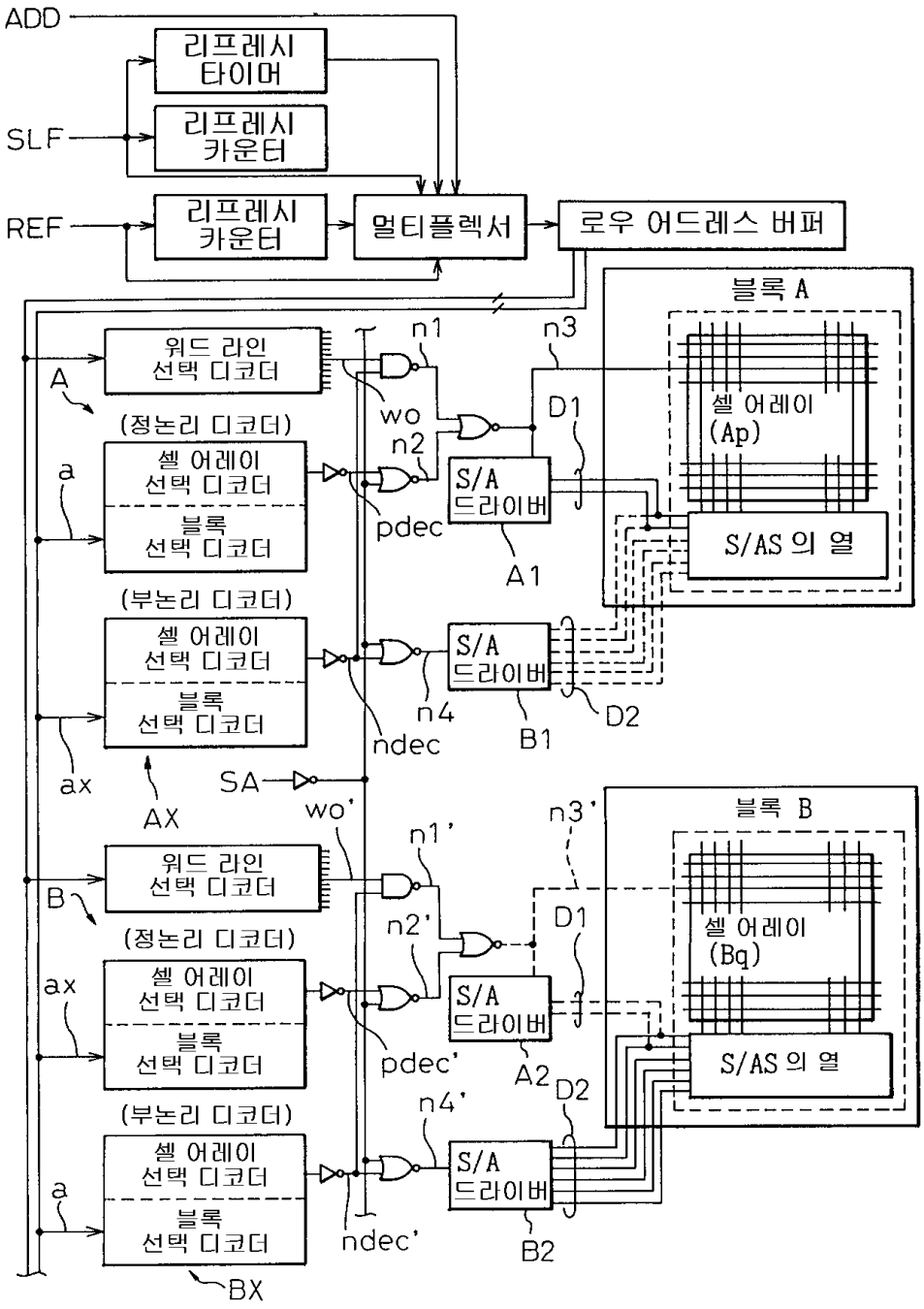
도면10b


tc
ts
2.0
1.6
1.2
0.8
0.4
0
전압 (V)
DIO
CON
CS1
CS2
CS1
CS2
CS1
N1
CS2
N2
0
50
100
150
200
시간 (ns)

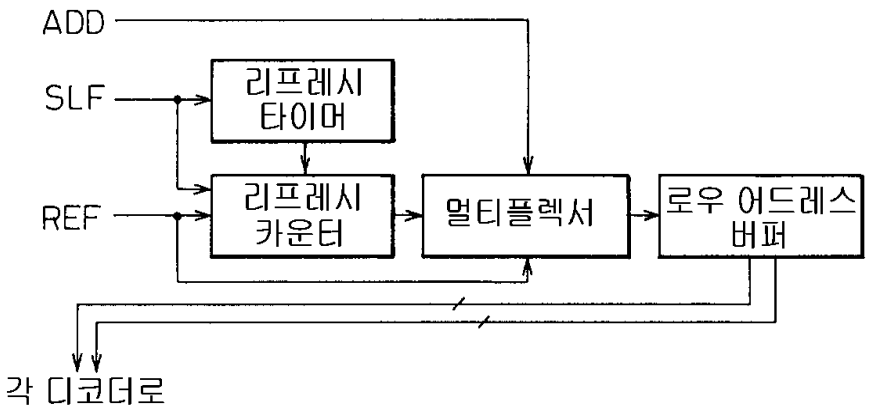
도면11


10
8
6
4
2
0
S/A 동작 지연 시간 (ns)
종래 기술
본 발명
0.15
0.2
0.25
0.3
0.35
초기 V_{THN} (V)

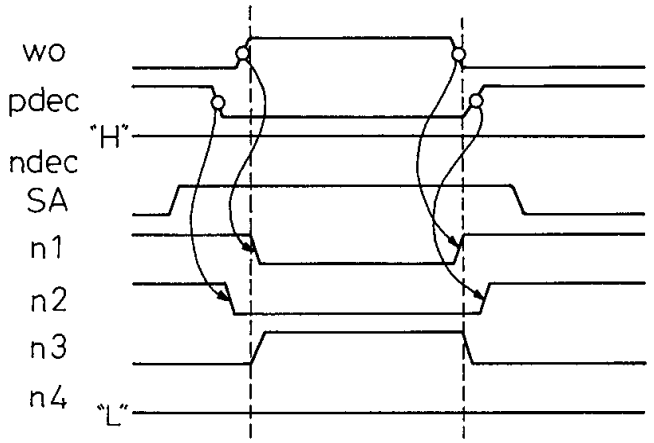
도면12


ADD
SLF
REF
리프레시 타이머
리프레시 카운터
리프레시 카운터
멀티플렉서
로우 어드레스 버퍼
블록 A
블록 B
워드 라인 선택 디코더
(정논리 디코더)
(부논리 디코더)
셀 어레이 선택 디코더
블록 선택 디코더
셀 어레이 (Ap)
셀 어레이 (Bq)
S/A 드라이버
S/AS 의 열
A
B
a
ax
AX
BX
SA
wo
wo'
pdec
pdec'
ndec
ndec'
n1
n2
n3
n4
n1'
n2'
n3'
n4'
D1
D2
A1
A2
B1
B2

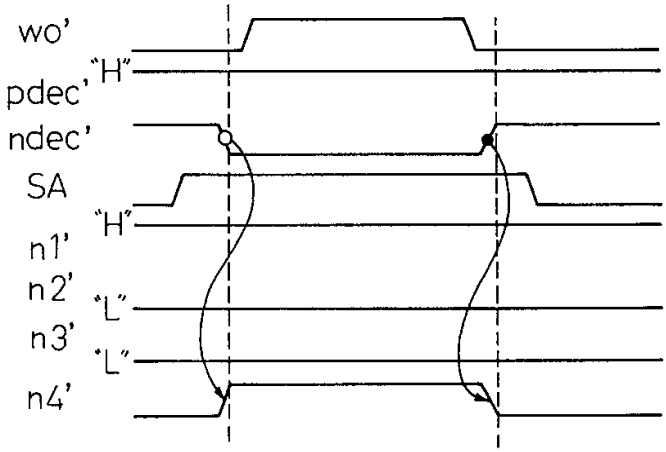
도면13



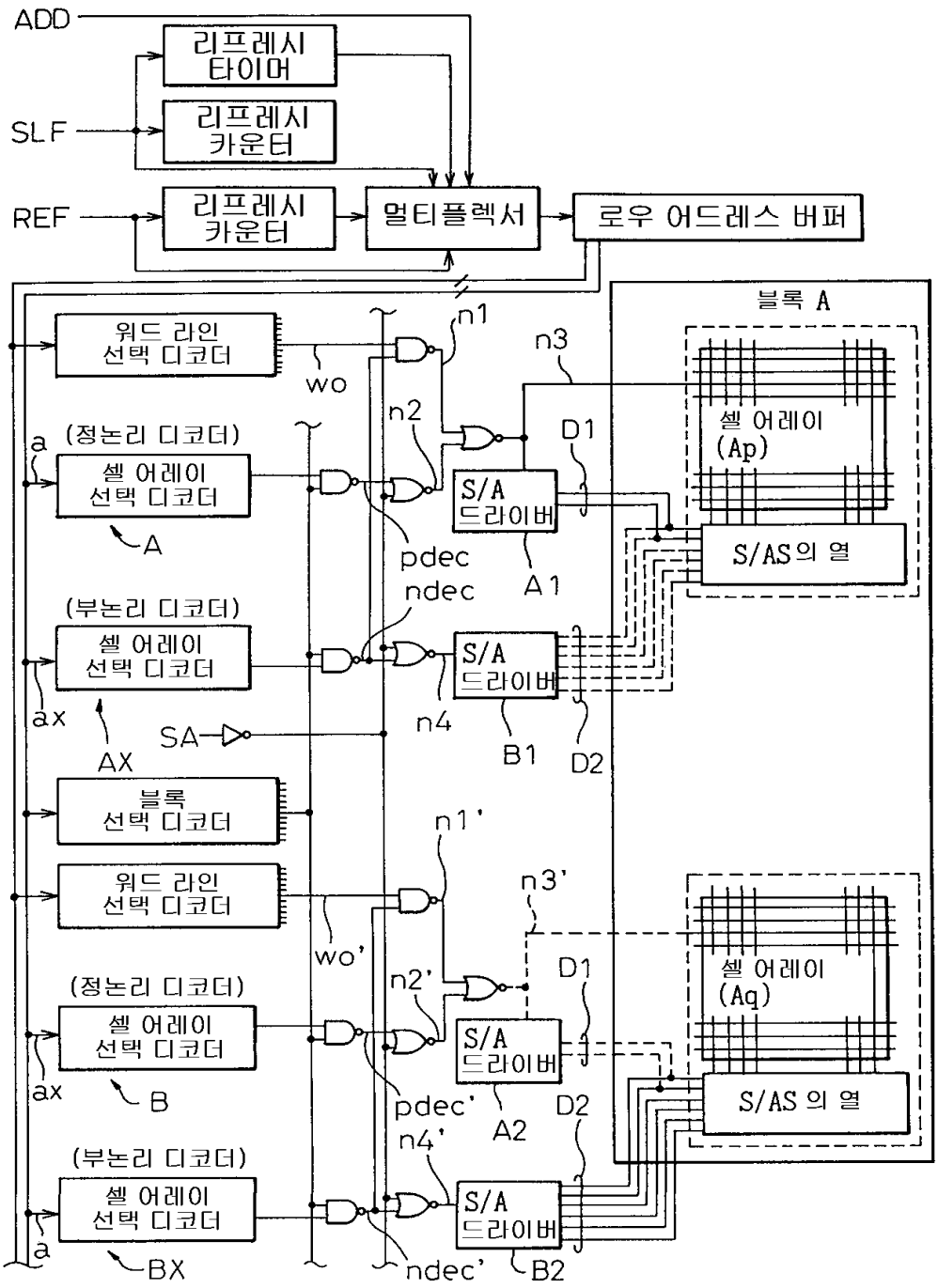
도면14a



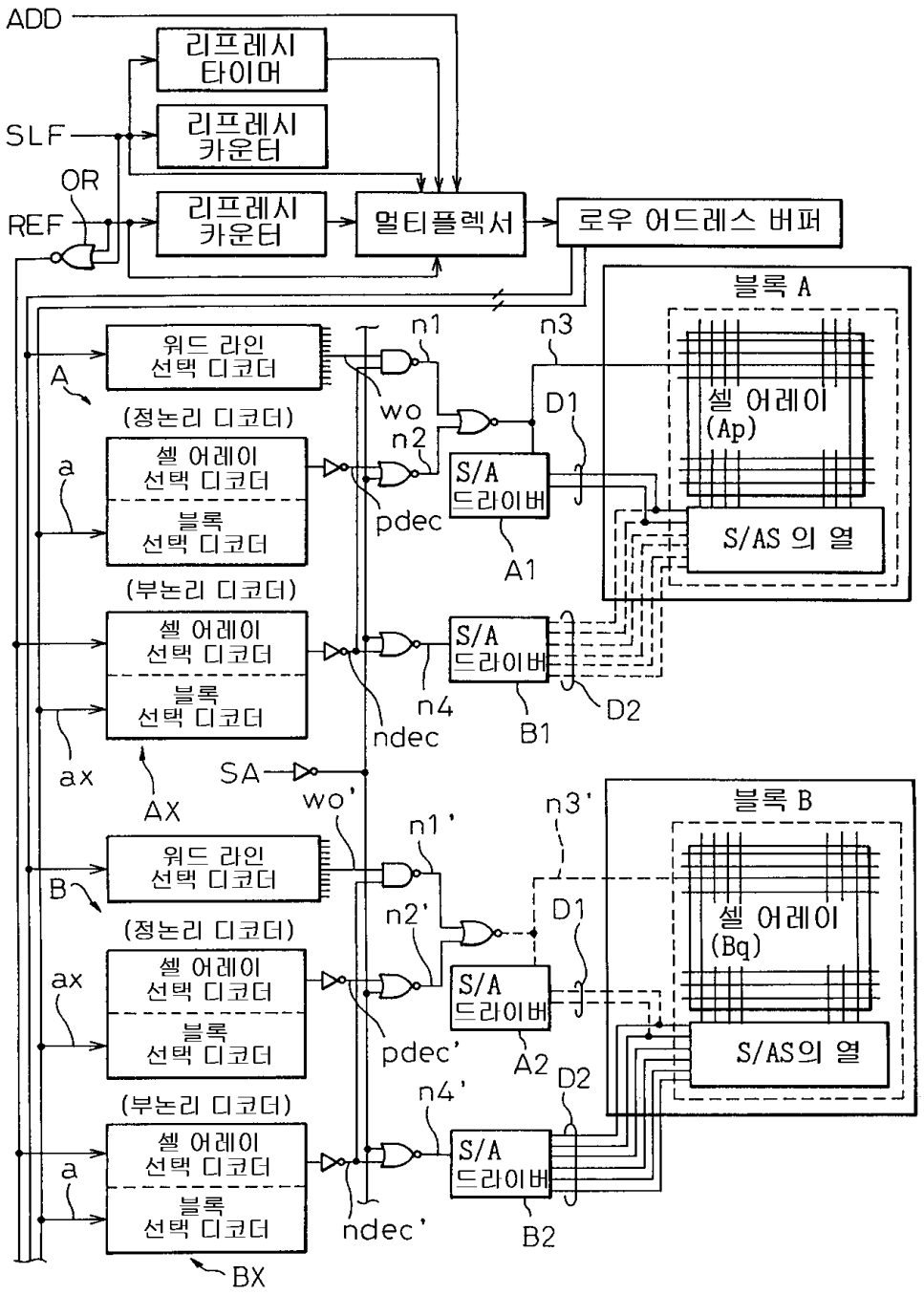
도면14b



도면15


ADD
SLF
REF
리프레시 타이머
리프레시 카운터
리프레시 카운터
멀티플렉서
로우 어드레스 버퍼
블록 A
워드 라인 선택 디코더
wo
n1
n3
n2
D1
셀 어레이 (Ap)
a
(정논리 디코더)
셀 어레이 선택 디코더
A
S/A 드라이버
S/AS의 열
pdec
ndec
A1
(부논리 디코더)
셀 어레이 선택 디코더
ax
AX
SA
n4
B1
D2
블록 선택 디코더
워드 라인 선택 디코더
n1'
n3'
wo'
n2'
D1
셀 어레이 (Aq)
(정논리 디코더)
셀 어레이 선택 디코더
ax
B
S/A 드라이버
S/AS 의 열
pdec'
A2
D2
n4'
(부논리 디코더)
셀 어레이 선택 디코더
a
BX
S/A 드라이버
ndec'
B2

도면16


ADD
리프레시 타이머
SLF
리프레시 카운터
OR
REF
리프레시 카운터
멀티플렉서
로우 어드레스 버퍼
블록 A
워드 라인 선택 디코더
A
(정논리 디코더)
셀 어레이 선택 디코더
블록 선택 디코더
a
(부논리 디코더)
셀 어레이 선택 디코더
블록 선택 디코더
ax
AX
SA
n1
n3
wo
n2
pdec
D1
S/A 드라이버
A1
셀 어레이 (Ap)
S/AS 의 열
n4
ndec
B1
D2
wo'
n1'
n3'
워드 라인 선택 디코더
B
(정논리 디코더)
셀 어레이 선택 디코더
블록 선택 디코더
ax
(부논리 디코더)
셀 어레이 선택 디코더
블록 선택 디코더
a
BX
n2'
pdec'
n4'
ndec'
A2
B2
블록 B
셀 어레이 (Bq)
S/AS의 열

도면17

