



República Federativa do Brasil
Ministério do Desenvolvimento, Indústria
e do Comércio Exterior
Instituto Nacional da Propriedade Industrial.

(21) **PI 0712764-2 A2**

(22) Data de Depósito: 13/06/2007
(43) Data da Publicação: 02/10/2012
(RPI 2178)



(51) *Int.Cl.:*

H04L 7/02

G06F 1/08

H04L 7/00

H03K 5/1252

(54) **Título:** CIRCUITO MULTIPLEXADOR DE SINAL DE RELÓGIO ISENTO DE GLITCH E MÉTODO DE OPERAÇÃO

(30) **Prioridade Unionista:** 14/06/2006 US 11/453,733

(73) **Titular(es):** Qualcomm Incorporated

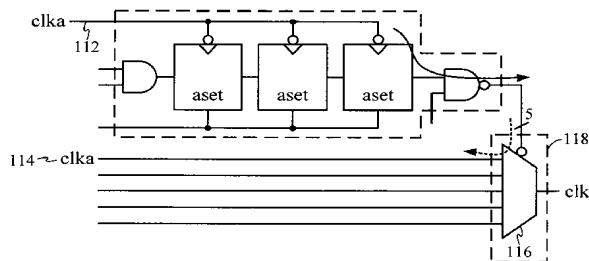
(72) **Inventor(es):** Martin Saint-Laurent, Yan Zhang

(74) **Procurador(es):** Montauray Pimenta, Machado & Lioce

(86) **Pedido Internacional:** PCT US2007071147 de 13/06/2007

(87) **Publicação Internacional:** WO 2007/147017 de 21/12/2007

(57) **Resumo:** CIRCUITO MULTIPLEXADOR DE SINAL RELÓGIO ISENTO DE GLITCH E MÉTODO DE OPERAÇÃO. Técnicas para o projeto e uso de um processador de sinais digitais, incluindo (porém não limitado a) para processamento de transmissões em um sistema de comunicações (por exemplo, CDMA). Glitch reduzido ocorre na comutação a partir de uma primeira entrada de relógio para uma segunda entrada de relógio que aciona um multiplexador de relógio. O multiplexador de relógio recebe uma primeira entrada de relógio e provê uma saída de relógio e determina um nível de saída de fase baixa na saída de relógio em resposta a um nível de entrada de fase baixa na primeira saída de relógio. Por um período de tempo limitado, um nível de saída de fase baixa é forçado independente no nível de fase do primeiro sinal de entrada de relógio. O multiplexador de relógio recebe uma segunda entrada de relógio e determina um nível de entrada de fase baixa no segundo sinal de entrada de relógio. A comutação para fornecer a saída de relógio em resposta à segunda entrada de relógio ocorre durante o nível de entrada de fase baixa no segundo sinal de entrada de relógio. A seguir, a saída do multiplexador de relógio segue o nível de fase do segundo sinal de relógio.



**"CIRCUITO MULTIPLEXADOR DE SINAL DE RELÓGIO ISENTO DE
GLITCH E MÉTODO DE OPERAÇÃO"**

CAMPO

A matéria revelada refere-se a um conjunto de
5 circuitos digitais, como um conjunto de circuitos digitais
para processamento de sinais digitais, comunicações sem fio
e outras aplicativos. Mais particularmente, a presente
revelação refere-se a um circuito multiplexador de sinal de
relógio isento de glitch aperfeiçoado, como pode ser útil
10 para muitos tipos de circuitos digitais.

DESCRIÇÃO DA TÉCNICA RELACIONADA

O uso de técnicas de acesso múltiplo por divisão
de código (CDMA) em um sistema de comunicação de acesso
múltiplo é revelado na Patente US número 4.901.307,
15 intitulado "SPREAD SPECTRUM MULTIPLE ACCESS COMMUNICATION
SYSTEM USING SATELLITE OR TERRESTRIAL REPEATERS," e Patente
US número 5.103.459, intitulado "SYSTEM AND METHOD FOR
GENERATING WAVEFORMS IN A CDMA CELLULAR TELEHANDSET
SYSTEM", ambas cedidas à cessionária da matéria
20 reivindicada. Um sistema CDMA é tipicamente projetado para
se conformar a um ou mais padrões. Um de tais padrões é
oferecido por um consórcio denominado o "3rd Generation
Partnership Project" (3GPP) e incorporado em um conjunto de
documentos incluindo documentos nos. 3G TS 25.111, 3G TS
25 25.212, 3G TS 25.213 e 3G TS 25.214, que são prontamente
disponíveis ao público. O padrão 3GPP é doravante
mencionado como o Padrão W-CDMA.

Em um aperfeiçoamento adicional, tecnologia de
banda larga W-CDMA, um tipo específico de chipset para
30 aparelhos telefônicos WCDMA é conhecido como a linha de
chipsets Mobile Station Modem™ (chipset MSM™). A linha de
chipsets de chipset MSM é oferecida pela presente

cessionária da matéria revelada e, pelo menos alguns de tais chipsets utilizam tecnologia CMOS de 65 nm e interface com transceptor de chip único CMOS RF e dispositivos receptores de múltiplas bandas, para fornecer grande
5 eficiência em termos de custo. A linha de chipsets de chipset MSM, por exemplo, suporta redes EDGE, GPRS e GSM, e provê capacidades de multimídia integrados em processamento de imagem e câmera, fluxo contínuo de vídeo, reprodução, gravação e telefonia de vídeo; fluxo contínuo e reprodução
10 de codecs de áudio populares como MP3, AAC/aacPlus™ e aacPlus aperfeiçoado; conectividade de Bluetooth®; gráficos 2D/3D; bem como gerenciamento de direitos digitais (DRM) em conformidade com OMA 2.0. Além disso, alguns chipsets MSM fornecem interoperabilidade entre soluções de
15 Radio-on-Chip for Mobile™ (ROCM) de chip único, fornecendo aos mesmos a capacidade de suportar tecnologia LAN sem fio (WLAN) 802.11g e 802.11a/g.

Chipset MSM e chipsets similares utilizam, freqüentemente múltiplos relógios que alimentam múltiplos
20 subsistemas. Esses relógios são genericamente assíncronos entre si, porque para operar adequadamente os vários subsistemas, requer diferentes relógios em tempos diferentes. Com relógios de multifrequência cada vez mais sendo utilizados nesses e em chipsets similares,
25 especialmente no campo de comunicações, é freqüentemente necessário comutar a fonte de uma linha de relógio enquanto o chip está rodando. Isso é normalmente implementado por multiplexar duas ou mais fontes de relógio de frequência diferente em hardware e controlar a linha de selecionar
30 multiplexador por lógica interna. As duas frequências de relógio poderiam ser totalmente não relacionadas entre si ou podem ser múltiplas entre si. Em qualquer caso, há uma

chance de gerar um glitch indesejável na linha de relógio no momento da comutação. Um glitch na linha de relógio é perigoso para o sistema inteiro, visto que poderia ser interpretado como uma borda de relógio de captura por
5 alguns registros enquanto perdido por outros ou fornecer muito pouco tempo para terminar as comutações em programas.

Uma abordagem para endereçar desse problema é fornecer um circuito para selecionar e comutar a partir de uma para outra de uma pluralidade de fontes de relógio
10 tendo diferentes frequências sem gerar pequenos pulsos, glitches elétricos, condições metaestáveis, ou outras anomalias é descrita na Patente US no. 4.853.653. Em uma tal solução, um seletor de relógio de múltiplas entradas é fornecido para comutar de forma assíncrona de um para outro
15 de uma pluralidade de osciladores que geram sinais de relógio tendo diferentes frequências. O seletor de relógio tem uma pluralidade de seções correspondendo à pluralidade de osciladores. Cada seção do seletor de relógio compreende uma porta AND inicial, um par de flip-flops, e uma porta
20 AND final todos conectados em série. O sinal do oscilador para cada seção é aplicado à porta AND final e aos flip-flops como uma entrada de relógio. Um sinal invertido a partir do segundo flip-flop de cada seção é realimentado como uma entrada para as portas AND iniciais de todas as
25 outras seções. Um sinal de seleção de oscilador também é fornecido como uma entrada para a porta AND inicial de cada seção. As saídas de todas as portas AND finais passam através de uma porta OR que fornece a saída de relógio selecionada. O seletor de relógio comuta entre osciladores
30 como determinado pelos sinais de seleção sem produzir pequenos pulsos, condições metaestáveis, ou outros sinais anômalos. Entretanto, essa solução requer que as linhas de

seleção permaneçam estáveis até conclusão da operação de comutação, de outro modo o circuito pode produzir glitches.

Outra abordagem utiliza um "multiplexador de comutação de fase". O multiplexador de comutação de fase, 5 infelizmente, demonstra o comportamento indesejável de comprimir algumas fases de relógio. Também está sujeito a metaestabilidade. Metaestabilidade existe quando o nó de armazenagem de um elemento seqüencial vai para um estado entre um "um" ideal e um "zero" ideal. Um estado 10 metaestável pode ser interpretado de forma diferente pelo multiplexador de relógio e habilitar realimentação do outro flip flop. Portanto, é necessário que bordas de captura dos dois flip flops e borda de lançamento do sinal SELECT devam ser separados entre si para evitar qualquer interfaceamento 15 assíncrono.

Por conseguinte, há a necessidade de uma solução para o problema de comutar entre relógios em um modo isento de compressão de fase e isento de glitch.

Há necessidade de tempo de comutação rápida e 20 simplicidade em circuitos de comutação de relógio que podem ser utilizados para chipsets de sistemas móveis e aplicativos similares.

Há uma necessidade adicional de um circuito de comutação de sinal de relógio que forneça uma baixa 25 probabilidade de metaestabilidade ou outras anomalias durante o processo de comutação.

SUMÁRIO

São reveladas técnicas para fornecer um circuito multiplexador de sinal de relógio isento de glitch novo e 30 aperfeiçoado, cujas técnicas melhoram tanto a operação de chipsets de processamento de sinais digitais para aplicativos de software cada vez mais potentes incluindo aplicativos que operam em computadores pessoais,

assistentes pessoais digitais, aparelhos telefônicos sem fio e dispositivos eletrônicos similares, bem como aumentar a velocidade de processamento digital associada, uso de energia e qualidade de serviço.

5 De acordo com um aspecto da matéria revelada, são fornecidos um método e sistema que evitam glitches em comutação de sinal de relógio a partir de uma primeira entrada de relógio acionando um circuito multiplexador de relógio para uma segunda entrada de relógio acionando o
10 multiplexador de relógio. O método e sistema são providos para receber um primeiro sinal de entrada de relógio em um circuito multiplexador de relógio e fornecer uma saída de sinal de relógio a partir do circuito de multiplexador de relógio em resposta ao circuito multiplexador de relógio
15 que recebe o primeiro sinal de entrada de relógio. A matéria revelada determina um nível de saída de fase baixa na saída de sinal de relógio em resposta a um nível de entrada de fase baixa na primeira saída de sinal de relógio e força, por um período limitado de tempo, o circuito
20 multiplexador de relógio para manter o nível de saída de fase baixa independente do nível de fase do primeiro sinal de entrada de relógio. O circuito multiplexador de relógio também recebe um segundo sinal de entrada de relógio e determina a presença de um nível de entrada de fase baixa
25 no segundo sinal de entrada de relógio. A comutação a partir do fornecimento da saída de sinal de relógio em resposta ao primeiro sinal de entrada de relógio para fornecer a resposta de sinal de relógio em resposta ao segundo sinal de entrada de relógio ocorre enquanto mantém
30 o nível de saída de fase baixa e durante o nível de entrada de fase baixa no segundo sinal de entrada de relógio. Então, o método e sistema permitem que a saída do circuito

multiplexador de relógio siga o nível de fase da segunda entrada de sinal de relógio após a etapa de comutação.

Essas e outras vantagens da matéria revelada, bem como características novas adicionais, serão evidentes a partir da descrição fornecida aqui. A intenção desse resumo não deve ser uma descrição abrangente da matéria reivindicada, porém em vez disso fornecer uma visão geral curta de um pouco da funcionalidade da matéria. Outras sistemas, métodos, características e vantagens aqui fornecidos tornar-se-ão evidentes para uma pessoa versada na técnica após exame das seguintes figuras e descrição detalhada. Pretende-se que todos esses sistemas adicionais, métodos, características e vantagens sejam incluídos nessa descrição, estejam compreendidos no escopo das reivindicações em anexo.

BREVE DESCRIÇÃO DOS DESENHOS

As características, natureza e vantagens da matéria revelada tornar-se-ão mais evidentes a partir da descrição detalhada exposta abaixo quando tomada em combinação com os desenhos nos quais caracteres de referência similares identificam de forma correspondente do início ao fim e onde:

A figura 1 é um diagrama de blocos simplificado de um sistema modem de estação móvel que pode implementar a matéria revelada;

A figura 2 demonstra o conceito de glitch de circuito de relógio como tratado pela matéria revelada;

A figura 3 ilustra aspectos de um encadeamento de controle de relógio relevante para a presente revelação; e

A figura 4 ilustra aspectos de um percurso de fase como apropriado para a presente revelação;

As figuras 5 e 6 mostram um circuito de comutação de relógio que incorpora aspectos da matéria revelada;

A figura 7 provê um fluxograma funcional que representa etapas específicas da presente revelação; e

A figura 8 é um fluxograma para os aspectos de correção de metaestabilidade da matéria revelada.

5 **DESCRIÇÃO DETALHADA DAS MODALIDADES ESPECÍFICAS**

A matéria revelada para um circuito multiplexador de sinal de relógio isento de glitch novo e aperfeiçoado pode encontrar uso para aplicativos de processamento de sinais de qualquer tipo para as quais os benefícios aqui
10 apresentados podem ser vantajosos. Uma tal aplicação aparece em telecomunicações e, em particular, em aparelhos telefônicos sem fio que empregam um ou mais circuitos de processamento de sinais digitais.

A figura 1 é um diagrama de blocos simplificado
15 de um chipset de modem de estação móvel (MSM) 10 que pode implementar a matéria revelada. Entenda, entretanto, que a matéria atualmente revelada pode ser aplicada a muitos tipos diferentes de chipsets que operam em muitos ambientes diferentes. A apresentação aqui feita, portanto, provê uma
20 demonstração de um tal uso. Em particular, a figura 1 mostra chipset MSM 10 no qual a matéria atualmente revelada pode encontrar aplicação vantajosa. O chipset MSM 10 inclui aplicativos de conectividade 12, como interface de teclado 14, aplicação SD/SDIO 16, conexão OTG USB 18 e dispositivos
25 de transmissão e recepção assíncronos universais (UART) como UART1 20, modem de interface de unidade de recepção (RUIM1)/UART2 22 e UART3/RUIM2 24. A entrada de vídeo para o chipset MSM 10 pode vir através de entrada de câmera CCD CMOS 26 para o conjunto de circuitos de processamento de
30 câmera 28 e cliente MODI 30, enquanto interfaces de áudio incluem alto-falante de aparelho telefônico 32, receptor de telefonia estéreo 34, microfone 36 e entrada estéreo 38 para realizar interface com o conjunto de circuitos de

áudio 40. O conjunto de circuitos de áudio 40 pode ser capaz de suportar aplicativos como MP3, funções AAC/aacPlus, EVRC, QCELP, EVRC, QCELP, AMR, CMX, e aplicativos MIDI.

5 No exemplo de chipset MSM 10 da figura 1, barramentos de memória dupla 42 fazem interface com vários circuitos funcionais de memória e relacionados. Esses podem incluir EBI 44 para fazer interface com os dispositivos de memória como SDRAM 46, P SRAM de rajada 48, e NOR de rajada 10 50, e EB2 52 para fazer interface com LCD 54, NAND 56, e outros dispositivos 58. Além disso, Hospedeiro MDDI (interface digital de display móvel) 60 pode fornecer uma interface com LCD 54. O chipset MSM 10 pode incluir também conjunto de circuitos gráficos 62 para suportar funções 3D, 15 2D, OpenGL®ES e conjunto de circuitos de vídeo 64 para suportar funções MPEG-4, H.263 e H.264. Além disso, funções de processamento, como aquelas de processador CDMA 66, processador GSM/GPRS 68, processador gpsOne 70 e processador BT 1.2 72 podem ser incluídas no chipset MSM 20 10. Com a provisão de processos de conversão de sinais e similares, chipset MSM 10 pode incluir interface de barramento serial (SBI) 74, conversor A/D de recepção (Rx ADC) 76, e conversor D/A de transmissão (Tx DAC) 78.

 O chipset MSM 10 pode incluir adicionalmente 25 vários processadores de chipset, tal como o processador QDSP 4000, 80, da Qualcomm Inc., o processador ARM 926EJS, 82, da Arm, Inc., e o Modem QDSP 4000 86 da Qualcomm Inc., bem como um ou mais circuitos de loop travado por fase (PLL) 86. PLLs 86 auxiliam a geração de um sinal de 30 relógio. Essencialmente qualquer porção de chipset MSM 10 que necessita de um sinal de relógio para operação de circuito digital pode extrair de PLLs 86 para tais sinais de relógio. Além disso, pode haver muitos PLLs 86, por

exemplo, seis ou mais, operando em diferentes modalidades de chipset MSM 10.

Às vezes é possível ter um PLL 86 fornecendo um relógio para duas ou mais porções de chipset MSM 10. Isso é
5 vantajoso a partir de um ponto de vista de uso de energia em que o mesmo PLL 86 pode fornecer um sinal de relógio para duas ou mais porções de chipset MSM 10, por exemplo, para o processador CDMA 66, processador GSM/GPRS 68, e processador gpsOne 70. Com PLLs 86 fornecendo relógios de
10 múltiplas frequências para os vários componentes do chipset MSM 10, é frequentemente necessário comutar a fonte de uma linha de relógio enquanto o componente respectivo está rodando. O controle de qual PLL 86 pode fornecer o sinal de relógio desejado é o foco da presente revelação, com uma
15 modalidade aparecendo abaixo nas figuras 5 a 8.

A matéria revelada provê multiplexação de duas fontes de relógio de frequência diferentes em hardware e controle da linha de seleção de multiplexador por lógica interna. As duas frequências de relógio poderiam ser
20 totalmente não relacionadas entre si, podem ter alguma relação arbitrária entre si, ou podem ser múltiplos entre si. Em qualquer caso, a presente revelação evita a geração de um glitch na linha de relógio no momento da comutação. Um glitch na linha de relógio é perigoso para todo o
25 chipset MSM 10, visto que poderia ser interpretado como uma borda de relógio de captura por alguns registros enquanto perdido por outros ou fornecer pouco tempo para terminar as computações em programas.

A figura 2 ilustra mais especificamente o que é
30 aqui para ser entendido como "glitch" em um circuito de relógio. O sinal clk 90 representa a presença de glitch 106 na comutação a partir do sinal clka 92 para o sinal clkb 94. Um multiplexador de sinal de relógio pode responder a

um sinal de seleção (no momento indicado pela linha 96) para comutar a partir de clka para o sinal clkb 94 menos do que uma duração de fase clka completa 98 após a borda de subida clka 100 e antes de uma borda de descida clkb 102 da duração de fase de clkb 104. Em tal ocorrência, o sinal clk 90 demonstra um glitch 106 onde a fase elevada do relógio de saída é comprimida. Uma tal condição pode, por exemplo, afetar adversamente a operação inteira do chipset MSM 10.

Ao contrário, um multiplexador projetado especificamente para multiplexar os sinais de relógio. Permite-se que as linhas de seleção comutem de forma assíncrona. O circuito de relógio assegura que no relógio de saída 90 nunca ocorrerá glitches (isto é, sua fase elevada ou baixa não é comprimida). A matéria revelada provê um tal circuito de comutação de relógio.

Violações de tempo de configuração e espera podem levar a metaestabilidade, que pode existir por um período de tempo indeterminado. Teoricamente, portanto, o tempo necessário para resolver o estado da trava pode ser então infinito. Haverá sempre pontos no domínio contínuo que são eqüidistantes (ou quase) a partir dos pontos do domínio discreto, tomando uma decisão com relação a qual ponto discreto para selecionar um ponto difícil e potencialmente longo. Se as entradas para um árbitro ou flip-flop chegarem quase simultaneamente, o circuito mais provavelmente atravessará um ponto de metaestabilidade. A matéria revelada, como será mostrado abaixo, trata desse problema na provisão da comutação de sinal de relógio isento de glitch desejado.

Na figura 3, a linha clka 112 provê o sinal clka 92 para o encadeamento de controle de relógio (CCP) 114. O CCP 114 pode ser uma de um número de CCPs que controlam as entradas no circuito multiplexador 116. Isto é, o sinal

clka 112 é uma, por exemplo, de 5 (cinco) entradas de sinal de relógio possíveis a partir das quais o circuito multiplexador 116 pode gerar o sinal de relógio de saída 118.

5 A figura 4 mostra aspectos de temporização de sinal de relógio aplicável a CCP 114 para demonstrar graficamente o problema de glitch em um circuito digital. O percurso de temporização crítica da CCP 114 aparece como exemplos de comutação 120 e 122. No percurso de fase 120, a
10 borda de descida 124 do sinal de seleção de multiplexador (baixo ativo) 126 deve ser estável antes da borda de subida 128 do sinal de relógio clka 92 para permitir sua propagação não distorcida através do multiplexador 116. Uma
15 borda de descida tardia 124 cortará a fase alta do sinal de relógio clka 92. De modo semelhante, a borda em elevação 130 da seleção de multiplexador 132 deve ser também estável antes da borda de subida 134 do sinal de relógio clka 92 para evitar um glitch na saída clk 118 do multiplexador 116.

20 A figura 5 ilustra o circuito de comutação de relógio 150 no qual a presente revelação pode ser vantajosamente empregada. O circuito de comutação de relógio 150 inclui conjunto de circuitos decodificadores 152 para receber entradas de init., req1, req0, e parar. Os
25 sinais de controle de seleção são alimentados para encadeamento de controle de relógio 154 para o sinal clka, encadeamento de controle de relógio 156 para o sinal clk b, encadeamento de controle de relógio 158 para o sinal clk c, e encadeamento de controle de relógio 160 para o sinal
30 clkd. O circuito multiplexador 5-para-1 162 recebe sinais de relógio clka, clk b, clk c, clkd e clkt (relógio de teste). Além disso, e de importância específica para a matéria revelada, o circuito de comutação de relógio 150

provê conjunto de circuitos de travamento 164 para travar as linhas de solicitação internas reqa, reqb, reqc, reqd e desse modo, evitar glitch.

O conjunto de circuitos de travamento 164 inclui
5 adicionalmente linhas de seleção iniciais 166 e linhas de seleção tardias 168. A figura 6, mostra com mais especificidade uma modalidade das entradas para os encadeamentos de controle de relógio 154 até 160 que podem ser empregadas para obter os objetivos da presente
10 revelação.

O circuito de comutação de relógio 150 provê lógica de controle para comutar a partir de um relógio para outro que inclui esperar um nível de fase baixa do relógio atual. Quando nenhuma seleção para o conjunto de circuitos
15 de multiplexador 162 está ativa, a saída é baixa. O circuito de comutação de relógio 150 força a saída do conjunto de circuitos de multiplexador 162 baixa e espera a fase baixa do novo sinal de relógio. A seguir, o conjunto de circuitos de relógio 150 permite que o conjunto de
20 circuitos de multiplexador 162 siga os níveis de fase elevada e baixa do relógio novo.

No circuito de comutação de relógio 150, as linhas de seleção (sela, selb, selc, e seld) podem comutar de forma assíncrona para clka, clkb, clkc e cld, enquanto
25 evita totalmente glitches de relógio de saída. A modalidade revelada de circuito de comutação de relógio 150 suporta quatro (4) CCPs incluindo encadeamentos 154 até 160. O circuito de comutação de relógio 150 funde lógica de CCP 114 com aquela de um multiplexador 162 para reduzir o
30 número de estágios no percurso de relógio PLL. Uma vantagem técnica da modalidade revelada é aperfeiçoamento significativo tanto em distorção de imagem como em distorção de ciclo de serviço. Além disso, o circuito de

comutação de relógio 150 permite que a lógica CCP seja desabilitada quando não necessária. Vantagens técnicas adicionais da matéria revelada incluem suporte de comutação de relógio para um relógio de 1,0GHz em uma modalidade. A presente revelação demonstra baixa probabilidade de metaestabilidade, baixa distorção de imagem, baixa distorção de ciclo de serviço, exigências de energia e potência baixa, exigências de área baixas e baixa distorção.

10 A figura 7 provê um fluxograma funcional 170 que representa etapas específicas da presente revelação, como pode ser executada pelo circuito de comutação de relógio 150. Na explicação adicional de um processo de comutação entre relógios, considere o circuito de comutação de relógio 150 como estando em estado constante quando o relógio atualmente selecionado é compatível com as linhas de solicitação externas req1 e req0 (etapa 172). Isto é, considere que o circuito de comutação de relógio 150 está em estado constante com clka selecionado (etapa 174). As linhas de solicitação externas não são bloqueadas de propagarem através do decodificador. Então, req0 pode elevar e clkb é então solicitado (etapa 176). O evento propaga através do conjunto de circuitos de decodificador 152, forçando reqa baixo e reqb elevado (etapa 178). A seguir, reqa injeta um zero no encadeamento que controla sela 154 (etapa 180). Entretanto, reqb não tem efeito imediato. Em operação, reqb ainda não é permitido adicionalmente entrar no encadeamento que controla clkb, uma vez que sela está ainda elevada (etapa 182).

30 Alguns tempos depois, req1 pode comutar (etapa 184). Então, reqd agora sobe e substitui req, ainda sem efeito imediato sobre o sinal de relógio de saída do multiplexador 162 (etapa 186). Em algum ponto, a seleção

inicial para clka cairá. Isso travará as linhas de solicitação internas que alimentam encadeamentos 152 até 160 (etapa 188). Então, o conjunto de circuitos de decodificador 152 pode se tornar metaestável. Em um ciclo
5 de relógio, o circuito revelado reduz substancialmente a probabilidade de que metaestabilidade ocorra (etapa 190). Após um ciclo, sela cairá também, permitindo que reqd injete um "um" no encadeamento que controla clkd 160 (etapa 192). Eventualmente, seld subirá, o que destravará as
10 linhas de solicitação internas e colocará o circuito de comutação de relógio 150 de volta em estado constante (etapa 194).

Como o fluxograma 200 da figura 8 detalhada, o circuito de comutação de relógio 150 também trata
15 eficazmente da metaestabilidade do conjunto de circuitos de decodificador 152. Iniciando na etapa 202, considere que o circuito de comutação de relógio 150 está em estado constante com clka selecionado (etapa 202). As linhas de solicitação externas não são bloqueadas de propagarem
20 através do decodificador. Considere que req0 se eleva e que clkb está agora sendo solicitado (etapa 204). O evento propaga através do conjunto de circuitos de decodificador 152, forçando reqa baixo e reqb elevado (etapa 206). Então, reqa injeta um "zero" no encadeamento que controla sela 154
25 (etapa 208). Em algum ponto, o conjunto de circuitos de seleção inicial 166 para clka cairá. Isso travará as linhas de solicitação internas que alimentam encadeamentos 152 até 160 (etapa 210). O conjunto de circuitos de decodificador 152 pode se tornar metaestável, se req0 cair ao mesmo tempo
30 (etapa 212). A metaestabilidade em reqa0 pode ser tolerada porque o próximo evento de amostragem para o mesmo ocorrerá somente um ciclo de relógio após (etapa 214). A metaestabilidade em reqb, reqc e reqd também pode ser

tolerada uma vez que sela, a última seleção para clka, permanecerá elevada para outro ciclo (etapa 216).

Na modalidade revelada, um modo de operação de teste também pode ser fornecido para selecionar o relógio de teste. A seleção do relógio de teste, clkt, desvia o relógio funcional normalmente produzido por conjunto de circuitos de multiplexador 5-para-1 162. A seleção do clkt não causa impacto sobre o estado do circuito de comutação de relógio 150 no controle da operação do conjunto de circuitos de multiplexador 162. A seleção de clkt não causa impacto sobre o circuito de comutação de relógio 150. A linha de seleção de relógio de teste passa por cima do circuito de comutação de relógio 150.

Em resumo, a presente revelação provê um método e sistema que evitam que glitches no sinal de relógio comutem de uma primeira entrada de relógio acionando um circuito multiplexador de relógio para uma segunda entrada de relógio acionando o multiplexador de relógio. O método e sistema provêem o recebimento de um primeiro sinal de entrada de relógio em um circuito multiplexador de relógio e fornecimento de uma saída de sinal de relógio a partir do circuito multiplexador de relógio em resposta ao circuito multiplexador de relógio que recebe o primeiro sinal de entrada de relógio. A matéria revelada determina um nível de saída de fase baixa na saída de sinal de relógio em resposta a um nível de entrada de fase baixa na primeira saída de sinal de relógio e força, por um período de tempo limitado, o circuito multiplexador de relógio a manter o nível de saída de fase baixa independente do nível de fase do primeiro sinal de entrada de relógio. O circuito multiplexador de relógio também recebe um segundo sinal de entrada de relógio e determina a presença de um nível de entrada de fase baixa no segundo sinal de entrada de

relógio. A comutação a partir do fornecimento de saída de
sinal de relógio em resposta ao primeiro sinal de entrada
de relógio para fornecer a saída de sinal de relógio em
resposta ao segundo sinal de entrada de relógio ocorre
5 enquanto mantém o nível de saída de fase baixa e durante o
nível de entrada de fase baixa no segundo sinal de entrada
de relógio. Então, o método e sistema permitem que a saída
do circuito multiplexador de relógio siga o nível de fase
da segunda entrada de sinal de relógio após a etapa de
10 comutação.

As características e funções de processamento
descritas aqui para reduzir glitch na comutação a partir de
uma primeira entrada de sinal de relógio acionando um
circuito multiplexador de relógio para uma segunda entrada
15 de relógio acionando o circuito multiplexador de relógio
podem ser implementadas em vários modos. Além disso, o
processo e características descritas aqui podem ser
armazenadas em meios magnéticos, ópticos ou outros meios de
gravação para leitura e execução por tais vários sistemas
20 de processamento de instrução e sinal. A descrição acima
das modalidades preferidas, portanto, é fornecida para
permitir que qualquer pessoa versada na técnica faça ou
utilize a matéria reivindicada. Várias modificações nessas
modalidades serão prontamente evidentes para aqueles
25 versados na técnica, por exemplo, uma modalidade adicional
pode incluir uma versão N-para-1 do circuito, e os
princípios genéricos definidos aqui podem ser aplicados em
outras modalidades sem o uso da faculdade inovadora. Desse
modo, a matéria reivindicada não pretende ser limitada às
30 modalidades mostradas aqui porém deve ser acordada o escopo
mais amplo compatível com os princípios e características
novas reveladas aqui.

REIVINDICAÇÕES

1. Método para reduzir glitch na comutação a partir de uma primeira entrada de sinal de relógio acionando um circuito multiplexador de relógio para uma
5 segunda entrada de relógio acionando o circuito multiplexador de relógio, compreendendo as etapas de:

receber um primeiro sinal de entrada de relógio em um circuito multiplexador de relógio;

10 fornecer uma saída de sinal de relógio a partir do circuito multiplexador de relógio em resposta ao circuito multiplexador de relógio que recebe o primeiro sinal de entrada de relógio;

determinar um nível de saída de fase baixa na saída de sinal de relógio em resposta a um nível de entrada
15 de fase baixa na primeira saída de sinal de relógio;

travar o circuito multiplexador de relógio para manter o nível de saída de fase baixa independente do nível de fase do primeiro sinal de entrada de relógio;

20 receber um segundo sinal de entrada de relógio no circuito multiplexador de relógio;

determinar a presença de um nível de entrada de fase baixa no segundo sinal de entrada de relógio;

25 comutar a partir do fornecimento da saída de sinal de relógio em resposta ao primeiro sinal de entrada de relógio para fornecer a saída de sinal de relógio em resposta ao segundo sinal de entrada de relógio enquanto mantém o nível de saída de fase baixa e durante o nível de entrada de fase baixa no segundo sinal de entrada de relógio; e

30 permitir que a saída do circuito multiplexador de relógio siga o nível de fase da segunda entrada de sinal de relógio após a etapa de comutação.

2. Método, de acordo com a reivindicação 1, compreendendo adicionalmente a etapa de eliminar uma condição metaestável que se origina associada à etapa de comutação em aproximadamente um ciclo de relógio.

5 3. Método, de acordo com a reivindicação 1, compreendendo adicionalmente a etapa de executar a etapa de travamento como uma etapa de travamento de estágio inicial para uma primeira parte da etapa de travamento e uma etapa de travamento de estágio posterior para uma parte posterior
10 da etapa de travamento.

4. Método, de acordo com a reivindicação 1, compreendendo adicionalmente a etapa de testar a operação do circuito multiplexador de relógio utilizando conjunto de circuitos pelo menos uma porção do qual opera
15 independentemente da primeira entrada de sinal de relógio e segunda entrada de sinal de relógio.

5. Método, de acordo com a reivindicação 1, compreendendo adicionalmente a etapa de associar a primeira entrada de sinal de relógio com o circuito multiplexador de relógio utilizando um primeiro encadeamento de controle de relógio e a segunda entrada de sinal de relógio com o
20 circuito multiplexador de relógio utilizando um segundo encadeamento de controle de relógio.

6. Método, de acordo com a reivindicação 5, compreendendo adicionalmente a etapa de associar um
25 circuito decodificador com o primeiro encadeamento de controle de relógio e o segundo encadeamento de controle de relógio.

7. Método, de acordo com a reivindicação 1, compreendendo adicionalmente as etapas de derivar a
30 primeira entrada de sinal de relógio a partir de um primeiro circuito de loop travado por fase e a segunda

entrada de sinal de relógio a partir de um segundo circuito de loop travado por fase.

8. Método, de acordo com a reivindicação 1, compreendendo adicionalmente a etapa de associar saída do
5 circuito multiplexador de relógio a uma pluralidade de circuitos de processamento de sinais digitais.

9. Método, de acordo com a reivindicação 1, compreendendo adicionalmente a etapa de associar a saída do
circuito multiplexador de relógio a um chipset de modem de
10 estação móvel.

10. Circuito de comutação de relógio de redução de glitch para reduzir glitch na comutação a partir de uma primeira entrada de sinal de relógio que aciona um circuito multiplexador de relógio para uma segunda entrada de
15 relógio que aciona o circuito multiplexador de relógio, compreendendo:

um circuito multiplexador de relógio para receber um primeiro sinal de entrada de relógio;

uma saída de circuito multiplexador de relógio
20 para fornecer uma saída de sinal de relógio a partir do circuito multiplexador de relógio em resposta ao circuito multiplexador de relógio que recebe o primeiro sinal de entrada de relógio;

conjunto de circuitos de determinar nível de
25 saída de relógio para determinar um nível de saída de fase baixa na saída de sinal de relógio em resposta a um nível de entrada de fase baixa na primeira saída de sinal de relógio;

conjunto de circuitos de travamento para travar o
30 circuito multiplexador de relógio para manter o nível de saída de fase baixa independente do nível de fase do primeiro sinal de entrada de relógio;

conjunto de circuitos de entrada de multiplexador de relógio para receber um segundo sinal de entrada de relógio no circuito multiplexador de relógio;

5 conjunto de circuitos de determinar nível de entrada de fase baixa para determinar a presença de um nível de entrada de fase baixa no segundo sinal de entrada de relógio;

10 conjunto de circuitos de comutação para comutar a partir da provisão da saída de sinal de relógio em resposta ao primeiro sinal de entrada de relógio para provisão da saída de sinal de relógio em resposta ao segundo sinal de entrada de relógio enquanto mantém o nível de saída de fase baixa e durante o nível de entrada de fase baixa no segundo sinal de entrada de relógio; e

15 conjunto de circuitos de saída de circuito multiplexador de relógio para permitir que a saída do circuito multiplexador de relógio siga o nível de fase da segunda entrada de sinal de relógio após a etapa de comutação.

20 11. Sistema, de acordo com a reivindicação 10, em que o conjunto de circuitos de comutação de relógio para redução de glitch compreende adicionalmente conjunto de circuitos e instruções para eliminar uma condição metaestável que se origina associada à etapa de comutação
25 em aproximadamente um ciclo de relógio.

12. Sistema, de acordo com a reivindicação 10, em que o conjunto de circuitos de comutação de relógio para redução de glitch compreende adicionalmente conjunto de circuitos e instruções para executar a etapa de travamento
30 como uma etapa de travamento de estágio inicial para uma primeira parte da etapa de travamento e uma etapa de travamento de estágio posterior para uma parte posterior da etapa de travamento.

13. Sistema, de acordo com a reivindicação 10, em que o conjunto de circuitos de comutação de relógio para redução de glitch compreende adicionalmente conjunto de circuitos e instruções para testar a operação do circuito multiplexador de relógio utilizando conjunto de circuitos pelo menos uma porção do qual opera independentemente da primeira entrada de sinal de relógio e da segunda entrada de sinal de relógio.

14. Sistema, de acordo com a reivindicação 10, em que o conjunto de circuitos de comutação de relógio para redução de glitch compreende adicionalmente conjunto de circuitos e instruções para associar a primeira entrada de sinal de relógio com o circuito multiplexador de relógio utilizando um primeiro encadeamento de controle de relógio e segunda entrada de sinal de relógio com o circuito multiplexador de relógio utilizando um segundo encadeamento de controle de relógio.

15. Sistema, de acordo com a reivindicação 10, em que o conjunto de circuitos de comutação de relógio para redução de glitch compreende adicionalmente um circuito decodificador para associar o primeiro encadeamento de controle de relógio e o segundo encadeamento de controle de relógio.

16. Sistema, de acordo com a reivindicação 10, em que o conjunto de circuitos de comutação de relógio para redução de glitch compreende adicionalmente conjunto de circuitos e instruções para derivar a primeira entrada de sinal de relógio a partir de um primeiro circuito de loop travado por fase e a segunda entrada de sinal de relógio a partir de um segundo circuito de loop travado por fase.

17. Sistema, de acordo com a reivindicação 10, em que o conjunto de circuitos de comutação de relógio para redução de glitch compreende adicionalmente conjunto de

circuitos e instruções para associar saída do circuito multiplexador de relógio a uma pluralidade de circuitos de processamento de sinais digitais.

18. Sistema, de acordo com a reivindicação 10, em
5 que o conjunto de circuitos de comutação de relógio para redução de glitch compreende adicionalmente conjunto de circuitos e instruções para associar saída do circuito multiplexador de relógio a um chipset de modem de estação móvel.

10 19. Modem de estação móvel para operação em suporte de um dispositivo eletrônico pessoal, o processo de sinal digital compreendendo mecanismos para reduzir glitch na comutação a partir de uma primeira entrada de sinal de relógio que aciona um circuito multiplexador de relógio
15 para uma segunda entrada de relógio que aciona o circuito multiplexador de relógio, compreendendo:

mecanismos de recepção para receber um primeiro sinal de entrada de relógio em um circuito multiplexador de relógio;

20 mecanismos para fornecer uma saída de sinal de relógio a partir do circuito multiplexador de relógio em resposta ao recebimento pelo circuito multiplexador de relógio do primeiro sinal de entrada de relógio;

25 mecanismos para determinar um nível de saída de fase baixa na saída de sinal de relógio em resposta a um nível de entrada de fase baixa na primeira saída de sinal de relógio;

30 mecanismos para forçar o circuito multiplexador de relógio a manter o nível de saída de fase baixa independente do nível de fase do primeiro sinal de entrada de relógio;

mecanismos para receber um segundo sinal de entrada de relógio no circuito multiplexador de relógio;

mecanismos para determinar a presença de um nível de entrada de fase baixa no segundo sinal de entrada de relógio;

5 mecanismos de comutação para comutar a partir do fornecimento da saída de sinal de relógio em resposta ao primeiro sinal de entrada de relógio para o fornecimento da saída de sinal de relógio em resposta ao segundo sinal de entrada de relógio enquanto mantém o nível de saída de fase baixa e durante o nível de entrada de fase baixa no segundo
10 sinal de entrada de relógio; e

mecanismos para permitir que a saída do circuito multiplexador de relógio siga o nível de fase da segunda entrada de sinal de relógio após operação dos mecanismos de comutação.

15 20. Modem de estação móvel, de acordo com a reivindicação 19, compreendendo adicionalmente mecanismos para eliminar uma condição metaestável que se origina associada à etapa de comutação aproximadamente em um ciclo de relógio.

20 21. Modem de estação móvel, de acordo com a reivindicação 19, compreendendo adicionalmente mecanismos para executar a etapa de travamento como uma etapa de travamento de estágio inicial para uma primeira parte da etapa de travamento e uma etapa de travamento de estágio
25 posterior para uma parte posterior da etapa de travamento.

 22. Modem de estação móvel, de acordo com a reivindicação 19, compreendendo adicionalmente mecanismos para testar a operação do circuito multiplexador de relógio utilizando conjunto de circuitos pelo menos porção do qual
30 opera independentemente da primeira entrada de sinal de relógio e da segunda entrada de sinal de relógio.

 23. Modem de estação móvel, de acordo com a reivindicação 19, compreendendo adicionalmente mecanismos

para associar a primeira entrada de sinal de relógio com o
circuito multiplexador de relógio utilizando um primeiro
encadeamento de controle de relógio e segunda entrada de
sinal de relógio com o circuito multiplexador de relógio
5 utilizando um segundo encadeamento de controle de relógio.

24. Modem de estação móvel, de acordo com a
reivindicação 19, compreendendo adicionalmente mecanismos
para associar um circuito decodificador ao primeiro
encadeamento de controle de relógio e ao segundo
10 encadeamento de controle de relógio.

25. Modem de estação móvel, de acordo com a
reivindicação 19, compreendendo adicionalmente mecanismos
para derivar a primeira entrada de sinal de relógio a
partir de um primeiro circuito de loop travado por fase e a
15 segunda entrada de sinal de relógio a partir de um segundo
circuito de loop travado por fase.

26. Modem de estação móvel, de acordo com a
reivindicação 19, compreendendo adicionalmente mecanismos
para associar saída do circuito multiplexador de relógio a
20 uma pluralidade de circuitos de processamento de sinais
digitais.

27. Modem de estação móvel, de acordo com a
reivindicação 19, compreendendo adicionalmente mecanismos
para associar a saída do circuito multiplexador de relógio
25 a um dispositivo eletrônico pessoal.

28. Meio utilizável por computador possuindo
mecanismos de código de programa legível por computador
incorporado no mesmo para processar instruções no
processador de sinais digitais para reduzir glitch na
30 comutação a partir de uma primeira entrada de sinal de
relógio acionando um circuito multiplexador de relógio para
uma segunda entrada de relógio acionando o circuito
multiplexador de relógio, compreendendo:

mecanismos de código legível por computador para receber um primeiro sinal de entrada em um circuito multiplexador de relógio;

5 mecanismos de código de programa legível por computador para fornecer uma saída de sinal de relógio a partir do circuito multiplexador de relógio em resposta ao circuito multiplexador de relógio que recebe o primeiro sinal de entrada de relógio;

10 mecanismos de código de programa legível por computador para determinar um nível de saída de fase baixa na saída de sinal de relógio em resposta a um nível de entrada de fase baixa na primeira saída de sinal de relógio;

15 mecanismos de código de programa legível por computador para forçar o circuito multiplexador de relógio a manter o nível de saída de fase baixa independente do nível de fase do primeiro sinal de entrada de relógio;

20 mecanismos de código de programa legível por computador para receber um segundo sinal de entrada de relógio no circuito multiplexador de relógio;

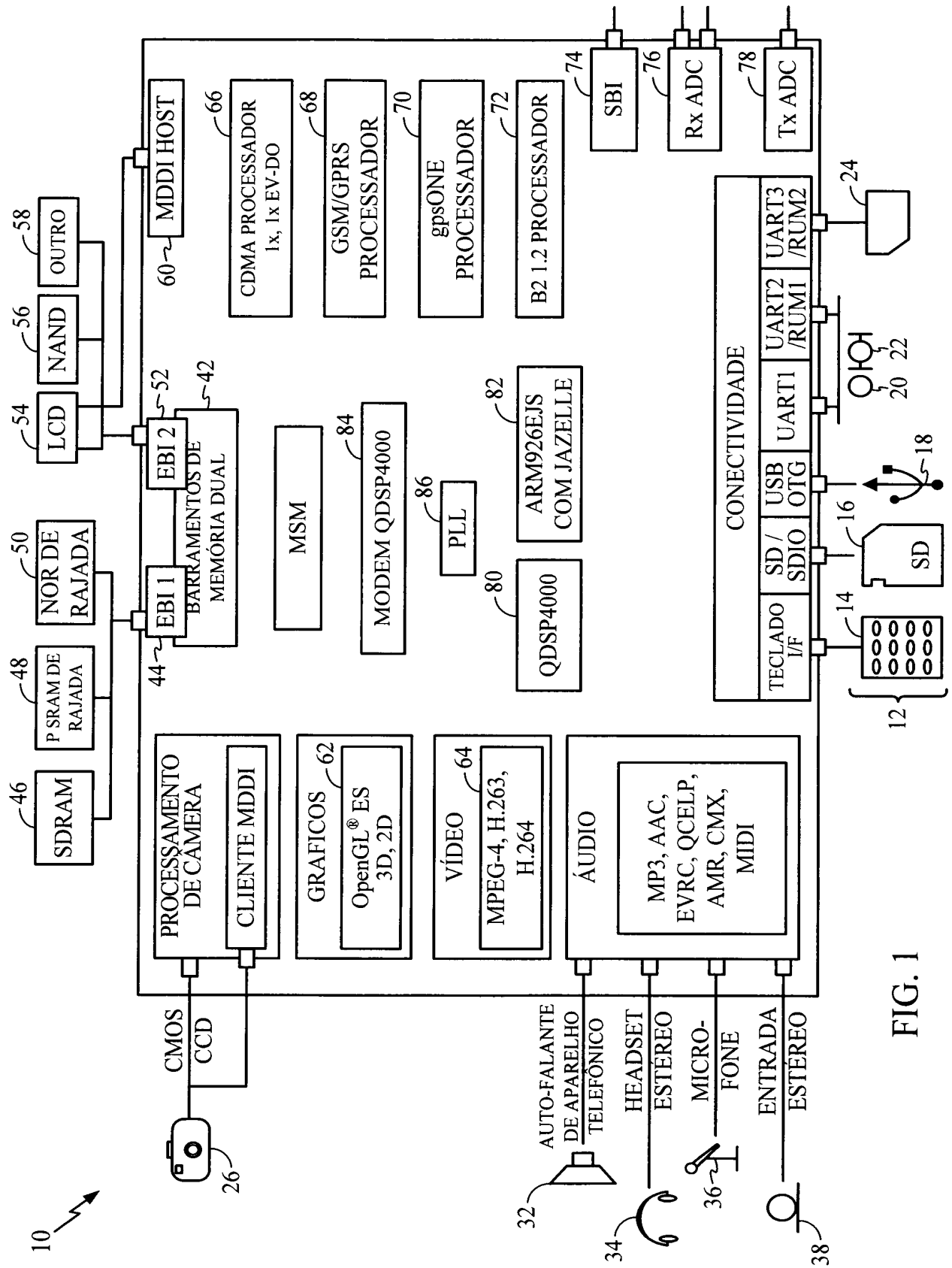
mecanismos de código de programa legível por computador para determinar a presença de um nível de entrada de fase baixa no segundo sinal de entrada de relógio;

25 mecanismos de código de programa legível por computador para comutar a partir da provisão da saída de sinal de relógio em resposta ao primeiro sinal de entrada de relógio para fornecer a saída de sinal de relógio em resposta ao segundo sinal de entrada de relógio enquanto
30 mantém o nível de saída de fase baixa e durante o nível de entrada de fase baixa no segundo sinal de entrada de relógio; e

mecanismos de código de programa legível por computador para permitir que a saída do circuito multiplexador de relógio siga o nível de fase da segunda entrada de sinal de relógio após a etapa de comutação.

5 29. Meio utilizável por computador, de acordo com a reivindicação 28, compreendendo adicionalmente mecanismos de código de programa legível por computador para associar saída do circuito multiplexador de relógio a uma pluralidade de circuitos de processamento de sinais
10 digitais.

 30. Meio utilizável por computador, de acordo com a reivindicação 28, compreendendo adicionalmente mecanismos de código de programa legível por computador para associar a saída do circuito multiplexador de relógio a um chipset
15 de modem de estação móvel.



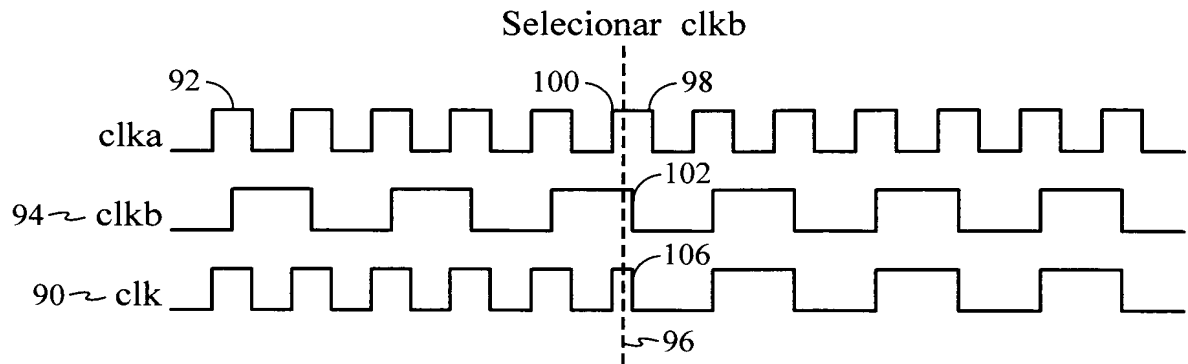


FIG. 2

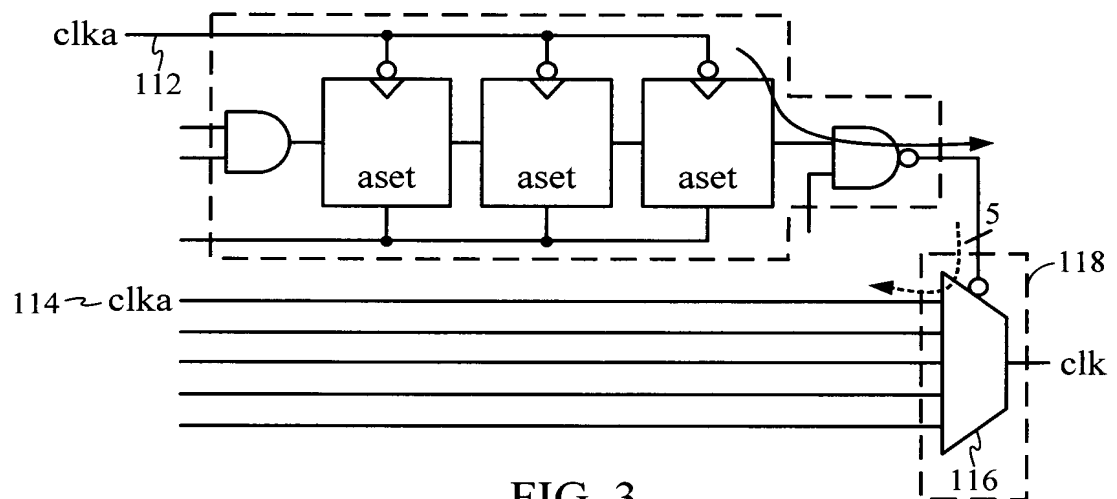


FIG. 3

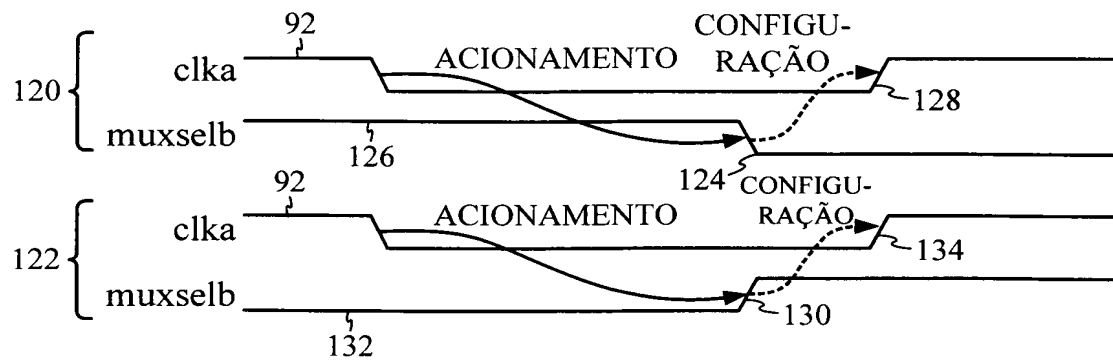


FIG. 4

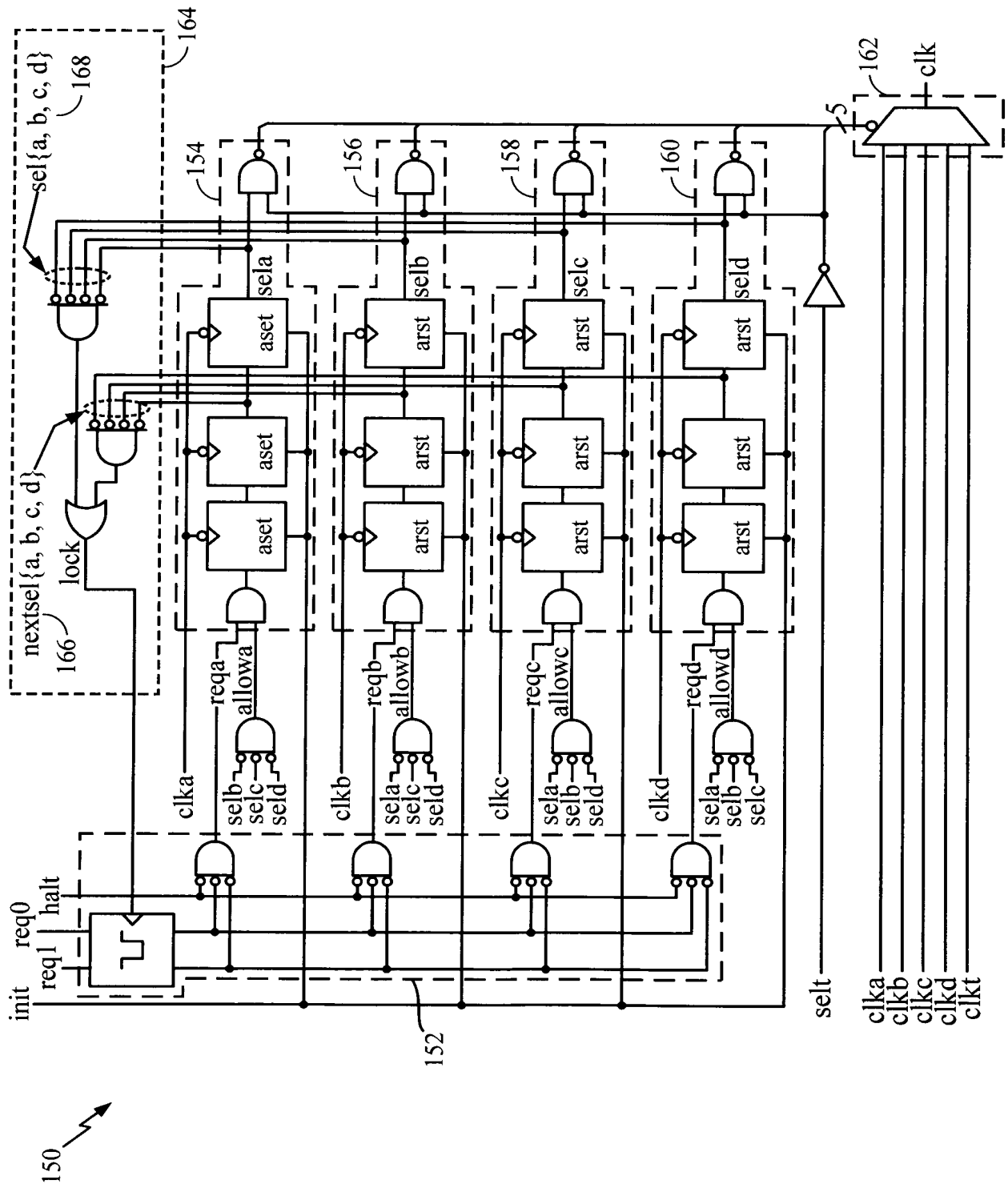


FIG. 5

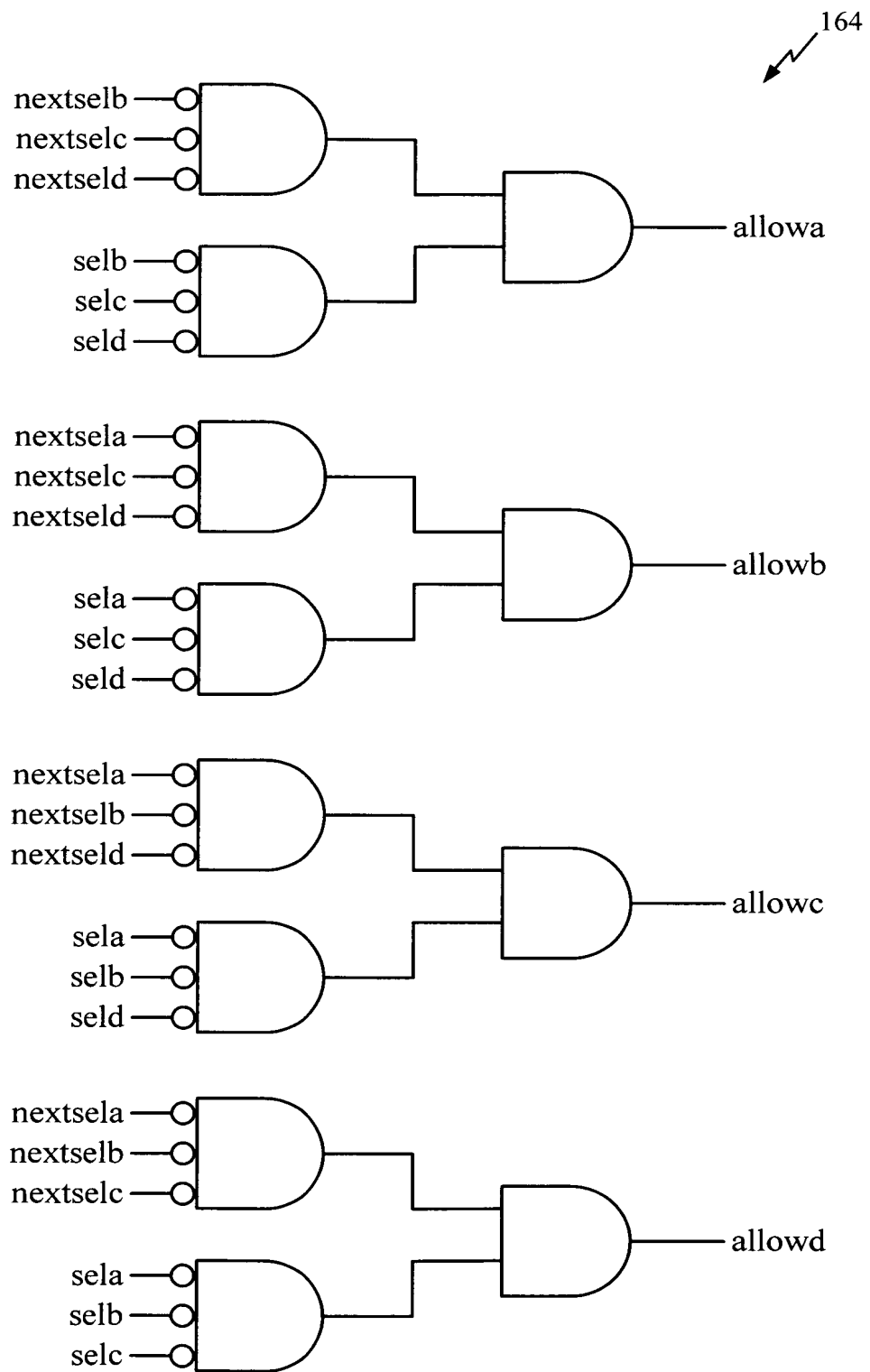


FIG. 6

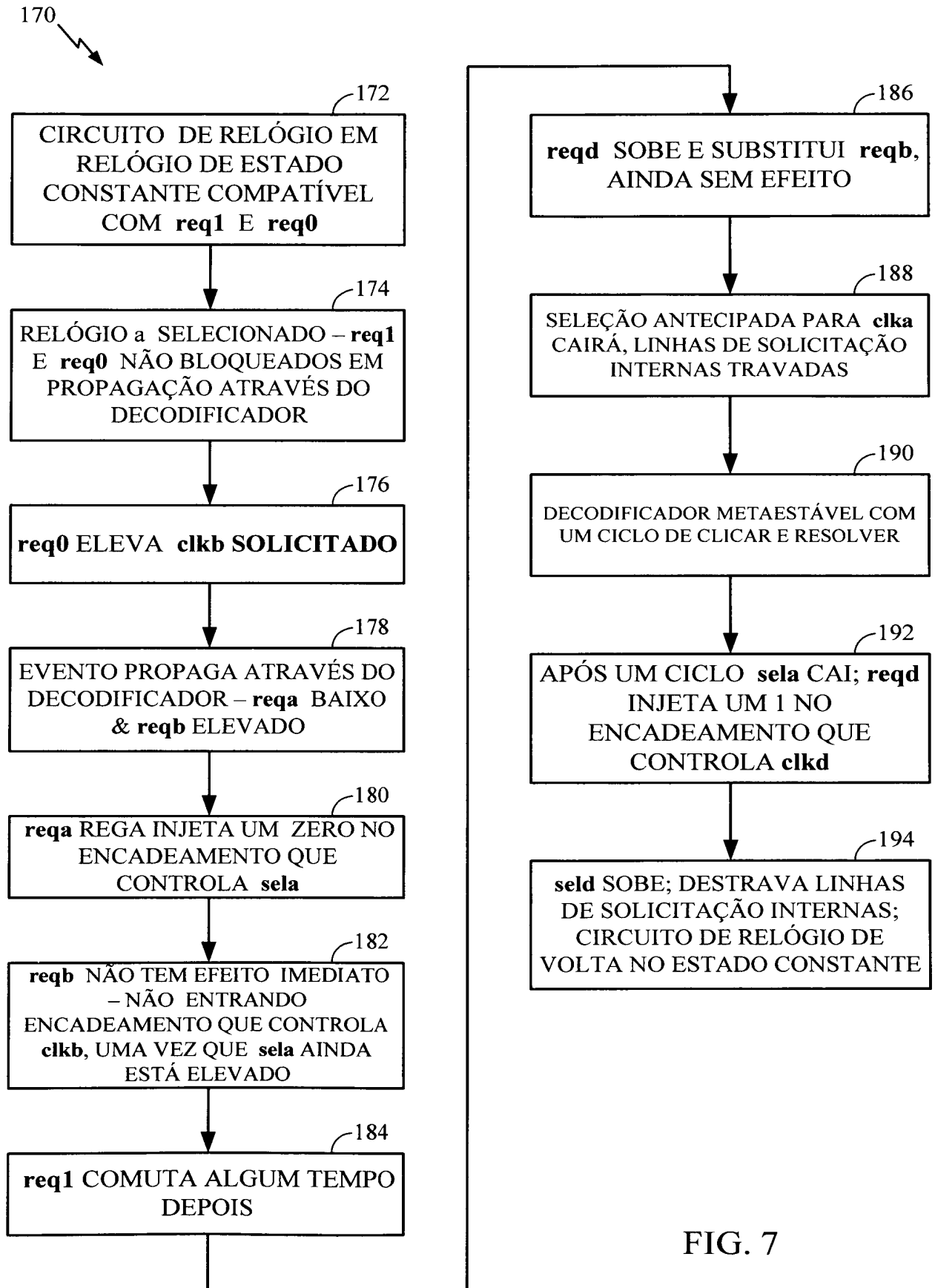


FIG. 7

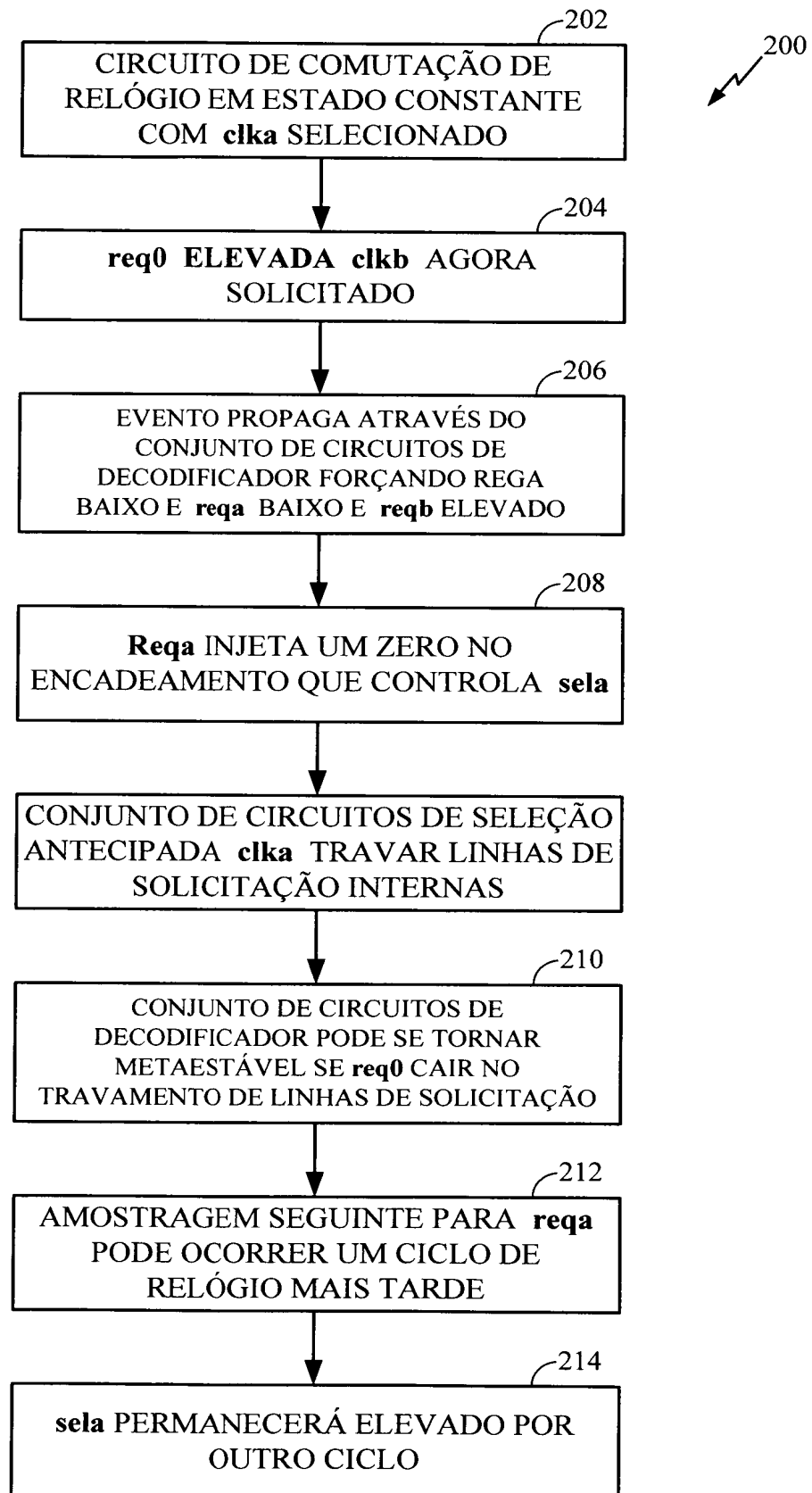


FIG. 8

RESUMO

"CIRCUITO MULTIPLEXADOR DE SINAL DE RELÓGIO ISENTO DE GLITCH E MÉTODO DE OPERAÇÃO"

Técnicas para o projeto e uso de um processador de sinais digitais, incluindo (porém não limitado a) para processamento de transmissões em um sistema de comunicações (por exemplo, CDMA). Glitch reduzido ocorre na comutação a partir de uma primeira entrada de relógio para uma segunda entrada de relógio que aciona um multiplexador de relógio.

5 de sinais digitais, incluindo (porém não limitado a) para processamento de transmissões em um sistema de comunicações (por exemplo, CDMA). Glitch reduzido ocorre na comutação a partir de uma primeira entrada de relógio para uma segunda entrada de relógio que aciona um multiplexador de relógio.

10 O multiplexador de relógio recebe uma primeira entrada de relógio e provê uma saída de relógio e determina um nível de saída de fase baixa na saída de relógio em resposta a um nível de entrada de fase baixa na primeira saída de relógio. Por um período de tempo limitado, um nível de

15 saída de fase baixa é forçado independente do nível de fase do primeiro sinal de entrada de relógio. O multiplexador de relógio recebe uma segunda entrada de relógio e determina um nível de entrada de fase baixa no segundo sinal de entrada de relógio. A comutação para fornecer a saída de relógio em resposta à segunda entrada de relógio ocorre

20 durante o nível de entrada de fase baixa no segundo sinal de entrada de relógio. A seguir, a saída do multiplexador de relógio segue o nível de fase do segundo sinal de relógio.