

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G09G 3/36

(45) 공고일자 2005년06월07일
(11) 등록번호 10-0493385
(24) 등록일자 2005년05월25일

(21) 출원번호 10-2002-0080711
(22) 출원일자 2002년12월17일

(65) 공개번호 10-2004-0053584
(43) 공개일자 2004년06월24일

(73) 특허권자 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 박재덕
경상북도구미시옥계동617부영아파트203동1105호

(74) 대리인 김용인
심창섭

심사관 : 정병락

(54) 액정표시패널의 양 방향 구동 회로

요약

본 발명은 클럭 신호의 위상과 시작 펄스의 인가 방법을 달리하여 스테이지 수에 관계없이 양방향 구동이 가능한 액정표시패널의 양 방향 구동 회로에 관한 것으로, 복수개의 블록을 구비한 액정표시패널의 구동회로에 있어서, 각 블록은, 소오스와 게이트에 시작 펄스 또는 그 전 블록의 출력신호가 인가되는 제 1 스위칭소자와, 상기 제 1 스위칭소자의 드레인에 소오스가 연결되고 클럭신호가 게이트에 인가되는 제 2 스위칭소자와, 상기 제 2 스위칭소자의 드레인에 소오스가 연결되고 드레인은 전원(Vss)단에 연결되는 제 3 스위칭소자와, 소오스는 전원(Vdd)단에 연결되고 게이트는 다른 클럭신호에 연결되고 드레인은 상기 제 3 스위칭소자의 게이트에 연결되는 제 4 스위칭소자와, 소오스가 상기 제 4 스위칭소자의 드레인에 연결되고 게이트가 상기 제 2 스위칭소자의 드레인과 제 3 스위칭소자의 소오스 연결단에 연결되며 드레인이 Vss단에 연결되는 제 5 스위칭소자와, 소오스가 상기 또 다른 클럭신호에 연결되고 게이트가 상기 제 2 스위칭소자의 드레인에 연결되며 드레인은 출력단(Output)에 연결되는 제 6 스위칭소자와, 소오스가 상기 출력단에 연결되고 게이트가 상기 제 4 스위칭소자의 드레인 및 제 3 스위칭소자의 게이트에 연결되며 드레인이 상기 Vss단에 연결되는 제 7 스위칭소자와, 소오스 및 게이트가 시작 펄스 또는 그 다음 블록의 출력단에 연결되는 제 8 스위칭소자와, 소오스가 상기 제 8 스위칭소자의 드레인에 연결되고 게이트가 상기 또 다른 클럭신호에 연결되며 드레인은 제 2 스위칭소자의 드레인 및 제 6 스위칭소자의 게이트에 연결되는 제 9 스위칭소자를 구비하여 구성된 것이다.

대표도

도 10

색인어

액정표시패널의 양 방향 구동회로, 양 방향 쉬프트 레지스터

명세서

도면의 간단한 설명

- 도 1은 일반적인 액정표시패널의 회로 구성도
- 도 2는 종래의 액정표시패널 쉬프트 레지스터의 회로적 구성도
- 도 3은 종래의 액정표시패널 쉬프트 레지스터의 입력 및 출력 파형도

- 도 4는 출원인이 기 출원한 액정표시패널 쉬프트 레지스터의 회로적 구성도
- 도 5는 도 4에 따른 액정표시패널 쉬프트 레지스터의 순방향 입력 및 출력 파형도
- 도 6은 도 4에 따른 액정표시패널 쉬프트 레지스터의 역방향 입력 및 출력 파형도
- 도 7은 도 4에서 스테이지가 5개인 액정표시패널 쉬프트 레지스터의 회로적 구성도
- 도 8은 도 7에 따른 액정표시패널 쉬프트 레지스터의 순방향 입력 및 출력 파형도
- 도 9는 도 7에 따른 액정표시패널 쉬프트 레지스터의 역방향 입력 및 출력 파형도
- 도 10은 본 발명 실시예에 따른 액정표시패널 쉬프트 레지스터의 회로적 구성도
- 도 11은 도 10에 따른 액정표시패널 쉬프트 레지스터의 순방향 입력 및 출력 파형도
- 도 12는 도 10에 따른 액정표시패널 쉬프트 레지스터의 역방향 입력 및 출력 파형도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(Liquid Crystal Display device, LCD)에 관한 것으로, 특히 스테이지 수에 관계없이 양방향 구동이 가능한 액정표시패널의 양 방향 구동 회로에 관한 것이다.

최근의 액정표시장치는 액정표시패널에 게이트 드라이브 IC 및 데이터 드라이브 IC 등 구동회로를 내장하고 있으며, 구동 방향이 고정되어 있으므로 시스템 업체마다 다른 패널을 요구하는 경우가 발생하게 된다.

이와 같이 구동회로가 내장된 폴리 실리콘(poly-Si) 액정표시패널의 회로적 구성은 도 1과 같다.

도 1은 일반적인 폴리 실리콘 액정표시패널의 회로적 구성도이다.

액정표시패널에는 복수개의 게이트 라인(G1-Gm)과 데이터 라인(D1-Dn)이 서로 수직 교차하도록 배열된 픽셀 어레이와, 상기 각 게이트 라인에 스캔 신호를 공급하기 위한 복수개의 제 1 쉬프트 레지스터(11) 및 버퍼(12)와, 상기 각 데이터 라인을 k블럭으로 나누어 각 블럭에 하나의 쉬프트 레지스터와 버퍼가 위치되어 데이터 라인을 구동하기 위한 복수개의 제 2 쉬프트 레지스터(13) 및 버퍼(14)와, 상기 제 2 쉬프트 레지스터(13) 및 버퍼(14)에서 출력된 구동신호를 각 데이터 라인에 전달하기 위한 복수개의 신호 라인(S1-Sn)(15)과, 상기 제 2 쉬프트 레지스터(13) 및 버퍼(14)에서 출력된 구동신호에 의해 각 블럭별로 순차적으로 상기 신호 라인(S1-Sn)의 영상신호를 데이터 라인에 인가하는 복수개의 스위칭소자(16)들로 구성된다.

이와 같이, 상기 폴리 실리콘 박막트랜지스터 액정표시패널의 구동회로는 기존의 비정질 실리콘 회로와 달리 외부 회로와 패널 간의 접촉선 수를 줄이기 위해 게이트 라인이 선택되어 있는 동안 복수개의 데이터 라인들을 m블럭으로 나누어 순차적으로 데이터 라인에 디스플레이 전압을 공급한다.

따라서, 이와 같이 쉬프트 레지스터에 의해 게이트 라인 및 데이터 라인이 순차적으로 구동되어 화상을 표시하는데 각 쉬프트 레지스터가 정해진 일 방향으로만 쉬프트하므로 시스템 업체가 요구하는 구동 방향에 대한 자유도를 제공할 수 없다.

종래의 액정표시패널의 쉬프트 레지스터를 첨부된 도면을 참조하여 설명하면 다음과 같다.

도 2는 종래의 액정표시패널의 쉬프트 레지스터의 회로 구성도이다.

먼저 쉬프트 레지스터의 입력단에는 게이트 또는 데이터 시작 펄스(VST)와, 서로 다른 위상을 갖는 4개의 제 1, 제 2, 제 3, 제 4 클럭신호(CLK1, CLK2, CLK3, CLK4)와, 전원전압(Vdd, Vss)가 입력된다.

그리고 쉬프트 레지스터의 회로적 구성은 복수개(8개)의 블럭으로 구성되고 각 블럭의 구성은 거의 유사하나 클럭신호가 인가되는 부분에서 차이가 있다.

먼저, 첫 번째 블럭의 구성은 소오스와 게이트에 상기 시작 펄스(VST)가 인가되는 제 1 p-MOS(TFT1)와, 상기 제 1 p-MOS(TFT1)의 드레인에 소오스가 연결되고 상기 제 4 클럭신호(CLK4)가 게이트에 인가되는 제 2 p-MOS(TFT2)와, 상기 제 2 p-MOS(TFT2)의 드레인에 소오스가 연결되고 드레인은 상기 Vss단에 연결되는 제 3 p-MOS(TFT3)와, 소오스는 상기 Vdd단에 연결되고 게이트는 상기 제 3 클럭신호(CLK3)에 연결되고 드레인은 상기 제 3 p-MOS(TFT3)의 게이트에 연결되는 제 4 p-MOS(TFT4)와, 소오스가 상기 제 4 p-MOS(TFT4)의 드레인에 연결되고 게이트가 상기 시작 펄

스(VST)에 연결되며 드레인이 V_{SS}단에 연결되는 제 5 p-MOS(TFT5)와, 소오스가 상기 제 1 클럭신호(CLK1)에 연결되고 게이트가 상기 제 2 p-MOS(TFT2)의 드레인에 연결되며 드레인은 출력단(Output)에 연결되는 제 6 p-MOS(TFT6)와, 소오스가 상기 출력단에 연결되고 게이트가 상기 제 4 p-MOS(TFT4)의 드레인에 연결되며 드레인이 상기 V_{SS}단에 연결되는 제 7 p-MOS(TFT7)를 구비하여 구성된다.

여기서, 상기 제 1 p-MOS(TFT1)의 드레인과 제 2 p-MOS(TFT2)의 소오스의 접점은 제 1 커패시터(C1)를 통해 접지되어 있고, 제 6 p-MOS(TFT6)의 게이트는 제 2 커패시터(C2)를 통해 V_{SS}단에 연결되고, 제 6 p-MOS(TFT6)의 게이트와 드레인은 제 3 커패시터(C3)를 통해 연결되고, 제 7 p-MOS(TFT7)의 게이트는 제 4 커패시터(C4)를 통해 V_{SS}단에 연결된다.

그리고 두 번째부터 8번째 블록까지의 차이점은 제 6 p-MOS(TFT6)의 소오스, 제 4 p-MOS(TFT4)의 게이트, 제 2 p-MOS(TFT2)의 게이트에 각각 인가되는 클럭신호의 차이가 있고, 제 1 p-MOS(TFT1)의 소오스 및 게이트에는 이전 블록의 출력단이 연결된다.

즉, 첫 번째 블록에서 8번째 블록까지의 클럭신호 연결은 다음과 같다.

먼저, 상기 제 6 p-MOS(TFT6)의 소오스에 인가되는 클럭신호는 첫 번째 및 다섯번째 블록에서 제 1 클럭신호(CLK1), 두 번째 및 여섯번째 블록에서 제 2 클럭신호(CLK2), 세 번째 및 일곱번째 블록에서 제 3 클럭신호(CLK3), 네 번째 및 여덟 번째 블록에서 제 4 클럭신호(CLK4)가 연결된다.

상기 제 4 p-MOS(TFT4)의 게이트에 인가되는 클럭신호는 첫 번째 및 다섯번째 블록에서 제 3 클럭신호(CLK3), 두 번째 및 여섯번째 블록에서 제 4 클럭신호(CLK4), 세 번째 및 일곱번째 블록에서 제 1 클럭신호(CLK1), 네 번째 및 여덟 번째 블록에서 제 2 클럭신호(CLK2)가 연결된다.

상기 제 2 p-MOS(TFT2)의 게이트에 인가되는 클럭신호는 첫 번째 및 다섯번째 블록에서 제 4 클럭신호(CLK4), 두 번째 및 여섯번째 블록에서 제 1 클럭신호(CLK1), 세 번째 및 일곱번째 블록에서 제 2 클럭신호(CLK2), 네 번째 및 여덟 번째 블록에서 제 3 클럭신호(CLK3)가 연결된다.

이와 같이 구성된 종래의 액정표시패널의 쉬프트 레지스터의 동작은 다음과 같다.

도 3은 종래의 액정표시패널 쉬프트 레지스터의 입력 및 출력 파형도이다.

먼저, 첫 번째 블록의 동작을 설명하면, 시작 펄스(VST)가 스위치 온 상태의 로우 레벨 신호가 입력되면, 제 1 p-MOS(TFT1)가 턴온되고, 이 때 제 4 클럭신호(CLK4)가 스위치 온 상태의 로우 레벨 신호가 입력되므로 제 2 p-MOS(TFT2)도 턴온되므로 로드(Q)가 스위치 온 상태의 로우 레벨이 된다. 따라서, 제 6 p-MOS(TFT6)이 턴온되고 제 1 클럭신호(CLK1)가 출력단으로 전달되어 출력된다. 이 때, 로드(QB)는 스위치 오프 상태의 하이 레벨이므로 제 7 p-MOS(TFT7)은 턴 오프되므로 V_{SS} 전압이 출력단으로 전달되지 못한다.

같은 방법으로 두 번째 블록에서는 상기 첫 번째 블록의 출력이 로우 레벨이고 제 1 클럭신호가 로우 레벨이므로 제 6 p-MOS(TFT6)의 소오스에 인가되는 제 2 클럭신호(CLK2)가 출력된다.

이와 같은 방법으로 도 3에 도시한 바와 같이, 첫 번째 블록부터 여덟 번째 블록까지 차례로 출력이 발생한다.

발명이 이루고자 하는 기술적 과제

그러나, 이와 같은 종래의 액정표시패널의 구동회로에 있어서는 다음과 같은 문제점이 있었다.

즉, 구동회로가 내장된 종래의 액정표시패널에 있어서는, 처음 설계된 일 방향으로만 화상을 스캔할 수 있으며, 반대 방향으로 스캔이 불가능하다. 즉, 맨 마지막 블록에서 제일 먼저 출력이 발생하고 첫 번째 블록에서 맨 나중에 출력이 발생하지 못하므로 액정표시패널이 만들어지면 임의대로 패널 방향을 랜드스케이프(landscape)로 설정 또는 포트리트(portrait)로 설정할 수 없다. 따라서, 시스템 업체마다 다른 패널을 요구하게 된다.

본 발명은 이와 같은 문제점을 해결하기 위하여 안출한 것으로, 별도의 입력 패드를 형성하지 않고 순 방향과 역 방향 스캔이 가능할 뿐만 아니라, 구동회로의 스테이지에 관계 없이 양 방향으로 구동할 수 있는 액정표시패널의 양 방향 구동회로를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명의 액정표시패널의 양 방향 구동회로는, 복수개의 블록을 구비한 액정표시패널의 구동회로에 있어서, 각 블록은, 소오스와 게이트에 시작 펄스 또는 그 전 블록의 출력신호가 인가되는 제 1 스위칭소자와, 상기 제 1 스위칭소자의 드레인에 소오스가 연결되고 클럭신호가 게이트에 인가되는 제 2 스위칭소자와, 상기 제 2 스위칭소자의 드레인에 소오스가 연결되고 드레인은 전원(V_{SS})단에 연결되는 제 3 스위칭소자와, 소오스는 전원(V_{DD})단에 연결되고 게이트는 다른 클럭신호에 연결되고 드레인은 상기 제 3 스위칭소자의 게이트에 연결되는 제 4 스위칭소자와, 소오스가 상기 제 4 스위칭소자의 드레인에 연결되고 게이트가 상기 제 2 스위칭소자의 드레인과 제 3 스위칭소자의 소오스 연결단에 연결되며 드레인이 V_{SS}단에 연결되는 제 5 스위칭소자와, 소오스가 상기 또 다른 클럭신호에 연결되고 게이트가 상기 제 2 스위칭소자의 드레인에 연결되며 드레인은 출력단(Output)에 연결되는 제 6 스위칭소자와, 소오스가 상기 출력단에 연결되고 게이트가 상기 제 4 스위칭소자의 드레인과 제 3 스위칭소자의 게이트에 연결되며 드레인이 상기 V_{SS}

단에 연결되는 제 7 스위칭소자와, 소오스 및 게이트가 시작 펄스 또는 그 다음 블록의 출력단에 연결되는 제 8 스위칭소자와, 소오스가 상기 제 8 스위칭소자의 드레인에 연결되고 게이트가 상기 또 다른 클럭신호에 연결되며 드레인은 제 2 스위칭소자의 드레인 및 제 6 스위칭소자의 게이트에 연결되는 제 9 스위칭소자를 구비하여 구성됨에 그 특징이 있다.

여기서, 상기 제 6 스위칭소자의 게이트와 상기 V_{SS}단 사이에 연결되는 제 1 커패시터와, 제 6 스위칭소자의 게이트와 드레인 사이에 연결되는 제 2 커패시터와, 제 7 스위칭소자의 게이트와 상기 V_{SS}단 사이에 연결되는 제 3 커패시터를 더 포함함에 특징이 있다.

상기 블록은 5개로 구성되고, 상기 제 6 스위칭소자의 소오스에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 1 클럭신호, 두 번째 블록에서 제 2 클럭 신호, 세 번째 블록에서 제 3 클럭 신호, 네 번째 블록에서 제 4 클럭 신호가 인가되고, 상기 제 4 스위칭소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 3 클럭 신호, 두 번째 블록에서 제 4 클럭 신호, 세 번째 블록에서 제 1 클럭 신호, 네 번째 블록에서 제 2 클럭 신호가 인가되며, 상기 제 2 스위칭소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 4 클럭 신호, 두 번째 블록에서 제 1 클럭 신호, 세 번째 블록에서 제 2 클럭 신호, 네 번째 블록에서 제 3 클럭 신호가 인가되고, 상기 제 9 스위칭소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 2 클럭 신호, 두 번째 블록에서 제 3 클럭 신호, 세 번째 블록에서 제 4 클럭 신호, 네 번째 블록에서 제 1 클럭 신호가 인가됨에 특징이 있다.

상기 블록이 8개로 구성되고, 상기 제 6 스위칭 소자의 소오스에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 1 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 2 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 3 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 4 클럭 신호가 연결되고, 상기 제 4 스위칭 소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 3 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 4 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 1 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 2 클럭 신호가 연결되며, 상기 제 2 스위칭 소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 4 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 1 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 2 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 3 클럭 신호가 연결되고, 상기 제 9 스위칭 소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 2 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 3 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 4 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 1 클럭 신호가 연결됨에 특징이 있다.

상기와 같은 특징을 갖는 본 발명에 따른 액정표시패널의 양 방향 구동회로를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

먼저, 본 출원인은 클럭신호의 위상과 시작 펄스의 인가 방법을 달리하여 양 방향 스캔이 가능하도록 한 액정표시패널의 양 방향 구동회로를 특허 출원한 바 있다. (대한민국 특허출원 2001-9965호, 미국 특허출원 10/082,125호 참조)

도 4는 본 출원인에 의해 기 출원된 액정표시패널의 양 방향 구동회로(쉬프트 레지스터)의 구성도이다.

먼저, 쉬프트 레지스터의 입력단에는, 종래와 같이, 게이트 또는 데이터 시작 펄스(VST)와, 서로 다른 위상을 갖는 4개의 제 1, 제 2, 제 3, 제 4 클럭신호(CLK1, CLK2, CLK3, CLK4)와, 전원전압(V_{dd}, V_{ss})이 입력된다.

그리고 쉬프트 레지스터의 회로적 구성은 8개의 블록으로 구성되고 각 블록의 구성은 거의 유사하나 클럭 신호가 인가되는 부분에서 차이가 있다.

먼저, 첫 번째 블록의 구성은 소오스와 게이트에 상기 시작 펄스(VST)가 인가되는 제 1 p-MOS(TFT1)와, 상기 제 1 p-MOS(TFT1)의 드레인에 소오스가 연결되고 상기 제 4 클럭신호(CLK4)가 게이트에 인가되는 제 2 p-MOS(TFT2)와, 상기 제 2 p-MOS(TFT2)의 드레인에 소오스가 연결되고 드레인은 상기 V_{SS}단에 연결되는 제 3 p-MOS(TFT3)와, 소오스는 상기 V_{dd}단에 연결되고 게이트는 상기 제 3 클럭신호(CLK3)에 연결되고 드레인은 상기 제 3 p-MOS(TFT3)의 게이트에 연결되는 제 4 p-MOS(TFT4)와, 소오스가 상기 제 4 p-MOS(TFT4)의 드레인에 연결되고 게이트가 상기 제 2 p-MOS(TFT2)의 드레인과 제 3 p-MOS(TFT3)의 소오스 연결단에 연결되며 드레인이 V_{SS}단에 연결되는 제 5 p-MOS(TFT5)와, 소오스가 상기 제 1 클럭신호(CLK1)에 연결되고 게이트가 상기 제 2 p-MOS(TFT2)의 드레인에 연결되며 드레인은 출력단(Output)에 연결되는 제 6 p-MOS(TFT6)와, 소오스가 상기 출력단에 연결되고 게이트가 상기 제 4 p-MOS(TFT4)의 드레인 및 제 3 p-MOS(TFT3)의 게이트에 연결되며 드레인이 상기 V_{SS}단에 연결되는 제 7 p-MOS(TFT7)와, 소오스 및 게이트가 그 다음 블록의 출력단에 연결되고 드레인이 상기 제 1 p-MOS(TFT1)의 드레인에 연결되는 제 8 p-MOS(TFT8)와, 상기 제 2 p-MOS(TFT2)와 병렬 연결되고 게이트가 상기 제 2 클럭신호에 연결되는 제 9 p-MOS(TFT9)를 구비하여 구성된다.

여기서, 상기 제 1 p-MOS(TFT1)의 드레인과 제 2 p-MOS(TFT2)의 소오스의 접점과 상기 제 8 p-MOS(TFT8)의 드레인은 커패시터(C1)를 통해 접지되어 있고, 제 6 p-MOS(TFT6)의 게이트는 제 2 커패시터(C2)를 통해 V_{SS}단에 연결되고, 제 6 p-MOS(TFT6)의 게이트와 드레인은 제 3 커패시터(C3)를 통해 연결되고, 제 7 p-MOS(TFT7)의 게이트는 제 4 커패시터(C4)를 통해 V_{SS}단에 연결된다.

그리고 두 번째부터 8번째 블록까지의 차이점은 제 6 p-MOS(TFT6)의 소오스, 제 4 p-MOS(TFT4)의 게이트, 제 2 p-MOS(TFT2)의 게이트, 제 9 p-MOS(TFT9)의 게이트에 각각 인가되는 클럭신호의 차이가 있고, 제 1 p-MOS(TFT1)의 소오스 및 게이트에는 이전 블록의 출력단이 연결되고 맨 마지막 블록의 제 8 p-MOS(TFT8)의 소오스 및 게이트에는 시작 펄스(VST)가 연결되고 나머지 블록의 제 8 p-MOS(TFT8)은 그 다음 블록의 출력단에 연결된다.

즉, 첫 번째 블록에서 8번째 블록까지의 클럭 신호 연결은 다음과 같다.

먼저, 상기 제 6 p-MOS(TFT6)의 소오스에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 1 클럭신호(CLK1), 두 번째 및 여섯 번째 블록에서 제 2 클럭 신호(CLK2), 세 번째 및 일곱 번째 블록에서 제 3 클럭 신호(CLK3), 네 번째 및 여덟 번째 블록에서 제 4 클럭 신호(CLK4)가 연결된다.

상기 제 4 p-MOS(TFT4)의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 3 클럭 신호(CLK3), 두 번째 및 여섯 번째 블록에서 제 4 클럭 신호(CLK4), 세 번째 및 일곱 번째 블록에서 제 1 클럭 신호(CLK1), 네 번째 및 여덟 번째 블록에서 제 2 클럭 신호(CLK2)가 연결된다.

상기 제 2 p-MOS(TFT2)의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 4 클럭 신호(CLK4), 두 번째 및 여섯 번째 블록에서 제 1 클럭 신호(CLK1), 세 번째 및 일곱 번째 블록에서 제 2 클럭 신호(CLK2), 네 번째 및 여덟 번째 블록에서 제 3 클럭 신호(CLK3)가 연결된다.

상기 제 9 p-MOS(TFT9)의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 2 클럭 신호(CLK2), 두 번째 및 여섯 번째 블록에서 제 3 클럭 신호(CLK3), 세 번째 및 일곱 번째 블록에서 제 4 클럭 신호(CLK4), 네 번째 및 여덟 번째 블록에서 제 1 클럭 신호(CLK1)가 연결된다.

이와 같은 액정표시패널의 양 방향쉬프트 레지스터의 동작은 다음과 같다.

도 5는 도 4에 따른 액정표시패널 쉬프트 레지스터의 순방향 입력 및 출력 파형도이고, 도 6은 도 4에 따른 액정표시패널 쉬프트 레지스터의 역방향 입력 및 출력 파형도이다.

먼저, 순방향 구동을 원할 때는, 도 5와 같이, 제 1 클럭 신호, 제 2 클럭 신호, 제 3 클럭 신호, 제 4 클럭 신호의 순서로 반복 입력되도록 하고 시작 펄스가 입력될 때 종래와 같이 제 4 클럭 신호가 입력되도록 한다.

반면, 역방향 구동을 원할 때는, 도 6과 같이, 제 4 클럭 신호, 제 3 클럭 신호, 제 2 클럭 신호, 제 1 클럭 신호의 순서로 반복 입력되도록 하고 시작 펄스가 입력될 때 제 1 클럭 신호가 입력되도록 한다.

따라서, 첫 번째 블록의 순방향 동작을 설명하면, 시작 펄스(VST)가 스위치 온 상태(로우 레벨) 신호가 입력되면, 제 1 p-MOS(TFT1)가 턴 온되고, 이 때 제 4 클럭 신호(CLK4)가 스위치 온 상태(로우 레벨) 신호가 입력되므로 제 2 p-MOS(TFT2)도 턴 온되므로 로드(Q)가 스위치 온 상태(로우 레벨)가 된다. 따라서, 제 6 p-MOS(TFT6)이 턴 온되고 제 1 클럭 신호(CLK1)가 출력단으로 전달되어 출력된다. 이 때, 로드(QB)는 스위치 오프 상태(하이 레벨)이므로 제 7 p-MOS(TFT7)은 턴 오프되므로 V_{ss} 전압이 출력단으로 전달되지 못한다.

같은 방법으로 두 번째 블록에서는 상기 첫 번째 블록의 출력이 로우 레벨이고 제 1 클럭 신호가 로우 레벨일 때 제 6 p-MOS(TFT6)가 턴 온되므로 소오스에 인가되는 제 2 클럭 신호(CLK2)가 출력된다.

이와 같은 방법으로 도 5에 도시한 바와 같이, 첫 번째 블록부터 여덟 번째 블록까지 차례로 출력이 발생한다.

반대로, 역방향 동작을 설명하면, 시작 펄스(VST)가 스위치 온 상태(로우 레벨) 신호가 입력되고 제 1 클럭 신호가 스위치 온 상태(로우 레벨) 신호로 입력되므로, 첫 번째 블록에서 제 1 p-MOS(TFT1)는 턴 온되나 제 2 p-MOS(TFT2)는 턴 온되지 않으므로 제 6 p-MOS(TFT6)도 턴 온되지 않아 제 1 클럭 신호를 출력하지 못한다. 그러나, 8번째 블록에서는 제 1 p-MOS(TFT1)와 제 9p-MOS(TFT9)가 동시에 턴 온되므로 제 6 p-MOS(TFT6)가 턴 온되어 제 4 클럭 신호를 출력하게 된다.

이와 같이 8번째 블록에서 맨 먼저 출력된다. 그리고 상기 8번째 블록에서 출력된 신호가 일곱 번째 블록의 제 8 p-MOS(TFT8)에 인가되고 이 때 제 4 클럭신호(CLK4)가 스위치 온 상태의 로우 레벨이 되므로 일곱 번째 블록에서는 제 8 및 제 9 p-MOS(TFT8, TFT9)가 턴 온되고 더불어 제 6 p-MOS(TFT6)가 턴 온되어 제 3 클럭 신호를 출력하게 된다. 이와 같은 방법에 의해 시작 펄스를 제 1 클럭 신호에 동기 시키고 제 4 클럭 신호부터 제 1 클럭 신호 순서로 클럭 신호가 발생되도록 하면, 여덟 번째 블록에서 첫 번째 블록 순의 역방향으로 신호가 출력된다.

이와 같이 순방향과 역방향 스캔이 별도의 신호나 핀(PIN)이 필요 없이 이루어질 수 있으므로 제작된 액정표시패널에 대해 시스템 사양에 알맞게 패널을 장착할 수 있게 해준다. 즉, 포트리트형 디스플레이 또는 랜트케이프형 디스플레이에 모두 응용 가능하다.

그러나, 상기와 같이 본 출원인에 의해 기술된 기술에서는, 상기 쉬프트 레지스터의 스테이지(stage) 개수가 4의 배수가 되어야 동작이 가능한 단점을 가지고 있다. 즉 쉬프트 레지스터의 개수가 4의 배수가 되지 않으면 마지막 단의 출력 파형의 왜곡이 발생하게 된다.

도 7은 도 4에서 쉬프트 레지스터의 스테이지 개수가 5개인 양 방향 구동회로의 구성도이다.

쉬프트 레지스터의 스테이지 개수가 5개인 경우는, 첫 번째 블록에서 4번째 블록까지는 도 4와 같고, 마지막 다섯 번째 블록에서만 차이가 있다.

즉, 다섯 번째 블록의 구성은, 소오스와 게이트에 상기 이전 블록의 출력단이 연결되는 제 1 p-MOS(TFT1)와, 상기 제 1 p-MOS(TFT1)의 드레인에 소오스가 연결되고 상기 제 4 클럭신호(CLK4)가 게이트에 인가되는 제 2 p-MOS(TFT2)와, 상기 제 2 p-MOS(TFT2)의 드레인에 소오스가 연결되고 드레인은 상기 V_{ss} 단에 연결되는 제 3 p-MOS(TFT3)와, 소오스는 상기 V_{dd} 단에 연결되고 게이트는 상기 제 3 클럭신호(CLK3)에 연결되고 드레인은 상기 제 3 p-MOS(TFT3)의 게이트에 연결되는 제 4 p-MOS(TFT4)와, 소오스가 상기 제 4 p-MOS(TFT4)의 드레인에 연결되고 게이트가 상기 제 2 p-MOS(TFT2)의 드레인과 제 3 p-MOS(TFT3)의 소오스 연결단에 연결되며 드레인이 V_{ss} 단에 연결되는 제 5 p-MOS(TFT5)와, 소오스가 상기 제 1 클럭신호(CLK1)에 연결되고 게이트가 상기 제 2 p-MOS(TFT2)의 드레인에 연결되며 드레인은 출력단(Output)에 연결되는 제 6 p-MOS(TFT6)와, 소오스가 상기 출력단에 연결되고 게이트가 상기 제 4 p-

MOS(TFT4)의 드레인 및 제 3 p-MOS(TFT3)의 게이트에 연결되며 드레인이 상기 V_{ss}단에 연결되는 제 7 p-MOS(TFT7)와, 소오스 및 게이트가 상기 시작펄스(VST)에 연결되고 드레인이 상기 제 1 p-MOS(TFT1)의 드레인에 연결되는 제 8 p-MOS(TFT8)와, 상기 제 2 p-MOS(TFT2)와 병렬 연결되고 게이트가 상기 제 2 클럭신호에 연결되는 제 9 p-MOS(TFT9)를 구비하여 구성된다.

여기서, 상기 제 1 p-MOS(TFT1)의 드레인과 제 2 p-MOS(TFT2)의 소오스의 접점과 상기 제 8 p-MOS(TFT8)의 드레인은 커패시터(C1)를 통해 접지되어 있고, 제 6 p-MOS(TFT6)의 게이트는 제 2 커패시터(C2)를 통해 V_{ss}단에 연결되고, 제 6 p-MOS(TFT6)의 게이트와 드레인은 제 3 커패시터(C3)를 통해 연결되고, 제 7 p-MOS(TFT7)의 게이트는 제 4 커패시터(C4)를 통해 V_{ss}단에 연결된다.

이와 같이 쉬프트 레지스터가 5 스테이지로 구성된 양 방향 구동회로의 동작은 다음과 같다.

도 8은 도 7에 따른 액정표시패널 쉬프트 레지스터의 순방향 입력 및 출력 파형도이고, 도 9는 도 7에 따른 액정표시패널 쉬프트 레지스터의 역 방향 입력 및 출력 파형도이다.

먼저, 순 방향 구동을 원할 때는, 도 8과 같이, 제 1 클럭 신호, 제 2 클럭 신호, 제 3 클럭 신호, 제 4 클럭 신호의 순서로 반복 입력되도록 하고 시작 펄스가 입력될 때 종래와 같이 제 4 클럭 신호가 입력되도록 한다.

반면, 역 방향 구동을 원할 때는, 도 9와 같이, 제 4 클럭 신호, 제 3 클럭 신호, 제 2 클럭 신호, 제 1 클럭 신호의 순서로 반복 입력되도록 하고 시작 펄스가 입력될 때 제 2 클럭 신호가 입력되도록 한다.

도 8에서 알 수 있는 바와 같이, 쉬프트 레지스터가 5개 구성되어 있는 회로에서는 순방향 구동을 적용할 경우 마지막인 5번째 쉬프트 레지스터의 출력 파형이 2개가 나타난다.

이는 5번째 쉬프트 레지스터가 첫 번째 쉬프트 레지스터와 구조가 같기 때문에 발생하는 것이다.

즉, 첫 번째 블록에서, 시작 펄스(VST)가 스위치 온 상태(로우 레벨) 신호가 입력되면, 제 1 p-MOS(TFT1)가 턴 온되고, 이 때 제 4 클럭 신호(CLK4)가 스위치 온 상태(로우 레벨) 신호가 입력되므로 제 2 p-MOS(TFT2)도 턴 온되므로 로드(Q)가 스위치 온 상태(로우 레벨)가 된다. 따라서, 제 6 p-MOS(TFT6)이 턴 온되고 제 1 클럭 신호(CLK1)가 출력단으로 전달되어 출력된다. 이 때, 로드(QB)는 스위치 오프 상태(하이 레벨)이므로 제 7 p-MOS(TFT7)은 턴 오프되므로 V_{ss} 전압이 출력단으로 전달되지 못한다.

이와 동시에, 5번째 블록(쉬프트 레지스터)에도 스타트 펄스(스위치 온 상태 (로우 레벨)가 제 8 p-MOS(TFT8)를 통해 입력되고 이 때 제 4 클럭 신호(CLK4)가 스위치 온 상태(로우 레벨) 신호가 입력되므로 제 2 p-MOS(TFT2)도 턴 온되므로 로드(Q)가 스위치 온 상태(로우 레벨)가 된다. 따라서, 제 6 p-MOS(TFT6)이 턴 온되고 제 1 클럭 신호(CLK1)가 출력단으로 전달되어 출력된다.

따라서, 순방향 구동 시 다섯 번째 블록에서는 2개의 출력이 발생하게 된다.

마찬가지로, 5개의 쉬프트 레지스터로 구성되어 있는 회로의 경우, 역 방향 구동을 적용할 경우에도 마지막인 첫 번째 쉬프트 레지스터의 출력 파형이 2개가 나타남을 도 9에서 관찰할 수 있다.

이상에서 설명한 바와 같이 기 출원된 기술은 쉬프트 레지스터가 4의 배수개로 구성되어야만 동작이 가능하므로, 쉬프트 레지스터의 수에 관계없이 양 방향 구동이 가능한 액정표시소자 양방향 구동회로를 다음과 같이 제안한다.

도 10은 본 발명에 따른 액정표시소자의 양 방향 구동회로도이다.

먼저, 쉬프트 레지스터의 입력단에는, 게이트 또는 데이터 시작 펄스(VST)와, 서로 다른 위상을 갖는 4개의 제 1, 제 2, 제 3, 제 4 클럭신호(CLK1, CLK2, CLK3, CLK4)와, 전원전압(V_{dd}, V_{ss})이 입력된다.

그리고 쉬프트 레지스터의 회로적 구성은 5개의 블록으로 구성되고 각 블록의 구성은 거의 유사하나 클럭 신호가 인가되는 부분에서 차이가 있다.

먼저, 첫 번째 블록의 구성은 소오스와 게이트에 상기 시작 펄스(VST)가 인가되는 제 1 p-MOS(TFT1)와, 상기 제 1 p-MOS(TFT1)의 드레인에 소오스가 연결되고 상기 제 4 클럭신호(CLK4)가 게이트에 인가되는 제 2 p-MOS(TFT2)와, 상기 제 2 p-MOS(TFT2)의 드레인에 소오스가 연결되고 드레인은 상기 V_{ss}단에 연결되는 제 3 p-MOS(TFT3)와, 소오스는 상기 전원(V_{dd})단에 연결되고 게이트는 상기 제 3 클럭신호(CLK3)에 연결되고 드레인은 상기 제 3 p-MOS(TFT3)의 게이트에 연결되는 제 4 p-MOS(TFT4)와, 소오스가 상기 제 4 p-MOS(TFT4)의 드레인에 연결되고 게이트가 상기 제 2 p-MOS(TFT2)의 드레인과 제 3 p-MOS(TFT3)의 소오스 연결단에 연결되며 드레인이 V_{ss}단에 연결되는 제 5 p-MOS(TFT5)와, 소오스가 상기 제 1 클럭신호(CLK1)에 연결되고 게이트가 상기 제 2 p-MOS(TFT2)의 드레인에 연결되며 드레인은 출력단(Output)에 연결되는 제 6 p-MOS(TFT6)와, 소오스가 상기 출력단에 연결되고 게이트가 상기 제 4 p-MOS(TFT4)의 드레인 및 제 3 p-MOS(TFT3)의 게이트에 연결되며 드레인이 상기 V_{ss}단에 연결되는 제 7 p-MOS(TFT7)와, 소오스 및 게이트가 그 다음 블록의 출력단에 연결되는 제 8 p-MOS(TFT8)와, 소오스가 상기 제 8 p-MOS(TFT8)의 드레인에 연결되고 게이트가 상기 제 2 클럭신호에 연결되며 드레인은 제 2 p-MOS(TFT2)의 드레인 및 제 6 p-MOS(TFT6)의 게이트에 연결되는 제 9 p-MOS(TFT9)를 구비하여 구성된다.

여기서, 상기 제 6 p-MOS(TFT6)의 게이트는 제 1 커패시터(C1)를 통해 V_{ss}단에 연결되고, 제 6 p-MOS(TFT6)의 게이트와 드레인인 제 2 커패시터(C2)를 통해 서로 연결되고, 제 7 p-MOS(TFT7)의 게이트는 제 3 커패시터(C3)를 통해 V_{ss}단에 연결된다.

그리고 두 번째부터 5번째 블록까지의 차이점은 제 6 p-MOS(TFT6)의 소오스, 제 4 p-MOS(TFT4)의 게이트, 제 2 p-MOS(TFT2)의 게이트, 제 9 p-MOS(TFT9)의 게이트에 각각 인가되는 클럭신호의 차이가 있고, 제 1 p-MOS(TFT1)의 소오스 및 게이트에는 이전 블록의 출력단이 연결되고 맨 마지막 블록의 제 8 p-MOS(TFT8)의 소오스 및 게이트에는 시작 펄스(VST)가 연결되고 나머지 블록의 제 8 p-MOS(TFT8)은 그 다음 블록의 출력단에 연결된다.

즉, 첫 번째 블록에서 5번째 블록까지의 클럭 신호 연결은 다음과 같다.

먼저, 상기 제 6 p-MOS(TFT6)의 소오스에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 1 클럭신호(CLK1), 두 번째 블록에서 제 2 클럭 신호(CLK2), 세 번째 블록에서 제 3 클럭 신호(CLK3), 네 번째 블록에서 제 4 클럭 신호(CLK4)가 인가된다.

상기 제 4 p-MOS(TFT4)의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 3 클럭 신호(CLK3), 두 번째 블록에서 제 4 클럭 신호(CLK4), 세 번째 블록에서 제 1 클럭 신호(CLK1), 네 번째 블록에서 제 2 클럭 신호(CLK2)가 인가된다.

상기 제 2 p-MOS(TFT2)의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 4 클럭 신호(CLK4), 두 번째 블록에서 제 1 클럭 신호(CLK1), 세 번째 블록에서 제 2 클럭 신호(CLK2), 네 번째 블록에서 제 3 클럭 신호(CLK3)가 연결된다.

상기 제 9 p-MOS(TFT9)의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 2 클럭 신호(CLK2), 두 번째 블록에서 제 3 클럭 신호(CLK3), 세 번째 블록에서 제 4 클럭 신호(CLK4), 네 번째 블록에서 제 1 클럭 신호(CLK1)가 연결된다.

상술한 바와 같이, 5개의 블록(쉬프트 레지스터)으로 구성될 경우, 각 블록의 제 6 p-MOS(TFT6)의 소오스, 제 4 p-MOS(TFT4)의 게이트, 제 2 p-MOS(TFT2)의 게이트, 제 9 p-MOS(TFT9)의 게이트에 각각 인가되는 클럭신호는 상기와 같다.

그리고, 만약 8개의 블록으로 구성될 경우, 도면에는 도시되지 않았지만, 각 블록의 제 6 p-MOS(TFT6)의 소오스, 제 4 p-MOS(TFT4)의 게이트, 제 2 p-MOS(TFT2)의 게이트, 제 9 p-MOS(TFT9)의 게이트에 각각 인가되는 클럭신호는 첫 번째와 다섯 번째, 두 번째와 여섯 번째, 세 번째와 일곱 번째, 네 번째와 여덟 번째에서 동일하게 인가된다.

이와 같은 액정표시패널의 양 방향쉬프트 레지스터의 동작은 다음과 같다.

도 11은 도 10에 따른 본 발명의 액정표시패널 쉬프트 레지스터의 순방향 입력 및 출력 파형도이고, 도 12는 도 10에 따른 본 발명의 액정표시패널 쉬프트 레지스터의 역 방향 입력 및 출력 파형도이다.

먼저, 순 방향 구동을 원할 때는, 도 11과 같이, 제 1 클럭 신호, 제 2 클럭 신호, 제 3 클럭 신호, 제 4 클럭 신호의 순서로 반복 입력되도록 하고 시작 펄스가 입력될 때 종래와 같이 제 4 클럭 신호가 입력되도록 한다.

반면, 역 방향 구동을 원할 때는, 도 12와 같이, 제 4 클럭 신호, 제 3 클럭 신호, 제 2 클럭 신호, 제 1 클럭 신호의 순서로 반복 입력되도록 하고 시작 펄스가 입력될 때 제 2 클럭 신호가 입력되도록 한다.

따라서, 첫 번째 블록의 순방향 동작을 설명하면, 시작 펄스(VST)가 스위치 온 상태(로우 레벨) 신호가 입력되면, 제 1 p-MOS(TFT1)가 턴 온되고, 이 때 제 4 클럭 신호(CLK4)가 스위치 온 상태(로우 레벨) 신호가 입력되므로 제 2 p-MOS(TFT2)도 턴 온되므로 로드(Q)가 스위치 온 상태(로우 레벨)가 된다. 따라서, 제 6 p-MOS(TFT6)이 턴 온되고 제 1 클럭 신호(CLK1)가 출력단으로 전달되어 출력된다. 이 때, 로드(QB)는 스위치 오프 상태(하이 레벨)이므로 제 7 p-MOS(TFT7)은 턴 오프되므로 V_{ss} 전압이 출력단으로 전달되지 못한다.

같은 방법으로 두 번째 블록에서는 상기 첫 번째 블록의 출력이 로우 레벨이고 제 1 클럭 신호가 로우 레벨일 때 제 6 p-MOS(TFT6)가 턴 온되므로 소오스에 인가되는 제 2 클럭 신호(CLK2)가 출력된다.

그리고, 마지막 블록인 다섯 번째 블록에서는, 시작 펄스(VST)가 스위치 온 상태(로우 레벨) 신호가 입력되면, 제 8 p-MOS(TFT8)가 턴 온되더라도, 제 9 p-MOS(TFT9)의 게이트에 제 2 클럭 신호(CLK2)가 스위치 오프 상태(하이 레벨) 신호가 입력되므로 제 9 p-MOS(TFT9)도 턴 오프되므로 로드(Q)가 스위치 오프 상태(하이 레벨)가 된다. 따라서, 제 6 p-MOS(TFT6)이 턴 오프된다. 따라서, 다섯 번째 블록에서는 시작신호 입력 시 출력신호가 없으며, 단지 그 전 블록의 출력이 스위치 온 상태 신호가 상기 제 1 p-MOS(TFT1)에 인가될 때만 출력이 발생되므로 정상적인 출력 파형이 발생된다.

이와 같은 방법으로 도 11에 도시한 바와 같이, 첫 번째 블록부터 5번째 블록까지 차례로 출력이 발생한다.

반대로, 역 방향 동작을 설명하면, 시작 펄스(VST)가 스위치 온 상태(로우 레벨) 신호가 입력되고 제 2 클럭 신호가 스위치 온 상태(로우 레벨) 신호로 입력되므로, 첫 번째 블록에서 제 1 p-MOS(TFT1)는 턴 온되나 제 2 p-MOS(TFT2)는 턴

온되지 않으므로 제 6 p-MOS(TFT6)도 턴 온되지 않아 제 1 클럭 신호를 출력하지 못한다. 그러나, 5번째 블록에서는 제 8 p-MOS(TFT8)와 제 9p-MOS(TFT9)가 동시에 턴 온되므로 제 6 p-MOS(TFT6)가 턴 온되어 제 1 클럭 신호를 출력하게 된다.

이와 같이 5번째 블록에서 맨 먼저 출력된다. 그리고 상기 5번째 블록에서 출력된 신호가 네 번째 블록의 제 8 p-MOS(TFT8)에 인가되고 이 때 제 1 클럭 신호(CLK1)가 스위치 온 상태의 로우 레벨이 되므로 네 번째 블록에서는 제 8 및 제 9 p-MOS(TFT8, TFT9)가 턴 온되고 더불어 제 6 p-MOS(TFT6)가 턴 온되어 제 4 클럭 신호를 출력하게 된다. 이와 같은 방법에 의해 시작 펄스를 제 2 클럭 신호에 동기 시키고 제 1 클럭 신호부터 제 4 및 제 3 클럭 신호 순서로 클럭 신호가 발생되도록 하면, 다섯 번째 블록에서 첫 번째 블록 순의 역방향으로 신호가 출력된다.

발명의 효과

이상에서 설명한 바와 같은 본 발명에 따른 액정표시패널의 양 방향 구동회로에 있어서는 다음과 같은 효과가 있다.

본 발명은 쉬프트 레지스터의 동작이 양 방향으로 이루어지도록 하므로 동일한 액정표시패널을 사용하여도 양 방향으로 액정표시패널을 구동할 수 있다.

따라서, 구동 회로가 내장되는 액정표시패널을 시스템 업체에 따라 패널의 위치 및 방향에 제약을 받지않고 시스템을 만들 수 있다.

또한, 별도의 입력 핀을 구비하지 않아도 양 방향으로 액정표시패널을 구동할 수 있다.

구동회로의 스테이지 수가 4의 배수가 아니더라도 동작이 가능하므로 스테이지 수에 관계없이 양 방향으로 구동할 수 있다.

(57) 청구의 범위

청구항 1.

복수개의 블록을 구비한 액정표시패널의 구동회로에 있어서,

각 블록은,

소오스와 게이트에 시작 펄스 또는 그 전 블록의 출력신호가 인가되는 제 1 스위칭소자와,

상기 제 1 스위칭소자의 드레인에 소오스가 연결되고 클럭신호가 게이트에 인가되는 제 2 스위칭소자와,

상기 제 2 스위칭소자의 드레인에 소오스가 연결되고 드레인은 제 1 입력 전원에 연결되는 제 3 스위칭소자와,

소오스는 제 2 입력 전원에 연결되고 게이트는 다른 클럭신호에 연결되고 드레인은 상기 제 3 스위칭소자의 게이트에 연결되는 제 4 스위칭소자와,

소오스가 상기 제 4 스위칭소자의 드레인에 연결되고 게이트가 상기 제 2 스위칭소자의 드레인과 제 3 스위칭소자의 소오스 연결단에 연결되며 드레인이 상기 제 1 입력 전원에 연결되는 제 5 스위칭소자와,

소오스가 상기 또 다른 클럭신호에 연결되고 게이트가 상기 제 2 스위칭소자의 드레인에 연결되며 드레인은 출력단(Output)에 연결되는 제 6 스위칭소자와,

소오스가 상기 출력단에 연결되고 게이트가 상기 제 4 스위칭소자의 드레인 및 제 3 스위칭소자의 게이트에 연결되며 드레인이 상기 제 1 입력 전원에 연결되는 제 7 스위칭소자와,

소오스 및 게이트가 시작 펄스 또는 그 다음 블록의 출력단에 연결되는 제 8 스위칭소자와,

소오스가 상기 제 8 스위칭소자의 드레인에 연결되고 게이트가 상기 또 다른 클럭신호에 연결되며 드레인은 제 2 스위칭소자의 드레인 및 제 6 스위칭소자의 게이트에 연결되는 제 9 스위칭소자를 구비하여 구성됨을 특징으로 하는 액정표시패널의 양 방향 구동회로.

청구항 2.

제 1 항에 있어서,

상기 제 6 스위칭소자의 게이트와 상기 제 1 입력 전원 사이에 연결되는 제 1 커패시터와,

제 6 스위칭소자의 게이트와 드레인 사이에 연결되는 제 2 커패시터와,

제 7 스위칭소자의 게이트와 상기 제 1 입력 전원 사이에 연결되는 제 3 커패시터를 더 포함함을 특징으로 하는 액정표시패널의 양 방향 구동회로.

청구항 3.

제 1 항에 있어서,

상기 블록은 5개로 구성되고,

상기 제 6 스위칭소자의 소오스에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 1 클럭 신호, 두 번째 블록에서 제 2 클럭 신호, 세 번째 블록에서 제 3 클럭 신호, 네 번째 블록에서 제 4 클럭 신호가 인가되고,

상기 제 4 스위칭소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 3 클럭 신호, 두 번째 블록에서 제 4 클럭 신호, 세 번째 블록에서 제 1 클럭 신호, 네 번째 블록에서 제 2 클럭 신호가 인가되며,

상기 제 2 스위칭소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 4 클럭 신호, 두 번째 블록에서 제 1 클럭 신호, 세 번째 블록에서 제 2 클럭 신호, 네 번째 블록에서 제 3 클럭 신호가 인가되고,

상기 제 9 스위칭소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 2 클럭 신호, 두 번째 블록에서 제 3 클럭 신호, 세 번째 블록에서 제 4 클럭 신호, 네 번째 블록에서 제 1 클럭 신호가 인가됨을 특징으로 하는 액정표시패널의 양 방향 구동회로.

청구항 4.

제 1 항에 있어서,

상기 블록이 8개로 구성되고,

상기 제 6 스위칭 소자의 소오스에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 1 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 2 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 3 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 4 클럭 신호가 연결되고,

상기 제 4 스위칭 소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 3 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 4 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 1 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 2 클럭 신호가 연결되며,

상기 제 2 스위칭 소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 4 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 1 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 2 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 3 클럭 신호가 연결되고,

상기 제 9 스위칭 소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 2 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 3 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 4 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 1 클럭 신호가 연결됨을 특징으로 하는 액정표시패널의 양 방향 구동회로.

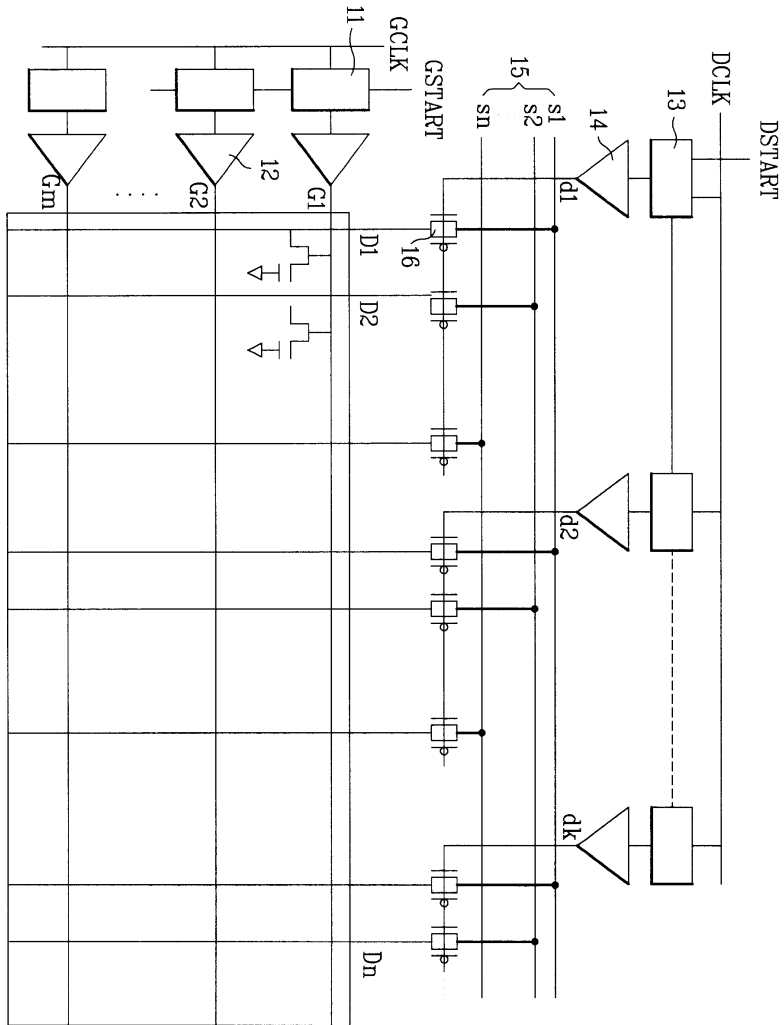
청구항 5.

제 1 항에 있어서,

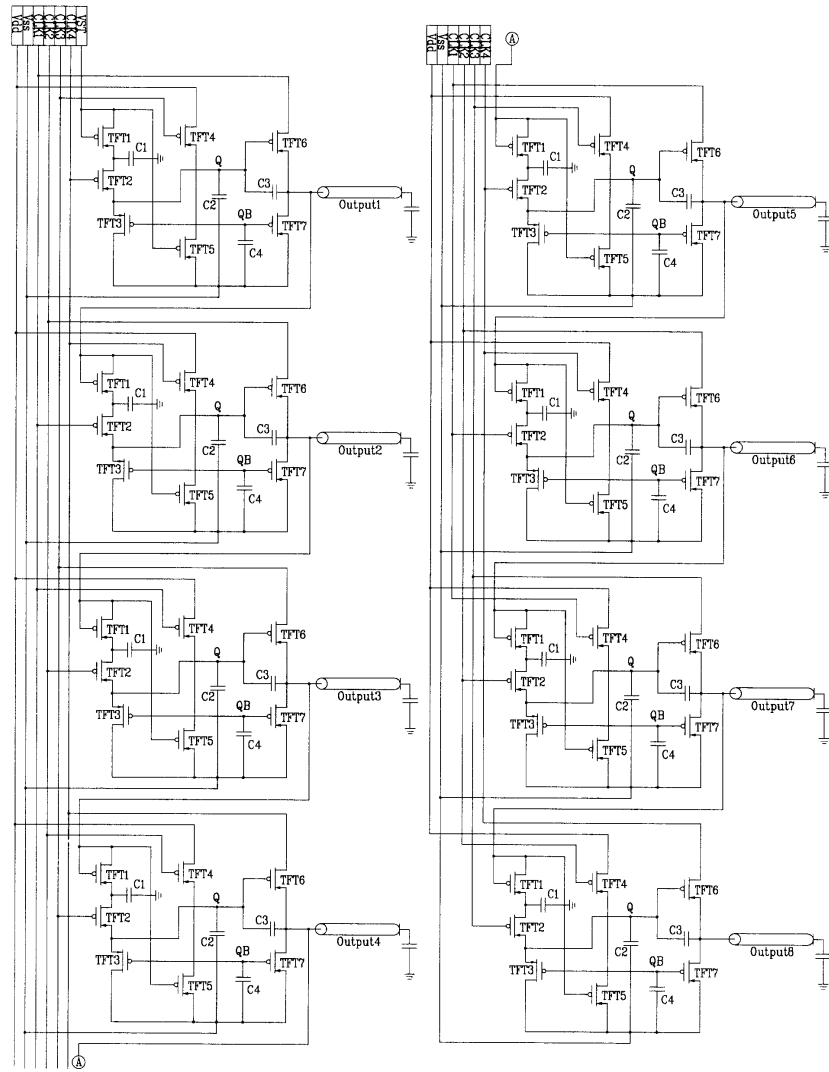
상기 각 스위칭소자는 p-MOS로 구성됨을 특징으로 하는 액정표시패널의 양 방향 구동회로.

도면

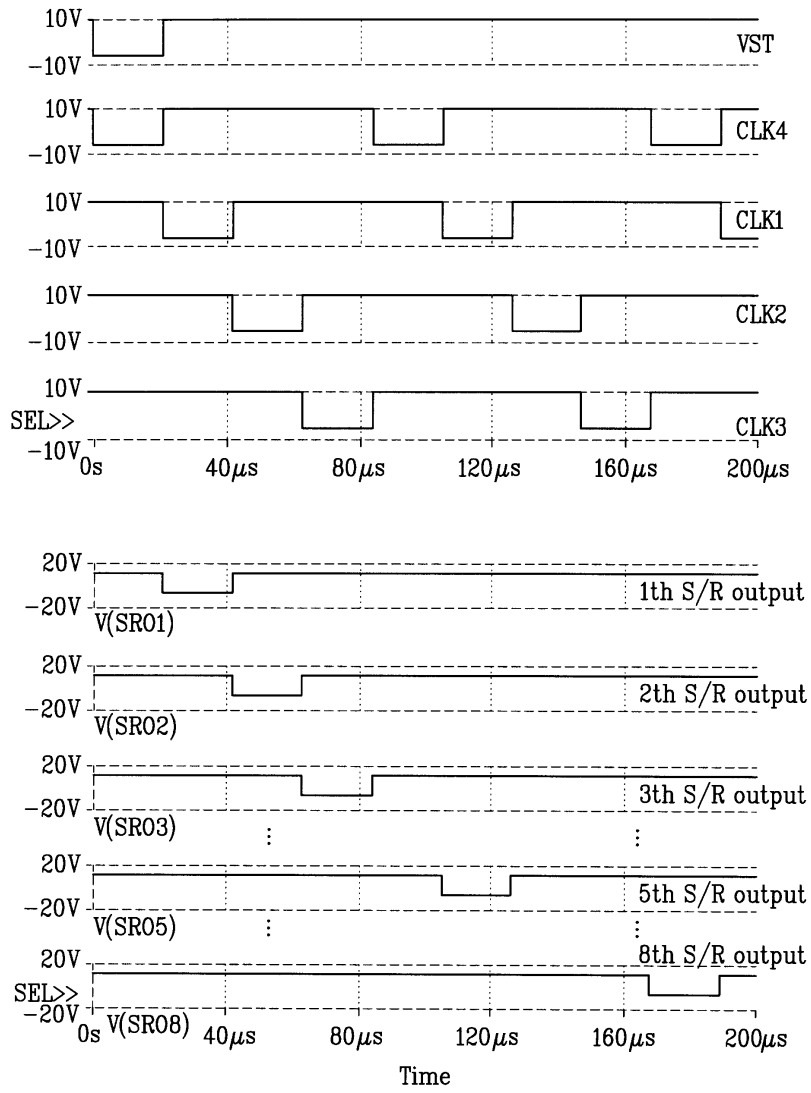
도면1



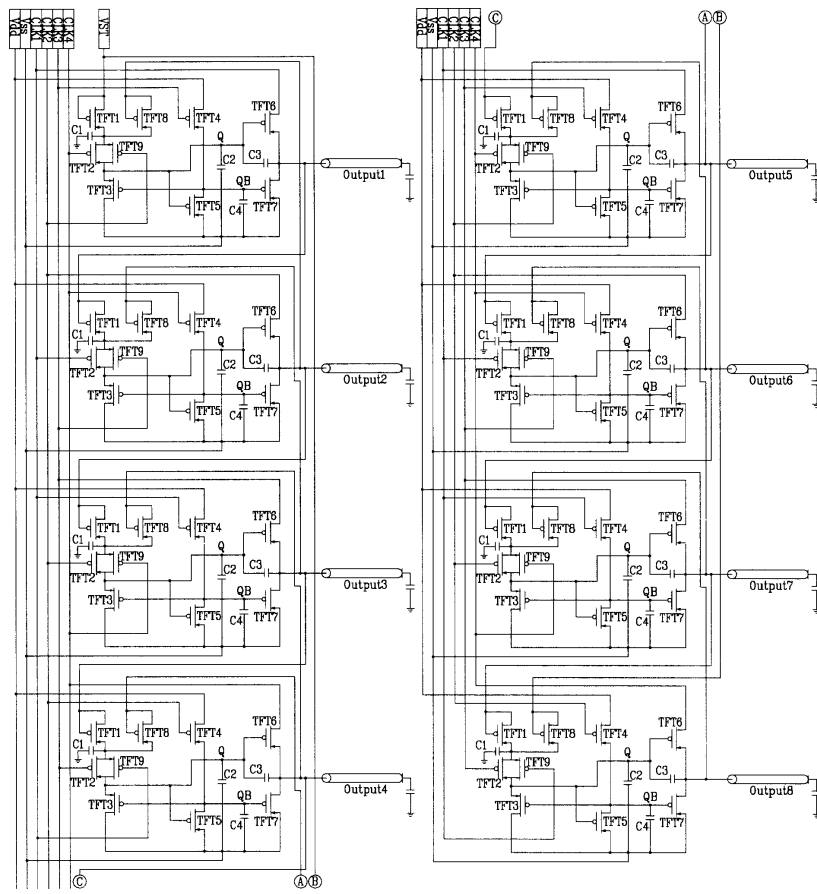
도면2



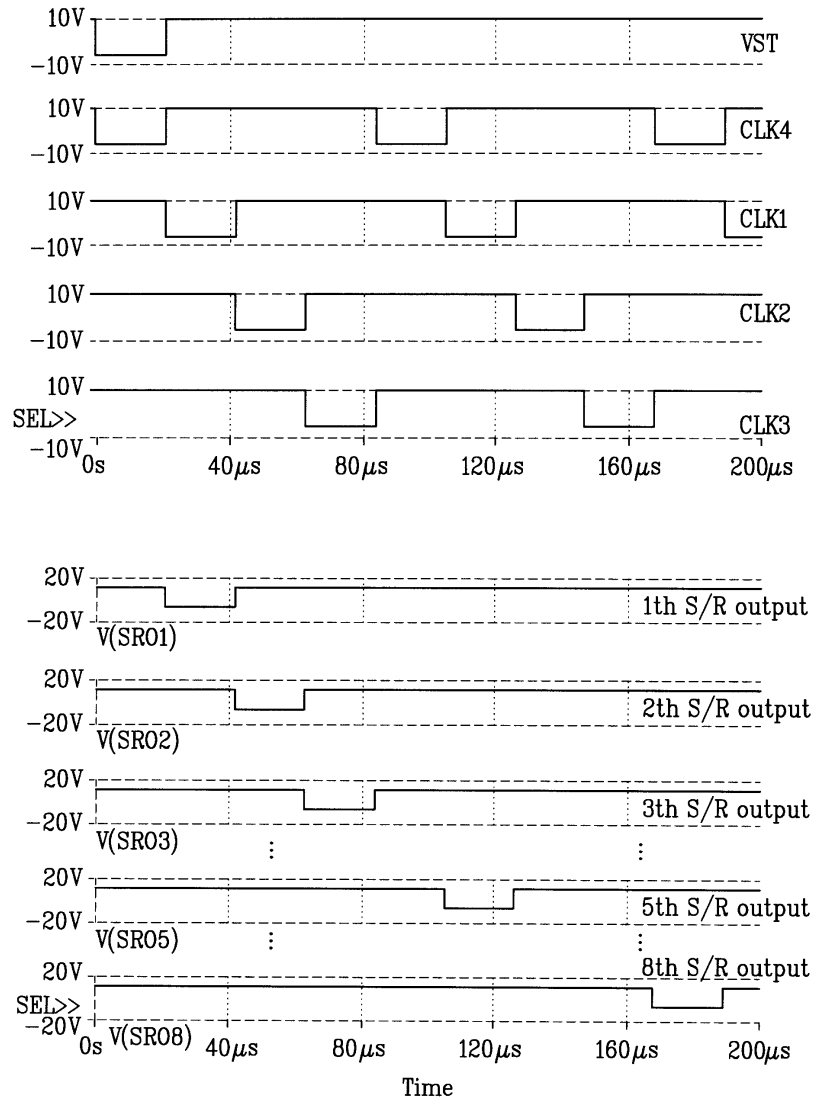
도면3



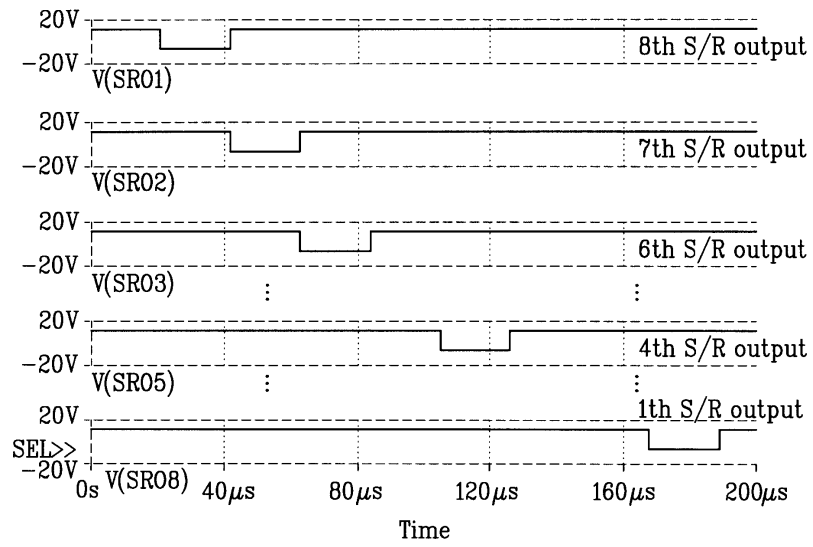
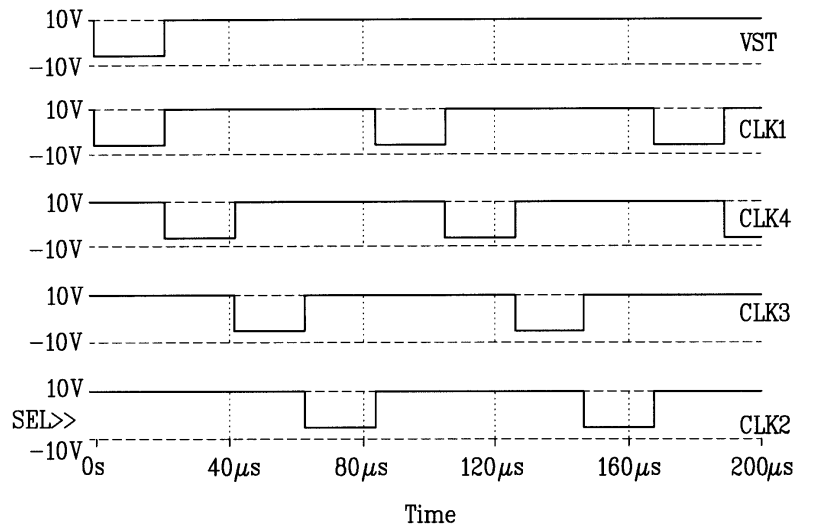
도면4



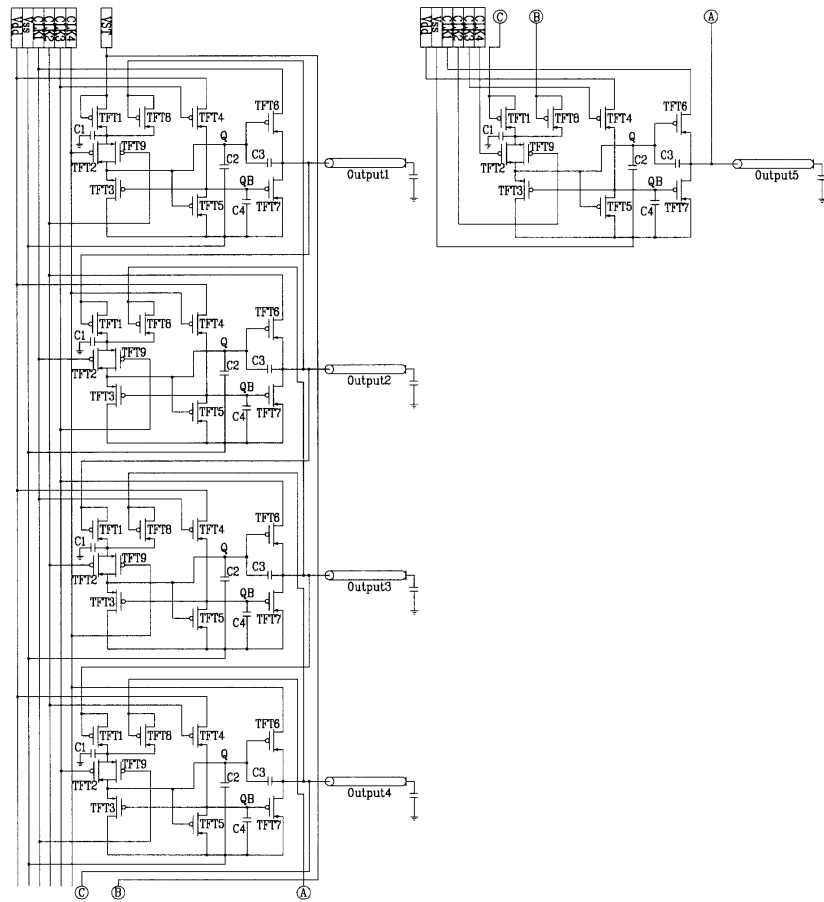
도면5



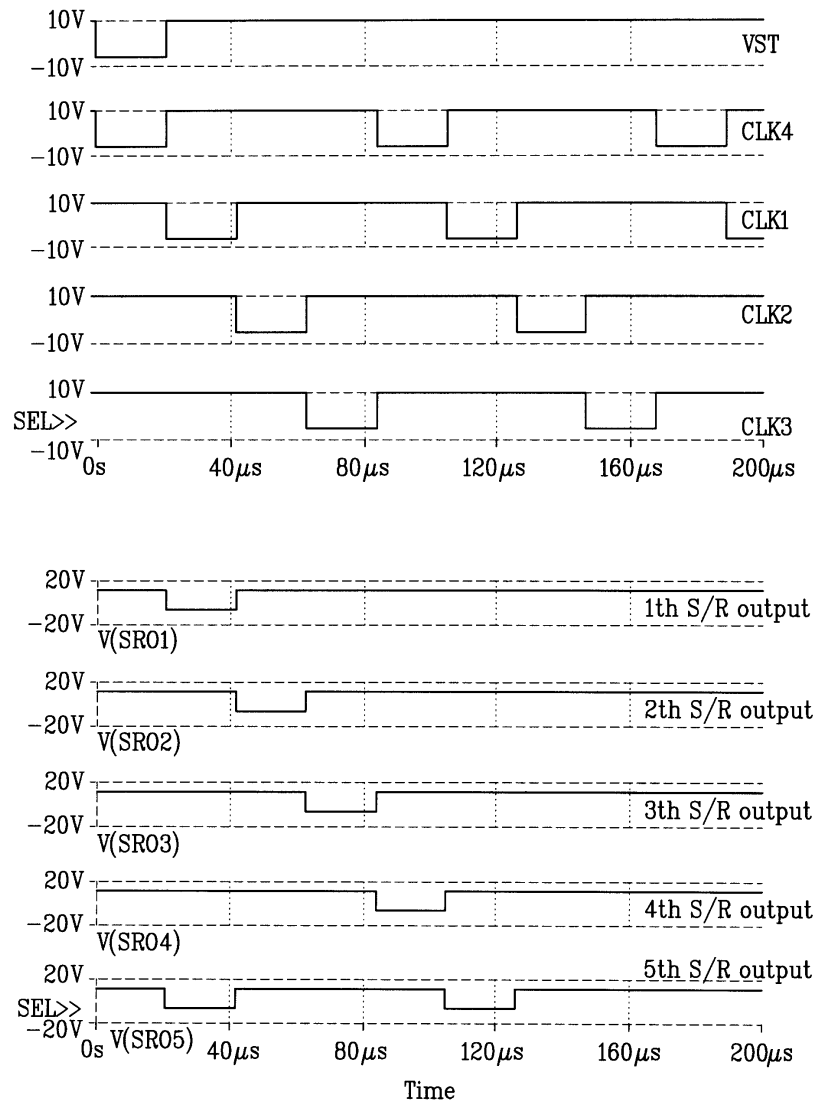
도면6



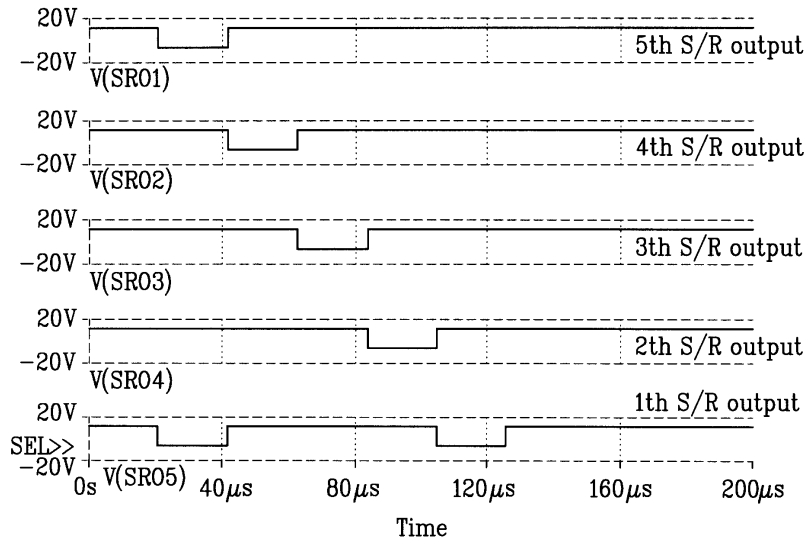
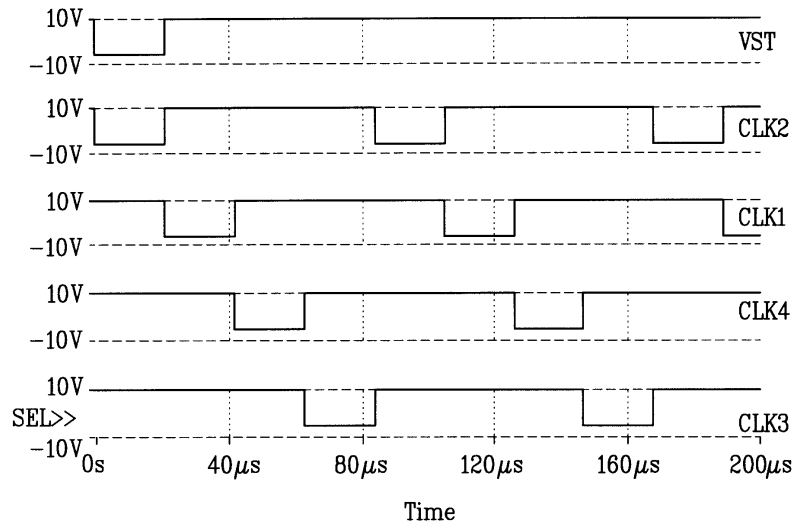
도면7



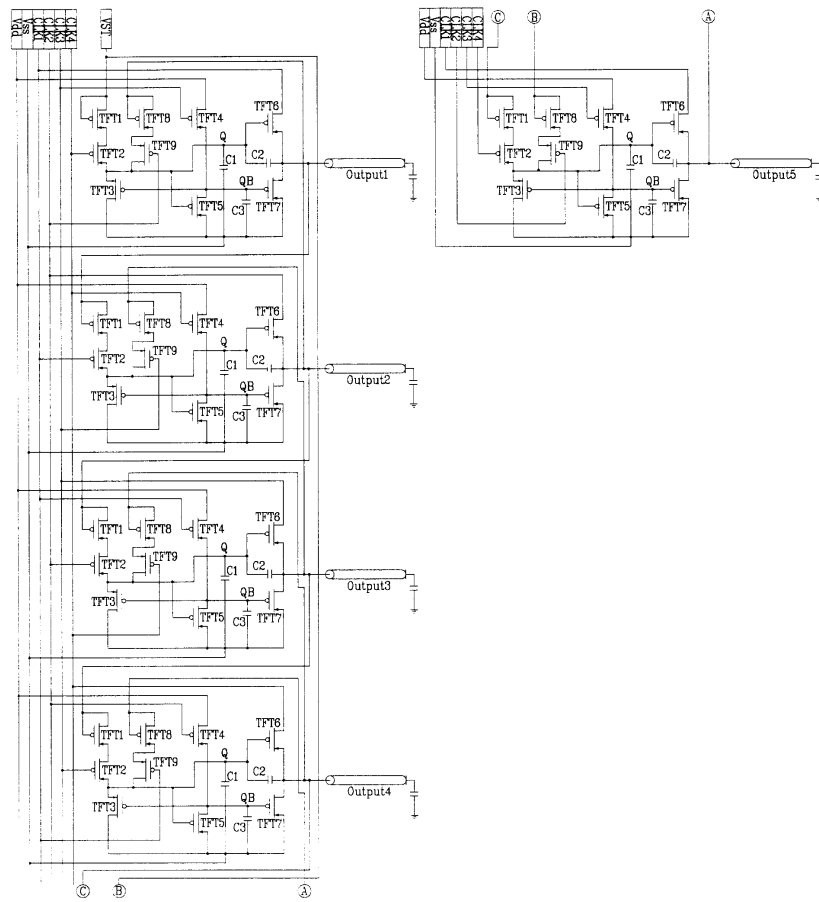
도면8



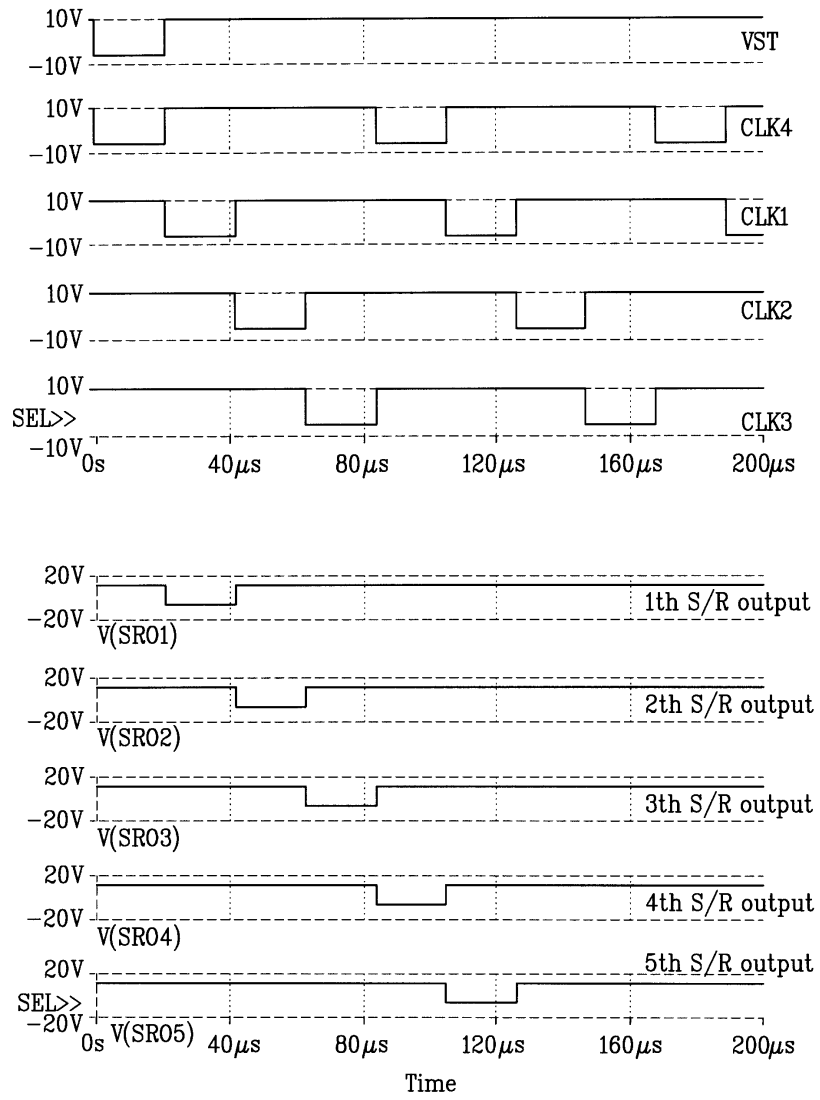
도면9



도면10



도면11



도면12

