

(21)申請案號：101109494

(22)申請日：中華民國 101 (2012) 年 03 月 20 日

(51)Int. Cl. : H01L27/04 (2006.01)

H01L23/60 (2006.01)

(30)優先權：2011/03/29 日本

2011-072736

(71)申請人：精工電子有限公司 (日本) SEIKO INSTRUMENTS INC. (JP)

日本

(72)發明人：須藤稔 SUDO, MINORU (JP)

(74)代理人：林志剛

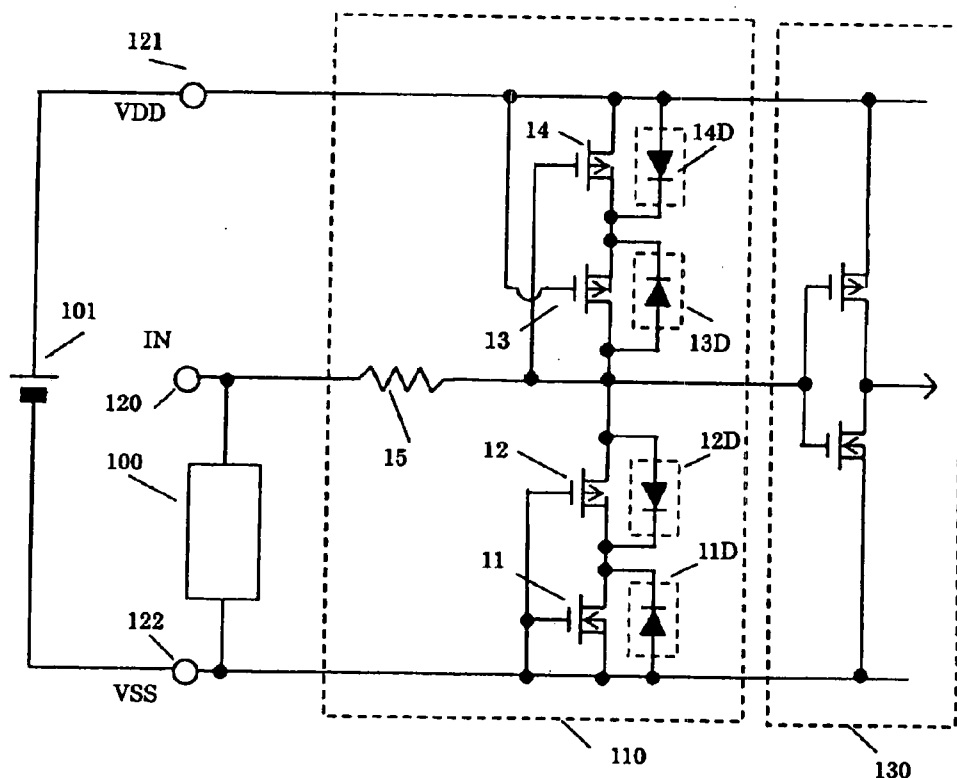
申請實體審查：無 申請專利範圍項數：6 項 圖式數：5 共 22 頁

(54)名稱

半導體積體電路的靜電破壞 (ESD) 保護電路

(57)摘要

[課題]提供一種當相反連接電池時，可防止流通大電流而受到破壞 CDM(Charged Device Model，元件充電模式)的 ESD(靜電破壞)保護電路。[解決手段]形成為在 CDM 用的 ESD 保護電路的 OFF 電晶體(11、13)串聯插入電晶體元件，俾使寄生二極體與前述 OFF 電晶體的寄生二極體呈相反方向的電路構成。



11：Nch 電晶體

11D：Nch 電晶體 11 的寄生二極體

12：Pch 電晶體

12D：Pch 電晶體 12 的寄生二極體

13：Pch 電晶體

13D：Pch 電晶體 12 的寄生二極體

14：Pch 電晶體

14D：Pch 電晶體 12 的寄生二極體

15：電阻

100：主 ESD 保護元件

101：電池

110：CDM 用 ESD 保護元件

120：IN 端子(輸入)

121：VDD 端子

122：VSS 端子(GND)

130：内部電路

(21)申請案號：101109494

(22)申請日：中華民國 101 (2012) 年 03 月 20 日

(51)Int. Cl. : **H01L27/04 (2006.01)**

H01L23/60 (2006.01)

(30)優先權：2011/03/29 日本

2011-072736

(71)申請人：精工電子有限公司(日本) SEIKO INSTRUMENTS INC. (JP)

日本

(72)發明人：須藤稔 SUDO, MINORU (JP)

(74)代理人：林志剛

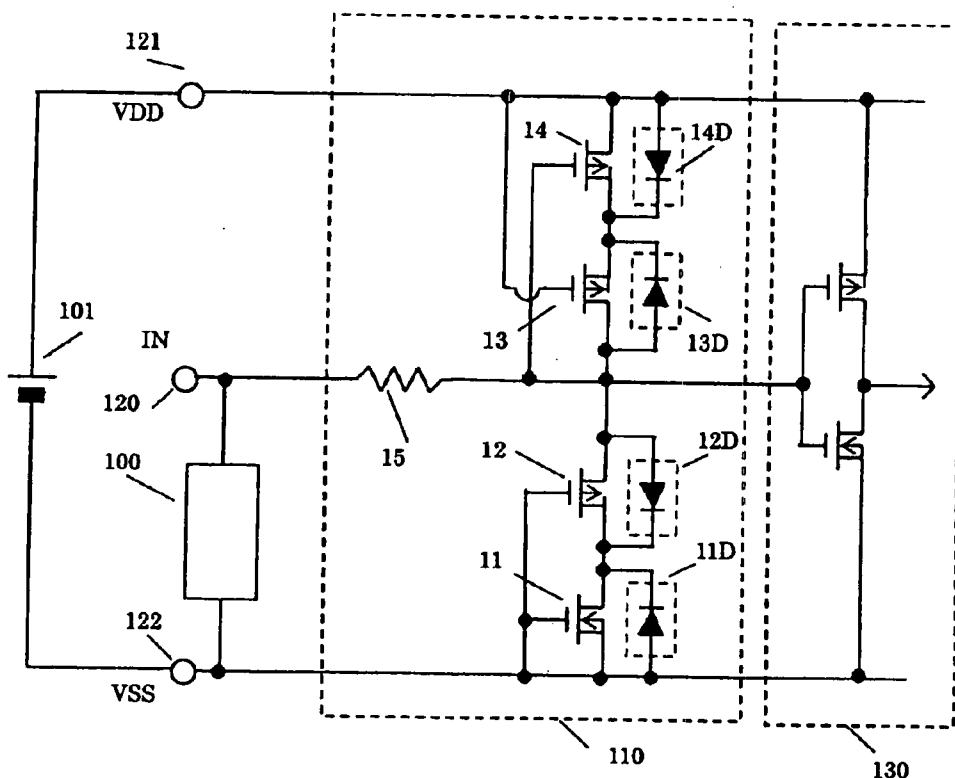
申請實體審查：無 申請專利範圍項數：6 項 圖式數：5 共 22 頁

(54)名稱

半導體積體電路的靜電破壞 (ESD) 保護電路

(57)摘要

[課題]提供一種當相反連接電池時，可防止流通大電流而受到破壞 CDM(Charged Device Model，元件充電模式)的 ESD(靜電破壞)保護電路。[解決手段]形成為在 CDM 用的 ESD 保護電路的 OFF 電晶體(11、13)串聯插入電晶體元件，俾使寄生二極體與前述 OFF 電晶體的寄生二極體呈相反方向的電路構成。



11 : Nch 電晶體

11D : Nch 電晶體 11
的寄生二極體

12 : Pch 電晶體

12D : Pch 電晶體 12
的寄生二極體

13 : Pch 電晶體

13D : Pch 電晶體 12
的寄生二極體

14：Pch 電晶體

14D : Pch 電晶體 12
的寄生二極體

15：電阻

100：主 ESD 保護元件

101：電池

110：CDM 用 ESD 保護元件

120: IN 端子(輸入)

121 : VDD 端子

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101109494

※申請日：101 年 03 月 20 日

※IPC 分類：H01L 27/104 2006.01

一、發明名稱：(中文／英文)

H01L 23/60 2006.01

半導體積體電路的靜電破壞(ESD)保護電路

○ 二、中文發明摘要：

[課題]提供一種當相反連接電池時，可防止流通大電流而受到破壞 CDM(Charged Device Model，元件充電模式)的 ESD(靜電破壞)保護電路。

[解決手段]形成為在 CDM 用的 ESD 保護電路的 OFF 電晶體(11、13)串聯插入電晶體元件，俾使寄生二極體與前述 OFF 電晶體的寄生二極體呈相反方向的電路構成。

○

三、英文發明摘要：

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

11：Nch 電晶體

11D：Nch 電晶體 11 的寄生二極體

12：Pch 電晶體

12D：Pch 電晶體 12 的寄生二極體

13：Pch 電晶體

13D：Pch 電晶體 12 的寄生二極體

14：Pch 電晶體

14D：Pch 電晶體 12 的寄生二極體

15：電阻

100：主 ESD 保護元件

101：電池

110：CDM 用 ESD 保護元件

120：IN 端子(輸入)

121：VDD 端子

122：VSS 端子(GND)

130：內部電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明

【發明所屬之技術領域】

本發明係關於即使在電池弄錯而正負相反連接時，亦不會流通大電流而受到破壞的 ESD 保護元件。

【先前技術】

習知的半導體積體電路(以下記載為 IC)的輸入電路已知有如第 4 圖所示之電路(參照例如專利文獻 1)。

在 IC 係有：正電源端子 121、負電源端子 122、及至少 1 個輸入端子 120，在正電源端子 121 連接有電池 101 的正端子，在負電源端子 122 連接有電池 101 的負端子。在輸入端子 120 與負電源端子 122 之間，通常在 IC 的 PAD 近旁配置有主要的 ESD 保護電路 100。

有接收輸入端子 120 之訊號的內部電路(例如反相器)130，以用以保護其閘極免於 ESD(靜電破壞)的 CDM(Charged Device Model，元件充電模式)對策而言，ESD 保護電路 110 被配置在內部電路 130 的附近。ESD 保護電路 110 係由 Nch 電晶體 11、Pch 電晶體 13、及電阻 15 所構成。Nch 電晶體 11 的汲極與 Pch 電晶體 13 的汲極被連接在內部電路 130 的閘極，Nch 電晶體 11 的閘極與源極與基板係被連接在 VSS，Pch 電晶體 13 的閘極與源極與基板係被連接在 VDD。Nch 電晶體 11 與 Pch 電晶體 13 係形成為 OFF 狀態(高阻抗狀態)，在平常的動作狀態下，內部電路的動作與有無 Nch 電晶體 11 與 Pch 電晶體

13 並無關連。電阻 15 係爲了保護 ESD，可意圖性插入某值(例如 $1k\Omega$ 程度)的電阻，亦可藉由 IC 的配線，而形成爲寄生電阻。

在 CDM 中，在 IC 以高電壓而呈帶電的狀態下由輸入端子 120 放電時，內部電路 130 的基板側的電荷係透過基板或主 ESD 保護電路 100 而快速放電。另一方面，內部電路 130 的閘極的電荷係被設在內部電路 130 的閘極與正電源端子 121 及負電源端子 122 之間的 OFF 電晶體 11、13 崩潰(break down)而快速放電。因此，可防止對內部電路的閘極施加高電壓，而可防止在 CDM 的破壞。

其中，二極體 11D 與 13D 係分別表示 Nch 電晶體 11 與 Pch 電晶體 13 的寄生二極體。

在第 5 圖中顯示 IC 之佈局的影像圖之例。有連接在 VDD 端子的 VDD PAD、連接在 IN 端子的 IN PAD、及連接在 VSS 端子的 VSS PAD 的 3 個 PAD，在 IN PAD 的近旁佈局有主要的 ESD 保護電路 100。在 IC 的內部佈局有內部電路 130，在其近旁佈局有 CDM 對策用的 ESD 保護電路 110。

在第 5 圖中係僅形成爲 3 個 PAD，但是一般在 IC 係包含有更多的 PAD 及電路。

[先前技術文獻]

[專利文獻]

[專利文獻 1]日本特開平 7-153846 號公報(第 1 圖)

【發明內容】

(發明所欲解決之課題)

但是，習知的保護電路係在相反連接電池的正負時，作為 ESD 保護元件的電晶體的寄生二極體呈順向偏壓，因此會有電流流動而發熱而劣化的課題。

因此，本發明之目的在解決如習知技術之如上所示的課題，目的在提供一種即使相反連接電池，亦不會有電流通流的情形之 ESD 保護電路。

(解決課題之手段)

本發明係形成為與 CDM 用的 ESD 保護電路的 OFF 電晶體串聯插入寄生二極體與 OFF 電晶體的寄生二極體呈相反方向的電晶體元件的電路構成，藉此解決上述課題。

(發明之效果)

藉由如以上所示之本發明之 ESD 保護電路，即使相反連接電池，亦可防止在 IC 流通大電流。

【實施方式】

參照圖示，說明用以實施本發明之形態。

[實施例 1]

第 1 圖係顯示本發明之 ESD 保護電路之第一實施例的電路圖。本發明之 ESD 保護電路 110 係由 Nch 電晶體

11、Pch 電晶體 12、13、14、及電阻 15 所構成。電阻 15 係與習知技術同樣，亦可為即使意圖性插入，亦為藉由配線所致的寄生電阻。

Nch 電晶體 11 係閘極與源極與基板連接於 VSS，汲極連接於 Pch 電晶體 12 的源極與基板。Pch 電晶體 12 係閘極連接於 VSS，汲極連接於內部電路 130 的閘極、電阻 15、Pch 電晶體 13 的汲極、及 Pch 電晶體 14 的閘極。Pch 電晶體 14 係汲極連接於 VDD，源極與基板連接於 Pch 電晶體 13 的源極與基板。Pch 電晶體 13 係閘極連接於 VDD，汲極連接於內部電路 130 的閘極、電阻 15、Pch 電晶體 12 的汲極、及 Pch 電晶體 14 的閘極。11D、12D、13D、14D 係分別表示 Nch 電晶體 11、及 Pch 電晶體 12、13、14 的寄生二極體。

若與習知的 ESD 保護電路第 4 圖相比較，Nch 電晶體 11 與 Pch 電晶體 13 係與習知技術相同作為 OFF 電晶體來發揮功能，追加有 Pch 電晶體 12 與 14。

接著，說明將電池正常連接時、及相反連接時的動作。第 1 圖係顯示將電池正常連接的狀態。在該狀態下，Nch 電晶體 11 與 Pch 電晶體 13 係與習知技術同樣地作為 OFF 電晶體來發揮功能，因此形成為高阻抗，即使追加 Pch 電晶體 12 與 14，亦不會有對動作造成影響的情形。

接著，若以 CDM 在 IC 以高電壓而呈帶電的狀態下由輸入端子 120 放電時，假設即使相對於 VSS 端子，內部電路 130 的閘極欲成為高電位，亦由於 Pch 電晶體 12 進

行 ON，因此內部電路 130 的閘極的電壓會施加至 Nch 電晶體 11 的汲極，Nch 電晶體 11 作為 OFF 電晶體而崩潰，藉此在內部電路 130 的閘極與 VSS 間並不會施加高電壓差。另一方面，即使相對於 VSS 端子，內部電路 130 的閘極欲成為低電位，亦由於 Nch 電晶體 11 的寄生二極體 11D 進行 ON，因此 VSS 的電壓會大致施加至 Pch 電晶體 12 的源極，Pch 電晶體 12 作為 OFF 電晶體而崩潰，藉此在內部電路 130 的閘極與 VSS 間並不會施加高電壓差。

同樣地，即使相對於 VDD 端子，內部電路 130 的閘極電位欲成為高電位，亦由於 Pch 電晶體 13 進行 ON，因此 VDD 的電壓會施加至 Pch 電晶體 14 的源極與基板，Pch 電晶體 14 作為 OFF 電晶體而崩潰，藉此在內部電路 130 的閘極與 VDD 間並不會施加高電壓差。另一方面，即使相對於 VDD 端子，內部電路 130 的閘極欲成為低電位，亦由於 Pch 電晶體 14 進行 ON，VDD 的電壓會施加至 Pch 電晶體 13 的汲極，Pch 電晶體 13 作為 OFF 電晶體而崩潰，藉此在內部電路 130 的閘極與 VDD 間並不會施加較高的電壓差。

亦即，作為 CDM 的 ESD 保護電路發揮與習知技術同樣的功能。

另一方面，若將電池相反連接時，在 VDD 與 VSS 間並沒有以順向連接二極體的路徑（逆向二極體必定形成串聯），因此並不會有如習知技術般電流通過的情形。此外，即使輸入端子 120 被連接於 VDD 或 VSS，亦在輸入

端子 120 與 VDD 間或 VSS 間，沒有以順向連接二極體的路徑(逆向二極體必定形成串聯)，因此並沒有電流通過的情形。

在第 2 圖顯示 Nch 電晶體 11 與 Pch 電晶體 12、13、14 的剖面圖。該等電晶體係透過電阻 15 而被連接於輸入端子 120(IN)，但是在此係省略電阻 15。在 P 基板上有第一 Nwell 與第二 Nwell，在第一 Nwell 中，製作 Pch 電晶體 13、14，且在第二 Nwell 中製作 Pch 電晶體 12。

如前所述，Nch 電晶體 11 與 Pch 電晶體 12 係在 VSS 與內部電路 130 的閘極輸入間，具有對 CDM 的效果，Pch 電晶體 13 與 14 係在 VDD 與內部電路 130 的閘極輸入間，具有對 CDM 的效果，因此即使僅為內部電路與 VDD 或 VSS 間的單側，亦具有對 CDM 的效果，乃清楚可知。

[實施例 2]

在第 3 圖顯示本發明之 ESD 保護電路之第二實施例。與第 2 圖不同之處在於：Pch 電晶體 13 與 14 在 VDD 與內部電路的輸入閘極間進行替換。亦即，Pch 電晶體 13 的閘極與源極與基板係連接於 VDD，汲極係連接於 Pch 電晶體 14 的汲極，Pch 電晶體 14 的源極與基板與閘極係連接於 Pch 電晶體 12 的汲極、電阻 15 及內部電路 130 的閘極。

與實施例 1 同樣地，在正常連接電池的狀態(第 3 圖的狀態)下，電晶體 13、14 係呈 OFF(高阻抗狀態)，因此

並不會有對動作造成影響的情形。

接著，若以 CDM 在 IC 以高電壓而呈帶電的狀態下由輸入端子 120 放電時，假設即使相對於 VDD 端子，內部電路 130 的閘極欲成為高電位，亦由於 Pch 電晶體 13 的寄生二極體 13D 成為順向，因此對 Pch 電晶體 14 的汲極係施加大致與 VDD 相同的電壓，Pch 電晶體 14 作為 OFF 電晶體而崩潰，藉此在內部電路 130 的閘極與 VDD 間並不會施加高電壓差。另一方面，即使相對於 VDD 端子，內部電路 130 的閘極欲成為低電位，亦由於 Pch 電晶體 14 的寄生二極體 14D 呈順向，因此對 Pch 電晶體 13 的汲極係施加大致與內部電路 130 的閘極相同的電壓，Pch 電晶體 13 作為 OFF 電晶體而崩潰，藉此在內部電路 130 的閘極與 VDD 間並不會施加高電壓差。

若將電池相反連接時，係與實施例 1 同樣地，在 VDD 與 VSS 間沒有順向連接二極體的路徑（逆向二極體必定形成串聯），因此不會有電流流動的情形。此外，即使輸入端子 120 被連接在 VDD 或 VSS，亦在輸入端子 120 與 VDD 間或 VSS 間，沒有順向連接二極體的路徑（逆向二極體必定形成串聯），因此不會有電流流動的情形。

此外，CDM 用的 ESD 保護元件的 Nch 電晶體 11、Pch 電晶體 12、13、14 的 W 長（電晶體寬幅）之目的在逸出內部電路 130 的閘極的電荷，小於主 ESD 保護元件 100 的 W 長，充分具有效果，亦可為 $W = 50 \mu m$ 以下。

【圖式簡單說明】

第 1 圖係本發明之第一實施例的 ESD 保護電路。

第 2 圖係本發明之第一實施例的 ESD 保護電路的剖面圖。

第 3 圖係本發明之 ESD 保護電路之第二實施例。

第 4 圖係顯示習知之 ESD 保護電路的圖。

第 5 圖係 IC 佈局的影像圖。

【主要元件符號說明】

11：Nch 電晶體

11D：Nch 電晶體 11 的寄生二極體

12：Pch 電晶體

12D：Pch 電晶體 12 的寄生二極體

13：Pch 電晶體

13D：Pch 電晶體 12 的寄生二極體

14：Pch 電晶體

14D：Pch 電晶體 12 的寄生二極體

15：電阻

100：主 ESD 保護元件

101：電池

110：CDM 用 ESD 保護元件

120：IN 端子(輸入)

121：VDD 端子

122：VSS 端子(GND)

201301480

130：内部電路

七、申請專利範圍

1.一種半導體積體電路的靜電破壞(ESD)保護電路，其係在至少具備有：正的電源端子、負的電源端子、輸入端子、及被連接在前述輸入端子的內部電路的半導體積體電路所設置的 ESD 保護電路，其特徵為具有：

Nch 電晶體，其係閘極與源極與基板被連接於前述負的電源端子；及

第一 Pch 電晶體，其係閘極被連接於前述負的電源端子，汲極被連接於前述內部電路的閘極，源極與基板被連接於前述 Nch 電晶體的汲極。

2.如申請專利範圍第 1 項之半導體積體電路的靜電破壞(ESD)保護電路，其中，前述 Nch 電晶體與前述第一 Pch 電晶體的寬幅為 $50\mu\text{m}$ 以下。

3.一種半導體積體電路的靜電破壞(ESD)保護電路，其係在至少具備有：正的電源端子、負的電源端子、輸入端子、及被連接在前述輸入端子的內部電路的半導體積體電路所設置的 ESD 保護電路，其特徵為具有：

Nch 電晶體，其係閘極與源極與基板被連接在前述負的電源端子；

第一 Pch 電晶體，其係閘極被連接在前述負的電源端子，汲極被連接在前述內部電路的閘極，源極與基板被連接在前述 Nch 電晶體的汲極；

第二 Pch 電晶體，其係閘極被連接在前述正的電源端子，汲極被連接在前述內部電路的閘極；及

第三 Pch 電晶體，其係閘極被連接在前述內部電路的閘極，汲極被連接在前述正的電源端子，源極與基板被連接在前述第二 Pch 電晶體的源極與基板。

4.如申請專利範圍第 3 項之半導體積體電路的靜電破壞 (ESD) 保護電路，其中，前述 Nch 電晶體與前述第一 Pch 電晶體的寬幅為 $50\ \mu\text{m}$ 以下。

5.一種半導體積體電路的靜電破壞 (ESD) 保護電路，其係在至少具備有：正的電源端子、負的電源端子、輸入端子、及被連接在前述輸入端子的內部電路的半導體積體電路所設置的 ESD 保護電路，其特徵為具有：

Nch 電晶體，其係閘極與源極與基板被連接於前述負的電源端子；

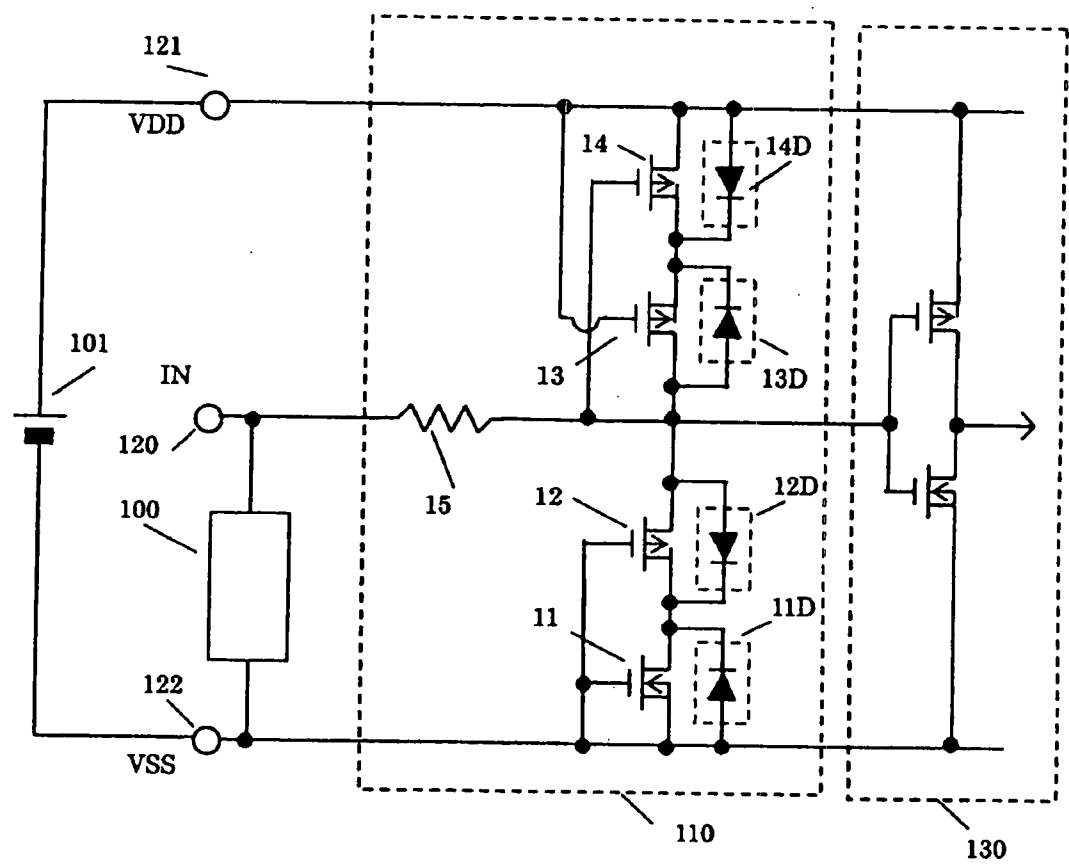
第一 Pch 電晶體，其係閘極被連接在前述負的電源端子，汲極被連接在前述內部電路的閘極，源極與基板被連接在前述 Nch 電晶體的汲極；

第二 Pch 電晶體，其係閘極與源極與基板被連接在前述正的電源端子；及

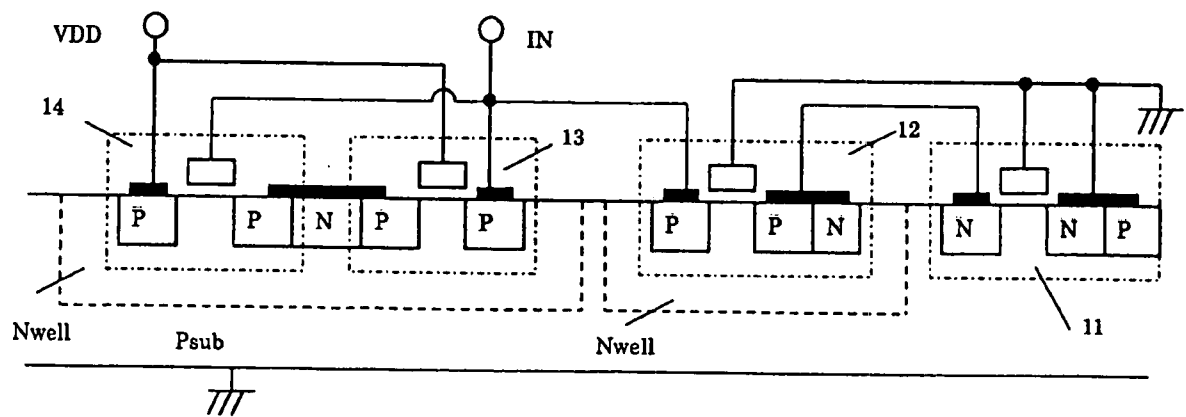
第三 Pch 電晶體，其係閘極與源極與基板被連接在前述內部電路的閘極，汲極被連接在前述第二 Pch 電晶體的汲極。

6.如申請專利範圍第 5 項之半導體積體電路的靜電破壞 (ESD) 保護電路，其中，前述 Nch 電晶體與前述第一 Pch 電晶體的寬幅為 $50\ \mu\text{m}$ 以下。

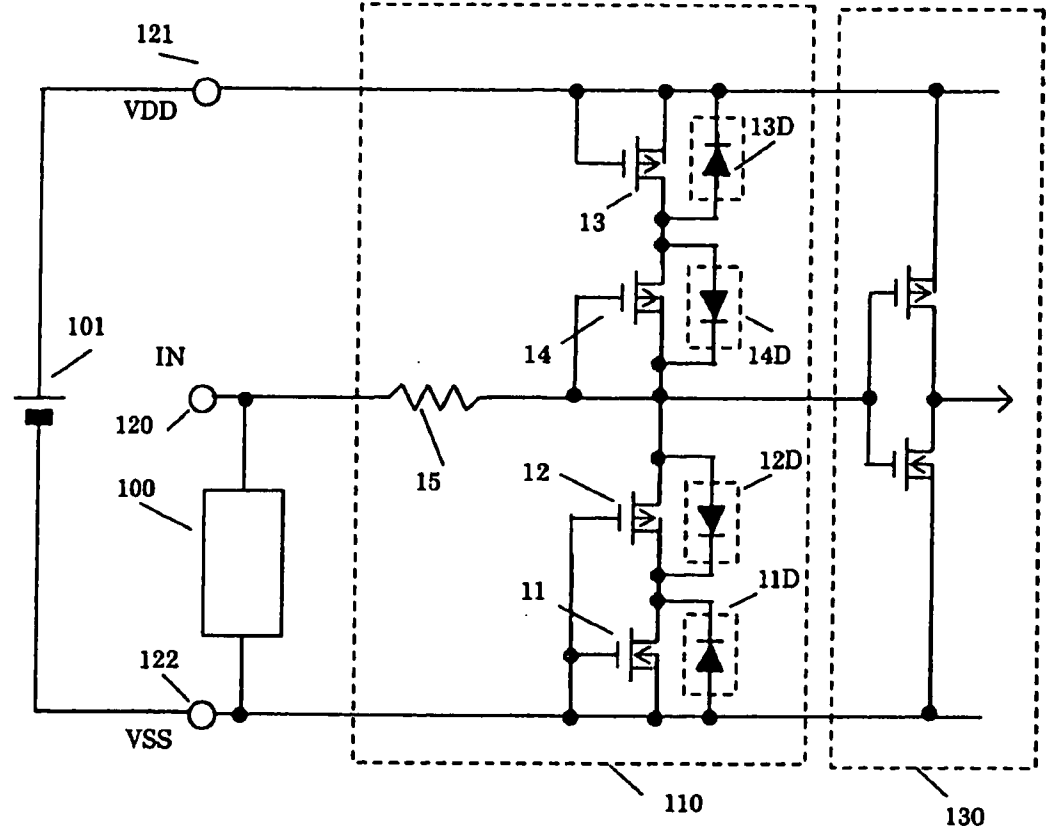
第1圖



第2圖



第3圖



第5圖

