(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月1日(01.10.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/194993 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 21/8234* (2006.01)
G09F 9/00 (2006.01) *H01L 27/088* (2006.01)
G09F 9/30 (2006.01) *H01L 27/32* (2006.01)
H01L 21/336 (2006.01) *H01L 51/50* (2006.01)

(21) 国際出願番号： PCT/JP2020/000310

(22) 国際出願日： 2020年1月8日(08.01.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-059376 2019年3月26日(26.03.2019) JP

(71) 出願人:株式会社ジャパンディスプレイ(**JAPAN DISPLAY INC.**) [JP/JP]; 〒1050003 東京都港区西新橋三丁目７番１号 Tokyo (JP).

(72) 発明者: 三 浦 健 太 郎 (**MIURA Kentaro**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP).

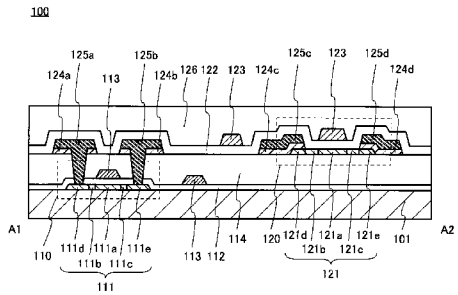
津吹 将志(**TSUBUKU Masashi**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP). 佐々木 俊成(**SASAKI Toshinari**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP). 戸田 達也(**TODA Tatsuya**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP). 山下 学(**YAMASHITA Manabu**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人:特許業務法人高橋・林アンドパートナーズ(**TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.**); 〒1440052 東京都大田区蒲田５－２４－２ 損保ジャパン日本興亜蒲田ビル９階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称： 半導体装置及びその製造方法



(57) **Abstract:** Provided is a semiconductor device on which a transistor using polysilicon and a transistor using an oxide semiconductor are provided on the same substrate, wherein the oxide semiconductor is connected to a source electrode and a drain electrode via a metal nitride layer, and the polysilicon is connected to a source electrode and a drain electrode. The source electrode and the drain electrode of the transistor using the polysilicon and the source electrode and the drain electrode of the transistor using the oxide semiconductor are formed by the same process. This enables good properties of the transistors to be obtained and improves productivity when forming transistors that use different semiconductor materials on the same substrate.

(57) 要約：ポリシリコンを用いたトランジスタ及び酸化物半導体を用いたトランジスタが同一基板上に設けられタ半導体装置において、酸化物半導体は、金属窒化物層を介してソース電極及びドレイン電極と接続されており、ポリシリコンは、ソース電極及びドレイン電極と接続されている。また、ポリシリコンを用いたトランジスタのソース電極及びドレイン電極と、酸化物半導体を用いたトランジスタのソース電極及びドレイン電極を同一の工程にて形成する。これにより、異なる半導体材料を用いたトランジスタを同一基板上に形成する場合であっても、各々のトランジスタにおいて良好な特性を得ることができ、生産性が向上する。

WO 2020/194993 A1

［続葉有］

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

明　細　書

発明の名称 ： 半導体装置及びその製造方法

技術分野

[0001] 本発明の一実施形態は、半導体装置及びその製造方法に関する。

背景技術

[0002] 近年、半導体層として異なる半導体材料を用いたトランジスタを同一基板上に形成する半導体装置の開発が進められている。例えば、高速動作が求められるトランジスタには、シリコンを用いたトランジスタを使用し、スイッチング動作が求められるトランジスタには、酸化物半導体を用いたトランジスタを使用することで、求められる機能に応じて異なる特性を有するトランジスタを同一基板上に形成することができる。

[0003] 特許文献１には、同一基板上に、駆動回路にシリコンを用いたトランジスタを形成し、表示領域に酸化物半導体を用いたトランジスタを形成する表示装置が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特許第２０１８－１２８６９３号公報

発明の概要

発明が解決しようとする課題

[0005] 本発明の一実施形態では、異なる特性のトランジスタ各々について良好な特性が得られる生産性の高い半導体装置を提供することを目的の一つとする。

課題を解決するための手段

[0006] 本発明の一実施形態に係る半導体装置の製造方法は、基板上に、第１半導体層と、第１半導体層を覆う第１ゲート絶縁膜と、第１ゲート絶縁膜を介して第１半導体層と重畳する第１ゲート電極と、を形成し、第１ゲート電極上に、第１層間絶縁膜を形成し、第１層間絶縁膜上に、第１半導体層とは組成

の異なる第２半導体層を形成し、第１層間絶縁膜及び第２半導体層上に、金属窒化物膜を形成し、第１層間絶縁膜及び金属窒化物膜に第１半導体層に達する開口部を形成し、金属窒化物膜上に導電膜を形成して、導電膜と第１半導体層とを接触させ、金属窒化物膜及び導電膜をエッチングして、第１半導体層と接続する第１ソース電極及び第１ドレイン電極と、第２半導体層と接続する第２ソース電極及び第２ドレイン電極とを形成し、第１ソース電極、第１ドレイン電極、第２ソース電極、及び第２ドレイン電極上に、第２ゲート絶縁膜を形成し、第２ゲート絶縁膜を介して第２半導体層と重畳する第２ゲート電極を形成する。

[0007] 本発明の一実施形態に係る半導体装置の製造方法は、基板上に、第１半導体層と、第１半導体層を覆う第１ゲート絶縁膜と、第１ゲート絶縁膜を介して第１半導体層と重畳する第１ゲート電極と、を形成し、第１ゲート電極上に、第１層間絶縁膜を形成し、第１層間絶縁膜上に、第１半導体層とは組成の異なる第２半導体膜と金属窒化物膜を積層し、第２半導体膜及び金属窒化物膜をエッチングして、第２半導体層及び金属窒化物層を形成し、第１層間絶縁膜に第１半導体層に達する開口部を形成し、第１層間絶縁膜上に、第１半導体層と接触し、第２半導体層及び金属窒化物層を覆うように導電膜を形成し、導電膜及び金属窒化物膜をエッチングして、第１半導体層と接続する第１ソース電極及び第１ドレイン電極と、第２半導体層と接続する第２ソース電極及び第２ドレイン電極と、を形成し、第１ソース電極、第１ドレイン電極、第２ソース電極、及び第２ドレイン電極上に、第２ゲート絶縁膜を形成し、第２ゲート絶縁膜を介して第２半導体層と重畳する第２ゲート電極を形成する。

[0008] 本発明の一実施形態に係る半導体装置は、基板上に設けられた第１半導体層と、第１半導体層上に設けられた第１ゲート絶縁膜と、第１ゲート絶縁膜上に第１半導体層と重畳する第１ゲート電極と、第１ゲート電極上に設けられた層間絶縁膜と、層間絶縁膜上に設けられた第２半導体層と、層間絶縁膜上に設けられた第１金属窒化物層及び第２金属窒化物層と、第１半導体層と

、第１金属窒化物層、層間絶縁膜、及び第１ゲート絶縁膜に設けられた開口部を介して接触する第１ソース電極と、第１半導体層と、第２金属窒化物層、層間絶縁膜、及び第１ゲート絶縁膜に設けられた開口部を介して接続する第１ドレイン電極と、第２半導体層上に設けられた第３金属窒化物層及び第４金属窒化物層と、第２半導体層と、第３金属窒化物層を介して接続する第２ソース電極と、第２半導体層と、第４金属窒化物層を介して接続する第２ドレイン電極と、第１ソース電極、第１ドレイン電極、第２ソース電極、及び第２ドレイン電極上に設けられた第２ゲート絶縁膜と、第２ゲート絶縁膜上に、第２半導体層と重畳して設けられた第２ゲート電極と、を有する。

図面の簡単な説明

[0009] [図1]本発明の一実施形態に係る半導体装置を説明する平面図。

[図2]本発明の一実施形態に係る半導体装置を説明する断面図。

[図3]（Ａ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。（Ｂ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。

[図4]（Ａ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。（Ｂ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。

[図5]（Ａ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。（Ｂ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。

[図6]（Ａ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。（Ｂ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。

[図7]本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。

[図8]本発明の一実施形態に係る半導体装置を説明する断面図。

[図9]（Ａ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。（Ｂ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面

図。

[図10]（Ａ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。（Ｂ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。

[図11]（Ａ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。（Ｂ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。

[図12]（Ａ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。（Ｂ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。

[図13]本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。

[図14]本発明の一実施形態に係る半導体装置を説明する平面図。

[図15]本発明の一実施形態に係る半導体装置を説明する断面図。

[図16]（Ａ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。（Ｂ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。

[図17]（Ａ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。（Ｂ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。

[図18]本発明の一実施形態に係る半導体装置を説明する断面図。

[図19]（Ａ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。（Ｂ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。

[図20]（Ａ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。（Ｂ）本発明の一実施形態に係る半導体装置の製造方法を説明する断面図。

[図21]本発明の一実施形態に係る表示装置の概略を示す平面図。

[図22]本発明の一実施形態に係る表示装置の画素を説明する回路図。

[図23]本発明の一実施形態に係る表示装置の画素を説明する回路図。

発明を実施するための形態

[0010] 以下、本発明の各実施形態において、図面等を参照しつつ説明する。但し、本発明は、その技術的思想の要旨を逸脱しない範囲において様々な態様で実施することができ、以下に例示する実施形態の記載内容に限定して解釈されるものではない。

[0011] 図面は、説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、図示の形状そのものが本発明の解釈を限定するものではない。また、図面において、明細書中で既出の図に関して説明したものと同様の機能を備えた要素には、別図であっても同一の符号を付して、重複する説明を省略する場合がある。

[0012] 本明細書において、ある部材又は領域が、他の部材又は領域の「上（又は下）」にあるとする場合、特段の限定がない限り、これは他の部材又は領域の直上（又は直下）にある場合のみでなく、他の部材又は領域の上方（又は下方）にある場合を含み、すなわち、他の部材又は領域の上方（又は下方）において間に別の構成要素が含まれている場合も含む。

[0013] 本明細書等において、膜とは、基板の全面に形成され、パターン形成されていないものをいう。また、本明細書等において、層とは、レジストマスク等により所望の形状にパターン形成されたものをいう。

[0014] （第１実施形態）

本発明の一実施形態に係る半導体装置１００の構造の一例について、図１乃至図７を参照して説明する。

[0015] ＜半導体装置の構成＞

図１は、本発明の一実施形態に係る半導体装置１００の平面図である。また、図２は、図１に示す半導体装置１００を、Ａ１－Ａ２線で切断したときの断面図である。図１及び図２に示すように、本発明の一実施形態に係る半導体装置１００は、基板１０１上に設けられたトランジスタ１１０と、トラ

ンジスタ１１０上に設けられたトランジスタ１２０と、を有する。

[0016] 基板１０１は、ガラス、プラスチック（ポリイミド、ポリエチレンテレフタラート、ポリカーボネート、ポリアクリレート等）等の絶縁表面を有する基板で構成される。基板１０１の材質がプラスチックである場合、基板の薄板化により半導体装置１００に可撓性を付与することができる。また、図２では省略しているが、基板１０１上とトランジスタ１１０の間に、酸化シリコン又は窒化シリコンなどで形成された下地膜を設けてもよい。この場合、下地膜は、単層又は積層して形成される。

[0017] 基板１０１には、トランジスタ１１０が設けられている。トランジスタ１１０は、半導体層１１１と、ゲート絶縁膜１１２と、ゲート電極１１３と、を有する。半導体層１１１として、例えば、低温ポリシリコン、アモルファスシリコン、単結晶シリコンを用いる。また、ゲート絶縁膜１１２として、例えば、酸化シリコン又は窒化シリコンを用いて、単層又は積層して形成される。また、ゲート電極１１３として、例えば、モリブデン、タングステン、チタン等を用いる。また、トランジスタ１１０として、ｎｃｈ型トランジスタ及びｐｃｈ型トランジスタのいずれを用いてもよい。本実施形態では、トランジスタ１１０として、半導体層にポリシリコンを用いたトップゲート型のｎｃｈ型トランジスタを用いる例について説明する。ｎｃｈ型トランジスタにおける半導体層１１１は、チャネル１１１ａと、ソース領域又はドレイン領域１１１ｄ、１１１ｅと、チャネル１１１ａとソース領域又はドレイン領域１１１ｄ、１１１ｅとの間に低濃度不純物領域１１１ｂ、１１１ｃと、を有する。

[0018] トランジスタ１１０上には、層間絶縁膜１１４が設けられている。層間絶縁膜１１４として、酸化シリコン又は窒化シリコンなどの絶縁膜を用いて、単層又は積層して形成される。層間絶縁膜１１４上には、金属窒化物層１２４ａ、１２４ｂが設けられている。金属窒化物層１２４ａ、１２４ｂとして、窒化チタン、窒化モリブデン、窒化タングステン、及び窒化タンタルなどを用いる。また、金属窒化物層１２４ａ、１２４ｂ上には、ソース電極又は

ドレイン電極１２５ａ、１２５ｂが設けられている。ソース電極又はドレイン電極１２５ａ、１２５ｂは、例えば、チタン、アルミニウム、及びチタンを積層して形成される。ソース電極又はドレイン電極１２５ａ、１２５ｂは、層間絶縁膜１１４及び金属窒化物層１２４ａ、１２４ｂに設けられた開口部を介して、ソース領域又はドレイン領域１１１ｄ、１１１ｅと接続されている。

[0019] 層間絶縁膜１１４上には、トランジスタ１２０が設けられている。トランジスタ１２０は、半導体層１２１と、ゲート絶縁膜１２２と、ゲート電極１２３と、を有する。半導体層１２１として、半導体層１１１と異なる材料である酸化物半導体を用いる。酸化物半導体として、インジウムやガリウムなどの第１３族元素を含むことができる。異なる複数の第１３族元素を含有してもよく、インジウムとガリウムの化合物（ＩＧＯ）でもよい。半導体層１２１は、さらに、第１２族元素を含んでいてもよく、例えば、インジウム、ガリウム、及び亜鉛を含む化合物（ＩＧＺＯ）が挙げられる。半導体層１２１は、その他の元素を含むことができ、第１４族元素であるスズ、第４族元素であるチタンやジルコニウムなどを含んでいてもよい。半導体層１２１には、チャネル１２１ａ、チャネル１２１ａに隣接して低抵抗化領域１２１ｂ、１２１ｃ、ソース領域又はドレイン領域１２１ｄ、１２１ｅが設けられている。また、ゲート絶縁膜１１２として、酸化シリコン又は窒化シリコンを用いて、単層又は積層して形成される。また、ゲート電極１１３として、モリブデン、タングステン等を用いる。本実施形態では、トランジスタ１２０として、半導体層にＩＧＺＯを用いたトップゲート型のｎｃｈ型トランジスタを用いる例について説明する。半導体層１２１のソース領域又はドレイン領域１２１ｄ、１２１ｅ上には、金属窒化物層１２４ｃ、１２４ｄが設けられている。金属窒化物層１２４ｃ、１２４ｄは、半導体層１２１の側面と接している。金属窒化物層１２４ｃ、１２４ｄは、金属窒化物層１２４ａ、１２４ｂと同じ材料を用いる。また、金属窒化物層１２４ｃ、１２４ｄ上には、ソース電極又はドレイン電極１２５ｃ、１２５ｄが設けられている。

[0020] トランジスタ１２０上には、層間絶縁膜１２６が設けられている。層間絶縁膜１２６として、酸化シリコン又は窒化シリコンを用いて、単層又は積層して形成される。

[0021] 従来、同一基板上に、ポリシリコンを用いたトランジスタと、酸化物半導体を用いたトランジスタを形成する場合、以下の問題が生じていた。酸化物半導体は、所望の形状に加工する際や、酸化物半導体と接する導電膜を加工する際に、酸化物半導体の表面にダメージが生じる場合がある。ダメージが生じた領域には、酸素欠損が多く含まれている。酸素欠損によりトランジスタのオフリーク電流が大きくなる。この問題を解決するためには、加熱処理により酸化物半導体に酸素を十分に導入する必要がある。しかしながら、加熱処理により、ソース電極及びドレイン電極と酸化物半導体とが反応して、トランジスタのオン電流が流れにくくなるという問題が生じる。そこで、本発明では、酸化物半導体層とソース電極及びドレイン電極との間に、金属窒化物層を設けている。これにより、加熱処理により酸化物半導体と電極との反応を抑制している。

[0022] また、ポリシリコンとソース電極及びドレイン電極との間に、金属窒化物層を設ける場合、金属窒化物膜の成膜の際に、ポリシリコンに窒素が打ち込まれる。これにより、ソース電極及びドレイン電極と金属窒化物層を介したポリシリコンとのコンタクト抵抗が上昇してしまう。本発明では、二つの異なるトランジスタそれぞれで、金属窒化物層を異なる構造で形成する。つまり、ポリシリコンとソース電極及びドレイン電極とは、金属窒化物層を介さずに直接コンタクトし、酸化物半導体とソース電極及びドレイン電極とは、金属窒化物層を介して、接続している。これにより、それぞれのトランジスタで良好な特性を得ることができる。

[0023] ＜半導体装置の製造方法＞

異なる半導体層を有する二種類のトランジスタを同一基板上に形成すると、工程数が増加する。

[0024] そこで、本発明の一実施形態では、異なる特性のトランジスタ各々につい

て良好な特性が得られる上に、生産性が高く、工程数の増加を極力抑えた半導体装置の製造方法を提供することを目的の一つとする。

[0025] 本発明の一実施形態に係る半導体装置の製造方法について、図３乃至図７を参照して説明する。

[0026] 図３（Ａ）は、基板１０１上にトランジスタ１１０から半導体層１２１を形成する工程までを説明する図である。まず、基板１０１上に、ポリシリコンからなる半導体膜を形成し、フォトリソグラフィ工程により半導体膜を加工して、半導体層１１１を形成する。次に、基板１０１及び半導体層１１１上にゲート絶縁膜１１２を形成する。次に、ゲート絶縁膜１１２上に、導電膜を形成し、フォトリソグラフィ工程により導電膜を加工して、半導体層１１１と重畳するゲート電極１１３を含むゲート線を形成する。次に、ゲート絶縁膜１１２及びゲート電極１１３上に、層間絶縁膜１１４を形成する。次に、層間絶縁膜１１４上に半導体膜を形成し、フォトリソグラフィ工程により半導体膜を加工して、半導体層１２１を形成する。

[0027] 図３（Ｂ）は、層間絶縁膜１１４及び半導体層１２１上に、金属窒化物膜１２４を形成する工程を説明する図である。金属窒化物膜１２４は、ＣＶＤ法又はスパッタリング法により、例えば、窒化チタン、窒化モリブデン、窒化タングステン、又は窒化タンタルなどを用いて形成する。

[0028] 図４（Ａ）は、開口部を形成する工程を説明する図である。ゲート絶縁膜１１２、層間絶縁膜１１４、及び金属窒化物膜１２４をフォトリソグラフィ工程により加工する。これにより、半導体層１１１のソース領域又はドレイン領域１１１ｄ、１１１ｅに達する開口部１１５ａ、１１５ｂを形成する。

[0029] 図４（Ｂ）は、導電膜１２５を形成する工程を説明する図である。金属窒化物膜１２４上に導電膜１２５が形成されるとともに、開口部１１５ａ、１１５ｂにも形成される。これにより、導電膜１２５が半導体層１１１のソース領域又はドレイン領域１１１ｄ、１１１ｅと接続される。

[0030] 図５（Ａ）は、金属窒化物層１２４ａ～１２４ｄ、ソース電極又はドレイン電極１２５ａ～１２５ｄを形成する工程を説明する図である。金属窒化物

膜１２４及び導電膜１２５をフォトリソグラフィ工程により加工して、金属窒化物層１２４ａ～１２４ｄ、ソース電極又はドレイン電極１２５ａ～１２５ｄを形成する。金属窒化物膜１２４及び導電膜１２５は、同じマスクを用いてエッチングされる。換言すれば、金属窒化物層１２４ａの全面は、ソース電極又はドレイン電極１２５ａと接している。また、金属窒化物層１２４ａ～１２４ｄの下面は、層間絶縁膜１１４と接している。金属窒化物層１２４ａ、１２４ｂと、ポリシリコンの半導体層１１１とは接することでコンタクト抵抗が上昇するため、良好なコンタクトが取りにくい。そのため、ソース電極又はドレイン電極１２５ａ、１２５ｂと、半導体層１１１との間に、金属窒化物層１２４ａ、１２４ｂが挟まれないことが好ましい。半導体層１１１は、金属窒化物層を介さず直接ソース電極又はドレイン電極１２５ａ、１２５ｂと接するのでコンタクト抵抗が上昇することを抑制することができる。半導体層１２１は、金属窒化物層１２４ａ、１２４ｂを介してソース電極又はドレイン電極１２５ａ、１２５ｂと接するのでコンタクト抵抗が上昇することを抑制することができる。

[0031] 図５（Ｂ）は、ソース電極又はドレイン電極１２５ａ、１２５ｂ、ソース電極又はドレイン電極１２５ｃ、１２５ｄ上にゲート絶縁膜１２２を形成する工程を説明する図である。図５（Ｂ）に示すように、ゲート絶縁膜１２２は、ソース電極又はドレイン電極１２５ａ～１２５ｄの側面及び金属窒化物層１２４ａ～１２４ｄの側面及び上面と接する。ゲート絶縁膜１２２は、酸化シリコン又は窒化シリコンなどの絶縁膜を用いる。なお、ゲート絶縁膜１２２は、半導体層１２１に含まれる酸素欠損を補填するために、加熱処理により酸素を放出する材料であることが好ましい。よって、ゲート絶縁膜１２２を単層で形成する場合には、酸化絶縁膜を用いることが好ましく、積層で形成する場合には、酸化絶縁膜上に他の絶縁膜を形成することが好ましい。

[0032] 図５（Ａ）に示す金属窒化物層１２４ａ～１２４ｄ、ソース電極又はドレイン電極１２５ａ、１２５ｂ、ソース電極又はドレイン電極１２５ｃ、１２５ｄを形成するための加工時に、半導体層１２１にダメージが生じる場合が

ある。半導体層１２１のダメージが生じた領域には、酸素欠損が多く含まれている。ダメージが生じる箇所は、主にチャネルが形成される領域である。チャネルが形成される領域に酸素欠損が多く含まれていると、トランジスタ１２０の特性が劣化するおそれがある。そこで、ゲート絶縁膜１２２の形成後に、加熱処理を行う。例えば、窒素、乾燥空気、又は大気雰囲気下で加熱処理を行うことにより、酸化シリコンから酸素が放出されて、半導体層１２１のダメージが生じた領域に酸素を補填することができる。これにより、半導体層１２１に含まれる酸素欠損を低減することができる。

[0033] 半導体層１２１とソース電極又はドレイン電極１２５ｃ、１２５ｄが接した状態で加熱処理を行った場合、ソース電極又はドレイン電極１２５ｃ、１２５ｄと半導体層１２１とが反応して、トランジスタのオン電流が流れにくくなるという問題が生じる。本実施形態で説明したように、半導体層１２１とソース電極又はドレイン電極１２５ｃ、１２５ｄとの間に金属窒化物層１２４ｃ、１２４ｄを設けている。半導体層１２１は、この構成によって、加熱により、金属窒化物層１２４ｃ、１２４ｄが半導体層１２１と反応することを抑制することができる。

[0034] 図６（Ａ）は、ゲート絶縁膜１２２上に半導体層１２１と重畳するゲート電極１２３を含むゲート線を形成する工程を説明する図である。まず、ゲート絶縁膜１２２上に導電膜を形成し、導電膜にフォトリソグラフィ工程により加工して、ゲート電極１２３を形成する。ゲート電極１２３の形成後に、ゲート電極１２３とソース電極又はドレイン電極１２５ａ、１２５ｂをマスクとして、半導体層１２１に水素又はアルゴンをイオン注入により添加する。これにより、半導体層１２１において、ゲート電極１２３と重畳する領域にチャネル１２１ａ、チャネル１２１ａを挟むように低抵抗化領域１２１ｂ、１２１ｃ、低抵抗化領域１２１ｂ、１２１ｃと隣接するソース領域又はドレイン領域１２１ｄ、１２１ｅを形成することができる。

[0035] 図６（Ｂ）は、ゲート絶縁膜１２２及びゲート電極１２３上に層間絶縁膜１２６を形成する工程を説明する図である。層間絶縁膜１２６は、酸化シリ

コン膜又は窒化シリコン膜などの絶縁膜を用いて、単層又は積層して形成される。

[0036] 以上の工程により、図１及び図２に示す半導体装置１００を製造することができる。

[0037] さらに、図７に示すように、層間絶縁膜１２６にソース電極又はドレイン電極１２５ａ～１２５ｄの各々に達する開口部を形成して、ソース電極又はドレイン電極１２５ａ～１２５ｄの各々と接続する配線層１２７ａ～１２７ｄを形成してもよい。

[0038] このように、本発明の一実施形態に係る半導体装置を製造方法する場合、ポリシリコンを用いたトランジスタ１１０と接続されるソース電極及びドレイン電極と、酸化物半導体を用いたトランジスタ１２０と接続されるソース電極及びドレイン電極とを、同じ工程で形成することができる。これにより、従来、トランジスタ１１０及びトランジスタ１２０の各々についてソース電極及びドレイン電極を形成する工程が必要であったが、従来に比べて、１工程削減することができる。つまり、異なる半導体材料を用いたトランジスタを同一基板上に製造する場合のフォトリソグラフィ工程が７工程必要であったものを、６工程に削減することができる。これにより、異なる半導体材料を用いたトランジスタを同一基板上に製造する工程が簡易化されるため、製造タクトが短縮され、半導体装置１００の生産性を向上させることができる。

[0039] また、トランジスタ１１０では、ポリシリコンを用いた半導体層１１１とソース電極及びドレイン電極１２５ａ、１２５ｂとが接して設けられ、トランジスタ１２０では、酸化物半導体を用いた半導体層１２１は、金属窒化物層１２４ｃ、１２４ｄを介してソース電極又はドレイン電極１２５ｃ、１２５ｄと接続される。半導体層１１１は、金属窒化物層を介さず直接ソース電極又はドレイン電極１２５ａ、１２５ｂと接するのでコンタクト抵抗が上昇することを抑制することができる。また、半導体層１１１は、金属窒化物層が介することで、酸化物半導体とソース電極又はドレイン電極１２５ｃ、１

２５ｄとが加熱処理の反応を抑制できるため、トランジスタのオン電流を向上させることができる。このように、本発明の一実施形態に係る半導体装置１００の製造方法によれば、半導体材料が異なるトランジスタを同一基板上に混載させる場合であっても、それぞれのトランジスタの特性を活用できる構成を、生産性良く提供することができる。

[0040]（第２実施形態）

本発明の一実施形態に係る半導体装置１００Ａの構造の一例について、図８乃至図１３を参照して説明する。なお、本実施形態に係る半導体装置１００Ａの平面図は、図１と同様であるため、図１を参照して説明する。

[0041]＜半導体装置の構成＞

図８は、本発明の一実施形態に係る半導体装置１００Ａの断面図である。また、図８は、図１に示す半導体装置１００を、Ａ１－Ａ２線で切断したときの断面図である。図８に示すように、本発明の一実施形態に係る半導体装置１００Ａは、基板１０１上に設けられたトランジスタ１１０Ａと、トランジスタ１２０Ａと、を有する。

[0042] 基板１０１には、トランジスタ１１０Ａが設けられている。トランジスタ１１０Ａは、半導体層１１１と、ゲート絶縁膜１１２と、ゲート電極１１３と、を有する。トランジスタ１１０Ａ上には、層間絶縁膜１１４が設けられている。層間絶縁膜１１４上には、ソース電極又はドレイン電極１２５ａ、１２５ｂが設けられている。ソース電極又はドレイン電極１２５ａ、１２５ｂは、層間絶縁膜１１４に設けられた開口部を介して、ソース領域又はドレイン領域１１１ｄ、１１１ｅと接続されている。層間絶縁膜１１４と、ソース電極又はドレイン電極１２５ａ、１２５ｂとの間に金属窒化物層が設けられていない。

[0043] 層間絶縁膜１１４上には、トランジスタ１２０Ａが設けられている。トランジスタ１２０Ａは、半導体層１３１ａと、ゲート絶縁膜１２２と、ゲート電極１２３と、を有する。半導体層１３１ａは、半導体層１２１と同様に、酸化物半導体を用いる。半導体層１３１ａには、チャネル１３１ｂ、チャネ

ル１３１ｂに隣接して低抵抗化領域１３１ｃ、１３１ｄ、ソース領域又はドレイン領域１３１ｅ、１３１ｆが設けられている。半導体層１３１ａ上には、金属窒化物層１３４ｂ、１３４ｃが設けられている。金属窒化物層１３４ｂ、１３４ｃは、金属窒化物層１２４ｃ、１２４ｄと同じ材料を用いる。金属窒化物層１３４ｂ、１３４ｃ上には、ソース電極又はドレイン電極１２５ｃ、１２５ｄが設けられている。ソース電極又はドレイン電極１２５ｃは、半導体層１３１ａの側面と、金属窒化物層１３４ｃの側面と接しており、ソース電極又はドレイン電極１２５ｄは、半導体層１３１ａの側面と、金属窒化物層１３４ｄの側面と接している。

[0044] ＜半導体装置の製造方法＞

図９（Ａ）は、基板１０１上にトランジスタ１１０Ａを形成し、トランジスタ１１０Ａ上に層間絶縁膜１１４を形成した後、層間絶縁膜１１４上に半導体膜１３１及び金属窒化物膜１３４を形成する工程を説明する図である。本実施形態では、半導体膜１３１を島状に加工せず、半導体膜１３１上に金属窒化物膜１３４を成膜する点で、第１実施形態で説明した半導体装置１００の製造方法と異なっている。

[0045] 図９（Ｂ）は、半導体層１３１ａ及び金属窒化物層１３４ａを形成する工程を説明する図である。フォトリソグラフィ工程により、半導体膜１３１及び金属窒化物膜１３４を加工して、島状の半導体層１３１ａ及び金属窒化物層１３４ａを形成する。半導体膜１３１及び金属窒化物膜１３４は、同じマスクを用いてエッチングされるため、例えば、半導体層１３１ａの上面の端部と金属窒化物層１３４ａの下面の端部とが略一致している。

[0046] 図１０（Ａ）は、開口部を形成する工程を説明する図である。層間絶縁膜１１４及びゲート絶縁膜１１２をフォトリソグラフィ工程により加工して、半導体層１１１のソース領域又はドレイン領域１１１ｄ、１１１ｅに達する開口部１１５ａ、１１５ｂを形成する。

[0047] 図１０（Ｂ）は、層間絶縁膜１１４及び金属窒化物層１２４ａ上に導電膜１２５を形成する工程を説明する図である。導電膜１２５を形成する工程の

際に、導電膜１２５が開口部にも形成されることで、導電膜１２５が半導体層１１１のソース領域又はドレイン領域１１１ｄ、１１１ｅと接続される。

[0048] 図１１（Ａ）は、導電膜１２５及び金属窒化物層１３４ａを加工する工程を説明する図である。フォトリソグラフィ工程により加工して、金属窒化物層１３４ｂ、１３４ｃ、ソース電極又はドレイン電極１２５ａ、１２５ｂ、ソース電極又はドレイン電極１２５ｃ、１２５ｄを形成する。導電膜１２５を加工する際に、金属窒化物層１３４ａの一部が除去されて、金属窒化物層１３４ｂ、１３４ｃとなり、半導体層１３１ａの一部が露出する。導電膜１２５及び金属窒化物層１３４ａは、同じマスクを用いてエッチングされるため、例えば、金属窒化物層１３４ａの上面の端部と半導体層１３１ａの下面の端部とが略一致している。

[0049] 図１１（Ｂ）は、ゲート絶縁膜１２２を形成する工程を説明する図である。ソース電極又はドレイン電極１２５ａ～１２５ｄ上にゲート絶縁膜１２２の形成した後に、加熱処理を行う。例えば、窒素、乾燥空気、又は大気雰囲気下で加熱処理を行うことにより、酸化シリコンから酸素が放出されて、半導体層１２１のダメージが生じた領域に酸素を補填することができる。これにより、半導体層１２１に含まれる酸素欠損を低減することができる。

[0050] 図１２（Ａ）は、ゲート電極１２３を形成する工程を説明する図である。まず、ゲート絶縁膜１２２上に導電膜を形成し、導電膜をフォトリソグラフィ工程により加工して、半導体層１３１ａと重畳するゲート電極１２３を形成する。ゲート電極１２３の形成後に、ゲート電極１２３とソース電極又はドレイン電極１２５ｃ、１２５ｄをマスクとして、半導体層１３１ａに水素又はアルゴンをイオン注入により添加する。これにより、半導体層１３１ａにおいて、ゲート電極１２３と重畳する領域にチャネル１３１ｂ、チャネル１３１ｂを挟むように低抵抗化領域１３１ｃ、１３１ｄ、低抵抗化領域１３１ｃ、１３１ｄと隣接するソース領域又はドレイン領域１２１ｅ、１２１ｆを形成することができる。

[0051] 図１２（Ｂ）は、ゲート絶縁膜１２２及びゲート電極１２３上に層間絶縁

膜１２６を形成する工程を説明する図である。

[0052] 以上の工程により、図８に示す半導体装置１００Ａを製造することができる。

[0053] さらに、図１３に示すように、層間絶縁膜１２６にソース電極又はドレイン電極１２５ａ～１２５ｄの各々に達する開口部を形成して、ソース電極又はドレイン電極１２５ａ～１２５ｄの各々と接続する配線層１２７ａ～１２７ｄを形成してもよい。

[0054] このように、本発明の一実施形態に係る半導体装置を製造方法する場合、ポリシリコンを用いたトランジスタ１１０と接続されるソース電極又はドレイン電極１２５ａ、１２５ｂと、酸化物半導体を用いたトランジスタ１２０Ａと接続されるソース電極又はドレイン電極１２５ｃ、１２５ｄとを、同じ工程で形成することができる。これにより、従来、トランジスタ１１０及びトランジスタ１２０Ａの各々についてソース電極及びドレイン電極を形成する工程が必要であったが、従来に比べて、１工程削減することができる。つまり、異なる半導体材料を用いたトランジスタを同一基板上に製造する場合のフォトリソグラフィ工程が７工程必要であったものを、６工程に削減することができる。これにより、異なる半導体材料を用いたトランジスタを同一基板上に製造する工程が簡易化されるため、製造タクトが短縮され、半導体装置の生産性を向上させることができる。

[0055] また、半導体層１１１とソース電極又はドレイン電極１２５ａ、１２５ｂとが接して設けられ、半導体層１３１ａは、金属窒化物層１３４ｂ、１３４ｃを介してソース電極又はドレイン電極１２５ｃ、１２５ｄ接続される。半導体層１１１とソース電極又はドレイン電極１２５ｃ、１２５ｄとが、金属窒化物層を介さずに接続するので、コンタクト抵抗が上昇することを抑制することができる。また、金属窒化物層１３４ｂ、１３４ｃにより、半導体層１３１ａとソース電極又はドレイン電極１２５ｃ、１２５ｄとの加熱処理による反応を抑制できるため、トランジスタのオン電流を向上させることができる。このように、本発明の一実施形態に係る半導体装置の製造方法によれ

ば、半導体材料が異なるトランジスタを同一基板上に混載させる場合であっても、それぞれのトランジスタの特性を活用できる構成を、生産性良く提供することができる。

[0056] （第３実施形態）

本発明の他の実施形態に係る半導体装置について、図１４乃至図２０を参照して説明する。本実施形態では、酸化物半導体を用いたトランジスタ１３０、１３０Ａが、ボトムゲート構造である場合について説明する。

[0057] ＜半導体装置の構成＞

図１４は、本発明の一実施形態に係る半導体装置１００Ｂの平面図である。また、図１５は、図１４に示す半導体装置１００Ｂを、Ｂ１－Ｂ２線で切断したときの断面図である。図１４及び図１５に示すように、本発明の一実施形態に係る半導体装置１００Ｂは、基板１０１上に設けられたトランジスタ１１０と、トランジスタ１１０上に設けられたトランジスタ１３０と、を有する。

[0058] 基板１０１には、トランジスタ１１０が設けられている。トランジスタ１１０は、半導体層１１１と、ゲート絶縁膜１１２と、ゲート電極１１３と、を有する。トランジスタ１１０上には、層間絶縁膜１１４が設けられている。

[0059] 層間絶縁膜１１４上には、トランジスタ１３０が設けられている。トランジスタ１３０は、半導体層１３１ａと、ゲート絶縁膜１２２と、ゲート電極１２３と、を有する。本実施形態では、層間絶縁膜１１４上にゲート電極１２３が設けられ、層間絶縁膜１１４及びゲート電極１２３上にゲート絶縁膜１２２が設けられている。また、ゲート絶縁膜１２２上にゲート電極１２３と重畳して半導体層１３１ａが設けられている。

[0060] ＜半導体装置の製造方法＞

図１５に示す半導体装置１００Ｂでは、トランジスタ１３０がボトムゲート型のトランジスタである。したがって、トランジスタ１３０の構成要素の形成順序が、第１実施形態と異なっている。なお、トランジスタ１１０及び

層間絶縁膜１１４の形成方法は、図３（Ａ）で説明した形成方法と同様であるため、詳細な説明は省略する。

[0061] 図１６（Ａ）は、層間絶縁膜１１４上に、ゲート電極１２３、ゲート絶縁膜１２２、及び半導体層１３１ａを形成する工程を説明する図である。まず、層間絶縁膜１１４上に、ゲート電極１２３を含むゲート配線を形成する。次に、層間絶縁膜１１４及びゲート電極１２３上にゲート絶縁膜１２２を形成する。ゲート絶縁膜１２２上に、半導体膜を形成し、パターニングして、半導体層１３１ａを形成する。

[0062] 図１６（Ｂ）は、金属窒化物膜１２４を形成し、開口部を形成する工程を説明する図である。ゲート絶縁膜１１２、１２２、層間絶縁膜１１４、及び金属窒化物膜１２４をフォトリソグラフィ工程により加工する。これにより、半導体層１１１のソース領域又はドレイン領域１１１ｄ、１１１ｅに達する開口部１１５ａ、１１５ｂを形成する。

[0063] 図１７（Ａ）は、金属窒化物膜１２４上に導電膜１２５を形成する工程を説明する図である。金属窒化物膜１３４上に導電膜１２５を形成する工程の際に、導電膜１２５が当該開口部にも形成されることで、導電膜１２５が半導体層１１１のソース領域又はドレイン領域１１１ｄ、１１１ｅと接続される。半導体層１１１は、金属窒化物層を介さず直接ソース電極又はドレイン電極１２５ａ、１２５ｂと接するのでコンタクト抵抗が上昇することを抑制することができる。

[0064] 図１７（Ｂ）は、金属窒化物層１２４ａ～１２４ｄ、ソース電極又はドレイン電極１２５ａ～１２５ｄを形成する工程を説明する図である。導電膜１２５及び金属窒化物膜１２４が除去されて、半導体層１３１ａの一部が露出する。次に、半導体層１３１ａ、ソース電極又はドレイン電極１２５ｃ、１２５ｄ上に、層間絶縁膜１２６を形成する。

[0065] 以上説明した通り、図１５に示す半導体装置１００Ｂの製造方法において、ソース電極及びドレイン電極を形成する工程を、ポリシリコン（半導体層１１１）を用いたトランジスタ１１０と接続されるソース電極又はドレイン

電極１２５ａ、１２５ｂと、酸化物半導体（半導体層１３１ａ）を用いたトランジスタ１３０Ａと接続されるソース電極又はドレイン電極１２５ｃ、１２５ｄとを、同じ工程で形成することができる。これにより、異なる半導体材料を用いたトランジスタを同一基板上に製造する工程が簡易化されるため、製造タクトが短縮され、半導体装置の生産性を向上させることができる。

[0066] ＜半導体装置の構成＞

図１８は、半導体装置１００Ｃの断面図である。なお、図１８に示す半導体装置１００Ｃの平面図は、図１４と同様であるため、図１４を参照して説明する。図１８に示すように、本発明の一実施形態に係る半導体装置１００Ｃは、基板１０１上に設けられたトランジスタ１１０と、トランジスタ１１０上に設けられたトランジスタ１３０Ａと、を有する。なお、トランジスタ１１０の構成については、図１５に示すトランジスタ１１０と同様であるため、詳細な説明については省略する。

[0067] 層間絶縁膜１１４上には、トランジスタ１３０Ａが設けられている。トランジスタ１３０Ａは、半導体層１３１ａと、ゲート絶縁膜１２２と、ゲート電極１２３と、を有する。半導体層１３１ａ上には、金属窒化物層１３４ｂ、１３４ｃが設けられている。金属窒化物層１３４ｂ、１３４ｃ上には、ソース電極又はドレイン電極１２５ｃ、１２５ｄが設けられている。ソース電極又はドレイン電極１２５ｃは、半導体層１３１ａの側面と、金属窒化物層１３４ｂの側面と接しており、ソース電極又はドレイン電極１２５ｄは、半導体層１３１ａの側面と、金属窒化物層１３４ｃの側面と接している。トランジスタ１１０は、第１実施形態と同様の構成である。

[0068] ＜半導体装置の製造方法＞

図１８に示す半導体装置１００Ｃでは、トランジスタ１３０Ａがボトムゲート型のトランジスタである。したがって、トランジスタ１３０Ａの構成要素の形成順序が、第２実施形態と異なっている。

[0069] 図１９（Ａ）は、層間絶縁膜１１４上に、ゲート電極１２３、ゲート絶縁膜１２２、半導体層１３１ａ、及び金属窒化物層１３４ａを形成する工程を

説明する図である。まず、層間絶縁膜１１４上に、ゲート電極１２３を含むゲート線を形成する。層間絶縁膜１１４及びゲート電極１２３上にゲート絶縁膜１２２を形成する。ゲート絶縁膜１２２上に、半導体膜を成膜し、半導体膜上に金属窒化物膜を成膜する。次に、半導体膜及び金属窒化物膜を島状に加工して、半導体層１３１ａ及び金属窒化物層１３４ａを形成する。

[0070] 図１９（Ｂ）は、開口部を形成する工程を説明する図である。ゲート絶縁膜１１２、１２２、層間絶縁膜１１４をフォトリソグラフィ工程により加工して、半導体層１１１に達する開口部１１５ａ、１１５ｂを形成する。

[0071] 図２０（Ａ）は、金属窒化物層１３４ａ上に導電膜１２５を形成する工程を説明する図である。導電膜１２５を形成する際に、導電膜１２５が当該開口部にも形成されることで、導電膜１２５が半導体層１１１のソース領域又はドレイン領域１１１ｄ、１１１ｅと接続される。

[0072] 図２０（Ｂ）は、導電膜１２５をフォトリソグラフィ工程により加工して、ソース電極又はドレイン電極１２５ａ～１２５ｄを形成する工程を説明する図である。導電膜１２５及び金属窒化物層１３４ａが除去されて、半導体層１３１ａの一部が露出する。最後に、半導体層１３１ａ、ソース電極又はドレイン電極１２５ｃ、１２５ｄ上に、層間絶縁膜１２６を形成する。

[0073] 以上説明した通り、図１８に示す半導体装置１００Ｃの製造方法において、ポリシリコンを用いたトランジスタ１１０と接続されるソース電極又はドレイン電極１２５ａ、１２５ｂと、酸化物半導体を用いたトランジスタ１３０Ａと接続されるソース電極又はドレイン電極１２５ｃ、１２５ｄとを、同じ工程で形成することができる。これにより、異なる半導体材料を用いたトランジスタを同一基板上に製造する工程が簡易化されるため、製造タクトが短縮され、半導体装置の生産性を向上させることができる。

[0074] （第４実施形態）

本発明の一実施形態に係る表示装置２００について、図２１乃至図２３を参照して説明する。

[0075] ＜表示装置の概略図＞

図２１は、本発明の一実施形態に係る表示装置２００の概略を示す平面図である。図２１に示すように、基板１０１には表示領域２０２と、表示領域２０２の周囲には周辺領域２０３が設けられている。表示領域２０２には、複数の画素２０９が、マトリクス状に配置されている。また、周辺領域２０３には、表示領域２０２を挟むように走査線駆動回路２０４が設けられ、周辺領域２０３の端部（基板１０１の端部）には、複数の端子２０７が設けられている。複数の端子２０７と表示領域２０２との間には、ドライバＩＣ２０６が設けられている。また、複数の端子２０７は、フレキシブルプリント回路基板２０８と接続されている。

[0076] 走査線駆動回路２０４は、画素２０９と接続されるゲート線と接続される。また、ドライバＩＣ２０６は、画素２０９と接続されるデータ線と接続される。なお、図２１においては、ドライバＩＣに信号線駆動回路が組み込まれている例を示すが、ドライバＩＣ２０６とは別に基板１０１上に、信号線駆動回路が設けられていてもよい。また、ドライバＩＣ２０６は、ＩＣチップのような形態で基板１０１に配置してもよいし、フレキシブルプリント回路基板２０８上に設けてもよい。

[0077] ＜液晶表示装置＞

次に、本発明の一実施形態に係る半導体装置１００を液晶表示装置に適用する場合について、図２２を参照して説明する。なお、液晶表示装置において、表示領域２０２、走査線駆動回路２０４、及び端子２０７などの配置については、図２１を参照すればよい。

[0078] 図２２は、液晶表示装置の画素２０９の回路図である。図２２に示すように、画素２０９は、トランジスタ２１４と、液晶素子２１５と、容量素子２１６と、を有する。液晶素子２１５は、画素電極と、液晶層と、対向電極とを有する。トランジスタ２１４のゲートは、ゲート線２１１と電気的に接続されており、ソースは、データ線２１２と電気的に接続されている。また、トランジスタ２１４のドレインは、液晶素子２１５の一方の電極（画素電極）と電気的に接続され、容量素子２１６の一方の電極と電気的に接続されて

いる。また、容量素子２１６の他方の電極は、容量線２１３と電気的に接続されている。

[0079] 一般に、液晶表示装置では、トランジスタのリーク電流によって画素に保持されている電荷が失われてしまうため、６０フレーム／秒ごとに、映像信号を書き換えている。そこで、第１実施形態乃至第３実施形態で説明したトランジスタ１２０、１２０Ａ又はトランジスタ１３０、１３０Ａを、トランジスタ２１４として用いる。酸化物半導体を用いたトランジスタ１２０等は、トランジスタ１１０よりもオフ電流が小さいため、映像信号を書き換える頻度を６０フレーム／秒よりも低減することができる。これにより、画素２０９への映像信号の書き込み回数を低減することができるため、低消費電力化を図ることができる。また、トランジスタ１１０として、走査線駆動回路２０４などの周辺回路として用いることで、高速動作させることができる。

[0080] ＜ＥＬ表示装置＞

次に、本発明の一実施形態に係る半導体装置１００をＥＬ（エレクトロルミネセンス）表示装置に適用する場合について、図２３を参照して説明する。なお、ＥＬ表示装置において、表示領域２０２、走査線駆動回路２０４、及び端子２０７などの配置については、図２１を参照すればよい。

[0081] 図２３は、ＥＬ表示装置の画素２０９の回路図である。図２３に示すように、画素２０９は、トランジスタ２２５と、トランジスタ２２６と、発光素子２２７と、容量素子１６０と、を有する。

[0082] トランジスタ２２５は、駆動トランジスタとして機能する。すなわち、トランジスタ２２５は、発光素子２２７に接続され、発光素子２２７の発光輝度を制御するトランジスタである。発光素子２２７は、画素電極と、発光層を含む有機層と、対向電極と、を有する。トランジスタ２２５は、ゲートがトランジスタ２２６のソース又はドレインの一方と接続され、ソースが駆動電源線２２３に接続され、ドレインが発光素子２２７の陽極（画素電極）に接続されている。トランジスタ２２５は、ゲート－ソース間電圧よってドレイン電流が制御される。容量素子２２８は、ゲート－ソース間電圧を保持す

るように、トランジスタ２２５のゲート－ソース間に接続されている。

[0083] トランジスタ２２６は、選択トランジスタとして機能する。すなわち、トランジスタ２２６は、オンオフ動作により、データ線とトランジスタ２２５のゲートとの導通状態を制御する。トランジスタ２２６は、ゲートがゲート線２２１に接続され、ソースがデータ線２２２に接続され、ドレインがトランジスタ２２５のゲートに接続されている。

[0084] 発光素子２２７は、陽極（画素電極）がトランジスタ２２５のドレインに接続され、陰極（対向電極）が基準電源線２２４に接続されている。

[0085] トランジスタ２２５は、駆動トランジスタとして機能するため、飽和状態で駆動する。そのため、オン状態での高い駆動能力を有することが好ましく、高いキャリア移動度を有することが望まれる。一方、トランジスタ２２６は、選択トランジスタとして機能するため、良好なスイッチング特性を有することが望まれる。つまり、オン状態での電流値が大きく、オフ状態での電流値が小さい程好ましい。そこで、第１実施形態乃至第３実施形態で説明したトランジスタ１１０を、トランジスタ２２５として用い、トランジスタ１２０をトランジスタ２２６として用いる。本発明の一実施形態に係る半導体装置をＥＬ表示装置に適用することにより、一つの画素内に求められる特性に応じた特性を有するトランジスタを設けることができる。

符号の説明

[0086] １００：半導体装置、１００Ａ：半導体装置、１００Ｂ：半導体装置、１００Ｃ：半導体装置、１０１：基板、１１０：トランジスタ、１１１：半導体層、１１１ａ：チャネル、１１１ｂ、１１１ｃ：低濃度不純物領域、１１１ｄ、１１１ｅ：ドレイン領域、１１２：ゲート絶縁膜、１１３：ゲート電極、１１４：層間絶縁膜、１１５ａ：開口部、１１５ｂ：開口部、１２０：トランジスタ、１２０Ａ：トランジスタ、１２１：半導体層、１２１ａ：チャネル、１２１ｂ、１２１ｃ：低抵抗化領域、１２１ｄ～１２１ｆ：ドレイン領域、１２２：ゲート絶縁膜、１２３：ゲート電極、１２４：金属窒化物膜、１２４ａ～１２４ｄ：金属窒化物層、１２５：導電膜、１２５ａ～１２５

ｄ：ドレイン電極、１２６：層間絶縁膜、１２７ａ～１２７ｄ：配線層、１３０：トランジスタ、１３０Ａ：トランジスタ、１３１：半導体膜、１３１ａ：半導体層、１３１ｂ：チャネル、１３１ｃ、１３１ｄ：低抵抗化領域、１３１ｅ、１３１ｆ：ドレイン領域、１３４：金属窒化物膜、１３４ａ～１３４ｄ：金属窒化物層、１６０：容量素子、２００：表示装置、２０２：表示領域、２０３：周辺領域、２０４：走査線駆動回路、２０７：端子、２０８：フレキシブルプリント回路基板、２０９：画素、２１１：ゲート線、２１２：データ線、２１３：容量線、２１４：トランジスタ、２１５：液晶素子、２１６：容量素子、２２１：ゲート線、２２２：データ線、２２３：駆動電源線、２２４：基準電源線、２２５：トランジスタ、２２６：トランジスタ、２２７：発光素子、２２８：容量素子

請求の範囲

[請求項1] 基板上に、第１半導体層と、前記第１半導体層を覆う第１ゲート絶縁膜と、前記第１ゲート絶縁膜を介して前記第１半導体層と重畳する第１ゲート電極と、を形成し、

前記第１ゲート電極上に、第１層間絶縁膜を形成し、

前記第１層間絶縁膜上に、前記第１半導体層とは組成の異なる第２半導体層を形成し、

前記第１層間絶縁膜及び前記第２半導体層上に、金属窒化物膜を形成し、

前記第１層間絶縁膜及び前記金属窒化物膜に前記第１半導体層に達する開口部を形成し、

前記金属窒化物膜上に導電膜を形成して、前記導電膜と前記第１半導体層とを接触させ、

前記金属窒化物膜及び前記導電膜をエッチングして、前記第１半導体層と接続する第１ソース電極及び第１ドレイン電極と、前記第２半導体層と接続する第２ソース電極及び第２ドレイン電極とを形成し、

前記第１ソース電極、前記第１ドレイン電極、前記第２ソース電極、及び前記第２ドレイン電極上に、第２ゲート絶縁膜を形成し、

前記第２ゲート絶縁膜を介して前記第２半導体層と重畳する第２ゲート電極を形成する、半導体装置の製造方法。

[請求項2] 前記第１半導体層はシリコン、前記第２半導体層は、酸化物半導体である、請求項１に記載の半導体装置の製造方法。

[請求項3] 前記エッチングにより、

前記第１ソース電極、前記第１ドレイン電極、前記第２ソース電極及び前記第２ドレイン電極の各々と重畳する、第１金属窒化物層、第２金属窒化物層、第３金属窒化物層、前第４金属窒化物層を形成する、請求項１に記載の半導体装置の製造方法。

[請求項4] 前記第２ゲート絶縁膜を形成した後、窒素、乾燥空気、又は大気雰

囲気下で加熱処理を行う、請求項１に記載の半導体装置の製造方法。

[請求項5] 前記第２ゲート電極を形成した後、前記第２ゲート絶縁膜を介して前記第２半導体層に水素又はアルゴンを添加する、請求項１に記載の半導体装置の製造方法。

[請求項6] 基板上に、第１半導体層と、前記第1半導体層を覆う第１ゲート絶縁膜と、前記第１ゲート絶縁膜を介して前記第１半導体層と重畳する第１ゲート電極と、を形成し、

前記第１ゲート電極上に、第１層間絶縁膜を形成し、

前記第１層間絶縁膜上に、前記第１半導体層とは組成の異なる第２半導体膜と金属窒化物膜を積層し、

前記第２半導体膜及び前記金属窒化物膜をエッチングして、第２半導体層及び金属窒化物層を形成し、

前記第１層間絶縁膜に前記第１半導体層に達する開口部を形成し、

前記第１層間絶縁膜上に、前記第１半導体層と接触し、第２半導体層及び金属窒化物層を覆うように導電膜を形成し、

前記導電膜及び前記金属窒化物膜をエッチングして、前記第１半導体層と接続する第１ソース電極及び第１ドレイン電極と、前記第２半導体層と接続する第２ソース電極及び第２ドレイン電極と、を形成し、

前記第１ソース電極、第１ドレイン電極、前記第２ソース電極、及び前記第２ドレイン電極上に、第２ゲート絶縁膜を形成し、

前記第２ゲート絶縁膜を介して前記第２半導体層と重畳する第２ゲート電極を形成する、半導体装置の製造方法。

[請求項7] 前記第１半導体層はシリコン、前記第２半導体層は、酸化物半導体である、請求項６に記載の半導体装置の製造方法。

[請求項8] 前記金属窒化物膜及び前記導電膜をエッチングすることは、

前記第２ソース電極及び前記第２ドレイン電極の各々と重畳する、第１金属窒化物層及び第２金属窒化物層を形成する、請求項６に記載

の半導体装置の製造方法。

[請求項9] 前記第２ゲート絶縁膜を形成した後、窒素、乾燥空気、又は大気雰囲気下で加熱処理を行う、請求項６に記載の半導体装置の製造方法。

[請求項10] 前記第２ゲート電極を形成した後、前記第２ゲート絶縁膜を介して前記第２半導体層に水素又はアルゴンを添加する、請求項６に記載の半導体装置の製造方法。

[請求項11] 基板上に設けられた第１半導体層と、

前記第１半導体層上に設けられた第１ゲート絶縁膜と、

前記第１ゲート絶縁膜上に前記第１半導体層と重畳する第１ゲート電極と、

前記第１ゲート電極上に設けられた層間絶縁膜と、

前記層間絶縁膜上に設けられた第２半導体層と、

前記層間絶縁膜上に設けられた第１金属窒化物層及び第２金属窒化物層と、

前記第１半導体層と、前記第１金属窒化物層、前記層間絶縁膜、及び前記第１ゲート絶縁膜に設けられた開口部を介して接触する第１ソース電極と、

前記第１半導体層と、前記第２金属窒化物層、前記層間絶縁膜、及び前記第１ゲート絶縁膜に設けられた開口部を介して接続する第１ドレイン電極と、

前記第２半導体層上に設けられた第３金属窒化物層及び第４金属窒化物層と、

前記第２半導体層と、前記第３金属窒化物層を介して接続する第２ソース電極と、

前記第２半導体層と、前記第４金属窒化物層を介して接続する第２ドレイン電極と、

前記第１ソース電極、前記第１ドレイン電極、前記第２ソース電極、及び前記第２ドレイン電極上に設けられた第２ゲート絶縁膜と、

前記第２ゲート絶縁膜上に、前記第２半導体層と重畳して設けられた第２ゲート電極と、を有する、半導体装置。

[請求項12] 前記第１半導体層はシリコン、前記第２半導体層は、酸化物半導体である、請求項１１に記載の半導体装置。

[請求項13] 前記第１金属窒化物層の上面の端部と、前記第１ソース電極の下面の端部とは略一致する、請求項１１に記載の半導体装置。

[請求項14] 前記第１金属窒化物層の全面は、前記第１ソース電極と接する、請求項１１に記載の半導体装置。

[請求項15] 前記第１金属窒化物層乃至前記第４金属窒化物層の下面は、前記層間絶縁膜と接する、請求項１１に記載の半導体装置。

[請求項16] 前記第１金属窒化物層の側面及び前記第１ソース電極の側面は、前記第２ゲート絶縁膜と接する、請求項１１に記載の半導体装置。

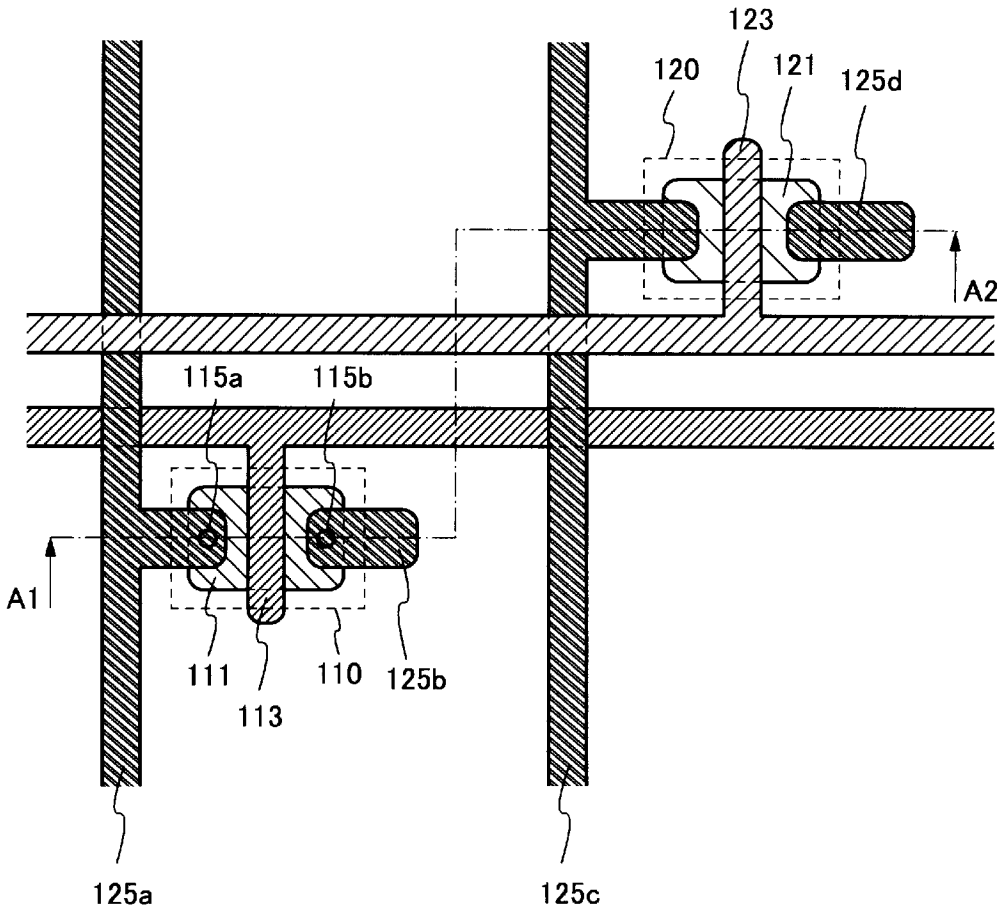
[請求項17] 請求項１１乃至１６のいずれか一項に記載の半導体装置と、

前記第２ドレイン電極と接続された発光素子と、を有する、表示装置。

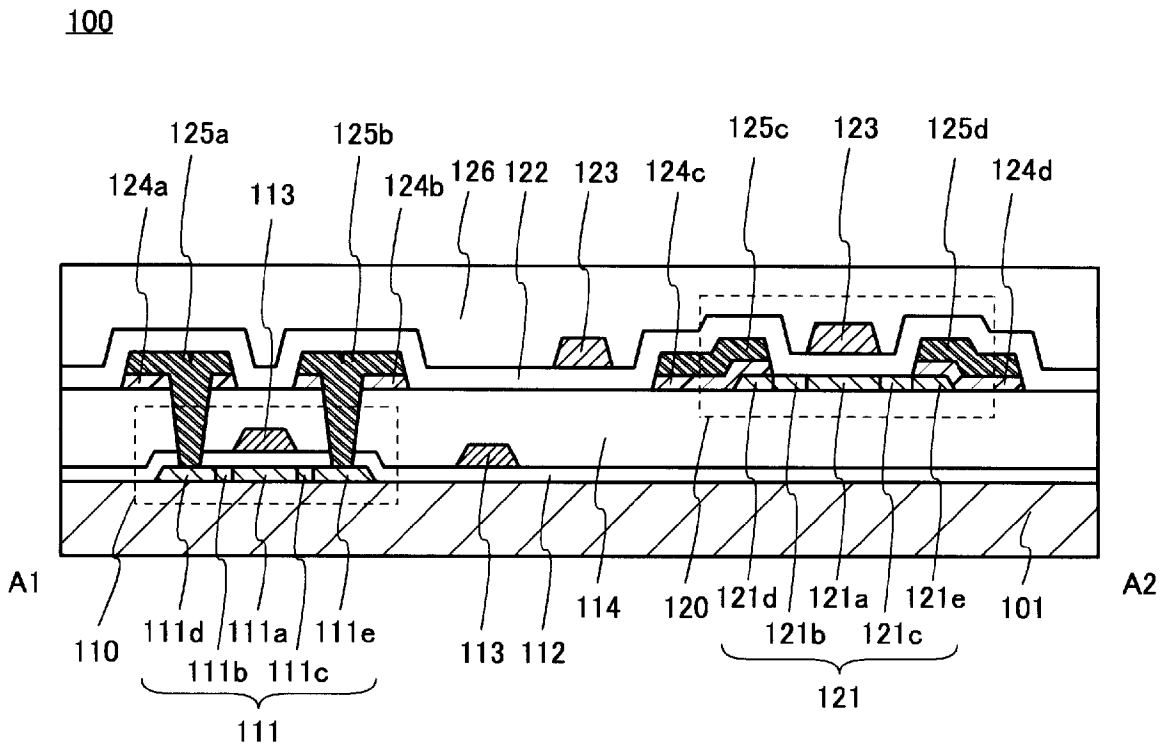
[請求項18] 請求項１１乃至１６のいずれか一項に記載の半導体装置と、

前記第１ドレイン電極と接続された液晶素子と、を有する、表示装置。

[図1]

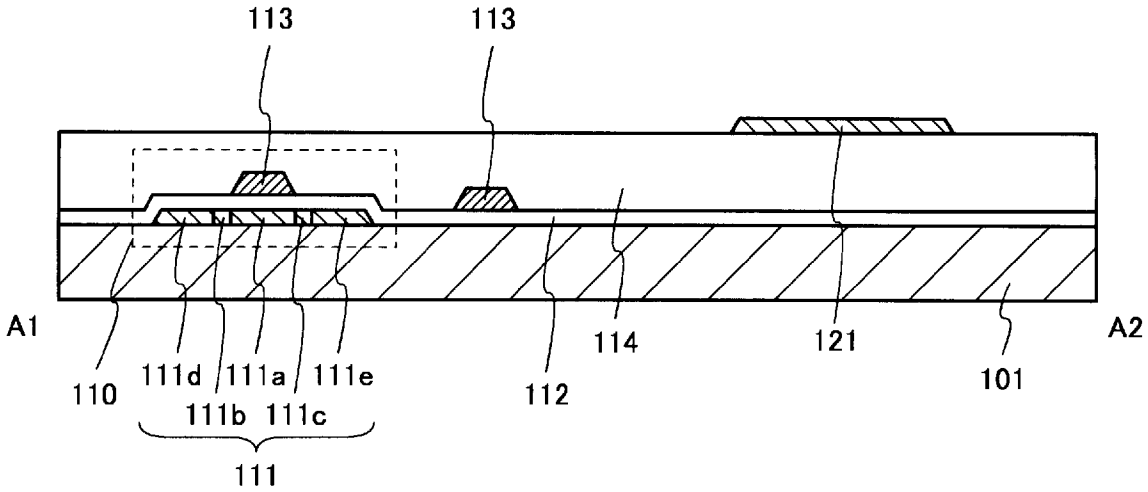


[図2]

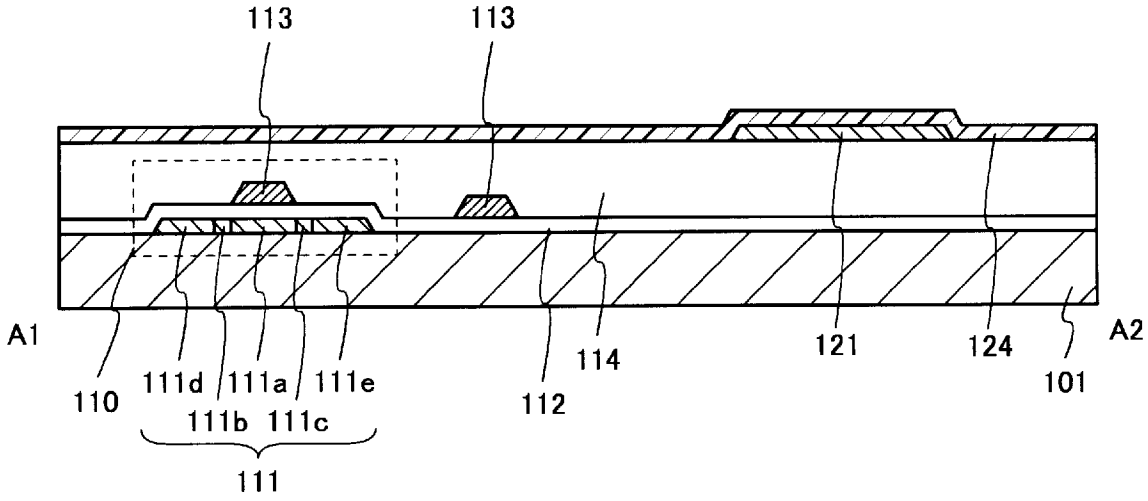

100
125a
125b
125c
123
125d
124a
113
124b
126
122
123
124c
124d
A1
A2
110
111d
111a
111e
111b
111c
111
113
112
114
120
121d
121a
121e
121b
121c
121
101

[図3]

(A)

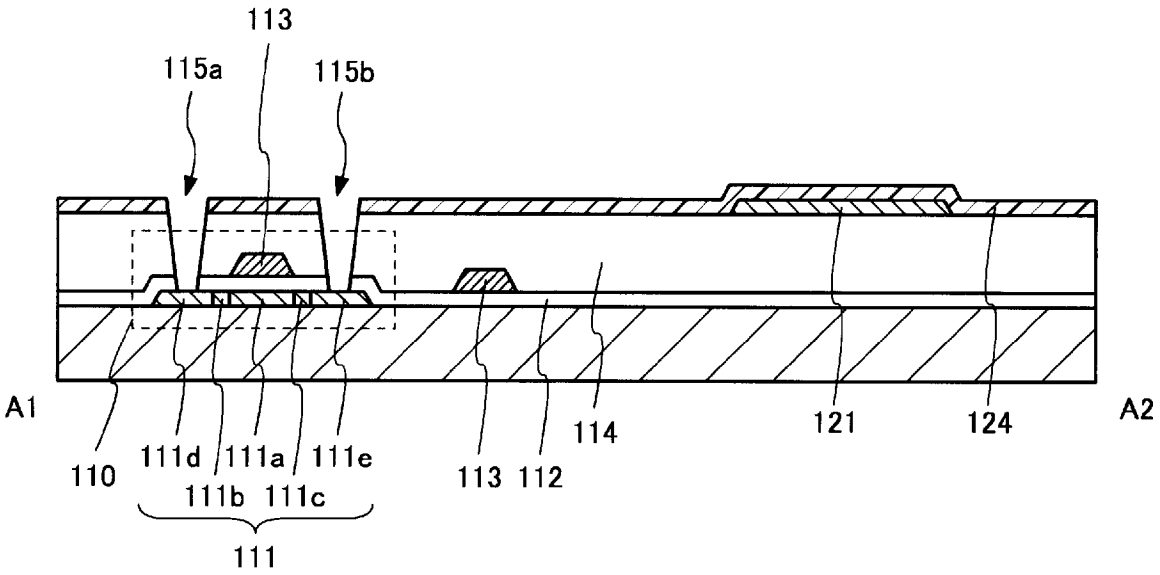

113
113
A1
A2
110
111d
111a
111e
111b
111c
111
112
114
121
101

(B)

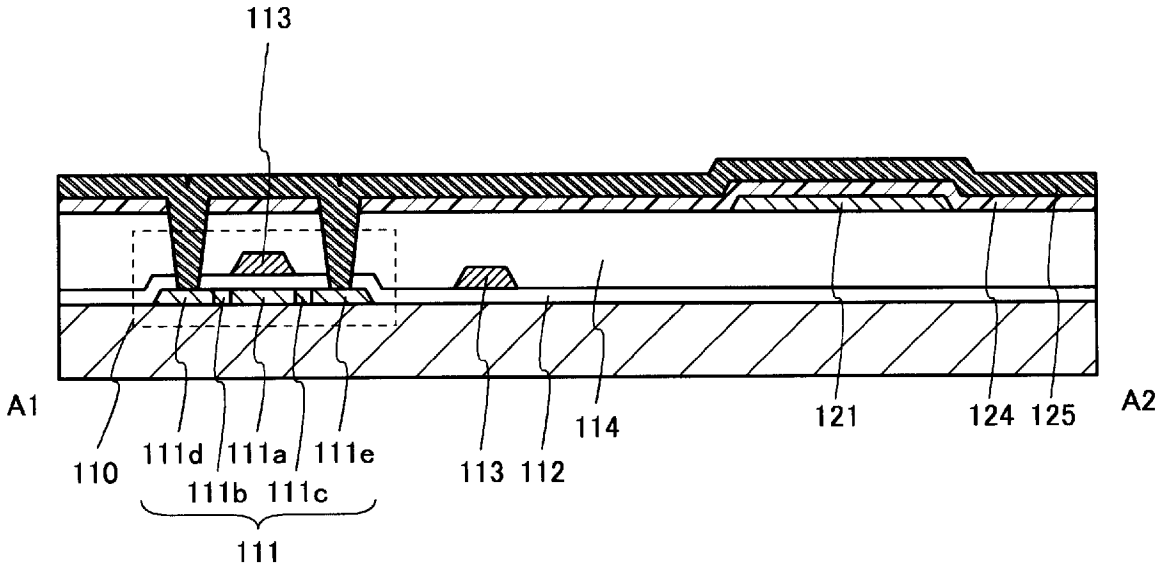

113
113
A1
A2
110
111d
111a
111e
111b
111c
111
112
114
121
124
101

[図4]

(A)

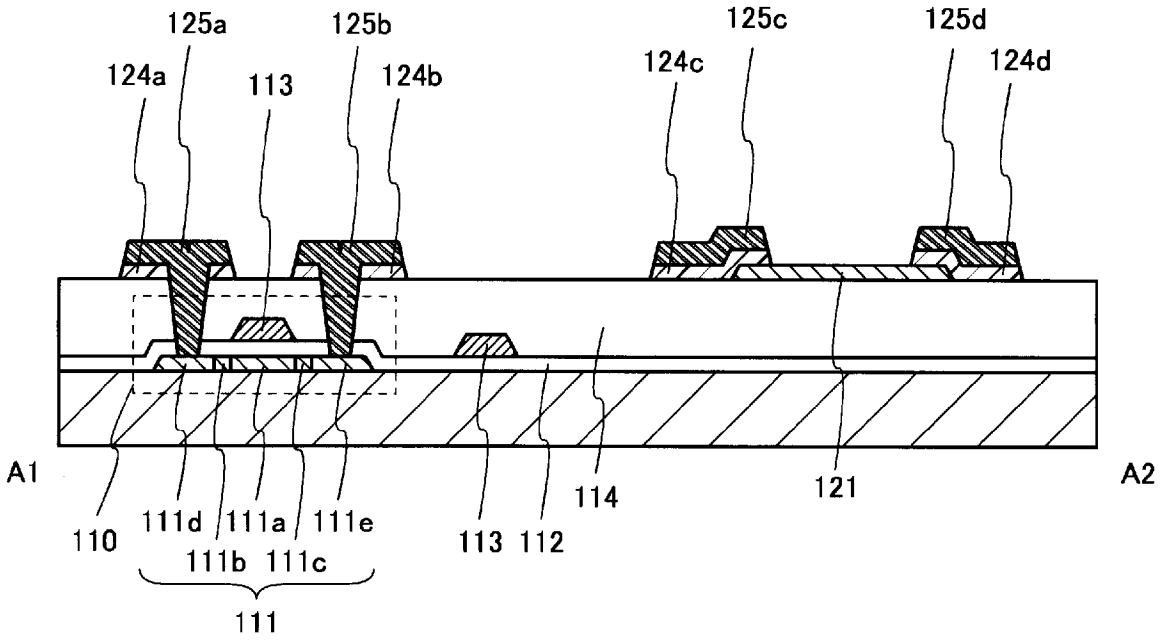

113
115a
115b
A1
A2
110
111d
111a
111e
111b
111c
111
113
112
114
121
124

(B)

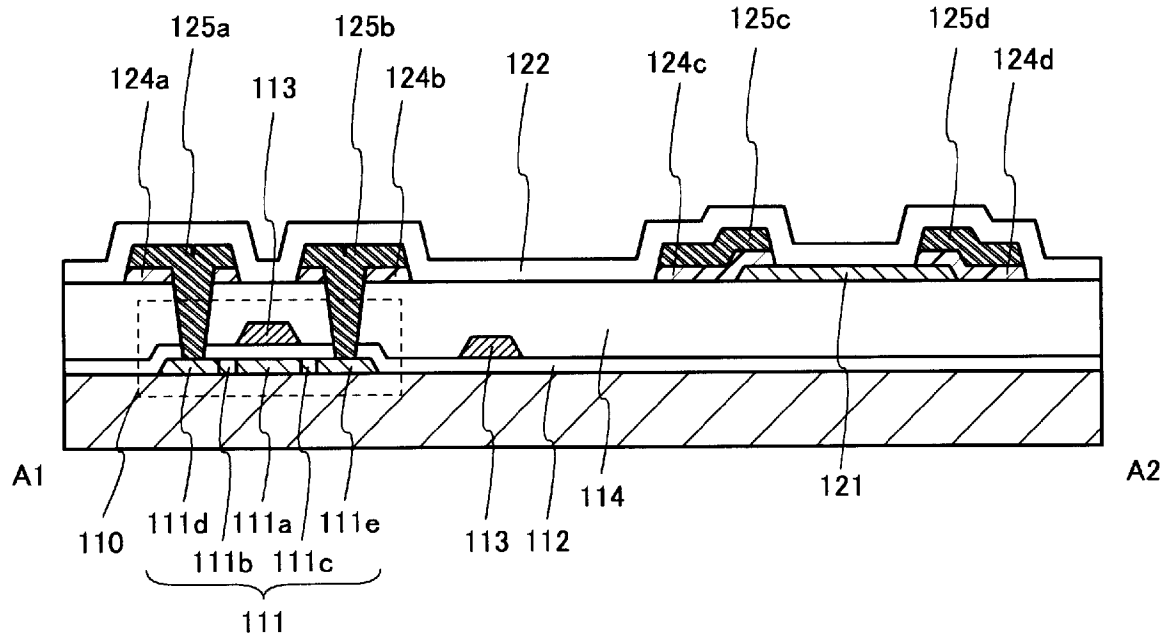

113
A1
A2
110
111d
111a
111e
111b
111c
111
113
112
114
121
124
125

[図5]

(A)

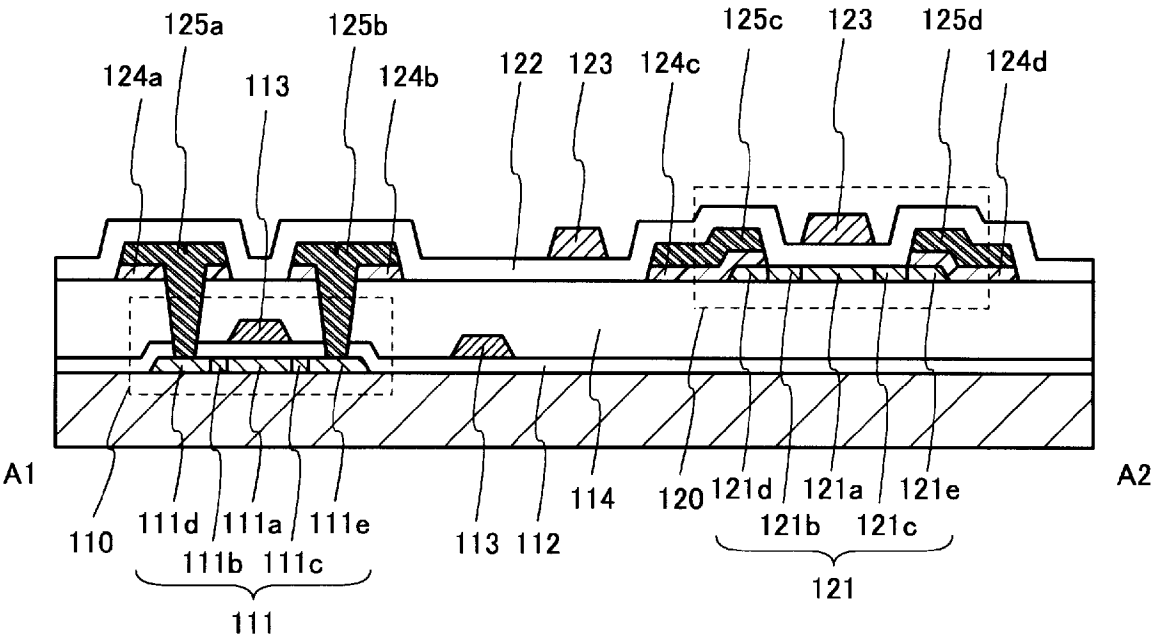

125a
125b
125c
125d
124a
113
124b
124c
124d
A1
A2
110
111d
111a
111e
111b
111c
111
113
112
114
121

(B)

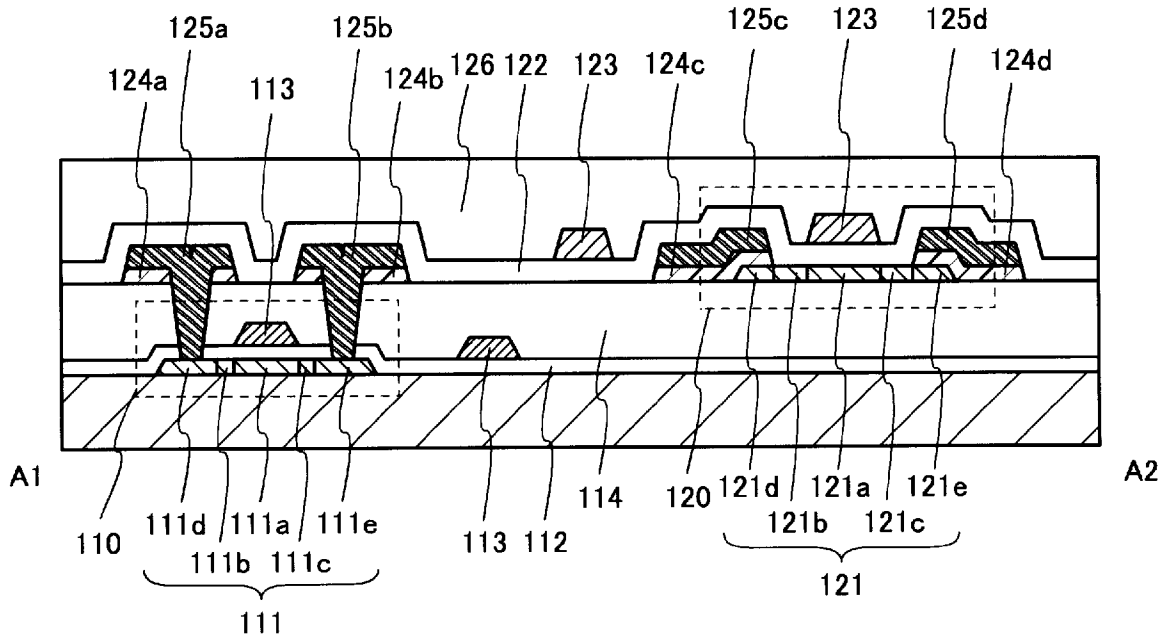

125a
125b
125c
125d
124a
113
124b
122
124c
124d
A1
A2
110
111d
111a
111e
111b
111c
111
113
112
114
121

[図6]

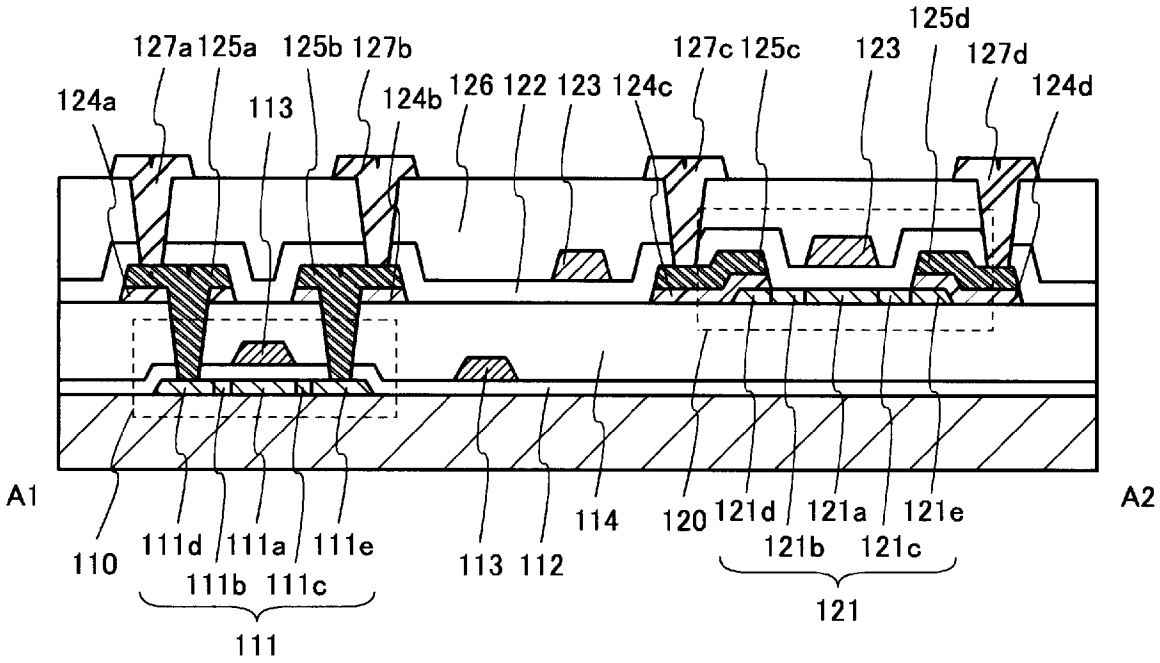
(A)


125a
125b
125c
123
125d
124a
113
124b
122
123
124c
124d
A1
A2
110
111d
111a
111e
113
112
114
120
121d
121a
121e
121b
121c
111b
111c
111
121

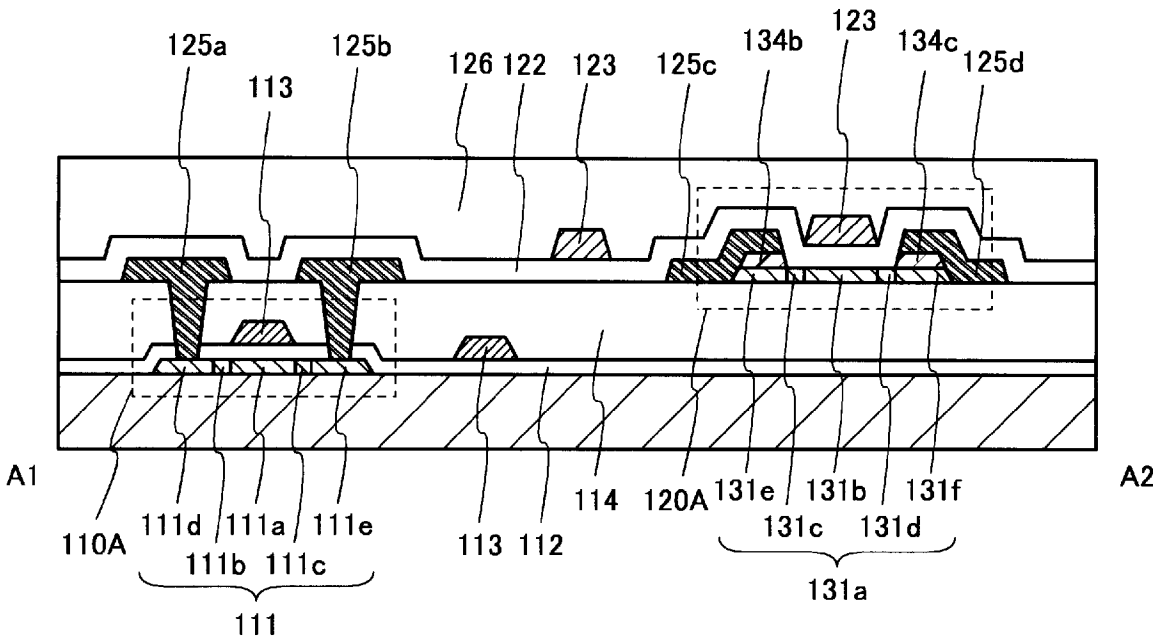
(B)


125a
125b
125c
123
125d
124a
113
124b
126
122
123
124c
124d
A1
A2
110
111d
111a
111e
113
112
114
120
121d
121a
121e
121b
121c
111b
111c
111
121

[図7]

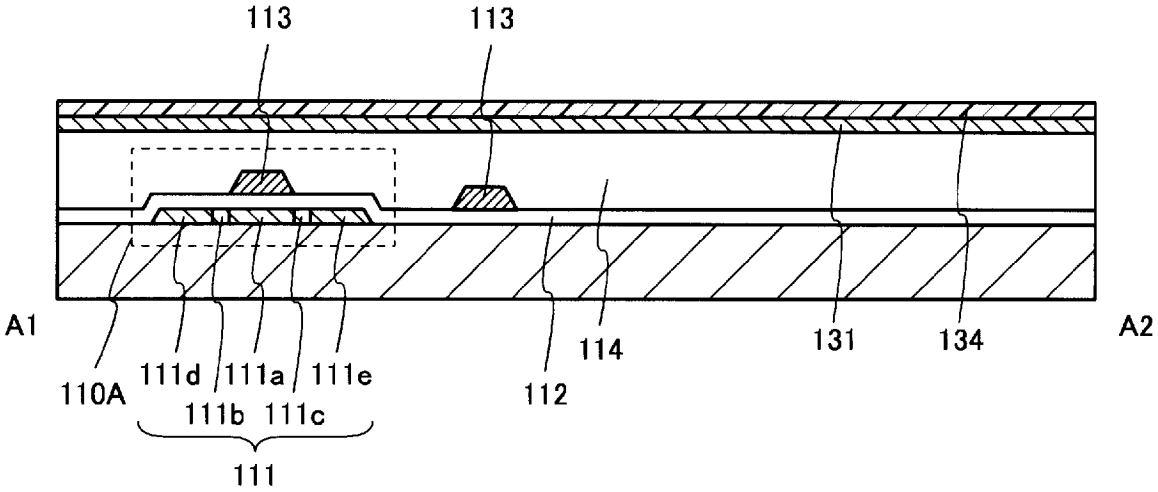

125d
127a 125a 125b 127b 127c 125c 123 127d
124a 113 124b 126 122 123 124c 124d
A1
A2
110 111d 111a 111e 113 112 114 120 121d 121a 121e
111b 111c 121b 121c
111
121

[図8]

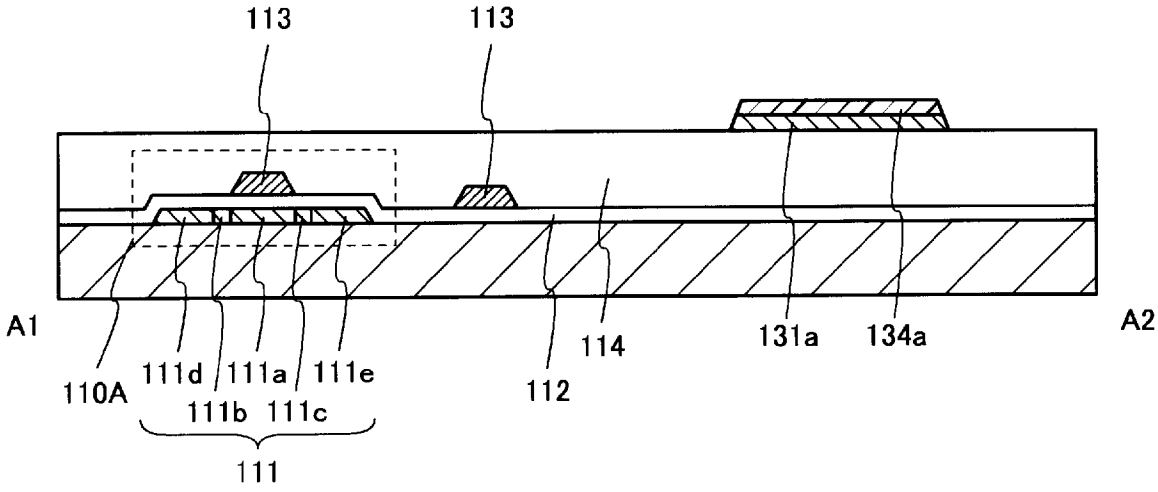

100A
125a
113
125b
126
122
123
125c
134b
123
134c
125d
A1
A2
110A
111d
111a
111e
111b
111c
111
113
112
114
120A
131e
131b
131f
131c
131d
131a

[図9]

(A)

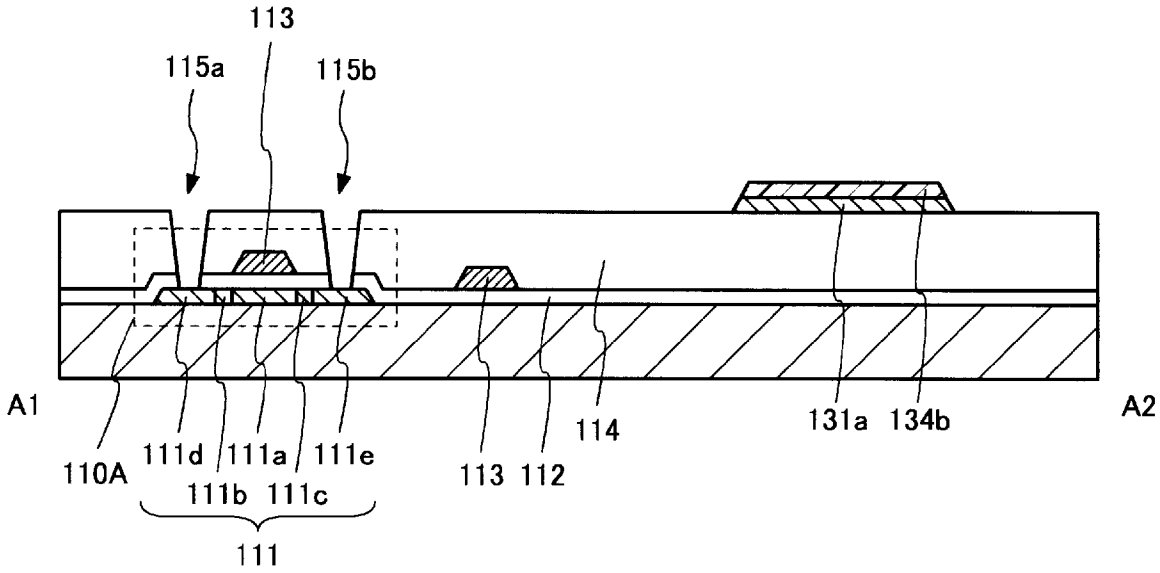

113
113
A1
A2
110A
111d
111a
111e
111b
111c
111
112
114
131
134

(B)

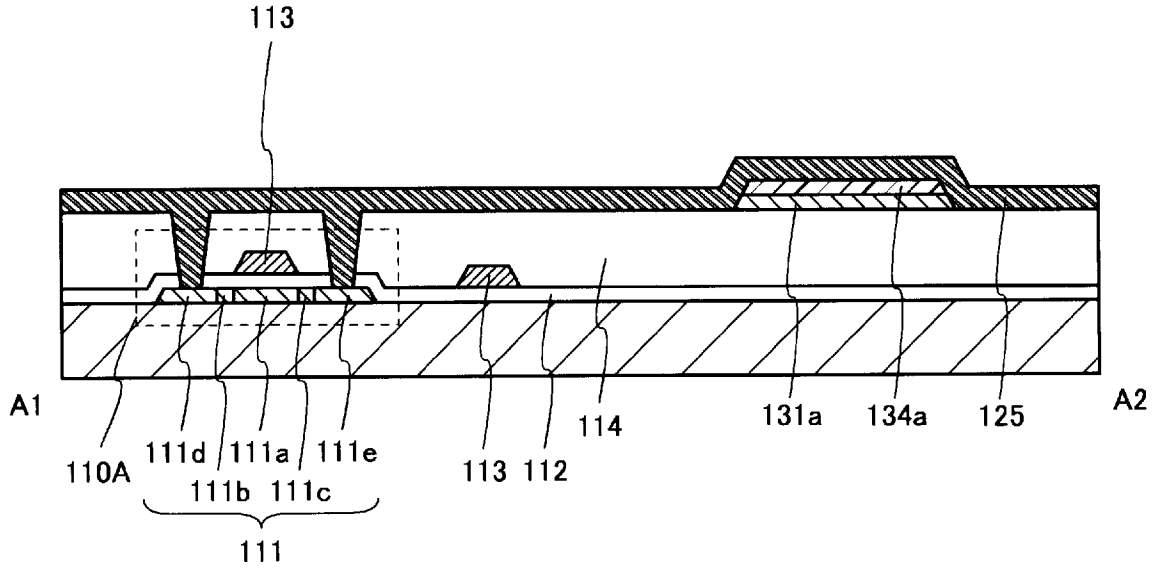

113
113
A1
A2
110A
111d
111a
111e
111b
111c
111
112
114
131a
134a

[図10]

(A)

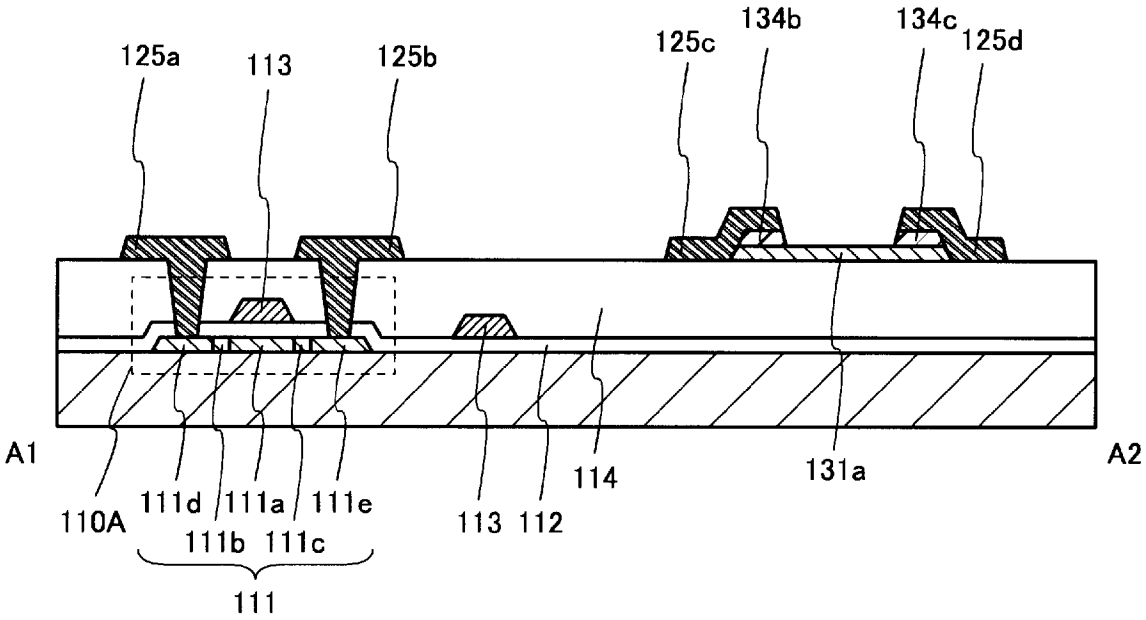

113
115a
115b
A1
A2
110A
111d
111a
111e
111b
111c
111
113
112
114
131a
134b

(B)

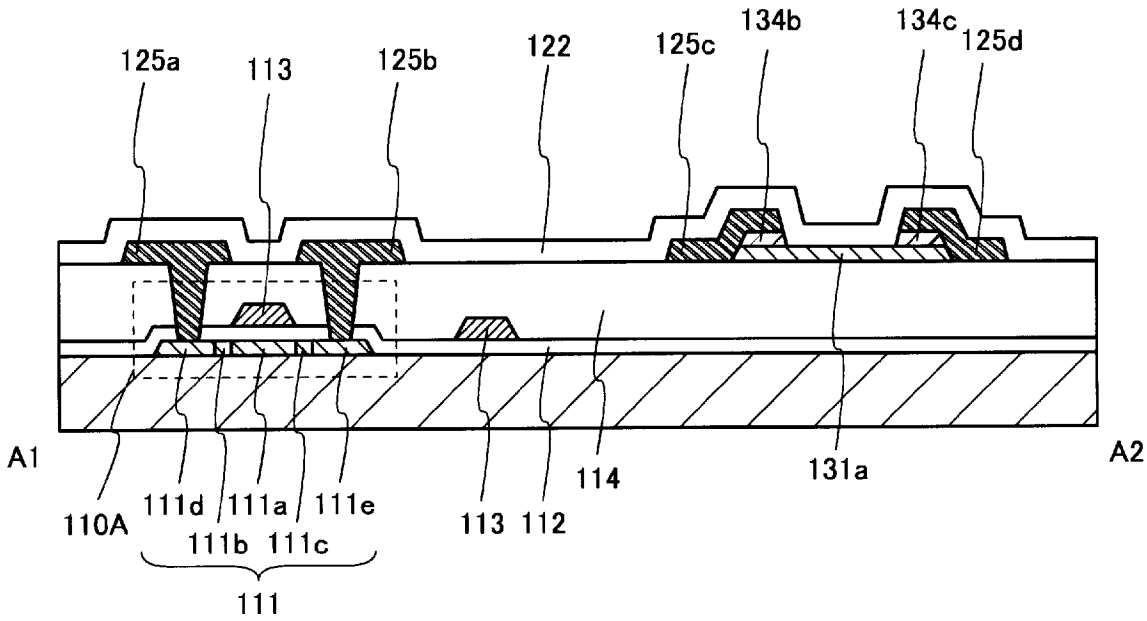

113
A1
A2
110A
111d
111a
111e
111b
111c
111
113
112
114
131a
134a
125

[図11]

(A)

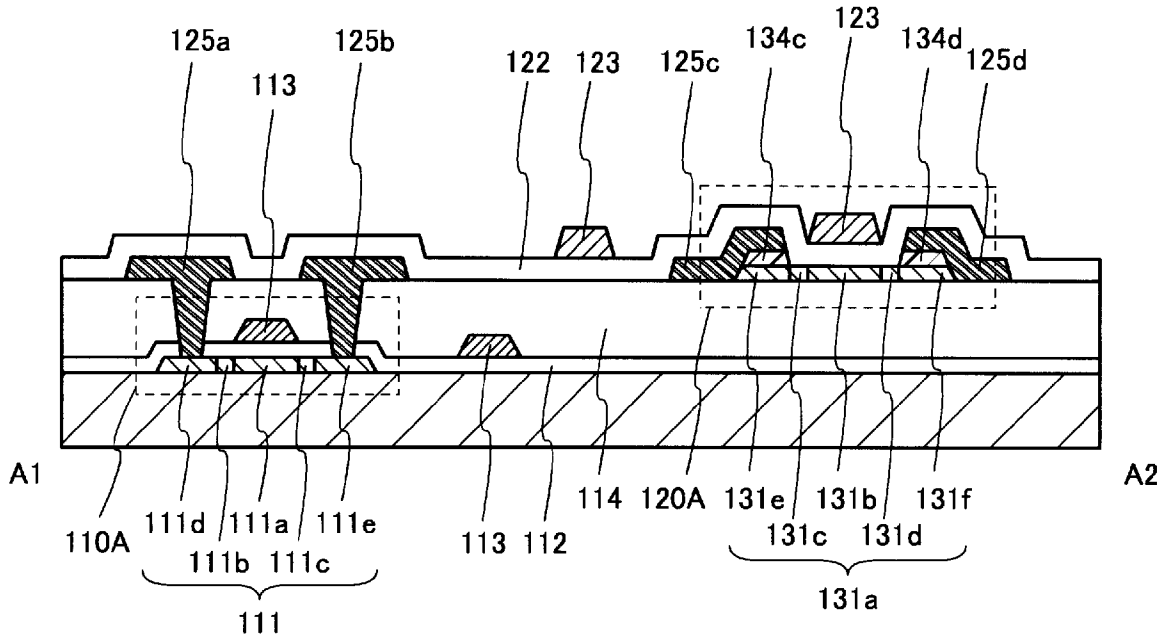

125a
113
125b
125c
134b
134c
125d
A1
A2
110A
111d
111a
111e
111b
111c
111
113
112
114
131a

(B)

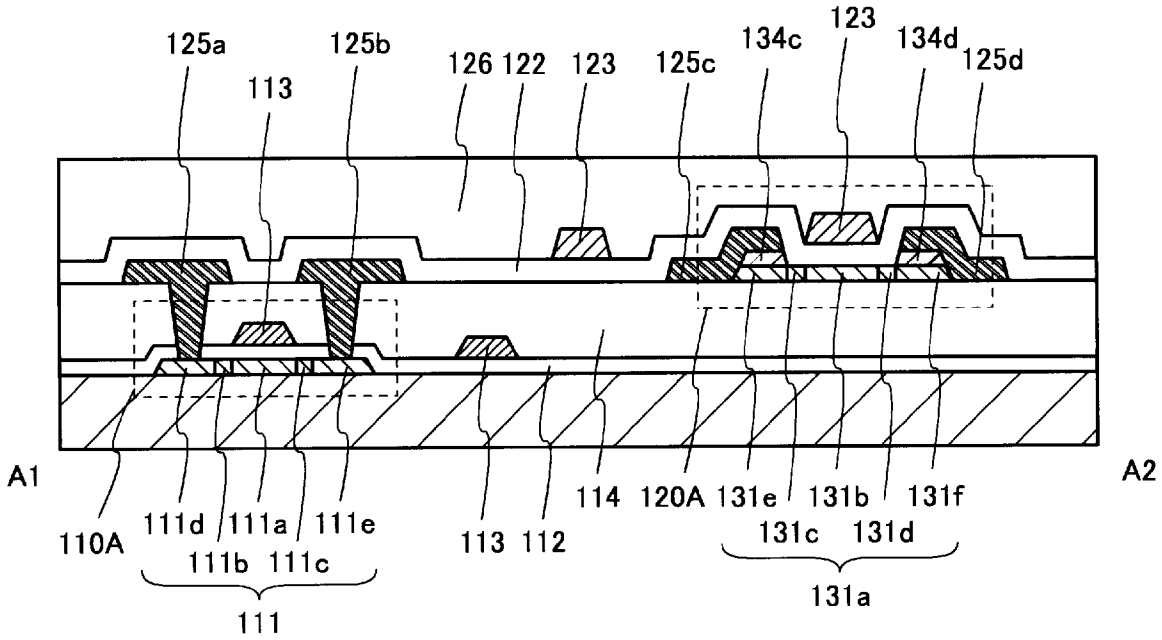

125a
113
125b
122
125c
134b
134c
125d
A1
A2
110A
111d
111a
111e
111b
111c
111
113
112
114
131a

[図12]

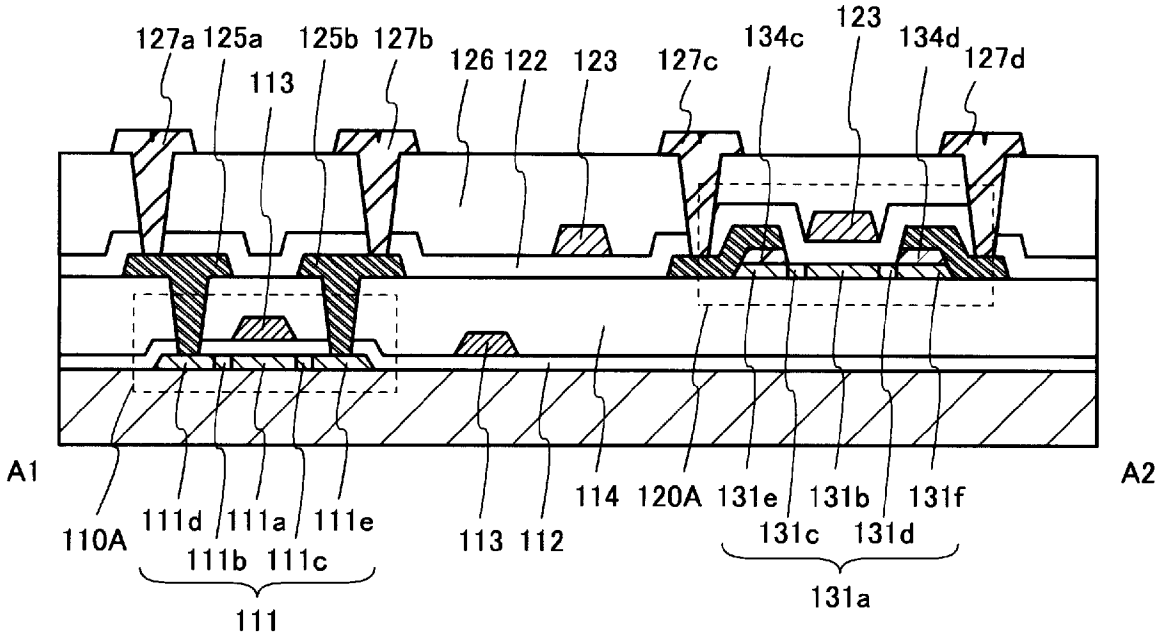
(A)


125a
125b
113
122
123
125c
134c
123
134d
125d
A1
A2
110A
111d
111a
111e
111b
111c
111
113
112
114
120A
131e
131b
131f
131c
131d
131a

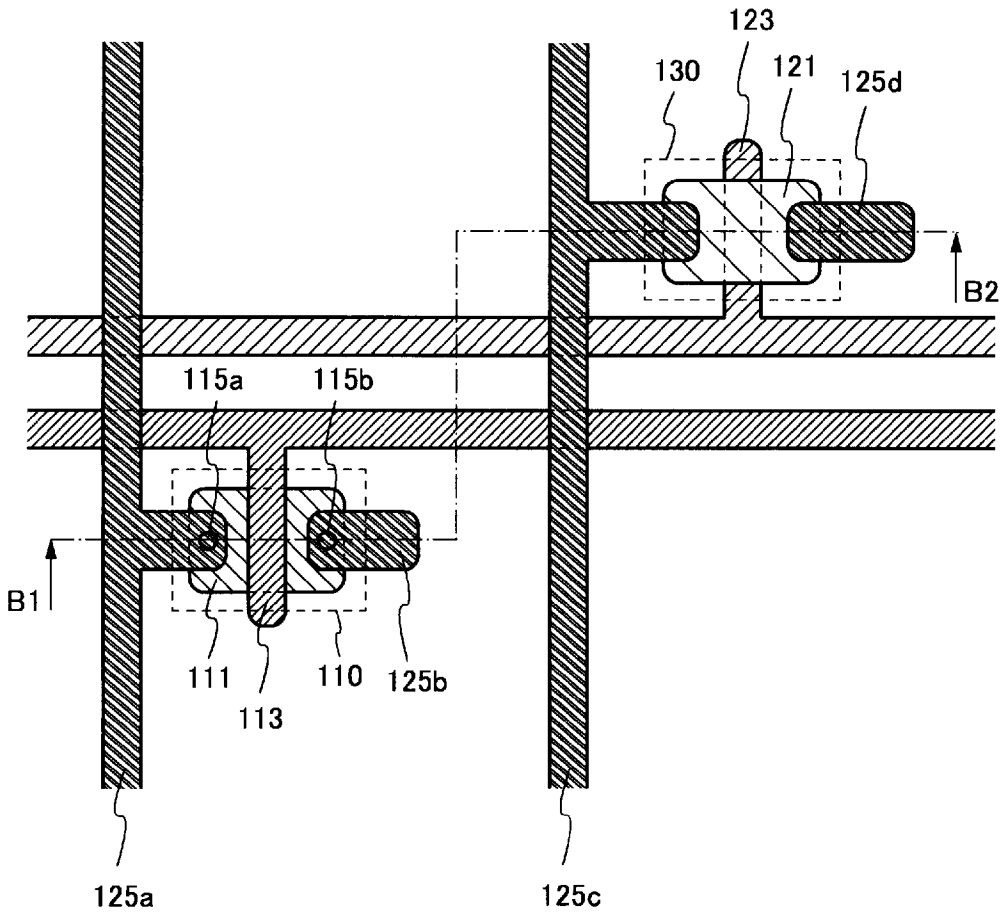
(B)


125a
125b
113
126
122
123
125c
134c
123
134d
125d
A1
A2
110A
111d
111a
111e
111b
111c
111
113
112
114
120A
131e
131b
131f
131c
131d
131a

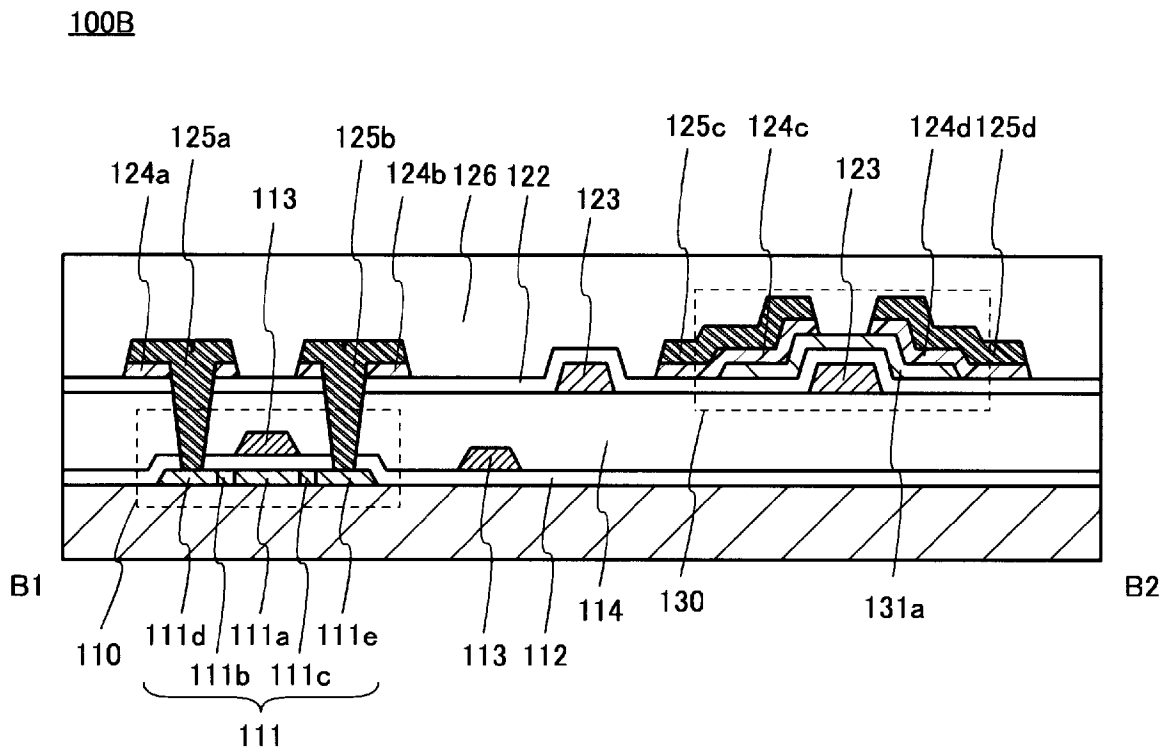
[図13]


127a
125a
125b
127b
113
126
122
123
127c
134c
123
134d
127d
A1
A2
110A
111d
111a
111e
111b
111c
111
113
112
114
120A
131e
131b
131f
131c
131d
131a

[図14]

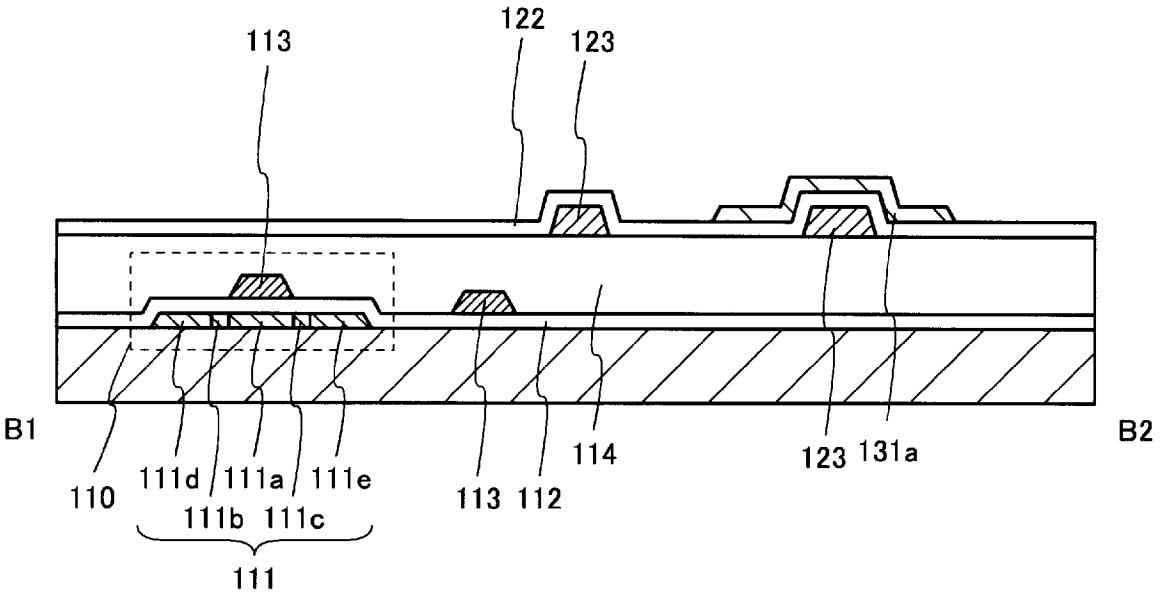

100B
123
130
121
125d
B2
115a
115b
B1
111
113
110
125b
125a
125c

[図15]

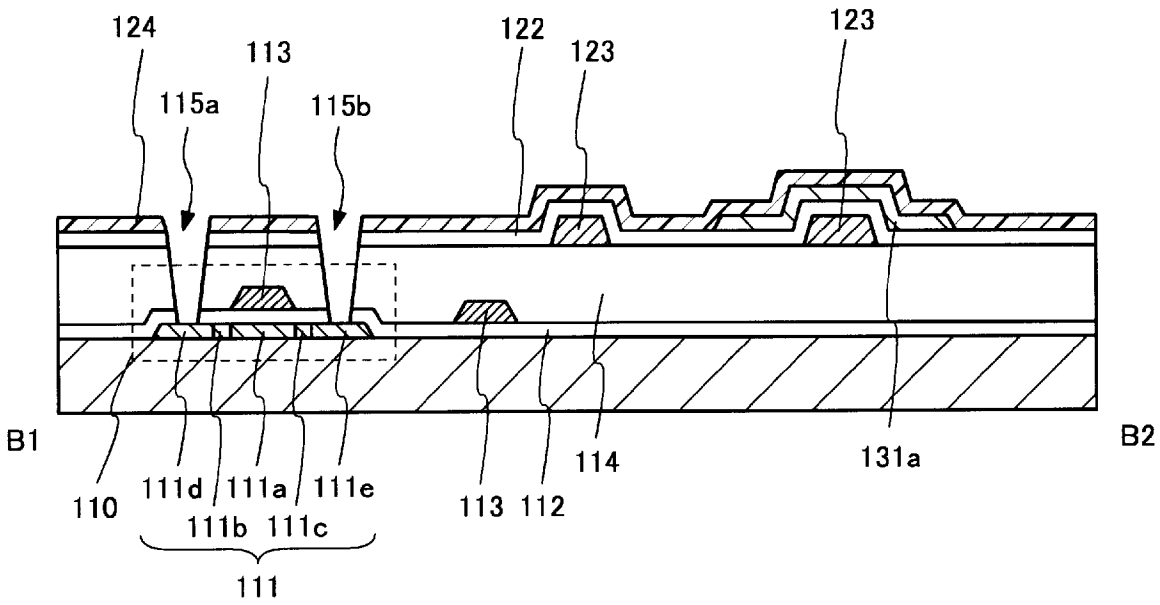

100B
125a
125b
125c
124c
124d
125d
124a
113
124b
126
122
123
123
B1
B2
110
111d
111a
111e
111b
111c
111
113
112
114
130
131a

[図16]

(A)

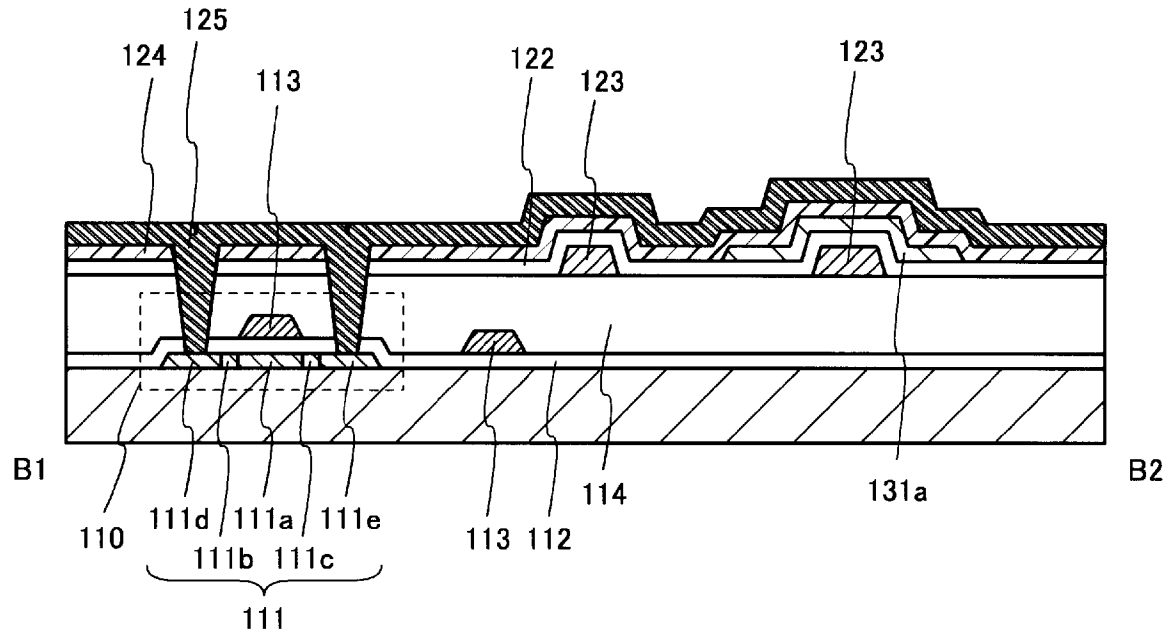

113
122
123
B1
B2
110
111d
111a
111e
111b
111c
111
113
112
114
123
131a

(B)

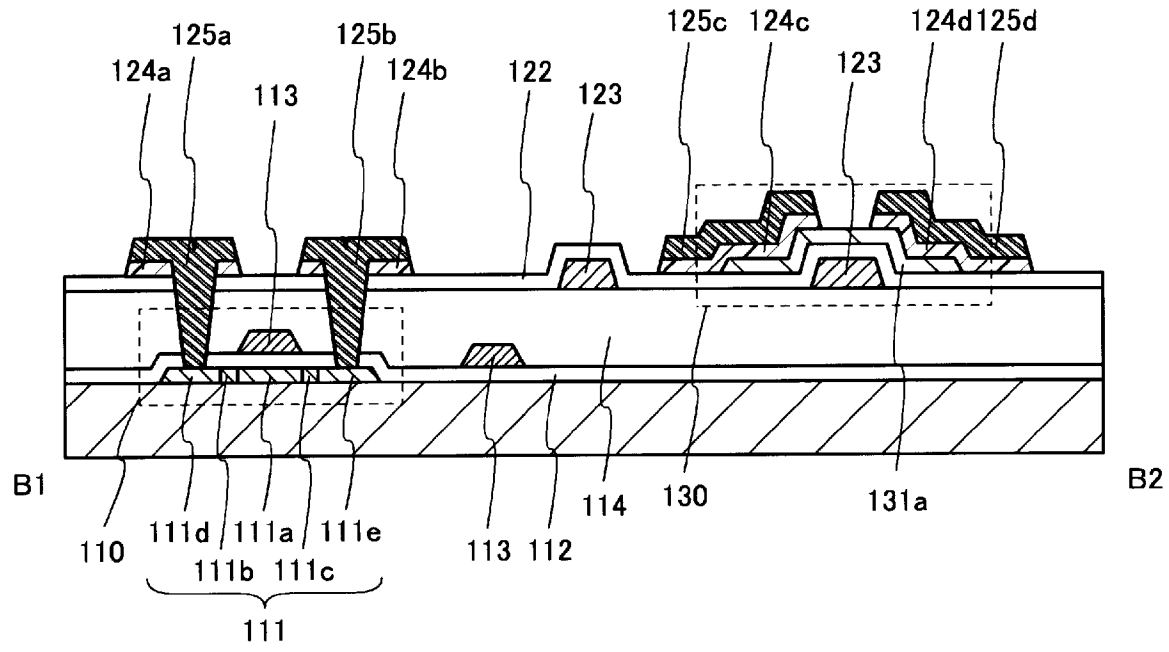

124
113
115a
115b
122
123
123
B1
B2
110
111d
111a
111e
111b
111c
111
113
112
114
131a

[図17]

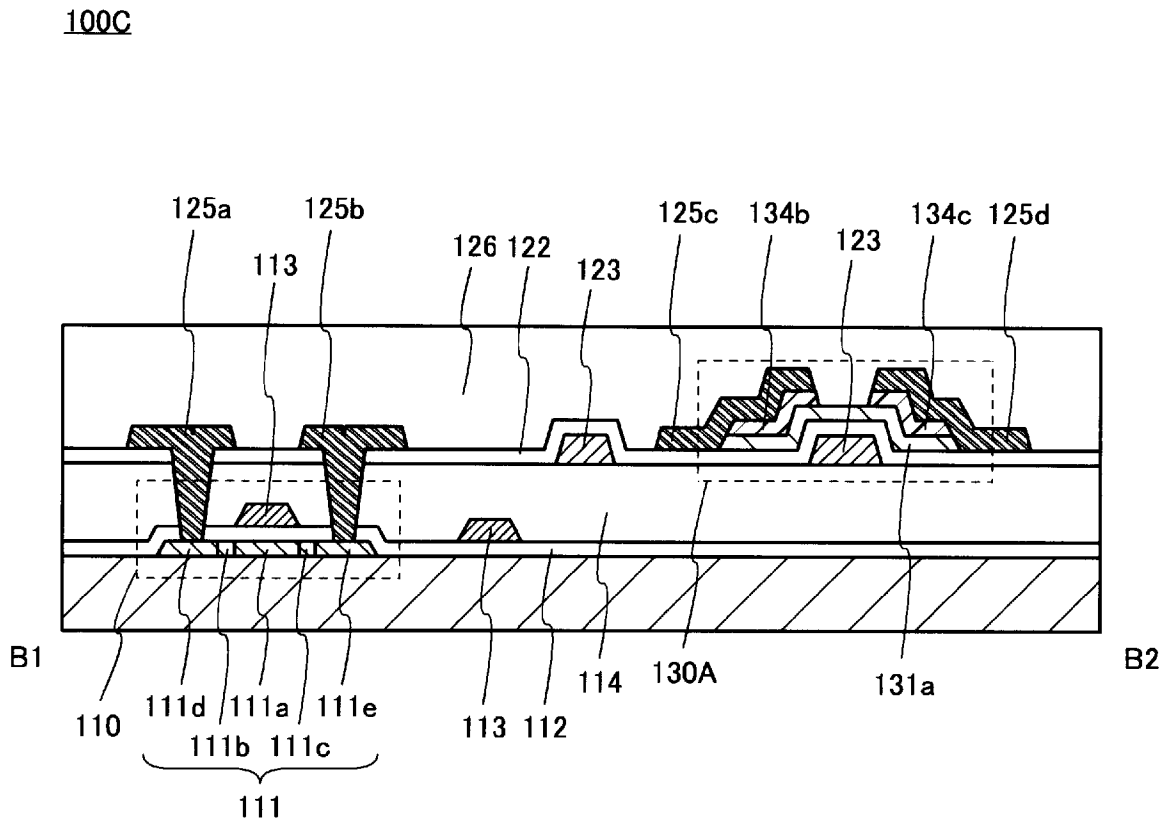
(A)


125
124
113
122
123
123
B1
B2
110
111d
111a
111e
111b
111c
111
113
112
114
131a

(B)

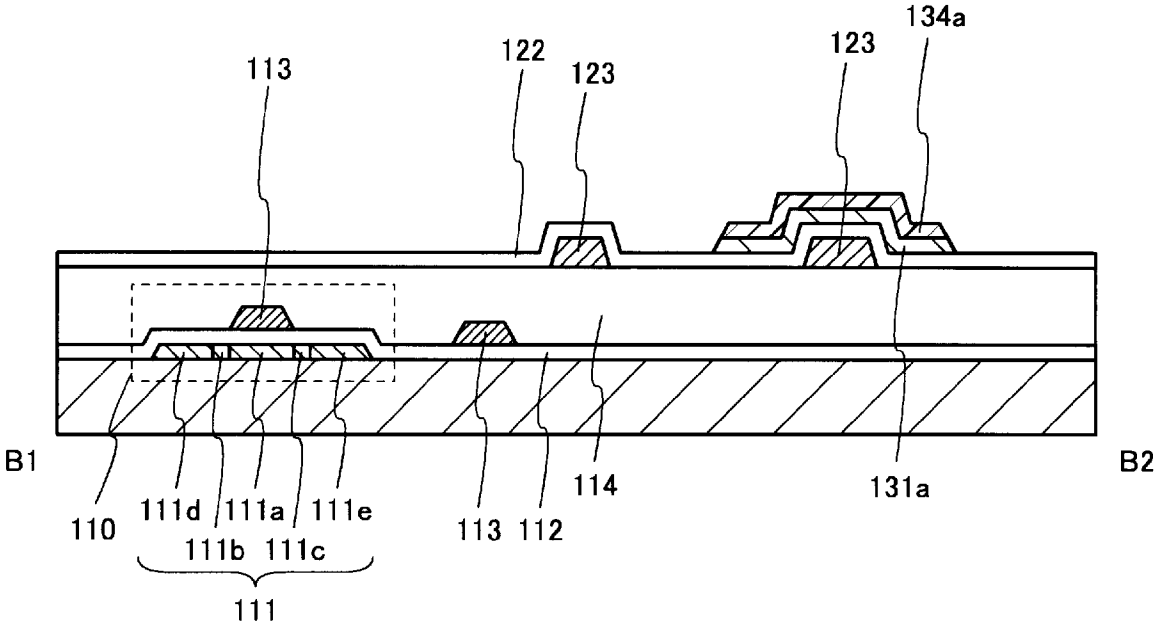

125a
125b
125c
124c
124d
125d
124a
124b
122
123
123
113
B1
B2
110
111d
111a
111e
111b
111c
111
113
112
114
130
131a

[図18]

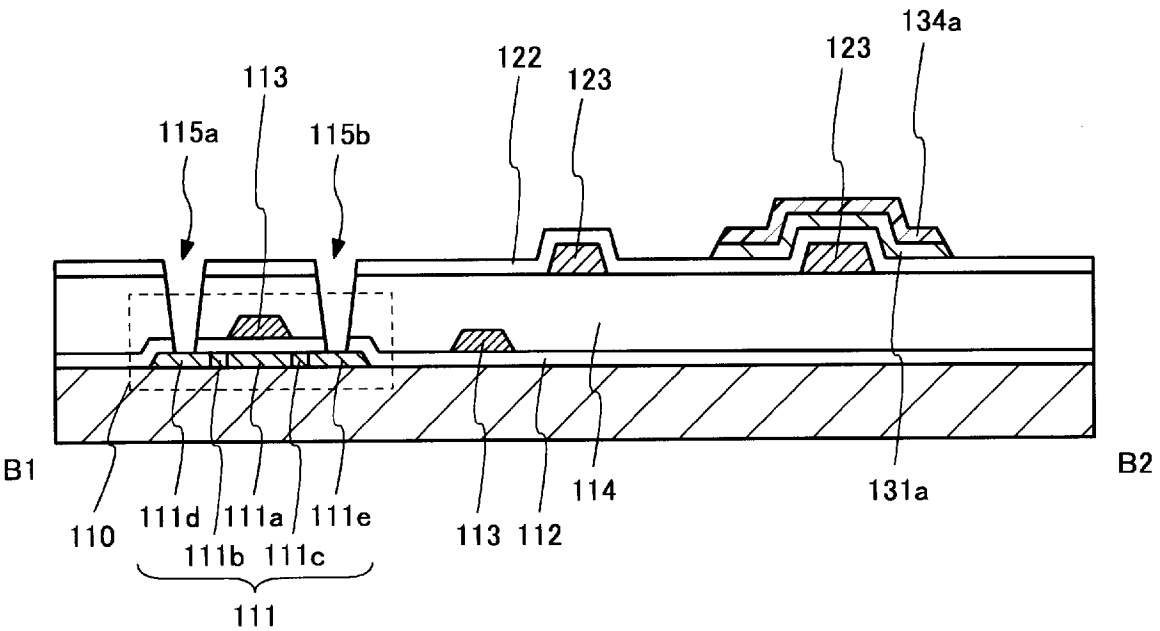

100C
125a
125b
113
126
122
123
125c
134b
123
134c
125d
B1
B2
110
111d
111a
111e
111b
111c
111
113
112
114
130A
131a

[図19]

(A)

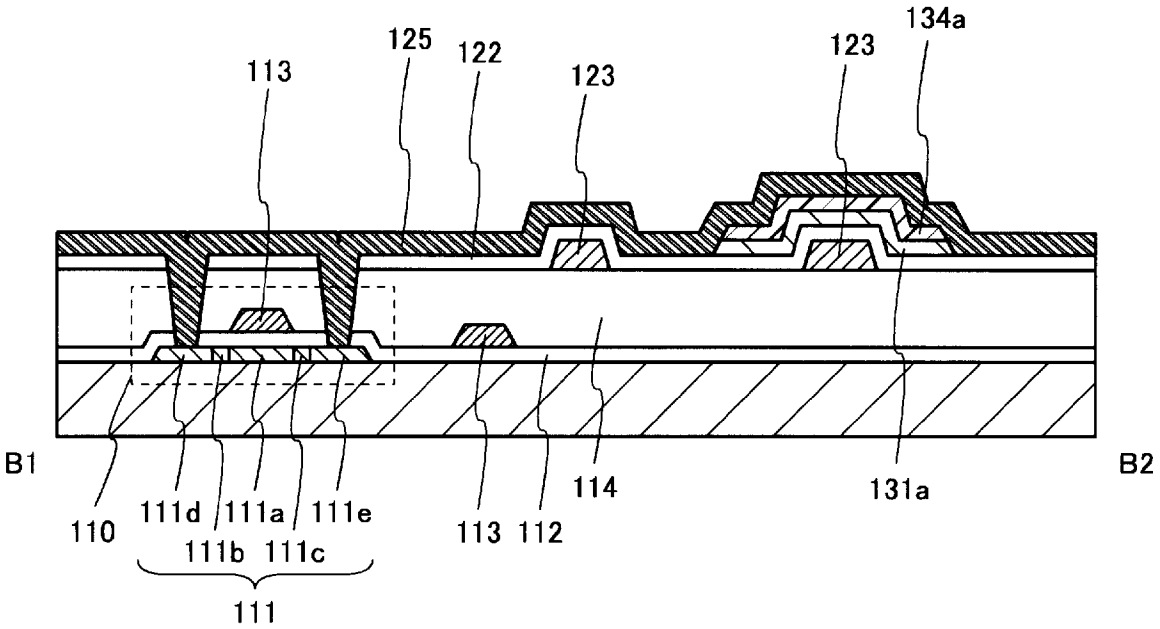

113
122
123
123
134a
B1
B2
110
111d
111a
111e
111b
111c
111
113
112
114
131a

(B)

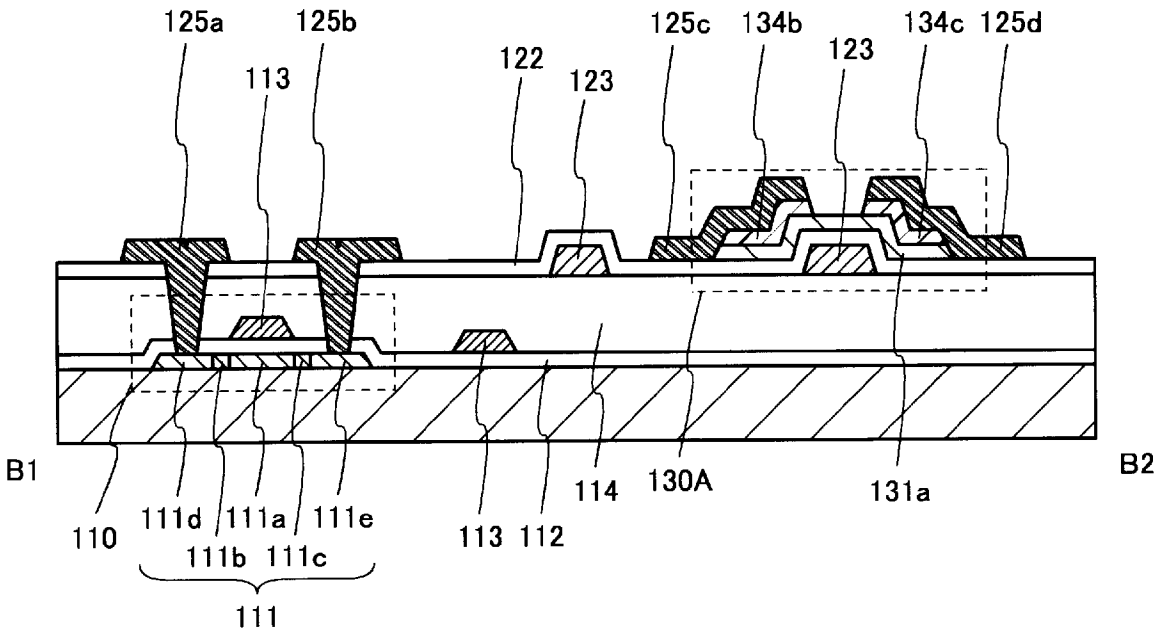

115a
115b
113
122
123
123
134a
B1
B2
110
111d
111a
111e
111b
111c
111
113
112
114
131a

[図20]

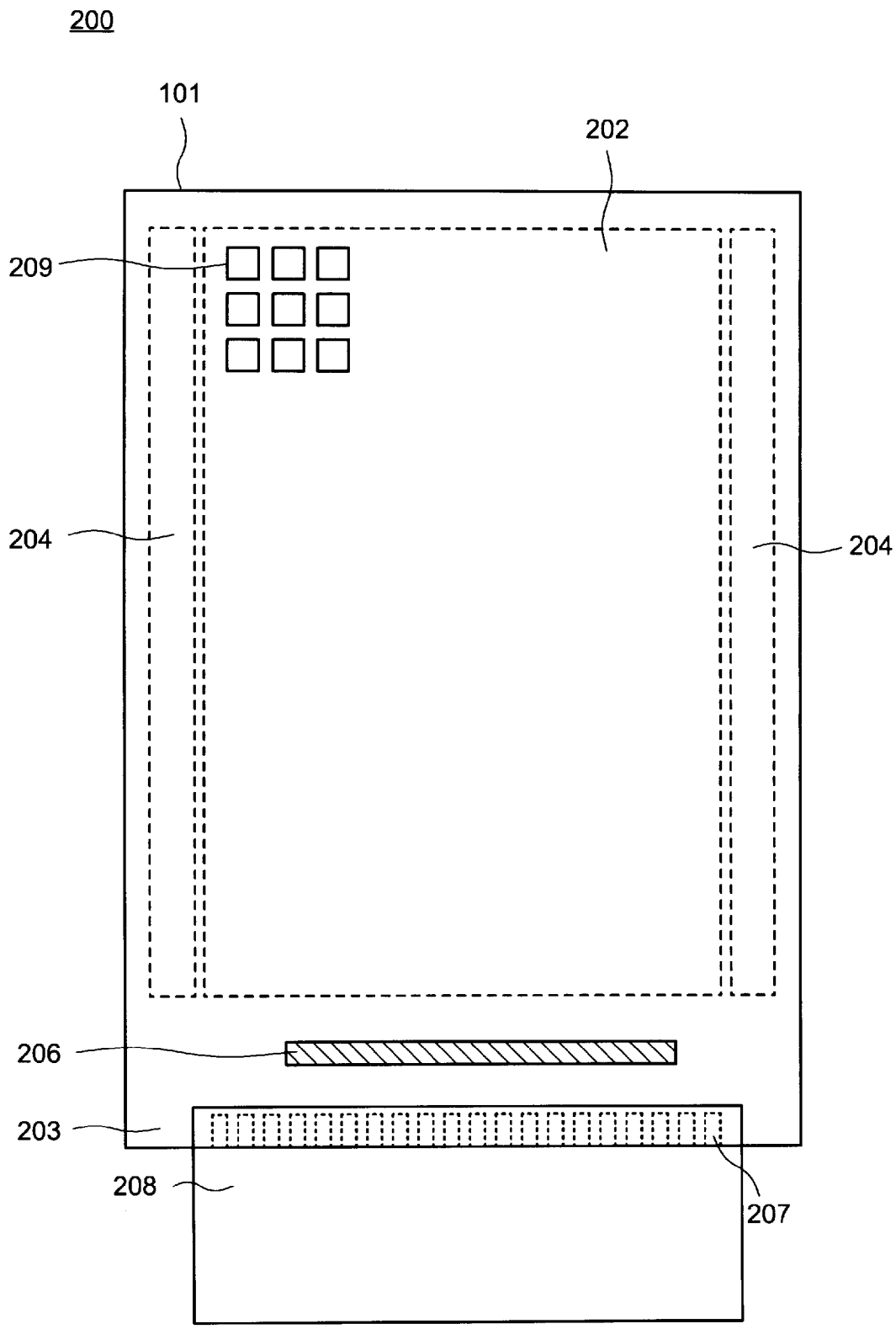
(A)


113
125
122
123
123
134a
B1
B2
110
111d
111a
111e
111b
111c
111
113
112
114
131a

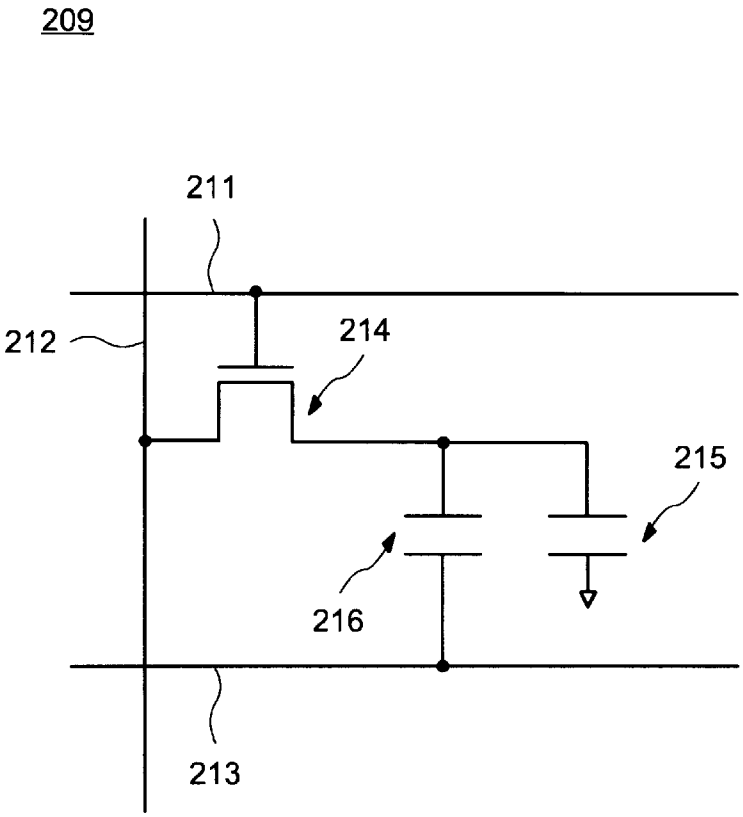
(B)


125a
125b
113
122
123
125c
134b
123
134c
125d
B1
B2
110
111d
111a
111e
111b
111c
111
113
112
114
130A
131a

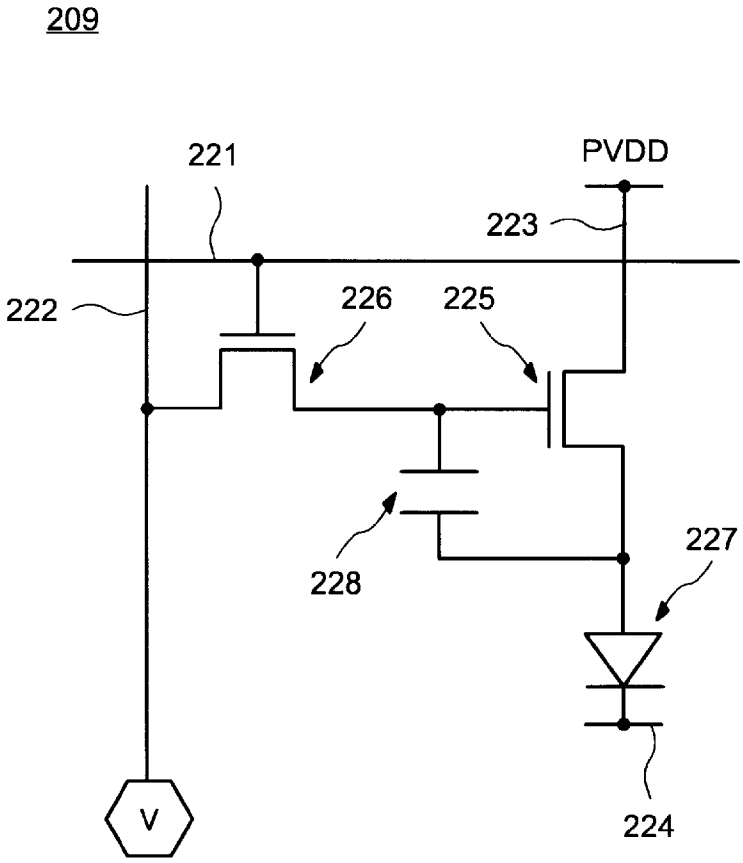
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/000310

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L29/786(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i
FI: H01L29/78616K, H01L29/78617V, H01L29/78618B, H01L27/088B, H01L27/088E, H01L27/088331E, H05B33/14A, H01L27/32, G09F9/30338, G09F9/30365, G09F9/00338, H01L29/78619A
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L29/786, G09F9/00, G09F9/30, H01L21/336, H01L21/8234, H01L27/088, H01L27/32, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-256834 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 27.12.2012 (2012-12-27), paragraphs [0021]-[0147]	1-18
Y	JP 2006-54425 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 23.02.2006 (2006-02-23), paragraphs [0038]-[0073], fig. 1	1-5, 11-18
Y	JP 2015-144271 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 06.08.2015 (2015-08-06), paragraphs [0098], [0419]-[0458], fig. 30-34	1-5, 11-18
Y	JP 2010-251731 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 04.11.2010 (2010-11-04), paragraphs [0039]-[0114]	6-10
Y	JP 2017-162852 A (JAPAN DISPLAY INC.) 14.09.2017 (2017-09-14), paragraphs [0083]-[0124]	17, 18

☒ Further documents are listed in the continuation of Box C.
☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05.03.2020	17.03.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/000310

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-73092 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 16.04.2015 (2015-04-16)	1-18
A	JP 2000-349301 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 15.12.2000 (2000-12-15)	1-18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/000310

JP 2012-256834 A	27.12.2012	US 2015/0129873 A1 paragraphs [0051]-[0176] WO 2012/102281 A1 TW 201244062 A KR 10-2014-0012979 A
JP 2006-54425 A	23.02.2006	US 2005/0250308 A1 paragraphs [0074]-[0109], fig. 1D CN 1694223 A
JP 2015-144271 A	06.08.2015	US 2015/0187814 A1 paragraphs [0135], [0456]-[0495], fig. 30A-34B WO 2015/097589 A1 TW 201532248 A KR 10-2016-0102295 A
JP 2010-251731 A	04.11.2010	US 2010/0244020 A1 paragraphs [0087]-[0162] CN 101847661 A KR 10-2010-0108245 A TW 201044585 A
JP 2017-162852 A	14.09.2017	US 2017/0256569 A1 paragraphs [0096]-[0137] CN 107170747 A KR 10-2017-0104360 A TW 201803129 A
JP 2015-73092 A	16.04.2015	US 2015/0060848 A1
JP 2000-349301 A	15.12.2000	US 6861670 B1 EP 1041622 A1

国際調査報告

国際出願番号
PCT/JP2020/000310

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/786(2006.01)i; G09F 9/00(2006.01)i; G09F 9/30(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/088(2006.01)i; H01L 27/32(2006.01)i; H01L 51/50(2006.01)i
FI: H01L29/78 616K; H01L29/78 617V; H01L29/78 618B; H01L27/088 B; H01L27/088 E; H01L27/088 331E; H05B33/14 A; H01L27/32; G09F9/30 338; G09F9/30 365; G09F9/00 338; H01L29/78 619A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/786; G09F9/00; G09F9/30; H01L21/336; H01L21/8234; H01L27/088; H01L27/32; H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2012-256834 A (株式会社半導体エネルギー研究所) 27.12.2012 (2012-12-27) 段落[0021]-[0147]	1-18
Y	JP 2006-54425 A (株式会社半導体エネルギー研究所) 23.02.2006 (2006-02-23) 段落[0038]-[0073], [図1]	1-5, 11-18
Y	JP 2015-144271 A (株式会社半導体エネルギー研究所) 06.08.2015 (2015-08-06) 段落[0098], [0419]-[0458], [図30]-[図34]	1-5, 11-18
Y	JP 2010-251731 A (株式会社半導体エネルギー研究所) 04.11.2010 (2010-11-04) 段落[0039]-[0114]	6-10
Y	JP 2017-162852 A (株式会社ジャパンディスプレイ) 14.09.2017 (2017-09-14) 段落[0083]-[0124]	17, 18
A	JP 2015-73092 A (株式会社半導体エネルギー研究所) 16.04.2015 (2015-04-16)	1-18
A	JP 2000-349301 A (株式会社半導体エネルギー研究所) 15.12.2000 (2000-12-15)	1-18

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
05.03.2020	17.03.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
脇水　佳弘 5F 3464
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/000310

引用文献	公表日	パテントファミリー文献	公表日
JP 2012-256834 A	27.12.2012	US 2015/0129873 A1 段落[0051]-[0176] WO 2012/102281 A1 TW 201244062 A KR 10-2014-0012979 A	
JP 2006-54425 A	23.02.2006	US 2005/0250308 A1 段落[0074]-[0109], 図1D CN 1694223 A	
JP 2015-144271 A	06.08.2015	US 2015/0187814 A1 段落[0135], [0456]-[0495], 図30A-34B WO 2015/097589 A1 TW 201532248 A KR 10-2016-0102295 A	
JP 2010-251731 A	04.11.2010	US 2010/0244020 A1 段落[0087]-[0162] CN 101847661 A KR 10-2010-0108245 A TW 201044585 A	
JP 2017-162852 A	14.09.2017	US 2017/0256569 A1 段落[0096]-[0137] CN 107170747 A KR 10-2017-0104360 A TW 201803129 A	
JP 2015-73092 A	16.04.2015	US 2015/0060848 A1	
JP 2000-349301 A	15.12.2000	US 6861670 B1 EP 1041622 A1	