

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种显示装置及其驱动电路和方法。在该驱动电路中, 输入模块(10)根据栅极扫描信号Gn-2将控制端电压信号Qn拉高至第一高电平, 上拉模块(15)根据时钟信号CLKn-2、时钟信号CLKn-1以及控制端电压信号Qn-1将控制端电压信号Qn从第一高电平拉高至第二高电平, 输出模块(11)根据时钟信号CLKn将控制端电压信号Qn从第二高电平耦合至第三高电平, 且根据控制端电压信号Qn与时钟信号CLKn输出栅极扫描信号Gn, 反馈模块(14)将控制端电压信号Qn拉低, 控制模块(12)控制下拉维持模块(13)维持控制端电压信号Qn的低电压。

一种显示装置及其驱动电路和方法

技术领域

[0001] 本申请属于显示面板技术领域，尤其涉及一种显示装置及其驱动电路和方法。

背景技术

[0002] 近年来，液晶显示器（Liquid Crystal Display，LCD）因其图像清晰精确、平面显示、厚度薄、重量轻、无辐射、低能耗、工作电压低等优点已被广泛应用于各行各业。传统的LCD在进行栅极驱动时，主要采用栅极驱动芯片（Gate Driver IC）来实现，而由于栅极驱动芯片需要通过连接器与LCD的显示面板（Panel）绑定，并且在一个LCD中需要多个栅极驱动芯片，因此传统的LCD成本和功耗高。

[0003] 为了解决上述问题，现有技术主要采用阵列基板栅极驱动（Gate Driver on Array，GOA）电路来实现。GOA电路主要是将LCD Panel的栅极驱动电路通过曝光显影的方式集成在玻璃基板上，以此形成对面板栅极讯号线的扫描驱动，具体的，GOA电路在对面板栅极讯号线进行扫描驱动时，其栅极电压点将接收一个预充信号，该预充信号对栅极电压点进行预充，以使该点电压在时钟信号的作用下达到高电压准位，进而使得输出晶体管打开，讯号顺利传递，进而驱动面板栅极讯号线。然而，虽然现有的GOA电路免去了栅极驱动芯片，进而降低了成本和功耗、且集成度高，但是其在LCD窄边框化时影响信号传递，进而影响了LCD的窄边框化。

[0004] 综上所述，现有LCD的GOA电路存在不利于LCD的窄边框化的问题。

技术问题

[0005] 本申请的目的在于提供一种显示装置及其驱动电路和方法，旨在解决现有LCD的GOA电路存在不利于LCD的窄边框化的问题。

问题的解决方案

技术解决方案

[0006] 本申请提供一种驱动电路，用于驱动显示面板，包括：

- [0007] n 个级联的栅极驱动单元， n 为大于2的正整数；其中，第 n 个栅极驱动单元包括：
- [0008] 输入模块，用于接收第 $n-2$ 级栅极驱动单元输出的栅极扫描信号 G_{n-2} ，并根据所述栅极扫描信号 G_{n-2} ，将控制端电压信号 Q_n 拉高至第一高电平；
- [0009] 上拉模块，用于接收所述第 $n-2$ 级栅极驱动单元的时钟信号 CLK_{n-2} 、第 $n-1$ 级栅极驱动单元的时钟信号 CLK_{n-1} ，以及所述第 $n-1$ 级栅极驱动单元的控制端电压信号 Q_{n-1} ，并根据所述时钟信号 CLK_{n-2} 、所述时钟信号 CLK_{n-1} 以及所述控制端电压信号 Q_{n-1} ，将所述控制端电压信号 Q_n 从第一高电平拉高至第二高电平；
- [0010] 输出模块，用于接收时钟信号 CLK_n ，并根据所述时钟信号 CLK_n 将所述控制端电压信号 Q_n 从第二高电平耦合至第三高电平，且根据耦合后的控制端电压信号 Q_n 与所述时钟信号 CLK_n 输出栅极扫描信号 G_n ；
- [0011] 反馈模块，用于接收反馈信号，并根据所述反馈信号将所述耦合后的控制端电压信号 Q_n 拉低；
- [0012] 控制模块，用于控制所述下拉维持模块维持所述控制端电压信号 Q_n 的低电压。
- [0013] 本申请的另一目的还在于提供一种显示装置，所述显示装置包括：
- [0014] 背光模组、显示面板以及控制装置，所述背光模组用于为所述显示面板提供光源，所述控制装置包括驱动电路，所述驱动电路用于驱动所述显示面板，所述驱动电路包括：
- [0015] n 个级联的栅极驱动单元， n 为大于2的正整数；其中，第 n 个栅极驱动单元包括：
- [0016] 输入模块，用于接收第 $n-2$ 级栅极驱动单元输出的栅极扫描信号 G_{n-2} ，并根据所述栅极扫描信号 G_{n-2} ，将控制端电压信号 Q_n 拉高至第一高电平；
- [0017] 上拉模块，用于接收所述第 $n-2$ 级栅极驱动单元的时钟信号 CLK_{n-2} 、第 $n-1$ 级栅极驱动单元的时钟信号 CLK_{n-1} ，以及所述第 $n-1$ 级栅极驱动单元的控制端电压信号 Q_{n-1} ，并根据所述时钟信号 CLK_{n-2} 、所述时钟信号 CLK_{n-1} 以及所述控制端电压信号 Q_{n-1} ，将所述控制端电压信号 Q_n 从第一高电平拉高至第二高电平；
- [0018] 输出模块，用于接收时钟信号 CLK_n ，并根据所述时钟信号 CLK_n 将所述控制端电压信号 Q_n 从第二高电平耦合至第三高电平，且根据耦合后的控制端电压信号 Q_n

n与所述时钟信号CLK_n输出栅极扫描信号G_n;

[0019] 反馈模块,用于接收反馈信号,并根据所述反馈信号将所述耦合后的控制端电压信号Q_n拉低;

[0020] 控制模块,用于控制所述下拉维持模块维持所述控制端电压信号Q_n的低电压。

[0021] 本申请的又一目的还在于提供一种基于上述驱动电路的驱动方法,所述驱动方法包括:

[0022] 利用所述输入模块接收第n-2级栅极驱动单元输出的栅极扫描信号G_{n-2},并根据所述栅极扫描信号G_{n-2},将所述输出模块的控制端电压信号Q_n拉高至第一高电平;

[0023] 利用所述上拉模块接收所述第n-2级栅极驱动单元的时钟信号CLK_{n-2}、第n-1级栅极驱动单元的时钟信号CLK_{n-1},以及所述第n-1级栅极驱动单元的控制端电压信号Q_{n-1},并根据所述时钟信号CLK_{n-2}、所述时钟信号CLK_{n-1}以及所述控制端电压信号Q_{n-1},将所述控制端电压信号Q_n从第一高电平拉高至第二高电平;

[0024] 利用所述输出模块接收时钟信号CLK_n,并根据所述时钟信号CLK_n将所述控制端电压信号Q_n从第二高电平耦合至第三高电平,且根据耦合后的控制端电压信号Q_n与所述时钟信号CLK_n输出栅极扫描信号G_n;

[0025] 利用所述反馈模块接收反馈信号,并根据所述反馈信号将所述耦合后的控制端电压信号Q_n拉低;

[0026] 利用所述控制模块控制所述下拉维持模块维持所述控制端电压信号Q_n的低电压。

发明的有益效果

有益效果

[0027] 本申请通过采用包括输入模块、输出模块、控制模块、下拉维持模块、反馈模块以及上拉模块的驱动电路,使得输入模块接收第n-2级栅极驱动单元输出的栅极扫描信号G_{n-2},并根据栅极扫描信号G_{n-2}将输出模块的控制端电压信号Q_n拉高至第一高电平,上拉模块接收第n-2级栅极驱动单元的时钟信号CLK_{n-2}、第n-1级栅极驱动单元的时钟信号CLK_{n-1}以及第n-1级栅极驱动单元的控制端电压信号Q_{n-1},并根据时钟信号CLK_{n-2}、时钟信号CLK_{n-1}以及控制端电压信号Q_{n-1}将

控制端电压信号Qn从第一高电平拉高至第二高电平，输出模块接收时钟信号CLKn，并根据时钟信号CLKn将控制端电压信号Qn从第二高电平耦合至第三高电平，且根据耦合后的控制端电压信号Qn与时钟信号CLKn输出栅极扫描信号Gn，反馈模块接收反馈信号，并根据反馈信号将耦合后的控制端电压信号Qn拉低，控制模块控制下拉维持模块维持控制端电压信号Qn的低电压，以此将控制端电压信号Qn的电平进行三次拉升，增强了控制端电压信号Qn的强度，解决了现有LCD的GOA电路存在不利于LCD的窄边框化的问题。

对附图的简要说明

附图说明

- [0028] 图1是本申请一实施例所提供的驱动电路的模块结构示意图；
- [0029] 图2是本申请另一实施例所提供的驱动电路的模块结构示意图；
- [0030] 图3是本申请一实施例所提供的驱动电路的电路结构示意图；
- [0031] 图4是本申请一实施例所提供的驱动电路的工作时序示意图；
- [0032] 图5是本申请一实施例所提供的显示装置的模块结构示意图；
- [0033] 图6是本申请一实施例所提供的驱动方法的流程示意图。

发明实施例

本发明的实施方式

- [0034] 为了使本申请的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本申请进行进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本申请，并不用于限定本申请。
- [0035] 以下结合具体附图对本申请的实现进行详细的描述：
- [0036] 图1示出了本申请一实施例所提供的驱动电路的模块结构，为了便于说明，仅示出了与本实施例相关的部分，详述如下：
- [0037] 如图1所示，本实施例所提供的驱动电路用于驱动显示面板，具体用于驱动显示面板的栅极扫描线。
- [0038] 其中，驱动电路包括n个级联的栅极驱动单元1（图中以一个为例），n为大于2的正整数，第n个栅极驱动单元1包括输入模块10、输出模块11、控制模块12、下拉维持模块13、反馈模块14以及上拉模块15。

- [0039] 具体的，输入模块10，用于接收第n-2级栅极驱动单元输出的栅极扫描信号Gn-2，并根据栅极扫描信号Gn-2，将控制端电压信号Qn拉高至第一高电平。
- [0040] 上拉模块15，用于接收第n-2级栅极驱动单元的时钟信号CLKn-2、第n-1级栅极驱动单元的时钟信号CLKn-1，以及第n-1级栅极驱动单元的控制端电压信号Qn-1，并根据时钟信号CLKn-2、时钟信号CLKn-1以及控制端电压信号Qn-1，将控制端电压信号Qn从第一高电平拉高至第二高电平。
- [0041] 输出模块11，用于接收时钟信号CLKn，并根据时钟信号CLKn将控制端电压信号Qn从第二高电平耦合至第三高电平，且根据耦合后的控制端电压信号Qn与时钟信号CLKn输出栅极扫描信号Gn。
- [0042] 反馈模块14，用于接收反馈信号，并根据反馈信号将耦合后的控制端电压信号Qn拉低。
- [0043] 控制模块12，用于控制下拉维持模块13维持控制端电压信号Qn的低电压。
- [0044] 需要说明的是，在本申请实施例中，由于本申请实施例提供的驱动电路同样采用GOA电路实现，只是其内部的具体电路结构相较于现有的GOA电路有所改变，因此其具有GOA电路的所有优点，并且驱动电路中的n个栅极驱动单元1的电路结构均相同，此处仅以一个实施例进行说明；此外，本申请中的控制模块12和下拉维持模块13可采用现有的控制电路和下拉维持电路实现，其只需保证控制端电压信号Qn在被拉低之后维持低电平即可，此处不对其结构和工作原理进行详细描述。
- [0045] 在一个实施例中，作为本申请一可选的实施方式，如图2所示，上拉模块15包括上拉单元150与上拉控制单元151。
- [0046] 具体的，上拉单元150接收时钟信号CLKn-2与时钟信号CLKn-1，并根据时钟信号CLKn-2与时钟信号CLKn-1生成第一上拉信号至上拉控制单元151，上拉控制单元151接收控制端电压信号Qn-1，并根据控制端电压信号Qn-1与第一上拉信号生成第二上拉信号Pun-1，以将控制端电压信号Qn从第一高电平拉高至第二高电平。
- [0047] 在一个实施例中，作为本申请一可选的实施方式，如图3所示，上拉单元150包括第一开关元件Q1，第一开关元件Q1的输入端接收时钟信号CLKn-2，第一开关

元件Q1的控制端接收时钟信号CLK_{n-1}，第一开关元件Q1根据时钟信号CLK_{n-2}与时钟信号CLK_{n-1}生成第一上拉信号，第一开关元件Q1的输出端将第一上拉信号输出至上拉控制单元151。

[0048] 具体实施时，第一开关元件Q1可以采用NMOS晶体管实现，该NMOS晶体管的栅极、漏极以及源极分别为第一开关元件Q1的控制端、输入端以及输出端，可以理解的是，第一开关元件Q1也可以采用PMOS晶体管实现，此处不作具体限制，而当采用PMOS晶体管实现时，该PMOS晶体管的栅极、源极以及漏极分别为第一开关元件Q1的控制端、输入端以及输出端。

[0049] 在一个实施例中，作为本申请一可选的实施方式，如图3所示，上拉控制单元151包括第二开关元件Q2，第二开关元件Q2的输入端接收第一上拉信号，第二开关元件Q2的控制端接收控制端电压信号Q_{n-1}，第二开关元件Q2根据第一上拉信号与控制端电压信号Q_{n-1}生成第二上拉信号P_{un-1}。

[0050] 具体实施时，第二开关元件Q2可以采用NMOS晶体管实现，该NMOS晶体管的栅极、漏极以及源极分别为第二开关元件Q2的控制端、输入端以及输出端，可以理解的是，第二开关元件Q2也可以采用PMOS晶体管实现，此处不作具体限制，而当采用PMOS晶体管实现时，该PMOS晶体管的栅极、源极以及漏极分别为第二开关元件Q2的控制端、输入端以及输出端。

[0051] 在一个实施例中，作为本申请一可选的实施方式，如图3所示，输入模块10包括晶体管Q3，该晶体管Q3的控制端和输入端共接，并接收栅极扫描信号G_{n-2}，该晶体管Q3的输出端与输出模块11的控制端连接；需要说明的是，在本申请实施例中，晶体管Q3可以为NMOS晶体管，该NMOS晶体管的栅极、漏极以及源极分别为晶体管Q3的控制端、输入端以及输出端，可以理解的是，晶体管Q3也可以是PMOS晶体管，此处不作具体限制。

[0052] 在一个实施例中，作为本申请一可选的实施方式，如图3所示，输出模块11包括晶体管Q4，该晶体管Q4的控制端为输出模块11的控制端，该晶体管Q4的输入端接收时钟信号CLK_n，该晶体管Q4的输出端输出栅极扫描信号G_n；需要说明的是，在本申请实施例中，晶体管Q4为NMOS晶体管，该NMOS晶体管的栅极、漏极以及源极分别为晶体管Q4的控制端、输入端以及输出端，可以理解的是，

晶体管Q4也可以是PMOS晶体管，此处不作具体限制。

[0053] 在一个实施例中，作为本申请一可选的实施方式，如图3所示，反馈模块14包括晶体管Q5和晶体管Q6。

[0054] 具体的，晶体管Q5的控制端和晶体管Q6的控制端接收反馈信号FB，晶体管Q5的输入端和晶体管Q4的输出端连接，晶体管Q6的输入端和晶体管Q4的控制端连接，晶体管Q5和晶体管Q6的输出端均接收低电平VSS。

[0055] 需要说明的是，在本申请实施例中，反馈信号FB可以采用第n-2级栅极驱动单元输出的栅极扫描信号Gn-2实现，也可以采用第n-1级栅极驱动单元输出的栅极扫描信号Gn-1实现，此处不作具体限制，其只需实现将耦合后的控制端电压信号Qn拉低的目的即可；此外，晶体管Q5和晶体管Q6均为NMOS晶体管，该NMOS晶体管的栅极、漏极以及源极分别为晶体管Q5和晶体管Q6的控制端、输入端以及输出端，可以理解的是，晶体管Q5和晶体管Q6也可以是PMOS晶体管，此处不作具体限制。

[0056] 下面以图3所示的电路和图4所示的时序图为例，对本申请提供的驱动电路的工作原理作具体说明，详述如下：

[0057] 需要说明的是，驱动电路的每一个栅极驱动单元自接收到栅极扫描信号Gn-2起到输出栅极扫描信号Gn的期间，即图4所示的t1-t3，称之为扫描期间，其余时间称为非扫描期间，而扫描期间又分为预充电期间与输出脉冲期间，其中，t1为第一预充电时间，t2为第二预充电时间，t3为输出脉冲时间。

[0058] 具体的，在时段t1，当晶体管Q3的控制端和输入端接收高电平的栅极扫描信号Gn-2时，晶体管Q3将高电平的栅极扫描信号Gn-2传送至晶体管Q4的控制端，使得晶体管Q4的控制端电压Qn拉高至第一高电平，实现对晶体管Q4控制端的第一次充电，即实现对栅极驱动单元的Q点的第一次预充电，此时晶体管Q4导通，从而将低电平的时钟信号CLKn输出至输出端，所以栅极扫描信号Gn处于低电平。

[0059] 在时段t2，当晶体管Q1的控制端接收高电平的时钟信号CLKn-1时，晶体管Q1导通，从而将输入端接收的高电平的时钟信号CLKn-2输出至晶体管Q2的输入端，即晶体管Q1输出第一上拉信号至晶体管Q2；当晶体管Q2的控制端接收高电平的控制端电压信号Qn-1时，晶体管Q2导通，并将高电平的第一上拉信号传送至

晶体管Q4的控制端，即晶体管Q2输出第二上拉信号至晶体管Q4，以使晶体管Q4的控制端电压Qn从第一高电平拉高至第二高电平，实现对晶体管Q4控制端的第二次充电，即实现对栅极驱动单元的Q点的第二次预充电，此时晶体管Q4导通，从而将低电平的时钟信号CLKn输出至输出端，所以栅极扫描信号Gn处于低电平。

[0060] 在时段t3，由于在时段t2时晶体管Q4的控制端为高电平，因此，此时晶体管Q1持续导通，当晶体管Q4的输入端接收高电平的时钟信号CLKn时，晶体管Q4根据高电平的时钟信号CLKn将控制端电压Qn从第二高电平耦合至第三高电平，即将栅极驱动单元的Q点电压再次拉高，同时晶体管Q4将高电平的时钟信号CLKn输出至输出端，所以栅极扫描信号Gn处于高电平。

[0061] 需要说明的是，在本实施例中，通过对栅极驱动单元的Q点的第一次预充电、第二次预充电以及耦合处理，使得Q点电压从第一高电平拉高至第二高电平，从第二高电平拉高至第三高电平，实现了Q点波形的拉高，进而增强了Q点信号强度，有利于LCD的窄边框化。

[0062] 在时段t4，晶体管Q1-Q3皆不导通，当晶体管Q5和晶体管Q6接收高电平的反馈信号FB（图中未示出）时，晶体管Q6根据高电平的反馈信号FB导通，并将控制端电压信号Qn从第三高电平拉低，晶体管Q4截止，同时，晶体管Q5根据高电平的反馈信号FB导通，并将输出端的扫描控制信号Gn从高电平拉低至低电平，所以此时扫描控制信号Gn处于低电平；需要说明的是，在本实施例中，晶体管Q6对控制端电压信号Qn的拉低分为两个过程，该两个拉低过程与现有技术相同，此处不再赘述。

[0063] 在时段t4之后，控制模块12和下拉维持模块13工作，控制模块12控制下拉维持模块13维持控制端电压信号Qn的低电平，从而使得晶体管Q4一直处于截止状态，进而使得在时段t4后，栅极扫描单元1输出的栅极扫描信号Gn一直处于低电平，从而防止了栅极扫描信号Gn在下一个高电平的时钟信号CLKn来临时进行跳变，保证了对LCD栅极线的正常扫描。

[0064] 图5示出了本申请一实施例所提供的显示装置100，该显示装置100包括背光模组2、显示面板3以及包括上述驱动电路1的控制装置4；其中，背光模组2用于为

显示面板3提供亮度与分布均匀的光源，控制装置4包括驱动电路（图中未示出，请参考图1），该驱动电路用于驱动显示面板3，并且驱动电路包括：

- [0065] n 个级联的栅极驱动单元， n 为大于2的正整数；其中，第 n 个栅极驱动单元包括：
- [0066] 输入模块，用于接收第 $n-2$ 级栅极驱动单元输出的栅极扫描信号 G_{n-2} ，并根据所述栅极扫描信号 G_{n-2} ，将控制端电压信号 Q_n 拉高至第一高电平；
- [0067] 上拉模块，用于接收所述第 $n-2$ 级栅极驱动单元的时钟信号 CLK_{n-2} 、第 $n-1$ 级栅极驱动单元的时钟信号 CLK_{n-1} ，以及所述第 $n-1$ 级栅极驱动单元的控制端电压信号 Q_{n-1} ，并根据所述时钟信号 CLK_{n-2} 、所述时钟信号 CLK_{n-1} 以及所述控制端电压信号 Q_{n-1} ，将所述控制端电压信号 Q_n 从第一高电平拉高至第二高电平；
- [0068] 输出模块，用于接收时钟信号 CLK_n ，并根据所述时钟信号 CLK_n 将所述控制端电压信号 Q_n 从第二高电平耦合至第三高电平，且根据耦合后的控制端电压信号 Q_n 与所述时钟信号 CLK_n 输出栅极扫描信号 G_n ；
- [0069] 反馈模块，用于接收反馈信号，并根据所述反馈信号将所述耦合后的控制端电压信号 Q_n 拉低；
- [0070] 控制模块，用于控制所述下拉维持模块维持所述控制端电压信号 Q_n 的低电压。
- [0071] 需要说明的是，由于本申请实施例所提供的显示装置100的驱动电路和图1至图4所的驱动电路相同，因此，本申请实施例所提供的显示装置100中的驱动电路的具体工作原理，可参考前述关于图1至图4的详细描述，此处不再赘述。
- [0072] 此外，本申请实施例所提供的显示装置100可以为任意类型的显示装置，例如液晶显示装置（Liquid Crystal Display, LCD）、有机电激光显示（Organic Electroluminescence Display, OLED）显示装置、量子点发光二极管（Quantum Dot Light Emitting Diodes, QLED）显示装置或曲面显示装置等。
- [0073] 图6示出了本申请一实施例提供的驱动方法的实现流程，为了便于说明，仅示出了与本申请实施例相关的部分，详述如下：
- [0074] 如图6所示，本申请实施例提供的驱动方法包括：
- [0075] S61：利用输入模块接收第 $n-2$ 级栅极驱动单元输出的栅极扫描信号 G_{n-2} ，并根据栅极扫描信号 G_{n-2} ，将输出模块的控制端电压信号 Q_n 拉高至第一高电平。

- [0076] S62: 利用上拉模块接收第n-2级栅极驱动单元的时钟信号CLK_{n-2}、第n-1级栅极驱动单元的时钟信号CLK_{n-1}, 以及第n-1级栅极驱动单元的控制端电压信号Q_{n-1}, 并根据时钟信号CLK_{n-2}、时钟信号CLK_{n-1}以及控制端电压信号Q_{n-1}, 将控制端电压信号Q_n从第一高电平拉高至第二高电平。
- [0077] S63: 利用输出模块接收时钟信号CLK_n, 并根据时钟信号CLK_n将控制端电压信号Q_n从第二高电平耦合至第三高电平, 且根据耦合后的控制端电压信号Q_n与时钟信号CLK_n输出栅极扫描信号G_n。
- [0078] S64: 利用反馈模块接收反馈信号, 并根据反馈信号将耦合后的控制端电压信号Q_n拉低。
- [0079] S65: 利用控制模块控制下拉维持模块维持控制端电压信号Q_n的低电压。
- [0080] 在一个实施例中, 由于上拉模块包括上拉单元与上拉控制单元, 因此, 利用上拉模块接收第n-2级栅极驱动单元的时钟信号CLK_{n-2}、第n-1级栅极驱动单元的时钟信号CLK_{n-1}, 以及第n-1级栅极驱动单元的控制端电压信号Q_{n-1}, 并根据时钟信号CLK_{n-2}、时钟信号CLK_{n-1}以及控制端电压信号Q_{n-1}, 将控制端电压信号Q_n从第一高电平拉高至第二高电平具体为:
- [0081] 利用上拉单元接收时钟信号CLK_{n-2}与时钟信号CLK_{n-1}, 并根据时钟信号CLK_{n-2}与时钟信号CLK_{n-1}生成第一上拉信号至上拉控制单元;
- [0082] 利用上拉控制单元接收控制端电压信号Q_{n-1}, 并根据控制端电压信号Q_{n-1}与第一上拉信号生成第二上拉信号, 以将控制端电压信号Q_n从第一高电平拉高至第二高电平。
- [0083] 需要说明的是, 本申请实施例提供的驱动方法是基于图1至图4所示的驱动电路实现的, 因此, 关于本申请实施例提供的驱动方法的具体工作原理, 可参考图1至图4中驱动电路的相关描述, 此处不再赘述。
- [0084] 在本申请中, 通过采用包括输入模块、输出模块、控制模块、下拉维持模块、反馈模块以及上拉模块的驱动电路, 使得输入模块接收第n-2级栅极驱动单元输出的栅极扫描信号G_{n-2}, 并根据栅极扫描信号G_{n-2}将输出模块的控制端电压信号Q_n拉高至第一高电平, 上拉模块接收第n-2级栅极驱动单元的时钟信号CLK_{n-2}、第n-1级栅极驱动单元的时钟信号CLK_{n-1}以及第n-1级栅极驱动单元的控制端

电压信号 Q_{n-1} ，并根据时钟信号 CLK_{n-2} 、时钟信号 CLK_{n-1} 以及控制端电压信号 Q_{n-1} 将控制端电压信号 Q_n 从第一高电平拉高至第二高电平，输出模块接收时钟信号 CLK_n ，并根据时钟信号 CLK_n 将控制端电压信号 Q_n 从第二高电平耦合至第三高电平，且根据耦合后的控制端电压信号 Q_n 与时钟信号 CLK_n 输出栅极扫描信号 G_n ，反馈模块接收反馈信号，并根据反馈信号将耦合后的控制端电压信号 Q_n 拉低，控制模块控制下拉维持模块维持控制端电压信号 Q_n 的低电压，以此将控制端电压信号 Q_n 的电平进行三次拉升，增强了控制端电压信号 Q_n 的强度，解决了现有LCD的GOA电路存在不利于显示面板的窄边框化的问题。

[0085] 以上所述仅为本申请的较佳实施例而已，并不用以限制本申请，凡在本申请的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本申请的保护范围之内。

权利要求书

- [权利要求 1] 一种驱动电路，用于驱动显示面板，其中，所述驱动电路包括：
n个级联的栅极驱动单元，n为大于2的正整数；其中，第n个栅极驱动单元包括：
输入模块，用于接收第n-2级栅极驱动单元输出的栅极扫描信号Gn-2，并根据所述栅极扫描信号Gn-2，将控制端电压信号Qn拉高至第一高电平；
上拉模块，用于接收所述第n-2级栅极驱动单元的时钟信号CLKn-2、第n-1级栅极驱动单元的时钟信号CLKn-1，以及所述第n-1级栅极驱动单元的控制端电压信号Qn-1，并根据所述时钟信号CLKn-2、所述时钟信号CLKn-1以及所述控制端电压信号Qn-1，将所述控制端电压信号Qn从第一高电平拉高至第二高电平；
输出模块，用于接收时钟信号CLKn，并根据所述时钟信号CLKn将所述控制端电压信号Qn从第二高电平耦合至第三高电平，且根据耦合后的控制端电压信号Qn与所述时钟信号CLKn输出栅极扫描信号Gn；
反馈模块，用于接收反馈信号，并根据所述反馈信号将所述耦合后的控制端电压信号Qn拉低；
控制模块，用于控制所述下拉维持模块维持所述控制端电压信号Qn的低电压。
- [权利要求 2] 根据权利要求1所述的驱动电路，其中，所述上拉模块包括：
上拉单元，用于接收所述时钟信号CLKn-2与所述时钟信号CLKn-1，并根据所述时钟信号CLKn-2与所述时钟信号CLKn-1生成第一上拉信号至所述上拉控制单元；
上拉控制单元，用于接收所述控制端电压信号Qn-1，并根据所述控制端电压信号Qn-1与所述第一上拉信号生成第二上拉信号，以将所述控制端电压信号Qn从第一高电平拉高至第二高电平。
- [权利要求 3] 根据权利要求2所述的驱动电路，其中，所述上拉单元包括第一开关元件；

所述第一开关元件的输入端接收所述时钟信号CLK_{n-2}，所述第一开关元件的控制端接收所述时钟信号CLK_{n-1}；

所述第一开关元件根据所述时钟信号CLK_{n-2}与所述时钟信号CLK_{n-1}，生成所述第一上拉信号，所述第一开关元件的输出端将所述第一上拉信号输出至所述上拉控制单元。

[权利要求 4] 根据权利要求2所述的驱动电路，其中，所述上拉控制单元包括第二开关元件；
所述第二开关元件的输入端接收所述第一上拉信号，所述第二开关元件的控制端接收所述控制端电压信号Q_{n-1}；
所述第二开关元件根据所述第一上拉信号与所述控制端电压信号Q_{n-1}生成所述第二上拉信号。

[权利要求 5] 根据权利要求3所述的驱动电路，其中，所述第一开关元件为第一晶体管，所述第一晶体管的栅极、漏极以及源极分别为所述第一开关元件的控制端、输入端以及输出端。

[权利要求 6] 根据权利要求4所述的驱动电路，其中，所述第二开关元件为第二晶体管，所述第二晶体管的栅极和漏极分别为所述第二开关元件的控制端与输入端。

[权利要求 7] 一种显示装置，其中，所述显示装置包括：
背光模组、显示面板以及控制装置，所述背光模组用于为所述显示面板提供光源，所述控制装置包括驱动电路，所述驱动电路用于驱动所述显示面板，所述驱动电路包括：
n个级联的栅极驱动单元，n为大于2的正整数；其中，第n个栅极驱动单元包括：
输入模块，用于接收第n-2级栅极驱动单元输出的栅极扫描信号G_{n-2}，并根据所述栅极扫描信号G_{n-2}，将控制端电压信号Q_n拉高至第一高电平；
上拉模块，用于接收所述第n-2级栅极驱动单元的时钟信号CLK_{n-2}、第n-1级栅极驱动单元的时钟信号CLK_{n-1}，以及所述第n-1级栅极驱动

单元的控制端电压信号 Q_{n-1} ，并根据所述时钟信号 CLK_{n-2} 、所述时钟信号 CLK_{n-1} 以及所述控制端电压信号 Q_{n-1} ，将所述控制端电压信号 Q_n 从第一高电平拉高至第二高电平；

输出模块，用于接收时钟信号 CLK_n ，并根据所述时钟信号 CLK_n 将所述控制端电压信号 Q_n 从第二高电平耦合至第三高电平，且根据耦合后的控制端电压信号 Q_n 与所述时钟信号 CLK_n 输出栅极扫描信号 G_n ；

反馈模块，用于接收反馈信号，并根据所述反馈信号将所述耦合后的控制端电压信号 Q_n 拉低；

控制模块，用于控制所述下拉维持模块维持所述控制端电压信号 Q_n 的低电压。

[权利要求 8] 根据权利要求7所述的显示装置，其中，所述上拉模块包括：

上拉单元，用于接收所述时钟信号 CLK_{n-2} 与所述时钟信号 CLK_{n-1} ，并根据所述时钟信号 CLK_{n-2} 与所述时钟信号 CLK_{n-1} 生成第一上拉信号至所述上拉控制单元；

上拉控制单元，用于接收所述控制端电压信号 Q_{n-1} ，并根据所述控制端电压信号 Q_{n-1} 与所述第一上拉信号生成第二上拉信号，以将所述控制端电压信号 Q_n 从第一高电平拉高至第二高电平。

[权利要求 9] 根据权利要求8所述的显示装置，其中，所述上拉单元包括第一开关元件；

所述第一开关元件的输入端接收所述时钟信号 CLK_{n-2} ，所述第一开关元件的控制端接收所述时钟信号 CLK_{n-1} ；

所述第一开关元件根据所述时钟信号 CLK_{n-2} 与所述时钟信号 CLK_{n-1} ，生成所述第一上拉信号，所述第一开关元件的输出端将所述第一上拉信号输出至所述上拉控制单元。

[权利要求 10] 根据权利要求8所述的显示装置，其中，所述上拉控制单元包括第二开关元件；

所述第二开关元件的输入端接收所述第一上拉信号，所述第二开关元件的控制端接收所述控制端电压信号 Q_{n-1} ；

所述第二开关元件根据所述第一上拉信号与所述控制端电压信号 Q_{n-1} 生成所述第二上拉信号。

[权利要求 11] 根据权利要求9所述的显示装置，其中，所述第一开关元件为第一晶体管，所述第一晶体管的栅极、漏极以及源极分别为所述第一开关元件的控制端、输入端以及输出端。

[权利要求 12] 根据权利要求10所述的显示装置，其中，所述第二开关元件为第二晶体管，所述第二晶体管的栅极和漏极分别为所述第二开关元件的控制端与输入端。

[权利要求 13] 一种基于权利要求1所述的驱动电路的驱动方法，其中，所述驱动方法包括：

利用所述输入模块接收第 $n-2$ 级栅极驱动单元输出的栅极扫描信号 G_{n-2} ，并根据所述栅极扫描信号 G_{n-2} ，将所述输出模块的控制端电压信号 Q_n 拉高至第一高电平；

利用所述上拉模块接收所述第 $n-2$ 级栅极驱动单元的时钟信号 CLK_{n-2} 、第 $n-1$ 级栅极驱动单元的时钟信号 CLK_{n-1} ，以及所述第 $n-1$ 级栅极驱动单元的控制端电压信号 Q_{n-1} ，并根据所述时钟信号 CLK_{n-2} 、所述时钟信号 CLK_{n-1} 以及所述控制端电压信号 Q_{n-1} ，将所述控制端电压信号 Q_n 从第一高电平拉高至第二高电平；

利用所述输出模块接收时钟信号 CLK_n ，并根据所述时钟信号 CLK_n 将所述控制端电压信号 Q_n 从第二高电平耦合至第三高电平，且根据耦合后的控制端电压信号 Q_n 与所述时钟信号 CLK_n 输出栅极扫描信号 G_n ；

利用所述反馈模块接收反馈信号，并根据所述反馈信号将所述耦合后的控制端电压信号 Q_n 拉低；

利用所述控制模块控制所述下拉维持模块维持所述控制端电压信号 Q_n 的低电压。

[权利要求 14] 根据权利要求13所述的驱动方法，其中，所述上拉模块包括：上拉单元和上拉控制单元；

所述利用上拉模块接收所述第n-2级栅极驱动单元的时钟信号CLK_{n-2}、第n-1级栅极驱动单元的时钟信号CLK_{n-1}，以及所述第n-1级栅极驱动单元的控制端电压信号Q_{n-1}，并根据所述时钟信号CLK_{n-2}、所述时钟信号CLK_{n-1}以及所述控制端电压信号Q_{n-1}，将所述控制端电压信号Q_n从第一高电平拉高至第二高电平为：

利用所述上拉单元接收所述时钟信号CLK_{n-2}与所述时钟信号CLK_{n-1}，并根据所述时钟信号CLK_{n-2}与所述时钟信号CLK_{n-1}生成第一上拉信号至所述上拉控制单元；

利用所述上拉控制单元接收所述控制端电压信号Q_{n-1}，并根据所述控制端电压信号Q_{n-1}与所述第一上拉信号生成第二上拉信号，以将所述控制端电压信号Q_n从第一高电平拉高至第二高电平。

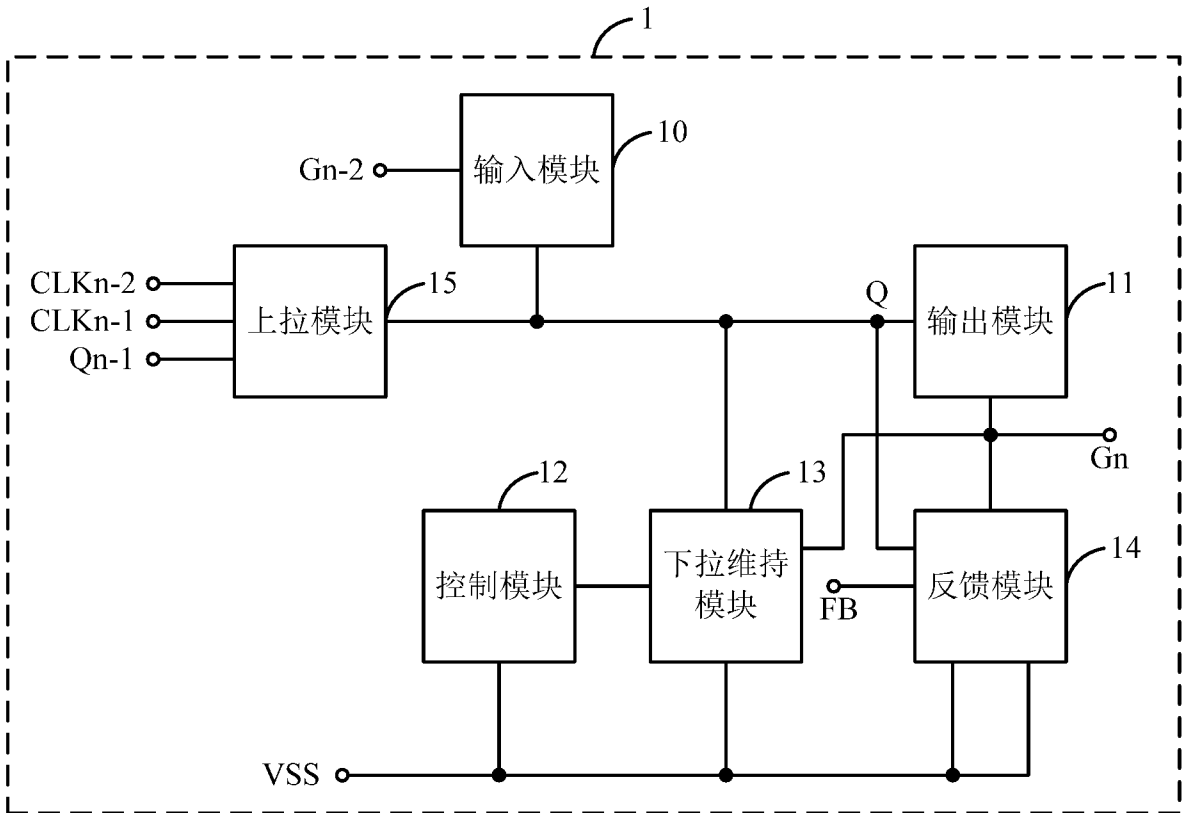


图 1

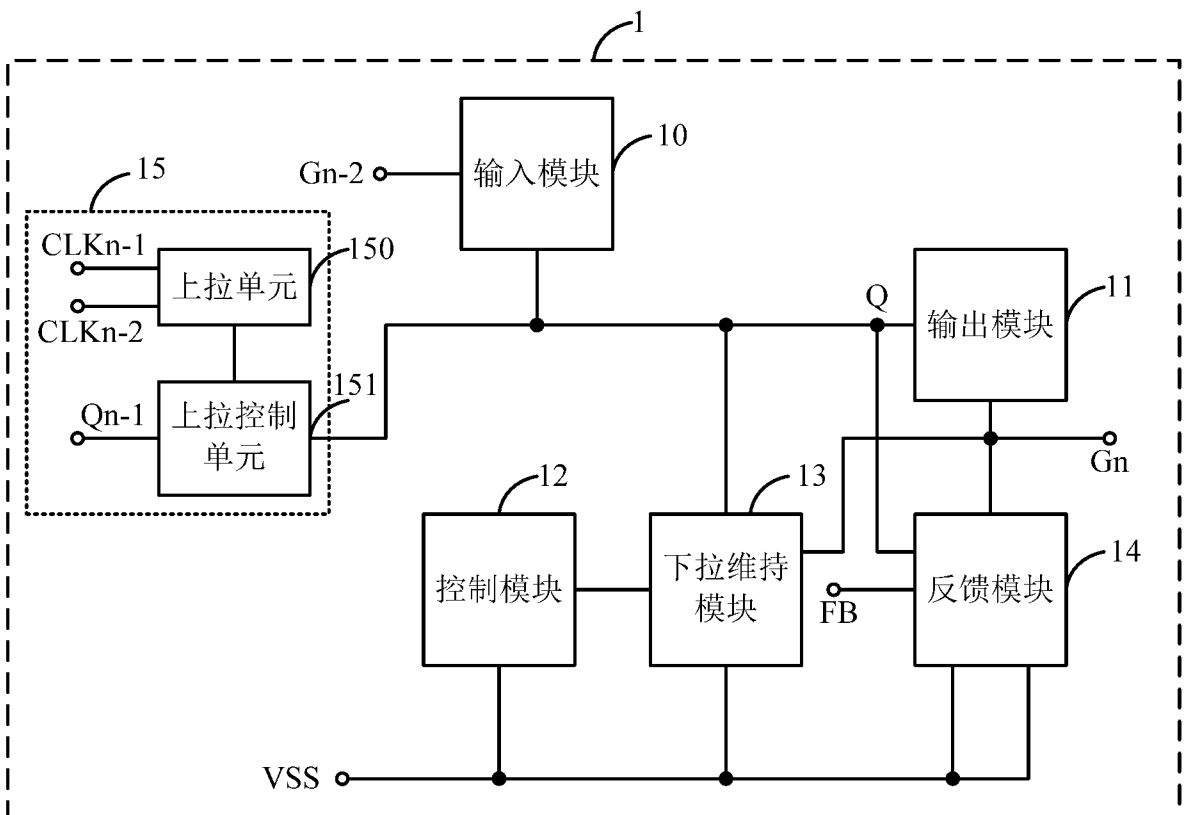


图 2

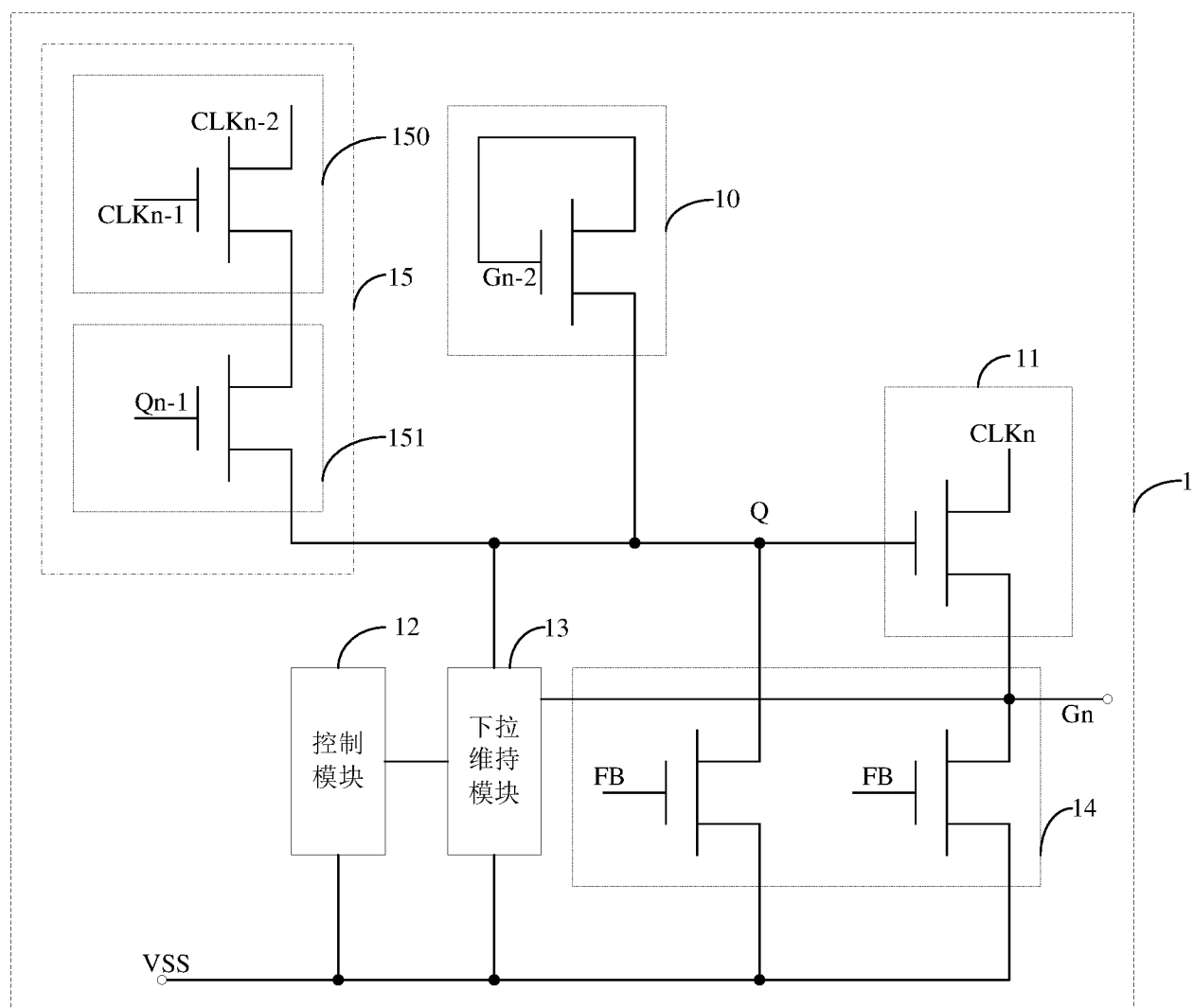


图 3

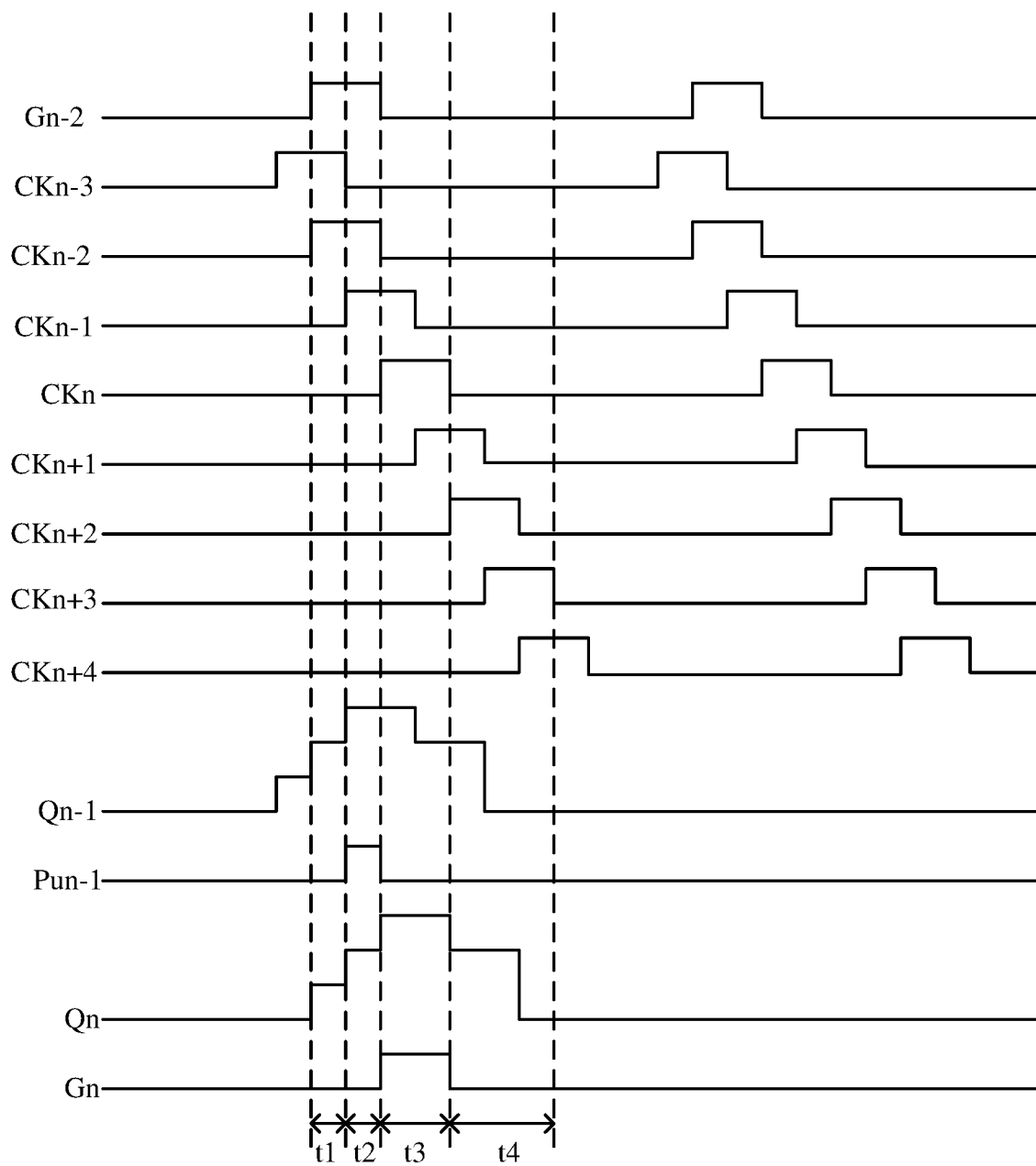


图 4

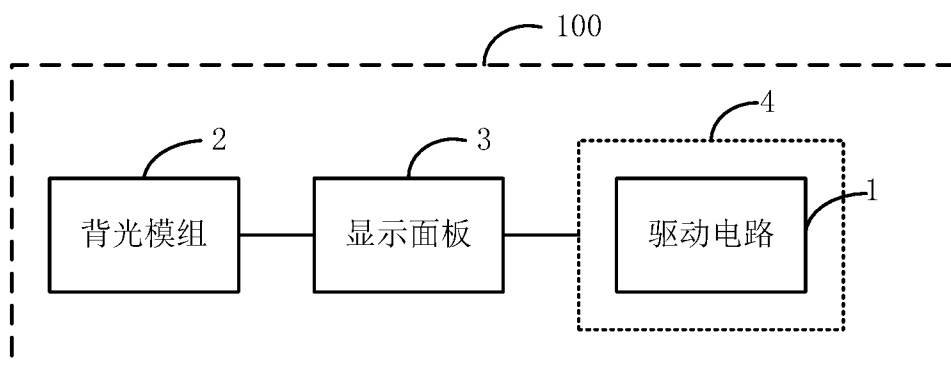


图 5

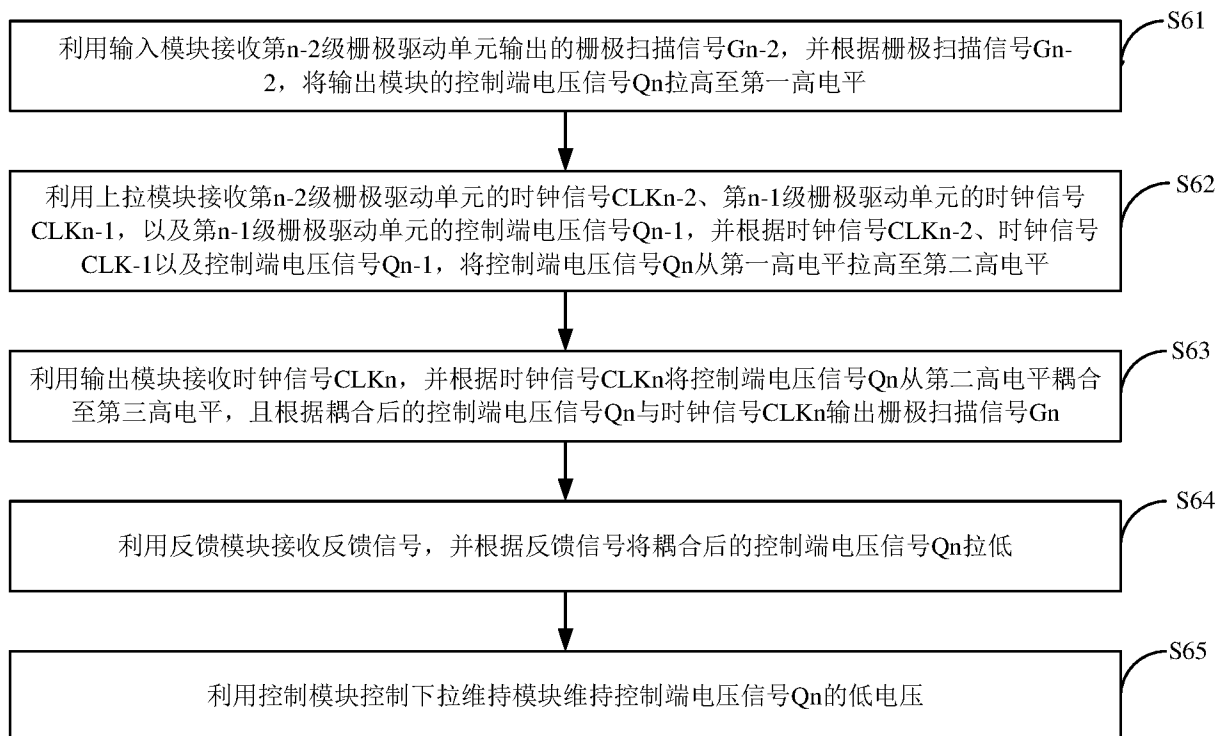


图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/099911

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-; G11C 19/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; WPI; EPODOC; CNKI: 栅极, 驱动, 显示, 窄边框化, 预充电, 输入, 输出, 上拉, 下拉, 拉高, 高电压, 高电平, 耦合, 维持, gate, driv+, display, narrow, border, precharge, input, import, output, export, pull, up, down, high, voltage, coupling, keep, holding

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106910484 A (HKC CORPORATION LIMITED et al.), 30 June 2017 (30.06.2017), description, paragraphs [0029]-[0069], and figures 1-6	1-14
A	CN 104050943 A (INFOVISION OPTOELECTRONICS (KUNSHAN) CO., LTD.), 17 September 2014 (17.09.2014), description, paragraphs [0032]-[0055], and figures 2-3	1-14
A	CN 106504719 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 15 March 2017 (15.03.2017), entire document	1-14
A	CN 105261340 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 20 January 2016 (20.01.2016), entire document	1-14
A	CN 103854587 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL), 11 June 2014 (11.06.2014), entire document	1-14
A	KR 20140050304 A (HYDIS TECHNOLOGIES CO., LTD.), 29 April 2014 (29.04.2014), entire document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 January 2018	Date of mailing of the international search report 26 January 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer CEHN, Xijie Telephone No. (86-10) 010-53962544

International application No.
PCT/CN2017/099911

Form PCT/ISA/210 (patent family annex) (July 2009)

国际检索报告

国际申请号

PCT/CN2017/099911

A. 主题的分类

G09G 3/36(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3/-; G11C19/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT; WPI; EPDOC; CNKI: 栅极, 驱动, 显示, 窄边框化, 预充电, 输入, 输出, 上拉, 下拉, 拉高, 高电压, 高电平, 耦合, 维持, gate, driv+, display, narrow, border, precharge, input, import, output, export, pull, up, down, high, voltage, coupling, keep, holding

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 106910484 A (惠科股份有限公司 等) 2017年 6月 30日 (2017 - 06 - 30) 说明书第[0029]-[0069]段、附图1-6	1-14
A	CN 104050943 A (昆山龙腾光电有限公司) 2014年 9月 17日 (2014 - 09 - 17) 说明书第[0032]-[0055]段、附图2-3	1-14
A	CN 106504719 A (合肥京东方光电科技有限公司 等) 2017年 3月 15日 (2017 - 03 - 15) 全文	1-14
A	CN 105261340 A (武汉华星光电技术有限公司) 2016年 1月 20日 (2016 - 01 - 20) 全文	1-14
A	CN 103854587 A (北京大学深圳研究生院) 2014年 6月 11日 (2014 - 06 - 11) 全文	1-14
A	KR 20140050304 A (HYDIS TECHNOLOGIES CO., LTD.) 2014年 4月 29日 (2014 - 04 - 29) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 1月 18日

国际检索报告邮寄日期

2018年 1月 26日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10) 62019451

受权官员

陈喜杰

电话号码 (86-10) 010-53962544

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/099911

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106910484	A	2017年 6月 30日	无			
CN	104050943	A	2014年 9月 17日	CN	104050943	B	2016年 6月 8日
CN	106504719	A	2017年 3月 15日	无			
CN	105261340	A	2016年 1月 20日	US	2017256224	A1	2017年 9月 7日
				WO	2017080103	A1	2017年 5月 18日
CN	103854587	A	2014年 6月 11日	CN	103854587	B	2017年 3月 1日
KR	20140050304	A	2014年 4月 29日	KR	101407740	B1	2014年 6月 13日