

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5092009号
(P5092009)

(45) 発行日 平成24年12月5日(2012.12.5)

(24) 登録日 平成24年9月21日(2012.9.21)

(51) Int.Cl. F I
G05F 3/26 (2006.01) G O 5 F 3/26
H03F 3/345 (2006.01) H O 3 F 3/345 B

請求項の数 15 外国語出願 (全 14 頁)

(21) 出願番号	特願2010-262866 (P2010-262866)	(73) 特許権者	505330767
(22) 出願日	平成22年11月25日(2010.11.25)		ダイアログ セミコンダクター ゲーエム
(65) 公開番号	特開2011-113567 (P2011-113567A)		ベーハー
(43) 公開日	平成23年6月9日(2011.6.9)		ドイツ, デー-73230 キルヒハイ
審査請求日	平成22年12月1日(2010.12.1)		ム/ナーベルン, ノイエ シュトラーセ
(31) 優先権主張番号	09177149.3		95
(32) 優先日	平成21年11月26日(2009.11.26)	(74) 代理人	100104444
(33) 優先権主張国	欧州特許庁 (EP)		弁理士 上羽 秀敏
		(74) 代理人	100112715
			弁理士 松山 隆夫
		(74) 代理人	100125704
			弁理士 坂根 剛
		(74) 代理人	100120662
			弁理士 川上 桂子

最終頁に続く

(54) 【発明の名称】 低ドロップアウト線形レギュレータ (LDO)、LDOを提供するための方法、およびLDOを動作させるための方法

(57) 【特許請求の範囲】

【請求項1】

電源電圧が供給される少なくとも3つの段(100、200、300)を有する低ドロップアウト線形レギュレータ(10)LDOであって、

差動増幅器(110)と調整されたカレントミラー(130)を備えた折り返しカスコードデバイス(120)とを有する第1の段(100)と、

前記差動増幅器(110)と前記調整されたカレントミラー(130)とを接続し、差分信号(d1、d2)を受信する第1および第2のノード(410、420)であって、前記調整されたカレントミラー(130)が、前記差分信号(d1、d2)をシングルエンド信号(e)に変換および増幅するように構成された第1および第2のノード(410、420)と、

前記第1の段(100)と第2の段(200)との間に結合された周波数補償用の第1のコンデンサ(510)と、

前記第1の段(100)と前記電源電圧(vdd)との間に結合された、第1のカスコード回路(610)の容量性負荷を平衡化するための第2のコンデンサ(520)であって、前記第1のカスコード回路(610)が、前記電源電圧(vdd)の変動による前記第1および第2のコンデンサ(510、520)の入出力間の差電圧を抑制するように構成された第2のコンデンサ(520)と、

前記差動増幅器(110)の電源の変動を抑制するように構成された第2のカスコード回路(620)と

を具備する低ドロップアウト線形レギュレータ(10)。

【請求項2】

前記折り返しカスコードデバイス(120)は、前記第1および第2のノード(410、420)によって受信される差分信号(d1、d2)のための第1および第2の差分信号経路(121、122)を有する、請求項1に記載の低ドロップアウト線形レギュレータ。

【請求項3】

前記2つの差分信号経路(121、122)は、等しいDC電圧を受けるように構成され、前記各差分信号経路(121、122)は、前記電源電圧(vdd)と接地との間に接続される、請求項2に記載の低ドロップアウト線形レギュレータ。

10

【請求項4】

前記2つの差分信号経路(121、122)は、前記電源電圧(vdd)に対して対称に配置される、請求項2に記載の低ドロップアウト線形レギュレータ。

【請求項5】

入れ子状(nested)ミラー補償を提供するように構成された第3のコンデンサ(901)をさらに具備し、前記第3のコンデンサ(901)は、前記LDO(10)の出力電圧(Vout)と前記調整されたカレントミラー(130)の接地基準NMOSカスコードとの間に結合される、請求項1に記載の低ドロップアウト線形レギュレータ。

【請求項6】

前記第2のコンデンサ(520)は、電源の変動によって生じるAC電流を前記差分信号経路(121、122)を通じて平衡化するように構成される、請求項2に記載の低ドロップアウト線形レギュレータ。

20

【請求項7】

前記第1のコンデンサ(510)は、前記第2の差分信号経路(122)と前記第2の段(200)との間に結合され、前記第2のコンデンサ(520)は、前記第1の差分信号経路(121)と前記電源電圧(vdd)との間に結合される、請求項2に記載の低ドロップアウト線形レギュレータ。

【請求項8】

前記第1のカスコード回路(610)は、第1および第2のPMOSトランジスタ(611、612)を有し、前記2つのPMOSトランジスタ(611、612)は、前記第1および第2のコンデンサ(510、520)と同相化するために前記電源電圧(vdd)によって制御されるように構成される、請求項1に記載の低ドロップアウト線形レギュレータ。

30

【請求項9】

前記第2のカスコード回路(620)は、各差分信号経路(121、122)にそれぞれ配置された第1および第2のPMOSトランジスタ(621、622)を有し、前記第2のカスコード回路(620)の前記2つのPMOSトランジスタ(621、622)は、前記差動増幅器(110)のNMOSトランジスタ(111、112)のドレインにおける電源の変動を抑制するために、接地基準電位(gr)によって制御される、請求項1に記載の低ドロップアウト線形レギュレータ。

40

【請求項10】

前記接地基準電位(gr)を供給するように構成されたレベルシフト回路(700)をさらに具備し、前記レベルシフト回路(700)は、前記第2のカスコード回路(620)の前記第1および第2のPMOSトランジスタ(621、622)が飽和状態となるように前記出力電圧(Vout)を下方にシフトし、前記レベルシフト回路(700)は、前記出力電圧(Vout)と前記接地基準電位(gr)を供給する出力ノード(720)との間に結合された接地基準p-カスコード回路(710)を有する、請求項9に記載の低ドロップアウト線形レギュレータ。

【請求項11】

前記第1の差分信号経路(121)は、第3のノード(430)を有し、前記第2の差

50

分信号経路(122)は、第4のノード(440)を有し、前記第3および第4のノード(430、440)は、前記第2のカスコード回路(620)を前記調整されたカレントミラー(130)と結合するように構成され、前記第3および第4のノード(430、440)は、平衡化された出力インピーダンスを有するように構成される、請求項2に記載の低ドロップアウト線形レギュレータ。

【請求項12】

前記調整されたカレントミラー(130)は、前記第3および第4のノード(430、440)の出力インピーダンスを平衡化するためのブートストラップ・カレントミラー(131)を有する、請求項11に記載の低ドロップアウト線形レギュレータ。

【請求項13】

前記ブートストラップ・カレントミラー(131)は、前記第3のノード(430)を高インピーダンスノードとするためのPMOSトランジスタ(132)を有する、請求項12に記載の低ドロップアウト線形レギュレータ。

【請求項14】

抵抗器(810)およびコンデンサ(820)が前記PMOSトランジスタ(132)のゲートと接地(gnd)との間に直列結合され、前記抵抗器(810)および前記コンデンサ(820)は、前記LDO(10)の高速調整ループの帯域幅を増加させるように構成される、請求項13に記載の低ドロップアウト線形レギュレータ。

【請求項15】

低ドロップアウト線形レギュレータ(10)LDOを動作させるための方法であって、前記LDO(10)が、電源電圧(vdd)が供給される少なくとも3つの段(100、200、300)であって、前記第1の段(100)が、差動増幅器(110)と調整されたカレントミラー(130)を備えた折り返しカスコードデバイス(120)とを有する3つの段(100、200、300)と、前記差動増幅器(110)を前記調整されたカレントミラー(130)と結合し、差分信号(d1、d2)を受信する第1および第2のノード(410、420)であって、前記調整されたカレントミラー(130)が、前記差分信号(d1、d2)をシングルエンド信号(e)に変換および増幅するように構成された第1および第2のノード(410、420)とを具備し、前記方法が、

前記第1の段(100)と第2の段(200)との間に第1のコンデンサ(510)によって周波数補償を設ける工程、

前記第1の段(100)と前記電源電圧(vdd)との間に配置された第1のカスコード回路(610)の容量性負荷を第2のコンデンサ(520)を用いて平衡化する工程、

前記電源電圧(vdd)の変動による前記第1および第2のコンデンサ(510、520)の入出力間の差電圧を前記第1のカスコード回路(610)によって抑制する工程、および

前記差動増幅器(110)の電源の変動を第2のカスコード回路(620)を用いて抑制する工程

を含む方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、低ドロップアウト線形レギュレータ(LDO)、低ドロップアウト線形レギュレータ(LDO)を提供するための方法、および低ドロップアウト線形レギュレータ(LDO)を動作させるための方法に関する。

【背景技術】

【0002】

携帯用の電気機器において使用される電圧レギュレータの場合、例えば、高分解能アナログ・デジタル変換器(ADC)、低雑音増幅器、混合器、音響部品等の高感度アナログ部品に動力を供給しつつ、低い出力雑音および高い電源電圧変動除去比(PSRR)を実

10

20

30

40

50

現することが望まれる。このような低雑音電源電圧を供給するために、低ドロップアウト線形レギュレータ(LDO)が使用され得る。

【0003】

また、ワット損を最小限とするために、DC/DC変換器にカスケード接続される調整後の(post-regulation)構成においてLDOが使用され得る。このような構成の内部では、LDOの入力は、DC/DC変換器の雑音性出力に接続される。したがって、LDOは、高感度アナログ部品に電力を供給するためのポストフィルタ(post filter)として機能し得る。

【発明の概要】

【発明が解決しようとする課題】

10

【0004】

コイルの大きさを縮小することに対する現在の需要により、DC/DC変換器のスイッチング周波数が増加した。これにより、LDOは、例えば100kHz~6MHzの高周波数においても十分に高いPSRR比を有することが求められるようになっている。

【0005】

したがって、本発明の一態様は、PSRRが改良された低ドロップアウト線形レギュレータを提供することである。

【課題を解決するための手段】

【0006】

本発明の第1の態様によると、電源電圧v_{dd}が供給される少なくとも3つの段を有する低ドロップアウト線形レギュレータLDOが提供される。第1の段は、差動増幅器と調整された(regulated)カレントミラーを備えた折り返し(folded)カスコードデバイスとを有する。また、LDOは、差動増幅器と調整されたカレントミラーとを接続し、差分信号を受信するように構成された第1および第2のノードを有する。調整されたカレントミラーは、差分信号をシングルエンド信号に変換および増幅するように構成される。さらに、LDOは、第1の段と第2の段との間に結合された周波数補償用の第1のコンデンサを有する。LDOは、第1の段と電源電圧との間に結合された、第1のカスコード回路の容量性負荷を平衡化するための第2のコンデンサを有する。第1のカスコード回路は、電源電圧の変動による第1および第2のコンデンサの入出力間の差電圧を抑制するように構成される。LDOは、差動増幅器の電源の変動を抑制するように構成された第2のカスコード回路を有する。

20

30

【0007】

本発明の第2の態様によると、低ドロップアウト線形レギュレータを提供するための方法が提供され、この方法は、

差動増幅器と調整されたカレントミラーを備えた折り返しカスコードデバイスとを有する第1の段を設ける工程、

差動増幅器と調整されたカレントミラーとを、差分信号を受信するように構成された第1および第2のノードによって接続する工程であって、調整されたカレントミラーが、差分信号をシングルエンド信号に変換および増幅するように構成された工程、

第1の段と第2の段との間に周波数補償用の第1のコンデンサを結合する工程、

40

第1の段と電源電圧との間に配置される、第1のカスコード回路の容量性負荷を平衡化するための第2のコンデンサを結合する工程、

第1のカスコード回路を、電源電圧の変動による第1および第2のコンデンサの入出力間の差電圧を抑制するよう適合されるように設ける工程、および

第2のカスコード回路を、差動増幅器の電源の変動を抑制するよう適合されるように設ける工程を含む。

【0008】

本発明の第3の態様によると、低ドロップアウト線形レギュレータ(LDO)を動作させるための方法が提供され、LDOは、電源電圧が供給される少なくとも3つの段であって、第1の段が、差動増幅器と調整されたカレントミラーを備えた折り返しカスコードデ

50

バイスとを有する3つの段と、差動増幅器を調整されたカレントミラーと結合し、差分信号を受信する第1および第2のノードであって、調整されたカレントミラーが、差分信号をシングルエンド信号に変換および増幅するように構成された第1および第2のノードとを具備し、上記方法は、

第1の段と第2の段との間に第1のコンデンサによって周波数補償を提供する工程、

第1の段と電源電圧との間に配置された第1のカスコード回路の容量性負荷を第2のコンデンサを用いて平衡化する工程、

電源電圧の変動による第1および第2のコンデンサの入出力間の差電圧を第1のカスコード回路によって抑制する工程、および

差動増幅器の電源の変動を第2のカスコード回路を用いて抑制する工程を含む。

10

【0009】

上記提案されるLDOの1つの利点は、改良されたPSRR性能が達成され得るということであると考えられる。また、改良されたPSRR性能は、消費される静止電流を非常に低いものとしつつ、低出力雑音性能と共に達成され得る。

【0010】

加えて、本発明のLDOの一実施形態は、高出力電流および低負荷コンデンサを提供し得る。例えば、LDOの出力電圧と入力電圧との差分電圧が1Vで負荷電流が100mAである場合、LDOは、異なる周波数に対して以下のPSRR比を達成し得る。すなわち、10kHzにおいて80dB、100kHzにおいて60dB、および1MHzにおいて54dBである。

20

【0011】

また、LDOのいくつかの実施形態は、200mAの最大出力電流および1.0μFの出力容量を有する。

【0012】

さらに、本発明のLDOの各ユニットの詳細について説明する。LDOの折り返しカスコードデバイスは、単極の高速演算増幅器の構成であるのが好ましい。さらに、折り返しカスコードデバイスは、全く同じDC電圧を受け得る差分信号経路を有し得る。したがって、折り返しカスコードデバイスの対称性は、非常に優れたものとなり得る。

【0013】

加えて、第2のコンデンサは、第1のコンデンサのレプリカ補償コンデンサであり得る。第2のコンデンサは、好ましくは、LDOのあらゆる状態にわたって適切な安定性を実現するように適合される。第2のコンデンサがなければ、第1のコンデンサのレプリカコンデンサと第1のカスコード回路のカスコードトランジスタは異なる容量性負荷を有する場合があります。電源の変動が発生した場合は、これにより、第1のカスコード回路の複数のPMOSTランジスタの一方から折り返しカスコードデバイス内にAC電流が注入されることになる場合がある。第2のコンデンサをLDOに付加することにより、第1のカスコード回路の複数のカスコードトランジスタにおける容量性負荷がほぼ等しくなり、電源の変動によって生じ得るAC電流は、差分信号経路を通じて平衡化され得る。さらに、第1のカスコード回路は、補償コンデンサ、すなわち、第1および第2のコンデンサを接続するように適合され得る。第1のカスコード回路のカスコードトランジスタは、電源の変動が発生した場合、補償コンデンサと同相化するために電源電圧によって制御またはバイアスされ得る。したがって、第2の段において不要なAC電流が生じることが防止される。

30

40

【0014】

第2のカスコード回路のトランジスタは、差動増幅器のドレインにおける電源の変動を抑制し、これら電位を電源電圧に対して非依存性に保つため、LDOの出力電圧または類似の接地基準電位によって制御またはバイアスされ得る。このような回路構成は、異なる負荷条件下においてであっても、差動増幅器のトランジスタおよび調整されたカレントミラーを通じて電源の変動を大きく低減し得る。

【0015】

LDOの一実施形態において、第2の段はドライバ段であり、第3の段は電力段である

50

。ドライバ段は、電力段を駆動するように構成される。

【0016】

ドライバ段および電力段は、それぞれPMOSトランジスタを有し得る。これら2つのPMOSトランジスタは、結合してカレントミラーを形成し得る。カレントミラーは、ドライバ段のPMOSトランジスタの非支配極をより高い周波数に適応的に押し上げるように構成され得る。

【0017】

LDOのさらなる実施形態において、折り返しカスコードデバイスは、上記2つのノードによって受信される差分信号のための第1および第2の差分信号経路を有し、第1および第2のノードは、差動増幅器と調整されたカレントミラーとを結合する。

10

【0018】

具体的には、第1のノードは、差動増幅器の第1のNMOSトランジスタから出力される差分信号の第1の部分を受信する。同様に、第2のノードは、差動増幅器の第2のNMOSトランジスタから出力される差分信号の第2の部分を受信するように適合され得る。

【0019】

LDOのさらなる実施形態において、差分信号経路は、等しいDC電圧を受けるように配置される。

【0020】

LDOのさらなる実施形態において、各差分信号経路は、電源電圧 v_{dd} と接地との間に接続される。

20

【0021】

LDOのさらなる実施形態において、2つの差分信号経路は、電源電圧 v_{dd} に対して対称な回路配置を有する。

【0022】

LDOがその帯域幅の外側にある場合であっても、電源電圧の変動は、差分信号経路の対称性によって平衡化され得る。したがって、潜在的な容量性負荷は平衡化され、これには、インピーダンス整合も必然的に伴われる。

【0023】

LDOのさらなる実施形態において、入れ子状(nested)ミラー補償を提供するように構成された第3のコンデンサは、LDOの出力電圧 V_{out} と調整されたカレントミラーの接地基準NMOSカスコードとの間に結合される。

30

【0024】

したがって、カスコード接続型ミラー補償コンデンサとしての第3のコンデンサは、電源電圧と出力電圧との間または電源電圧と折り返しカスコードデバイスの差分信号経路との間のいずれかにおける容量性結合を防止するように構成され得る。また、カスコード接続型ミラー補償コンデンサにより、支配極と負荷極との間において効果的な極分割が実現され得る。

【0025】

LDOのさらなる実施形態において、第2のコンデンサは、電源の変動によって生じ得るAC電流を差分信号経路を通じて平衡化または補償するように構成される。

40

【0026】

LDOのさらなる実施形態において、第1のコンデンサは、第2の差分信号経路と第2の段との間に結合され、第2のコンデンサは、第1の差分信号経路と電源電圧との間に結合される。

【0027】

第1のコンデンサは、上記のカスコード接続型ミラー補償コンデンサに対する追加のカスコード接続型ミラー補償コンデンサであり、ドライバ段の結合されたPMOSトランジスタの非支配極をより高い周波数に押し上げるように適合されている。

【0028】

LDOのさらなる実施形態において、第1のカスコード回路は、第1および第2のPM

50

O Sトランジスタを有し、これら2つのP M O Sトランジスタは、第1および第2のコンデンサと同相化するために、電源電圧によって制御されるように構成される。電源電圧 V_{dd} は、第1および第2のP M O Sトランジスタのゲート(ゲート端子)に接続される。

【0029】

L D Oのさらなる実施形態において、差動増幅器は、基準電圧 V_{ref} によって制御される第1のN M O SトランジスタおよびL D Oの出力電圧 V_{out} によって制御される第2のN M O Sトランジスタを有する。

【0030】

L D Oのさらなる実施形態において、第2のカスコード回路は、第1および第2のP M O Sトランジスタを有する。各P M O Sトランジスタは、各差分信号経路に配置される。

10

【0031】

L D Oのさらなる実施形態において、第2のカスコード回路の2つのP M O Sトランジスタは、差動増幅器のN M O Sトランジスタのドレインにおける電源の変動を抑制するために、接地基準電位によって制御される。

【0032】

L D Oのさらなる実施形態において、低ドロップアウト線形レギュレータは、レベルシフト回路を有する。レベルシフト回路は、第2のカスコード回路のP M O Sトランジスタが飽和状態となることが確実にできるように出力電圧を下方にレベルシフトすることにより接地基準電位を供給または生成するように構成される。

【0033】

20

L D Oのさらなる実施形態において、レベルシフト回路は、出力電圧 V_{out} と接地基準電圧を供給する出力ノードとの間に結合された接地基準p - カスコード回路を有する。

【0034】

L D Oのさらなる実施形態において、レベルシフト回路は、出力ノードと接地との間に結合されたコンデンサを有する。

【0035】

L D Oのさらなる実施形態において、第1の差分信号経路は第3のノードを有し、第2の差分信号経路は第4のノードを有し、第3および第4のノードは、第2のカスコード回路を調整されたカレントミラーに結合するように構成される。2つのノードは、平衡化された出力インピーダンスを有するように構成される。

30

【0036】

L D Oのさらなる実施形態において、調整されたカレントミラーは、第2のカスコード回路と調整されたカレントミラーとを結合する第3および第4のノードの出力インピーダンスを平衡化するためのブートストラップ・カレントミラーを有する。

【0037】

第2のカスコード回路と調整されたカレントミラーとを結合する2つのノードの出力インピーダンスを平衡化することにより、電源電圧の変動もまた、2つの差分信号経路において平衡化される。

【0038】

L D Oのさらなる実施形態において、ブートストラップ・カレントミラーは、第3のノードを高インピーダンスノードとするためのP M O Sトランジスタを有する。

40

【0039】

その結果、第1の差分信号経路において第2のカスコード回路を調整されたカレントミラーに結合する第3のノードおよび第2の差分信号経路において第2のカスコード回路を調整されたカレントミラーに結合する第4のノードは、いずれも高インピーダンスノードとなる。

【0040】

L D Oのさらなる実施形態において、抵抗器とコンデンサとの直列接続がP M O Sトランジスタのゲートと接地との間に結合される。抵抗器およびコンデンサは、L D Oの高速調整ループの帯域幅を増加させるように構成される。高速調整ループは、第3のコンデン

50

サ、調整されたカレントミラー、NMOSトランジスタ、PMOSトランジスタを備えたカレントミラー、Vout用の出力ノードおよび各種接続によって形成される。

【0041】

したがって、PMOSトランジスタの高抵抗ゲートは、第2のカスコード回路を調整されたカレントミラーに接続する第1の差分信号経路において第3のノードに接続される。したがって、いかなる低インピーダンスノードも差分信号経路から排除される。

【0042】

PMOSトランジスタのゲートに対する抵抗器とコンデンサとの直列接続により、追加の零点が提供され、したがって、非支配極がより高い周波数に押し上げられる。非支配極をより高い周波数に押し上げることにより、LDOの帯域幅が増加する。これにより、より高い周波数においても、より高いPSRRが得られる。

10

【0043】

本開示において、「電源電圧」という表現には、電源電圧端子も含まれる。また、「ゲート」という表現には、ゲート端子も含まれる。

【図面の簡単な説明】

【0044】

【図1】LDOの一実施形態を示す図である。

【図2】LDOを製造するための方法の一実施形態を示す図である。

【図3】LDOを動作させるための方法の一実施形態を示す図である。

【図4】本発明によるシミュレーション結果を説明する図を示す図である。

20

【発明を実施するための形態】

【0045】

以下に、添付の図面を参照して、本発明の例示的な実施形態について説明する。

【0046】

図面において、類似の要素または機能的に類似した要素には、特に示さない限り、同じ参照番号を付すものとする。

【0047】

図1において、LDO10の一実施形態が示されている。

【0048】

LDO10は、少なくとも3つの段100、200、300、すなわち、第1の段100、第2の段200および第3の段300を有する。3つの段100、200、300のそれぞれには、電源電圧vddが供給される。第1の段100は、差動増幅器110と、差動増幅器110に結合された折り返しカスコードデバイス120とを有する。

30

【0049】

第2の段200は、好ましくは、ドライバ段である。第3の段300は電力段(power stage)であってもよく、ここで、ドライバ段200は、電力段300を駆動するように構成される。

【0050】

また、LDO10は、差動増幅器110を折り返しカスコードデバイス120の調整されたカレントミラー130に結合するように構成された2つのノード410、420を有する。2つのノード410、420は、差分信号d1、d2を受信するように構成される。差分信号d1、d2は、第1のノード410によって受信される第1の部分d1と、第2のノード420によって受信される第2の部分d2とで構成される。また、調整されたカレントミラー130は、差分信号d1、d2をシングルエンド信号eに変換および増幅するように構成される。したがって、調整されたカレントミラー130は、差分信号d1、d2を受信し、そのシングルエンド信号eを出力する。このような機能を提供するため、カレントミラー130は、4つのNMOSトランジスタ133~136を有する。調整されたカレントミラー130の第1のNMOSトランジスタ133および第2のNMOSトランジスタ134は、接地基準NMOSカスコードを形成する。

40

【0051】

50

さらに、折り返しカスコードデバイス120は、2つのノード410および420によって受信される差分信号d1、d2のための第1および第2の差分信号経路121、122を有し得る。差分経路121、122は、等しいDC電圧を受けるように配置され得る。したがって、各差分経路121、122は、電源電圧vddと接地gndとの間に接続される。電源電圧vddの変動を平衡化するために、2つの差分信号経路121、122は、電源電圧vddに対して対称な回路配置を有する。ここでいう「変動」は特に電源電圧vddの揺らぎを意味し得る。

【0052】

また、LDO10は、周波数補償用の第1のコンデンサ510を有する。第1のコンデンサ510は、第1の段100と第2の段200との間に結合される。さらに、LDO10は、第1のカスコード回路610の容量性負荷を平衡化するための第2のコンデンサ520を有する。第2のコンデンサ520は、第1の段100と電源電圧vddとの間に結合される。加えて、第2のコンデンサ520は、電源電圧vddの電源の変動によって生じ得るAC電流を差分信号経路121、122を通じて平衡化するように構成され得る。

10

【0053】

第1のコンデンサ510は、第2の差分信号経路122と第2の段200との間に結合される。第2のコンデンサ520は、第1の差分信号経路121と電源電圧vddとの間に結合される。

【0054】

また、LDO10は、第1のカスコード回路610および第2のカスコード回路620を有する。第1のカスコード回路610は、電源電圧vddの変動によって生じるコンデンサ510、520の入出力間の差電圧を抑制するように構成される。

20

【0055】

具体的には、第1のカスコード回路610は、2つのPMOSトランジスタ611、612を有する。2つのPMOSトランジスタ611、612は、第1および第2のコンデンサ510、520と同相化するために電源電圧vddによって制御またはバイアスされるように適合されている。よって、2つのトランジスタ611、612の中心端子(ゲート)は、電源電圧vddに結合される。

【0056】

さらに、第2のカスコード回路620は、差動増幅器110の電源の変動を抑制するように適合されている。また、第2のカスコード回路620は、各差分信号経路121、122にそれぞれ配置された2つのPMOSトランジスタ621、622を有する。

30

【0057】

さらに、第2のカスコード回路620の2つのPMOSトランジスタ621、622は、差動増幅器110のNMOSトランジスタ111、112のドレインにおける電源の変動を抑制するために接地基準電位grによって制御またはバイアスされる。この点に関し、差動増幅器110は、基準電圧Vrefによって制御される第1のNMOSトランジスタ111と、LDO10の出力電圧Voutによって制御される第2のNMOSトランジスタ112とを有する。両カスコード回路610、620は、第1の差分信号経路121においてPMOSトランジスタ611、621を、第2の差分信号経路122においてPMOSトランジスタ612、622をそれぞれ有する。

40

【0058】

さらに、第1の差分信号経路121は、第3のノード430を有する。同様に、第2の差分経路122は、第4のノード440を有する。第3および第4のノード430、440は、第2のカスコード回路620を調整されたカレントミラー130に結合するように構成される。2つのノード430、440は、平衡化された出力インピーダンスを有するように構成される。

【0059】

上述の通り、調整されたカレントミラー130は、4つのNMOSトランジスタ133~136を有する。また、調整されたカレントミラー130は、2つのノード430、4

50

40のインピーダンスを平衡化するためのブートストラップ・カレントミラー131を有する。これら2つのノード430、440のインピーダンスを平衡化することにより、電源電圧 v_{dd} の変動もまた、2つの差分信号経路121、122において平衡化される。具体的には、ブートストラップ・カレントミラー131は、第3のノード430を高インピーダンスノードとするためのPMOSトランジスタ132を含む。

【0060】

さらに、抵抗器810とコンデンサ820との直列接続が、PMOSトランジスタ132のゲート(ゲート端子)と接地との間に結合される。抵抗器810およびコンデンサ820は、LDO10の高速調整ループの帯域幅を増加させるように構成され得る。

【0061】

また、LDO10は、LDO10の出力電圧 V_{out} と調整されたカレントミラー130の接地基準NMOSカスコードとの間に結合されるコンデンサ901を有する。

【0062】

加えて、LDO10は、レベルシフト回路700を有する。レベルシフト回路700は、カスコード回路610、620のPMOSトランジスタ611、612、621および622が飽和状態となることが確実となるように出力電圧 V_{out} を下方にレベルシフトすることにより接地基準電位 g_r を供給するように構成される。

【0063】

具体的には、レベルシフト回路700は、接地基準 p -カスコード回路710を有し得る。接地基準 p -カスコード回路710は、出力電圧 V_{out} と接地基準電圧 g_r を出力する出力ノード720との間に結合され得る。また、レベルシフト回路700は、出力ノード720と接地との間に結合されるコンデンサ730を有し得る。

【0064】

折り返しカスコードデバイス120の第4のノード440は、ドライバ段200のNMOSトランジスタ202のゲートに接続される。第4のノード440によって供給されるシングルエンド信号 e は、ドライバ段200のNMOSトランジスタ202のゲートに結合される。

【0065】

ドライバ段200および電力段300は、それぞれ、PMOSトランジスタ201、301を有し得る。これら2つのPMOSトランジスタ201および301は、結合され、カレントミラー902を形成する。カレントミラー902は、PMOSトランジスタ201の非支配極をより高い周波数に適応的に押し上げるように構成される。

【0066】

図2は、電源電圧 v_{dd} が供給される少なくとも3つの段100、200、300を有するLDO10を提供するための方法の一実施形態である。図2の方法の実施形態は、以下の方法ステップS21~S26を含み、また、図1を参照して説明される。

方法ステップS21:

差動増幅器110と、調整されたカレントミラー130を備えた折り返しカスコードデバイス120とを有する第1の段100を設ける。

方法ステップS22

差動増幅器110と調整されたカレントミラー130とを、2つのノード410、420が差分信号 d_1 、 d_2 を受信するように構成されるようにノード410、420によって結合する。好ましくは、調整されたカレントミラー130は、差分信号 d_1 、 d_2 をシングルエンド信号 e に変換および増幅するように構成され得る。

方法ステップS23:

周波数補償用の第1のコンデンサ510を第1の段100と第2の段200との間に結合する。

方法ステップS24:

第1のカスコード回路610の容量性負荷を平衡化するための第2のコンデンサ520を第1の段100と電源電圧 v_{dd} との間に結合する。

10

20

30

40

50

方法ステップ S 2 5 :

第 1 のカスコード回路 6 1 0 を、電源電圧 v_{dd} の変動によって生じるコンデンサ 5 1 0、5 2 0 の入出力間の差電圧を抑制するよう適合されるように配置する。

方法ステップ S 2 6 :

第 2 のカスコード回路 6 2 0 を、差動増幅器 1 1 0 の電源の変動を抑制するよう構成されるように設ける。

【 0 0 6 7 】

また、図 3 は、電源電圧 v_{dd} が供給される少なくとも 3 つの段 1 0 0、2 0 0、3 0 0 を有する L D O 1 0 を動作させるための方法の一実施形態を示す。L D O 1 0 は、第 1 の段 1 0 0 を含み、第 1 の段 1 0 0 は、差動増幅器 1 1 0 と、調整されたカレントミラー 1 3 0 を備えた折り返しカスコードデバイス 1 2 0 とを有する。2 つのノード 4 1 0、4 2 0 は、差動増幅器 1 1 0 を調整されたカレントミラー 1 3 0 に結合し、差分信号 d_1 、 d_2 を受信する。調整されたカレントミラー 1 3 0 は、差分信号 d_1 、 d_2 をシングルエンド信号 e に変換および増幅するように構成される。

10

【 0 0 6 8 】

図 3 の方法の実施形態は、以下の S 3 1 ~ S 3 4 を有し、また、図 1 を参照して説明される。

方法ステップ S 3 1 :

第 1 の段 1 0 0 と第 2 の段 2 0 0 との間に、第 1 のコンデンサ 5 1 0 によって周波数補償を設ける。

20

方法ステップ S 3 2 :

第 1 の段 1 0 0 と電源電圧 v_{dd} との間に配置される第 1 のカスコード回路 6 1 0 の容量性負荷を第 2 のコンデンサ 5 2 0 によって平衡化する。

方法ステップ S 3 3 :

電源電圧 v_{dd} の変動によって生じるコンデンサ 5 1 0、5 2 0 の入出力間の差電圧を第 1 のカスコード回路 6 1 0 によって抑制する。

方法ステップ S 3 4 :

差動増幅器 1 1 0 の電源の変動を第 2 のカスコード回路 6 2 0 によって抑制する。

【 0 0 6 9 】

図 4 は、本発明によるシミュレーション結果を説明する図である。

30

【 0 0 7 0 】

x 軸は、 V_{out} と V_{in} または V_{ref} との間の伝達関数 T を dB で示し、ここで、 $PSRR$ は伝達関数 T から導かれ得る。 y 軸は、周波数 f を Hz で示す。

【 0 0 7 1 】

図 4 に示すシミュレーションのためのパラメータは以下の通りである： $V_{out} = 2.5 V$ 、 $V_{in} = 3 V$ 、 $I_{load} = 100 mA$ 、および $C_{load} = 1 \mu F$ 。

【 0 0 7 2 】

図 4 において、曲線 C は、周波数 f に対する伝達関数 T の依存度を示す。4 つの点 $P_1 \sim P_4$ は注目に値し得る。 P_1 において、伝達関数 T は、 $f = 10 kHz$ の場合 $-87 dB$ である。

40

【 0 0 7 3 】

周波数 f が P_1 から P_2 そして P_3 に増加するに伴い、伝達関数 T もまた増加する。すなわち、 P_2 において、伝達関数 T は、 $100 kHz$ で $67.5 dB$ であり、 P_3 において、伝達関数 T は、 $800 kHz$ で $-54 dB$ である。

【 0 0 7 4 】

周波数 f が P_3 から P_4 に増加すると、伝達関数 T は減少する。すなわち、 P_4 において、伝達関数 T は、 $1 MHz$ で $-58 dB$ である。

【 0 0 7 5 】

本明細書における上記説明は、本発明の原理の適用の例示に過ぎない。本発明の範囲から逸脱することなく、当業者によって他の構成およびシステムが実施され得る。

50

【符号の説明】

【0076】

1 0	低ドロップアウト線形レギュレータ	
1 0 0	第1の段	
1 1 0	差動増幅器	
1 1 1	NMOSトランジスタ	
1 1 2	NMOSトランジスタ	
1 2 0	折り返しカスコードデバイス	
1 2 1	第1の差分信号経路	
1 2 2	第2の差分信号経路	10
1 3 0	調整されたカレントミラー	
1 3 1	ブートストラップ・カレントミラー	
1 3 2	PMOSトランジスタ	
1 3 3 ~ 1 3 6	NMOSトランジスタ	
2 0 0	第2の段	
2 0 1	PMOSトランジスタ	
2 0 2	PMOSトランジスタ	
3 0 0	第3の段	
3 0 1	PMOSトランジスタ	
4 1 0 ~ 4 4 0	ノード	20
5 1 0	第1のコンデンサ	
5 2 0	第2のコンデンサ	
6 1 0	第1のカスコード回路	
6 2 0	第2のカスコード回路	
6 1 1、6 1 2	PMOSトランジスタ	
6 2 1、6 2 2	PMOSトランジスタ	
7 0 0	レベルシフト回路	
7 1 0	接地基準p - カスコード回路	
7 2 0	出力ノード	
7 3 0	コンデンサ	30
8 1 0	抵抗器	
8 2 0	コンデンサ	
9 0 1	第3のコンデンサ	
9 0 2	カレントミラー	
C	曲線	
d 1	第1の差分信号	
d 2	第2の差分信号	
e	シングルエンド信号	
f	周波数	
g n d	接地	40
g r	接地基準電位	
P 1 ~ P 4	点	
P S R R	電源電圧変動除去比	
S 2 1 ~ S 2 6	方法ステップ	
S 3 1 ~ S 3 4	方法ステップ	
T	伝達関数	
v d d	電源電圧	
V r e f	基準電圧	
V o u t	出力電圧	

【 図 1 】

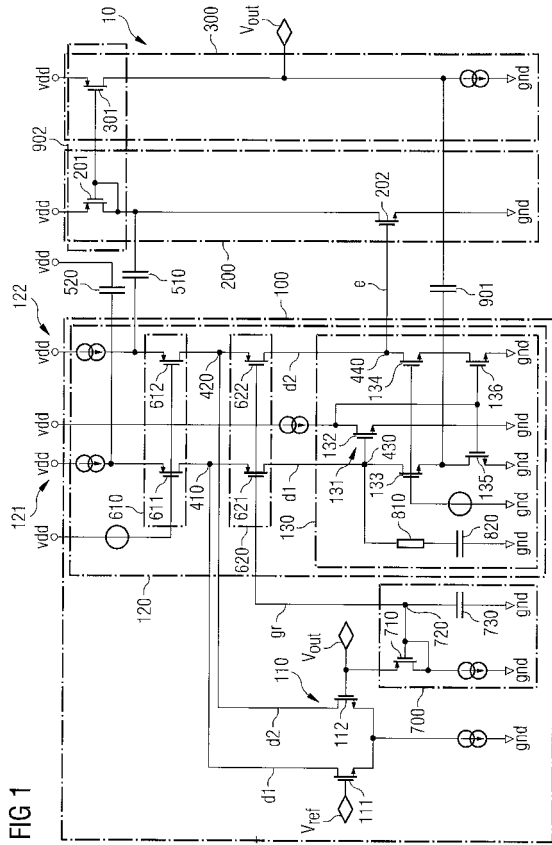
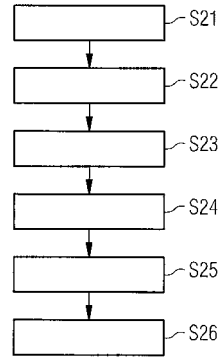


FIG 1

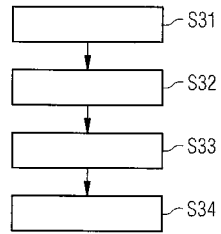
【 図 2 】

FIG 2



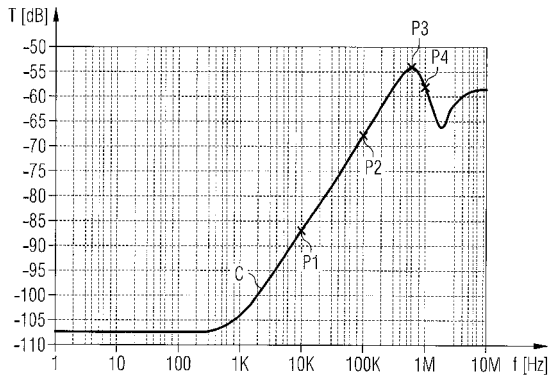
【 図 3 】

FIG 3



【 図 4 】

FIG 4



フロントページの続き

(72)発明者 シュテファン ドレービンガー
ドイツ ミュンヘン 8 1 2 4 1 ラッケルバウエルシュトラッセ 1 3

審査官 安食 泰秀

(56)参考文献 米国特許第 6 3 0 4 1 3 1 (U S , B 1)
米国特許第 5 4 4 6 4 1 2 (U S , A)
米国特許出願公開第 2 0 0 3 / 0 1 0 2 8 5 1 (U S , A 1)
米国特許第 6 3 4 0 9 1 8 (U S , B 2)
米国特許第 7 1 6 6 9 9 1 (U S , B 2)
ZUSHU YAN ET AL , A Low-Voltage CMOS Low-Dropout Regulator With Novel Capacitor-Multiplier Frequency Compensation , CIRCUITS AND SYSTEMS , 2008. ISCAS 2008. IEEE INTERNATIONAL SYMPOSIUM ON , IEEE , 米国 , 2 0 0 8 年 5 月 1 8 日 , pages 2685-2688
CHAVA C K ET AL , A Frequency Compensation Scheme for LDO Voltage Regulators , IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS PART I:REGULAR PAPERS , 米国 , 2 0 0 4 年 6 月 1 日 , vol. 51, no. 6 , pages 1041-1050
AL-SHYOUKH M ET AL , A Transient-Enhanced Low-Quiescent Current Low-Dropout Regulator With Buffer Impedance Attenuation , IEEE JOURNAL OF SOLID-STATE CIRCUITS , 米国 , 2 0 0 7 年 8 月 1 日 , vol. 42, no. 8 , pages 1732-1742
FAN X ET AL , Single Miller Capacitor Frequency Compensation Technique for Low-Power Multistage Amplifiers , IEEE JOURNAL OF SOLID-STATE CIRCUITS , 米国 , 2 0 0 5 年 3 月 1 日 , vol. 40, no. 3 , pages 584-592

(58)調査した分野(Int.Cl. , D B 名)

G 0 5 F 3 / 2 6
H 0 3 F 3 / 3 4 5