

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 11 月 24 日 (24.11.2022)



(10) 国际公布号
WO 2022/242000 A1

(51) 国际专利分类号:
H01L 23/528 (2006.01) **H01L 21/3205** (2006.01)

(21) 国际申请号: PCT/CN2021/120350

(22) 国际申请日: 2021 年 9 月 24 日 (24.09.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110547455.5 2021年5月19日 (19.05.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(72) 发明人: 翁 坤 (**WENG, Kun**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(74) 代理人: 北京同立钧成知识产权代理有限公司 (**LEADER PATENT & TRADEMARK FIRM**); 中国北京市海淀区西直门北大街32号枫蓝国际A座8F-6, Beijing 100082 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构

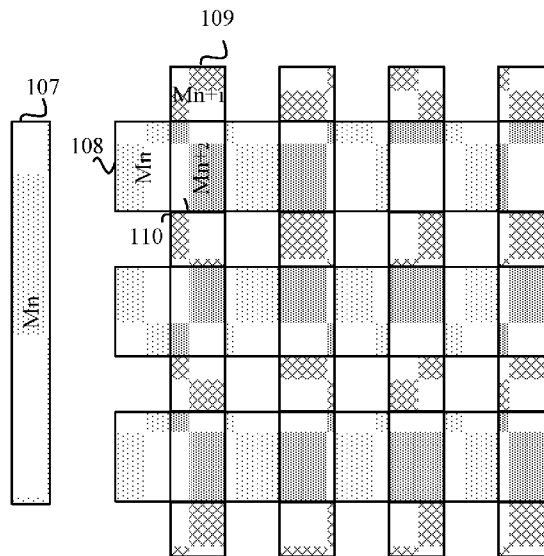


图 8

(57) Abstract: Provided in the present application is a semiconductor structure, comprising: a plurality of metal layers and a substrate, wherein the plurality of metal layers comprise a first metal layer, a second metal layer and a third metal layer; a plurality of virtual metal blocks and at least one signal line are arranged on each metal layer; the virtual metal blocks on the metal layers are staggered in a direction perpendicular to the substrate; a second distance between a projection, on the substrate, of a target signal line and a projection, on the substrate, of a second virtual metal block is greater than a first distance between the projection, on the substrate, of the target signal line and a projection, on the substrate, of a first virtual metal block; and the target signal line is located on the first metal layer, and a third distance between the projection, on the substrate, of the target signal line and a projection, on the substrate, of a third virtual metal block is greater than the first distance. By means of the solution, a parasitic capacitance between virtual metal blocks and a parasitic capacitance on a target signal line can be decreased.

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。
-

(57) 摘要: 本申请提供一种半导体结构, 包括: 多层金属层和衬底, 多层金属层包括第一层金属层, 第二层金属层以及第三层金属层; 金属层上设有多个虚拟金属块和至少一个信号线; 金属层上的虚拟金属块在垂直于衬底的方向上相互错开; 目标信号线在衬底上的投影到第二虚拟金属块在衬底上的投影之间的第二距离, 大于目标信号线在衬底上的投影到第一虚拟金属块在衬底上的投影之间的第一距离; 目标信号线位于第一层金属层; 目标信号线在衬底上的投影到第三虚拟金属块在衬底上的投影之间的第三距离大于第一距离。本方案可减少虚拟金属块之间的寄生电容以及目标信号线上的寄生电容。

半导体结构

本申请要求于 2021 年 05 月 19 日提交中国专利局、申请号为 202110547455.5、申请名称为“半导体结构”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

5 技术领域

本申请涉及但不限于一种半导体结构。

背景技术

10 半导体集成电路器件包括部署有图形化金属的金属层，金属层上部分金属用于传输信号，例如：时钟信号、晶体管的控制端信号等。

随着半导体集成电路器件集成密度的增加，特别是在一些复杂的集成电路中，由于金属层上图形化金属产生的寄生效应，对金属层上的信号传输产生了延迟，从而导致半导体集成电路的性能降低。如何降低图形化金属上的寄生效应的影响成为亟待解决的问题。

15

发明内容

本申请提供一种半导体结构，包括：多层金属层和衬底，多层金属层包括第一层金属层，第二层金属层以及第三层金属层；

金属层上设有多个虚拟金属块和至少一个信号线；

20

金属层上的虚拟金属块在垂直于衬底的方向上相互错开；

目标信号线在衬底上的投影到第二虚拟金属块在衬底上的投影之间的第二距离，大于目标信号线在衬底上的投影到第一虚拟金属块在衬底上的投影之间的第一距离；目标信号线位于第一层金属层；

25

目标信号线在衬底上的投影到第三虚拟金属块在衬底上的投影之间的第三距离大于第一距离；

其中，第一虚拟金属块是第一层金属层中距离目标信号线最近的虚拟金属块，第二虚拟金属块是第二层金属层中距离目标信号线最近的虚拟金属块，第三虚拟金属块是第三层金属层中距离目标信号线最近的虚拟金属块。

附图说明

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本申请的实施例，并与说明书一起用于解释本申请的原理。

图 1 为本申请一实施例提供的半导体结构的主视图；

5 图 2 为本申请一实施例提供的信号线的布局示意图；

图 3 为本申请一实施例提供的半导体结构中金属层的制作示意图；

图 4 为本申请一实施例提供的信号线和虚拟金属块的布局示意图；

图 5 为本申请一实施例提供的半导体结构中虚拟金属块的布局示意图；

图 6 为图 5 所示实施例提供的半导体结构中虚拟金属块的布局示意图；

10 图 7 为本申请一实施例提供的信号线和虚拟金属块之间寄生电容的示意图；

图 8 为本申请一实施例提供的各层金属层中虚拟金属块的布局示意图。

通过上述附图，已示出本申请明确的实施例，后文中将有更详细的描述。这些附图和文字描述并不是为了通过任何方式限制本申请构思的范围，
15 而是通过参考特定实施例为本领域技术人员说明本申请的概念。

具体实施方式

这里将详细地对示例性实施例进行说明，其示例表示在附图中。下面的描述涉及附图时，除非另有表示，不同附图中的相同数字表示相同或相
20 似的要素。以下示例性实施例中所描述的实施方式并不代表与本申请相一致的所有实施方式。相反，它们仅是与如所附权利要求书中所详述的、本申请的一些方面相一致的装置和方法的例子。

如图 1 所示，半导体结构包括衬底 30、电子元器件 20 和多层金属层 10，在衬底 30 上设有晶体管等电子元器件 20。在电子元器件 20 的上面设置有多层金属层 10，例如：高度依次递增的金属层 M0、金属层 Mn、金属层 Mn+1 以及金属层 Mn+2，n 为自然数，即金属层 Mn 高于金属层 M0，金属层 Mn+1 高于金属层 Mn，金属层 Mn+2 高于金属层 Mn+1。各层金属层通过导电插塞 40 电连接。在部分金属层 10 上布置有信号线，用于实现各个电子元器件的相互连接，还用于将电子元器件与接地焊盘或
30 者电源焊盘连接。

制作集成电路的信号线时通常采用干蚀刻工艺，典型的制作过程包括如下步骤：首先，绘制信号线的布局图案，再使用光刻工艺将信号线的布局图案转移到半导体基底上，其中，半导体基底是指待进行干蚀刻的半导体结构。然后，对半导体结构进行干蚀刻，将没有光刻介质覆盖的金属层或者介电层去除，即可形成所需半导体结构。

如图 2 所示，通常情况下每层信号线的分布是不均匀的，根据信号线的分布区域可以将每层分成信号线密集区 103 和信号线稀疏区 104。金属线的分布不均匀会影响到半导体结构的制作过程。如图 3 所示，尤其是两层之间距离超过某一特定值时，在当前层 106 上再覆盖一层介电层 105 时，介电层 105 在信号线的稀疏区 104 会呈碟形，造成于信号线密集区 103 与信号线稀疏区 104 的介电层厚度明显不同。

干蚀刻工艺为一种化学或化学和机械混合的工艺，其蚀刻速率与半导体基底上组件的密度有关。由于半导体基底上信号线的密度不均匀，导致信号线密度高的地方与密度低的地方的蚀刻率显著不同，造成蚀刻上的困难，此即所谓的负载效应。

而且，影响蚀刻工艺的另一个因素为后续形成的介电层 105 的厚度。由于半导体基底上的信号线的密度不同，会在信号线稀疏的区域形成碟形形状，使得进行介电层蚀刻工艺时蚀刻终点不易探测，从而导致过度蚀刻或未达蚀刻终点就停止蚀刻的现象发生。进而影响制作半导体结构过程中的良率。

如图 4 所示，为了克服由于信号线不均匀而引起的问题，通常会在每层的信号线稀疏区布置虚拟金属块，以使信号线密集区域的密度与信号线稀疏区域的密度相同。与信号线不同的是，虚拟金属块不传输信号。

虚拟金属块可以接地、连接电源或为浮空状态。由于虚拟金属块接地、或连接电源时会增加寄生电容值，通常情况下虚拟金属块处于浮空状态。需要说明地是，此处不限制虚拟金属块的连接状态。

本申请一实施例提供一种半导体结构，包括衬底 30 和多层金属层 10，其中，每层金属层上设有信号线，在信号线分布不均匀的金属层上设有虚拟金属块，以使金属层上布线均匀。

以相邻的三个金属层，金属层 M_n ，金属层 M_{n+1} 和金属层 M_{n+2} 为

例说明。金属层 M_n ，金属层 M_{n+1} 和金属层 M_{n+2} 上均部署有信号线，且三个金属层上的信号线的分布不均匀。也就是每层上有信号线密集区和信号线稀疏区。

图 5 和图 6 为同一半导体结构的俯视图，图 5 为金属层 M_n 和金属层 M_{n+1} 的虚拟金属块的布局图，图 6 为金属层 M_{n+1} 和金属层 M_{n+2} 的虚拟金属块的布局图。

如图 5 所示，在金属层 M_n 上部署呈阵列布置的虚拟金属块。且金属层 M_n 上每个虚拟金属块沿着第一方向部署，例如：第一方向为从上到下的方向部署。

在金属层 M_{n+1} 上部署呈阵列布置的虚拟金属块。且金属层 M_{n+1} 上每个虚拟金属块沿着第二方向部署，第一方向与第二方向不同，例如：第二方向为从左到右的方向部署。金属层 M_n 的虚拟金属块在衬底上的投影与金属层 M_{n+1} 的虚拟金属块在衬底上的投影部分重叠。

如图 6 所示，在金属层 M_{n+1} 上部署呈阵列布置的虚拟金属块。且金属层 M_{n+1} 上每个虚拟金属块沿着第二方向部署。在金属层 M_{n+2} 上部署呈阵列布置的虚拟金属块。且金属层 M_{n+2} 上每个虚拟金属块沿着第一方向部署，金属层 M_n 的虚拟金属块在衬底上的投影与金属层 M_{n+2} 的虚拟金属块在衬底上的投影完全重叠。

通过上述布置可以有效补偿金属层 M_n ，金属层 M_{n+1} 和金属层 M_{n+2} 的布线密度，使得各层金属层布线更加均匀。

然而，图 5 和图 6 所示的半导体结构在信号线上引入比较大的寄生电容。如图 7 所示，信号线 102 与同层虚拟金属块 101 产生的寄生电容 C_1 ，信号线 102 与位于 M_{n+1} 层的正上方的虚拟金属块 101 产生的寄生电容 C_2 ，信号线 102 与位于 M_{n+1} 层的右上方的虚拟金属块 101 产生的寄生电容 C_3 ，信号线 102 与位于 M_{n+2} 层的正上方的虚拟金属块 101 产生的寄生电容 C_4 ，信号线 102 与位于 M_{n+2} 层的右上方的虚拟金属块 101 产生的寄生电容 C_5 。

还需要说明的是，除了金属信号线上产生的寄生电容，虚拟金属块之间也会产生寄生电容。尤其是在虚拟金属块在衬底上的投影相互重叠时，寄生电容比较大。当虚拟金属块之间的寄生电容较大时，虚拟金属块上容易在制造过程中收集电荷，从而影响半导体结构制造的良率。

如图 8 所示, 本申请一实施例提供一种半导体结构, 该半导体结构包括多层金属层 10 和衬底 30。每个金属层上设置有信号线, 在信号线分布不均匀的金属层上部署有虚拟金属块。

其中, 金属层上的虚拟金属块在垂直于衬底的方向上相互错开, 也就是部署有虚拟金属块的所有金属层上的虚拟金属块在垂直于衬底的方向上相互错开。例如: 半导体结构设有 L 层金属层, 在金属层 M_n 至金属层 M_{n+2} 上部署有虚拟金属块, 金属层 M_n 上的虚拟金属块与金属层 M_{n+1} 上的虚拟金属块相互错开, 金属层 M_n 上的虚拟金属块与金属层 M_{n+2} 上的虚拟金属块相互错开, 金属层 M_{n+1} 上的虚拟金属块与金属层 M_{n+2} 上的虚拟金属块相互错开。其中, $n+2 \leq L$, n 和 L 均为正整数。由于虚拟金属块的相互错开, 可以减少虚拟金属块之间产生寄生电容的有效面积, 从而可以减少虚拟金属块之间的寄生电容, 减少在制造过程中虚拟金属块上收集的电荷, 进而提升半导体结构制造的良率。

其中, 多层金属层包括第一层金属层, 第二层金属层以及第三层金属层。三个金属层的高度关系可以是任意的, 也就是, 可以是第一层金属层高于第二层金属层, 第二层金属层高于第三层金属层。也可以是第一层金属层低于第二层金属层, 第二层金属层低于第三层金属层。也可以是第二层金属层高于第一层金属层, 第一层金属层高于第三层金属层。此处不做限制。

例如: 第一层金属层为金属层 M_n , 第二层金属层为金属层 M_{n+1} , 第三层金属层为金属层 M_{n+2} 。

从位于第一层金属层上的至少一个信号线中选择一个信号线作为目标信号线 107, 并将第一层金属层中距离目标信号线 107 最近的虚拟金属块标记为第一虚拟金属块 108。将第二金属层上的中距离目标信号线 107 最近的虚拟金属块标记为第二虚拟金属块 109, 将第三金属层上的中距离目标信号线 107 最近的虚拟金属块标记为第三虚拟金属块 110。

需要说明的是, 在计算各个虚拟金属块到目标信号线 107 之间的距离时, 可以计算虚拟金属块在衬底上的投影的几何中心到目标信号线 107 在衬底上的投影的几何中心的距离。

其中, 目标信号线在衬底上的投影到第二虚拟金属块在衬底上的投影

之间的第二距离，大于目标信号线在衬底上的投影到第一虚拟金属块在衬底上的投影之间的第一距离，目标信号线在衬底上的投影到第三虚拟金属块在衬底上的投影之间的第三距离大于第一距离。相较于第一虚拟金属块到目标信号线的距离，第二虚拟金属块到目标信号线的距离和第三虚拟金属块到目标信号线的距离更远，可以减少目标信号线和第二层金属层上虚拟金属块之间的寄生电容，也可以减少目标信号线和第三层金属层上虚拟金属块之间的寄生电容，又第一虚拟金属块 108 到目标信号线 107 之间的距离更近，可以保证第一层金属层上布线均匀性。

在上述技术方案中，通过让各层金属层中虚拟金属块在垂直于衬底方向上错开，可以有效减少虚拟金属块之间的寄生电容，在保证让各层金属层中虚拟金属块在垂直于衬底方向上错开前提下，让第二层金属层和第三层金属层上的虚拟金属块距离目标信号线更远，而让第一层金属层上的虚拟金属块距离目标信号线更近，保证第一层金属层上布线均匀性，也可以减少目标信号线和第二层金属层、第三层金属层上的虚拟金属块之间的寄生电容，从而提高了目标信号线上传输的信号的质量。

在一实施例中，多层金属层上的虚拟金属块在衬底的投影不重叠，也就是部署有虚拟金属块的所有金属层上的虚拟金属块在衬底的投影不重叠。可以更进一步的减少任意两个虚拟金属块之间产生寄生电容的有效面积，从而减少任意两个虚拟金属块之间的寄生电容。

在一实施例中，每层金属层上的虚拟金属块呈阵列分布，可以提升每层金属层上布线均匀性，避免在制作半导体结构时产生碟形的金属层，提升半导体结构的良率。

在一实施例中，第一层金属层上的虚拟金属块在衬底上的投影矩阵和其他金属层上的虚拟金属块在衬底上的投影矩阵相互交叉布置，其中，其他金属层是第一层金属层以外的金属层。也就是，其他金属层上的部分或者全部的虚拟金属块在衬底上的投影位于第一层金属层上的两个虚拟金属块在衬底上的投影之间，也可以是第一层金属层上的部分或者全部的虚拟金属块在衬底上的投影位于其他金属层上的两个虚拟金属块在衬底上的投影之间。通过如此设置，保证各层金属层上的虚拟金属块在衬底上的投影不会重叠，减少虚拟金属块之间的寄生电容，也可以使每层金属层中

布线均匀，提升半导体结构的良率。

在一实施例中，第一层金属层上的虚拟金属块的投影之间有一个第三层金属层上的虚拟金属块的投影，一方面保证第三层金属层上第三虚拟金属块到目标信号线的距离大于第一层金属层上第一虚拟金属块到目标信号线的距离，减少目标信号线和第三层金属层上的虚拟金属块之间的寄生电容，可以进一步减少由于让虚拟金属块错开设置而影响第一层金属层和第三层金属层布线均匀性，使得第一层金属层和第三层金属层布线更加均匀。

在一实施例中，第一层金属层上的位于同一行的相邻虚拟金属块的投影之间有一个第三层金属层上的虚拟金属块的投影。继续参考图 8，金属层 M_n 上的同一行的相邻虚拟金属块的投影之间有一个金属层 M_{n+2} 上的虚拟金属块的投影。通过如此设置，可以充分利用第一层金属层上两个相邻虚拟金属块之间的间隙，在保证各层虚拟金属块错开的前提下使得每层金属层布线均匀。

在一实施例中，第一层金属层上的两个相邻的虚拟金属块的投影和第三层金属层上的虚拟金属块的投影相互接触，继续参考图 8，金属层 M_n 上的同一行的相邻虚拟金属块的投影和金属层 M_{n+2} 上的虚拟金属块的投影相互接触。通过如此设置，可以提升每层金属层上虚拟金属块的密度，从而在信号线的密集区和稀疏区差异较大时，可以有效平衡密集区和稀疏区的密度，保证各层金属层的布线均匀性。

在一实施例中，第三层金属层上的两个相邻的虚拟金属块的投影之间有一个第二层金属层上的虚拟金属块的投影。一方面保证第二层金属层上第二虚拟金属块到目标信号线的距离大于第一层金属层上第一虚拟金属块到目标信号线的距离，也保证第三层金属层上第三虚拟金属块到目标信号线的距离大于第一层金属层上第一虚拟金属块到目标信号线的距离，减少目标信号线和第二层金属层上的虚拟金属块、第三层金属层上的虚拟金属块之间的寄生电容，还可以进一步减少由于让虚拟金属块错开设置而影响第一层金属层、第二层金属层、第三层金属层布线均匀性，使得第一层金属层至第三层金属层布线更加均匀。

在一实施例中，第三层金属层上的位于同一列的相邻虚拟金属块的投

影之间有一个第二层金属层上的虚拟金属块的投影。继续参考图 8，金属层 $Mn+2$ 上的同一列的相邻虚拟金属块的投影之间有一个金属层 $Mn+1$ 上的虚拟金属块的投影。通过如此设置，可以充分利用第三层金属层上两个相邻虚拟金属块之间的间隙，在保证各层虚拟金属块错开的前提下使得每层金属层布线均匀。

在一实施例中，第三层金属层上的两个相邻的虚拟金属块的投影和第二层金属层上的虚拟金属块的投影相互接触，继续参考图 8，金属层 $Mn+2$ 上的位于同一列的相邻虚拟金属块的投影和金属层 $Mn+1$ 上的虚拟金属块的投影相互接触。通过如此设置，可以提升每层金属层上虚拟金属块的密度，从而在信号线的密集区和稀疏区差异较大时，可以有效平衡密集区和稀疏区的密度，保证各层金属层的布线均匀性。

在一实施例中，第一层金属层上的两个位于同一行的相邻虚拟金属块的投影之间有一个第三层金属层上的虚拟金属块的投影，第三层金属层上的两个位于同一列的相邻虚拟金属块的投影之间有一个第二层金属层上的虚拟金属块的投影，并使目标信号线在衬底上的投影到第三虚拟金属块在衬底上的投影之间的第三距离和目标信号线在衬底上的投影到第二虚拟金属块在衬底上的投影之间的第二距离相等，减少目标信号线和第二层金属层上的虚拟金属块、第三层金属层上的虚拟金属块之间的寄生电容，还可以使第一层金属层至第三层金属层布线更加均匀。

在一实施例中，第二层金属层高于第一层金属层，且第三层金属层高于第二层金属层，第一层金属层上的两个位于同一行的相邻虚拟金属块的投影之间有一个第三层金属层上的虚拟金属块的投影，第三层金属层上的两个位于同一列的相邻虚拟金属块的投影之间有一个第二层金属层上的虚拟金属块的投影。相较于第一层金属层上的虚拟金属块与第三层金属层上的虚拟金属块之间的寄生电容，第一层金属层上的虚拟金属块与第二层金属层上的虚拟金属块之间的寄生电容更大。通过让第三层金属层上的虚拟金属块的投影位于第一层金属层上的两个位于同一行的相邻虚拟金属块的投影之间，让第二层金属层上的虚拟金属块的投影位于第三层金属层上的两个位于同一列的相邻虚拟金属块的投影之间，减少第一层金属层上的虚拟金属块和第二层金属层上的虚拟金属块之间产生寄生电容的有效

面积，从而减少第一层金属层上的虚拟金属块与第二层金属层上的虚拟金属块之间的寄生电容。

在一实施例中，目标信号线 107 是根据至少一个信号线的布局，从至少一个信号线中选择的，可以选择信号线密集区中距离信号线稀疏区的边界最近的信号线为目标信号线 107，还可以结合到信号线稀疏区的边界的距离和信号线的布线方向选择，还可以结合到信号线稀疏区的边界的距离、信号线的布线方向以及信号线所传输信号类型选择，此处不做限定。

在一实施例中，虚拟金属块在衬底的投影呈四边形，通过如此设置，在虚拟金属块呈阵列排布时可以充分利用信号线稀疏区的空间，从而平衡信号线稀疏区和信号线密集区的布线密度，使各层金属层上布线均匀，提升半导体结构的良率。

在一实施例中，目标信号线 107 用于传输时钟信号，时钟信号对于上升/下降沿要求比较高，将用于传输时钟信号的信号线作为目标信号线 107，可以减少用于传输时钟信号的信号线的寄生电容，保证时钟信号的上升/下降沿比较陡。

本申请另一实施例提供一种半导体结构，该半导体结构包括衬底、第一层金属层，第二层金属层以及第三层金属层。其中，第一层金属层为底层金属层，第二层金属层高于第一层金属层，第三层金属层高于第二层金属层。

第一层金属层至第三层金属层上均设有信号线，第一层金属层、第二层金属层以及第三层金属层上均设有多个呈阵列分布的虚拟金属块。选择第一层金属层上的信号线作为目标信号线。第一虚拟金属块位于第一层金属层上，第二虚拟金属块位于第二层金属层上，第三虚拟金属块位于第三层金属层上。

第一层金属层上的位于同一行的两个相邻的虚拟金属块的投影之间有一个第三金属层上的虚拟金属块的投影，第三层金属层上的位于同一列的两个相邻的虚拟金属块的投影之间有一个第二金属层上的虚拟金属块的投影，并使目标信号线在衬底上的投影到第三虚拟金属块在衬底上的投影之间的第三距离等于目标信号线在衬底上的投影到第二虚拟金属块在衬底上的投影之间的第二距离。

在上述技术方案中，通过上述布局方式，可以使得第一层金属层至第三层金属层中虚拟金属块在垂直于衬底方向上错开，可以有效减少虚拟金属块之间的寄生电容，在保证让各层金属层中虚拟金属块在垂直于衬底方向上错开前提下，让第二层金属层和第三层金属层上的虚拟金属块距离目标信号线更远，而让第一层金属层上的虚拟金属块距离目标信号线更近，保证目标金属层上布线均匀性，也可以减少目标信号线和其他金属层上的虚拟金属块之间的寄生电容。让第三层金属层上的虚拟金属块位于第一层金属层的虚拟金属块之间，而让第二层金属层上的虚拟金属块位于第三层金属层上的虚拟金属块之间，可以减少第一层金属层上的虚拟金属块与第二层金属层上的虚拟金属块之间的寄生电容的有效面积，从而减少寄生电容。

本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本申请的其它实施方案。本申请旨在涵盖本申请的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本申请的一般性原理并包括本申请未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本申请的真正范围和精神由下面的权利要求书指出。

应当理解的是，本申请并不局限于上面已经描述并在附图中示出的精确结构，并且可以在不脱离其范围进行各种修改和改变。本申请的范围仅由所附的权利要求书来限制。

权利要求书

1、一种半导体结构，其中，包括：多层金属层和衬底，所述多层金属层包括第一层金属层，第二层金属层以及第三层金属层；

所述金属层上设有多个虚拟金属块和至少一个信号线；

5 所述金属层上的虚拟金属块在垂直于所述衬底的方向上相互错开；

目标信号线在所述衬底上的投影到第二虚拟金属块在所述衬底上的投影之间的第二距离，大于所述目标信号线在所述衬底上的投影到第一虚拟金属块在所述衬底上的投影之间的第一距离；所述目标信号线位于所述第一层金属层；

10 所述目标信号线在所述衬底上的投影到第三虚拟金属块在所述衬底上的投影之间的第三距离大于所述第一距离；

所述第一虚拟金属块是所述第一层金属层中距离所述目标信号线最近的虚拟金属块，所述第二虚拟金属块是所述第二层金属层中距离所述目标信号线最近的虚拟金属块，所述第三虚拟金属块是所述第三层金属层中
15 距离所述目标信号线最近的虚拟金属块。

2、根据权利要求 1 所述的半导体结构，其中，所述多层金属层上的虚拟金属块在所述衬底的投影不重叠。

3、根据权利要求 2 所述的半导体结构，其中，每层金属层上的虚拟金属块呈阵列分布。

20 4、根据权利要求 3 所述的半导体结构，其中，所述第一层金属层上的所述虚拟金属块在所述衬底上的投影矩阵和其他金属层上的所述虚拟金属块在所述衬底上的投影矩阵相互交叉布置；

所述其他金属层是所述第一层金属层以外的金属层。

25 5、根据权利要求 4 所述的半导体结构，其中，所述第一层金属层上的所述虚拟金属块的投影之间有一个所述第三层金属层上的所述虚拟金属块的投影。

6、根据权利要求 5 所述的半导体结构，其中，所述第一层金属层上的两个相邻的虚拟金属块是位于同一行的相邻虚拟金属块。

30 7、根据权利要求 6 所述的半导体结构，其中，所述第一层金属层上的两个相邻的虚拟金属块的投影和所述第三层金属层上的虚拟金属块的

投影相互接触。

8、根据权利要求 4 所述的半导体结构，其中，所述第三层金属层上的两个相邻的虚拟金属块的投影之间有一个所述第二层金属层上的虚拟金属块的投影。

5 9、根据权利要求 8 所述的半导体结构，其中，所述第三层金属层上的两个相邻的虚拟金属块是位于同一列的相邻虚拟金属块。

10、根据权利要求 9 所述的半导体结构，其中，所述第三层金属层上的两个相邻的虚拟金属块的投影和所述第二层金属层上的虚拟金属块的投影相互接触。

10 11、根据权利要求 10 所述的半导体结构，其中，所述第三距离和所述第二距离相等。

12、根据权利要求 1 至 11 中任意一项所述的半导体结构，其中，所述第二层金属层高于所述第一层金属层，且所述第三层金属层高于所述第二层金属层。

15 13、根据权利要求 1 至 11 中任意一项所述的半导体结构，其中，所述目标信号线是根据所述至少一个信号线的布局，从所述至少一个信号线中选择的。

14、根据权利要求 1 至 11 中任意一项所述的半导体结构，其中，所述虚拟金属块在所述衬底的投影呈四边形。

20 15、根据权利要求 1 至 11 中任意一项所述的半导体结构，其中，所述信号线用于传输时钟信号。

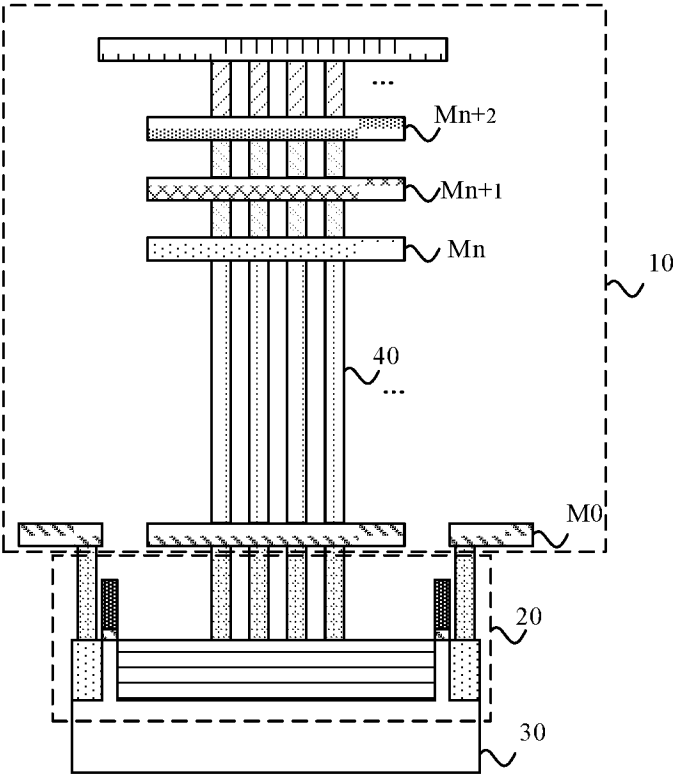


图 1

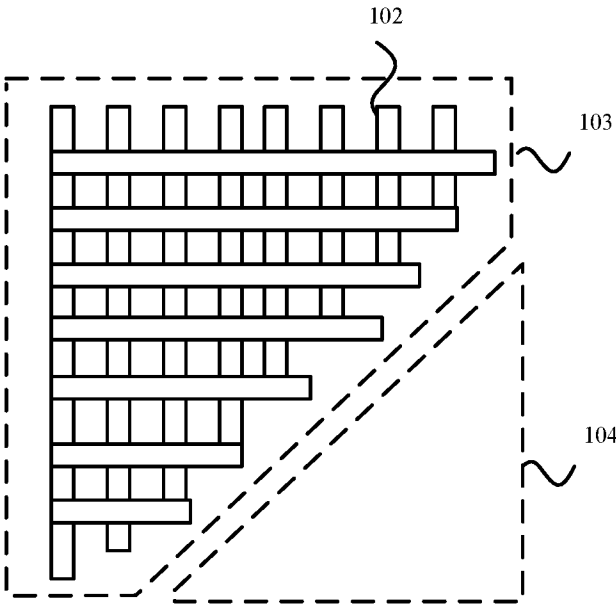


图 2

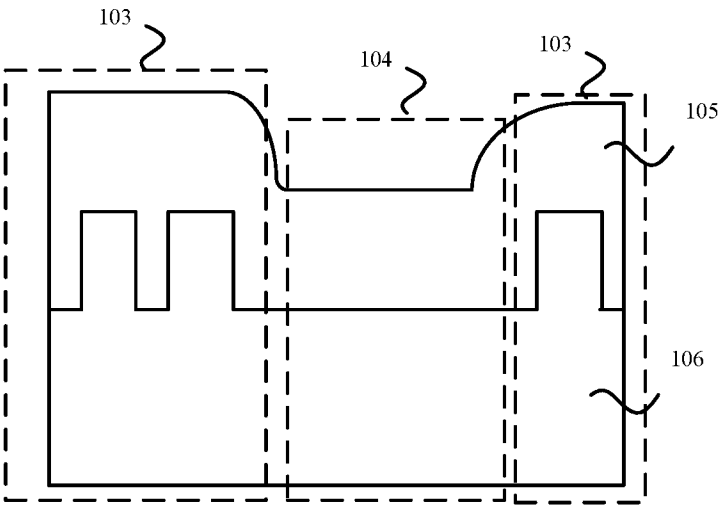


图 3

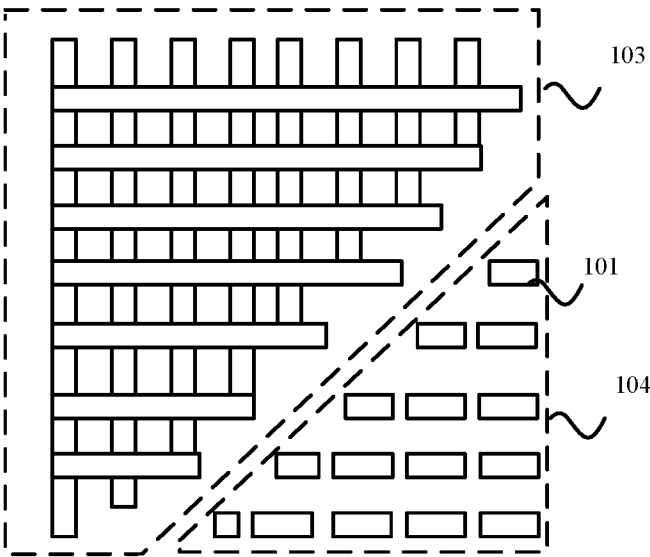


图 4

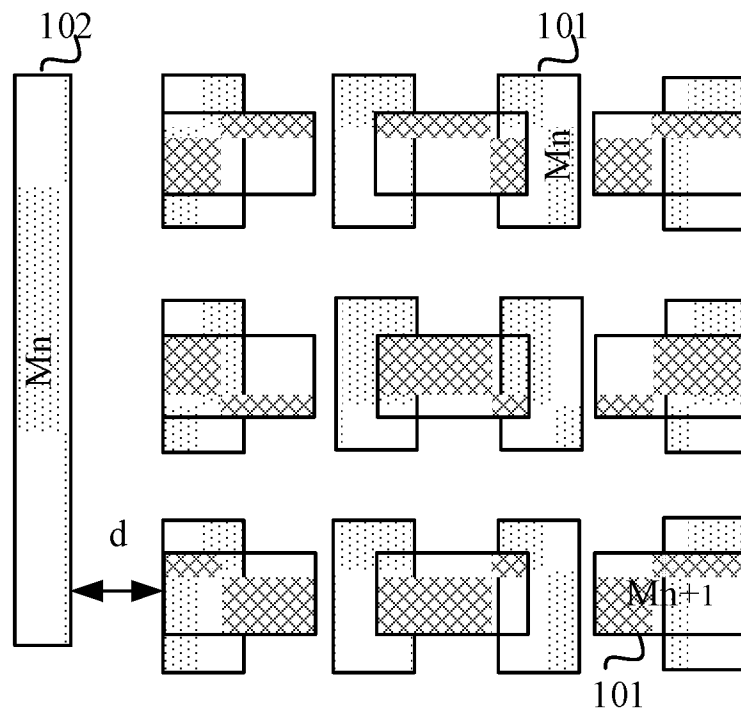


图 5

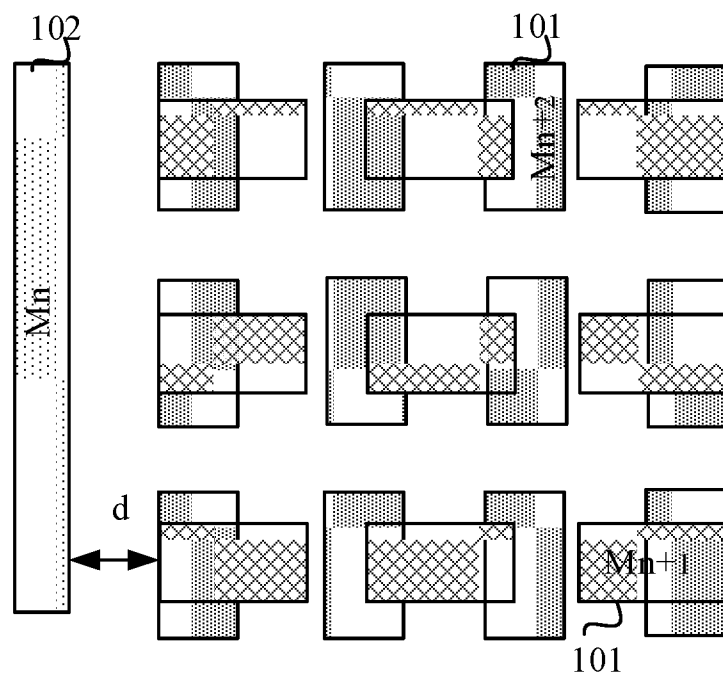


图 6

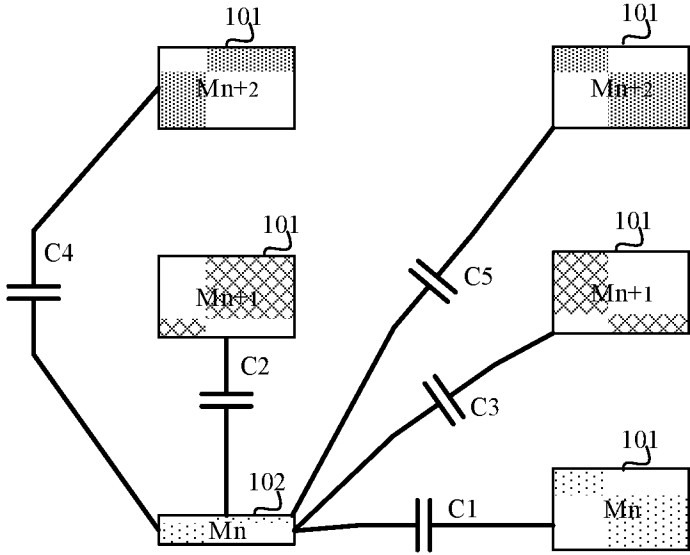


图 7

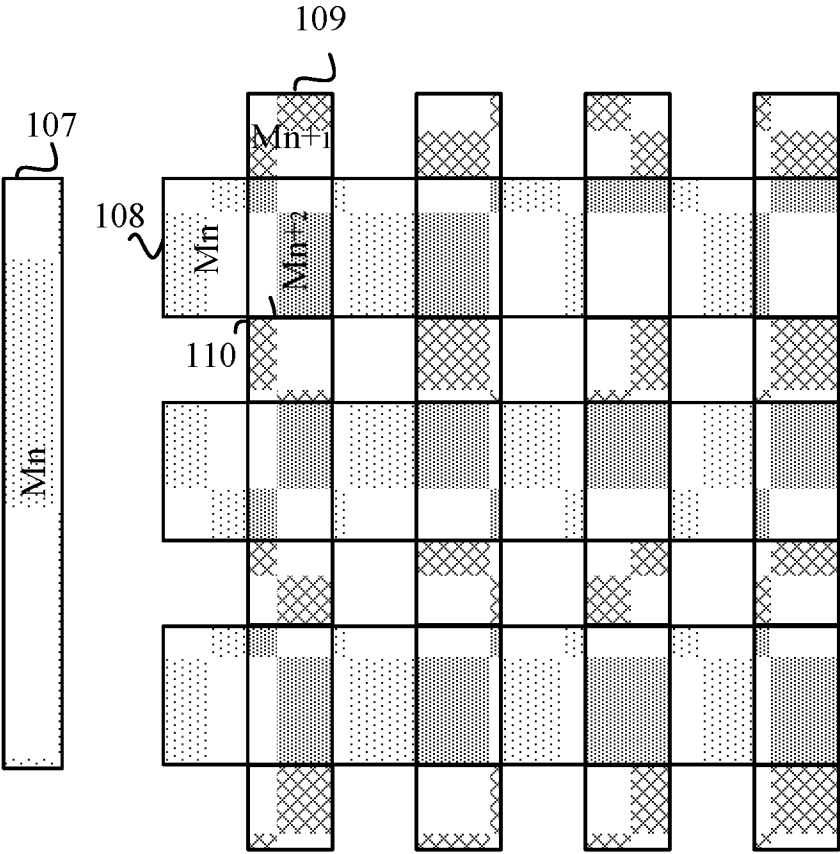


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/120350

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/528(2006.01)i; H01L 21/3205(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; CNABS; WPABS; DWPI; CNKI; IEEE: 布线, 线路, 金属层, 虚拟, 虚设, 伪, 图案, 填充, 块, 密度, 稀疏, 密集, 均匀, 错开, 重叠, 交错, 交叉, 电容, wiring, metal, dummy, pattern, fill, block, density, sparseness, compression, uniformity, stagger, superpose, capacitance

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2004188849 A1 (FUJITSU LTD.) 30 September 2004 (2004-09-30) description, paragraphs 0029-0094, and figures 11-12	1-15
Y	CN 102270625 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP.) 07 December 2011 (2011-12-07) description, paragraphs 0034-0046, and figures 2-3	1-15
A	CN 1378266 A (WINBOND ELECTRONICS CORP.) 06 November 2002 (2002-11-06) entire document	1-15
A	KR 20020050927 A (HYNIX SEMICONDUCTOR INC.) 28 June 2002 (2002-06-28) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 February 2022

Date of mailing of the international search report

23 February 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/120350

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2004188849	A1	30 September 2004	JP	2004296864	A	21 October 2004
				US	2007200245	A1	30 August 2007
CN	102270625	A	07 December 2011	None			
CN	1378266	A	06 November 2002	CN	1231959	C	14 December 2005
KR	20020050927	A	28 June 2002	None			

国际检索报告

国际申请号

PCT/CN2021/120350

A. 主题的分类

H01L 23/528(2006.01)i; H01L 21/3205(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT;CNABS;WPABS;DWPI;CNKI;IEEE:布线, 线路, 金属层, 虚拟, 虚设, 伪, 图案, 填充, 块, 密度, 稀疏, 密集, 均匀, 错开, 重叠, 交错, 交叉, 电容, wiring, metal, dummy, pattern, fill, block, density, sparseness, compression, uniformity, stagger, superpose, capacitance

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US 2004188849 A1 (FUJITSU LTD) 2004年9月30日 (2004 - 09 - 30) 说明书第0029段至第0094段, 附图11-12	1-15
Y	CN 102270625 A (中芯国际集成电路制造上海有限公司) 2011年12月7日 (2011 - 12 - 07) 说明书第0034段至第0046段, 附图2-3	1-15
A	CN 1378266 A (华邦电子股份有限公司) 2002年11月6日 (2002 - 11 - 06) 全文	1-15
A	KR 20020050927 A (HYNIX SEMICONDUCTOR INC) 2002年6月28日 (2002 - 06 - 28) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年2月15日

国际检索报告邮寄日期

2022年2月23日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

徐小岭

电话号码 62089121

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/120350

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2004188849	A1	2004年9月30日	JP	2004296864	A	2004年10月21日
				US	2007200245	A1	2007年8月30日
CN	102270625	A	2011年12月7日	无			
CN	1378266	A	2002年11月6日	CN	1231959	C	2005年12月14日
KR	20020050927	A	2002年6月28日	无			