

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成28年2月4日 (2016.2.4)

【公開番号】特開2013-251884(P2013-251884A)

【公開日】平成25年12月12日 (2013.12.12)

【年通号数】公開・登録公報2013-067

【出願番号】特願2013-5168(P2013-5168)

【国際特許分類】

H 0 3 K 17/687 (2006.01)

G 0 6 F 1/32 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 3 K 17/00 (2006.01)

G 0 6 F 15/78 (2006.01)

【 F I 】

H 0 3 K 17/687 A

G 0 6 F 1/00 3 3 2 B

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 8 Z

H 0 1 L 27/04 F

H 0 3 K 17/00 A

G 0 6 F 15/78 5 1 0 P

【手続補正書】

【提出日】平成27年12月10日 (2015.12.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のスイッチと電氣的に接続された第 1 の C P U と、
 第 2 のスイッチと電氣的に接続されたメモリと、
 第 3 のスイッチと電氣的に接続された信号処理回路と、
 コントローラと、を有する半導体装置であって、
 前記信号処理回路は、前記第 1 の C P U の演算データ信号を変換する手段を有し、
 前記第 1 のスイッチ、前記第 2 のスイッチ及び前記第 3 のスイッチのそれぞれは、電源
 線と電氣的に接続され、
 前記コントローラは、前記第 1 のスイッチ、前記第 2 のスイッチ及び前記第 3 のスイッ
 チを制御する手段を有する半導体装置。

【請求項 2】

第 1 のスイッチと電氣的に接続された第 1 の C P U と、
 第 2 のスイッチと電氣的に接続されたメモリと、
 第 3 のスイッチと電氣的に接続された信号処理回路と、
 第 2 の C P U と、を有する半導体装置であって、
 前記信号処理回路は、前記第 1 の C P U の演算データ信号を変換する手段を有し、

前記第 1 のスイッチ、前記第 2 のスイッチ及び前記第 3 のスイッチのそれぞれは、電源線と電氣的に接続され、

前記第 2 の CPU は、前記第 1 のスイッチ、前記第 2 のスイッチ及び前記第 3 のスイッチを制御する手段を有する半導体装置。

【請求項 3】

前記第 1 の CPU に電源電圧を印加し始めた後に、

前記信号処理回路に前記電源電圧を印加し始めるように、前記第 2 の CPU が第 3 のスイッチを制御する請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 の CPU が前記演算データ信号を出力した後に、

前記第 1 の CPU に電源電圧を印加することを止めるように、前記第 2 の CPU が第 3 のスイッチを制御する請求項 2 に記載の半導体装置。

【請求項 5】

前記第 1 のスイッチ、前記第 2 のスイッチ及び前記第 3 のスイッチのそれぞれは、前記第 2 の CPU が使用するプログラムによって制御される請求項 2 に記載の半導体装置。

【請求項 6】

第 1 のスイッチと電氣的に接続された CPU と、

第 2 のスイッチと電氣的に接続された第 1 のメモリと、

第 3 のスイッチと電氣的に接続された画像処理回路と、

第 4 のスイッチと電氣的に接続された第 2 のメモリと、

コントローラと、を有し、

前記第 1 乃至第 4 のスイッチは、電源と電氣的に接続され、

前記コントローラは、前記第 1 乃至第 4 のスイッチを制御する機能を有し、

前記コントローラに、タッチパネルコントローラの出力信号のデータを入力し、

前記第 1 のスイッチをオン状態にすることにより、前記 CPU に対する電源電圧の供給を開始し、

前記第 2 のスイッチをオン状態にすることにより、前記第 1 のメモリに対する電源電圧の供給を開始し、

前記第 1 の信号を前記 CPU に入力し、

前記 CPU が前記第 1 の信号を含むデータと前記第 1 のメモリのデータとに基づいて演算処理を行い、

前記第 3 のスイッチをオン状態にすることにより、前記画像処理回路に対する電源電圧の供給を開始し、

前記第 4 のスイッチをオン状態にすることにより、前記第 2 のメモリに対する電源電圧の供給を開始し、

前記 CPU の演算結果を前記画像処理回路に出力し、

前記第 2 のスイッチをオフ状態にすることにより、前記第 1 のメモリに対する電源電圧の供給を停止し、

前記第 1 のスイッチをオフ状態にすることにより、前記 CPU に対する電源電圧の供給を停止し、

前記画像処理が前記演算結果をディスプレイコントローラに出力する信号に変換し、

前記第 4 のスイッチをオフ状態にすることにより、前記第 2 のメモリに対する電源電圧の供給を停止し、

前記第 3 のスイッチをオフ状態にすることにより、前記画像処理回路に対する電源電圧の供給を停止することを特徴とする半導体装置。

【請求項 7】

前記第 1 の CPU は、

前記第 1 の CPU に電源電圧が供給される期間にデータを保持する第 1 の記憶回路と、

前記第 1 の CPU に電源電圧が供給されない期間にデータを保持する第 2 の記憶回路と、を有し、

前記第 2 の記憶回路は、電界効果トランジスタを有し、
前記電界効果トランジスタのチャンネル形成領域は、酸化物半導体を有する請求項 1 乃至請求項 6 のいずれか一項に記載の半導体装置。

【請求項 8】

前記信号処理回路は、
前記信号処理回路に電源電圧が供給される期間にデータを保持する第 1 の記憶回路と、
前記信号処理回路に電源電圧が供給されない期間にデータを保持する第 2 の記憶回路と
、を有し、
前記第 2 の記憶回路は、電界効果トランジスタを有し、
前記電界効果トランジスタのチャンネル形成領域は、酸化物半導体を有する請求項 1 乃至請求項 6 のいずれか一項に記載の半導体装置。