

(12) 发明专利申请

(10) 申请公布号 CN 102956690 A

(43) 申请公布日 2013. 03. 06

(21) 申请号 201210277997. 6

(22) 申请日 2012. 08. 07

(30) 优先权数据

10-2011-0081287 2011. 08. 16 KR

(71) 申请人 爱思开海力士有限公司

地址 韩国京畿道

(72) 发明人 金泰均

(74) 专利代理机构 北京弘权知识产权代理事务
所(普通合伙) 11363

代理人 石卓琼 俞波

(51) Int. Cl.

H01L 29/423(2006. 01)

H01L 27/115(2006. 01)

H01L 21/28(2006. 01)

H01L 21/8247(2006. 01)

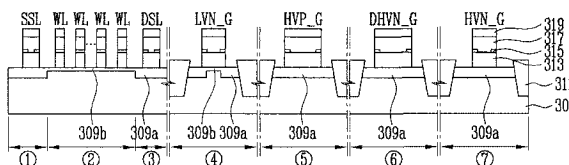
权利要求书 2 页 说明书 7 页 附图 5 页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明公开了一种半导体器件及其制造方法,所述半导体器件包括:半导体衬底,所述半导体衬底包括设置有第一驱动晶体管的第一驱动晶体管区和设置有第二驱动晶体管的第二驱动晶体管区,其中,采用比所述第一驱动晶体管低的电压来驱动所述第二驱动晶体管;第一栅绝缘层,所述第一栅绝缘层被形成在第二驱动晶体管区的边缘处;以及第二栅绝缘层,所述第二栅绝缘层被形成在第二驱动晶体管区的中心处,其中,所述第一栅绝缘层比所述第二栅绝缘层厚。



1. 一种半导体器件,包括:

半导体衬底,所述半导体衬底包括设置有第一驱动晶体管的第一驱动晶体管区和设置有第二驱动晶体管的第二驱动晶体管区,其中,采用比所述第一驱动晶体管低的电压来驱动所述第二驱动晶体管;

第一栅绝缘层,所述第一栅绝缘层被形成在所述第二驱动晶体管区的边缘处;以及

第二栅绝缘层,所述第二栅绝缘层被形成在所述第二驱动晶体管区的中心处,

其中,所述第一栅绝缘层比所述第二栅绝缘层厚。

2. 如权利要求 1 所述的半导体器件,还包括第三栅绝缘层,所述第三栅绝缘层被形成在所述第一驱动晶体管区并具有与所述第一栅绝缘层相同的厚度。

3. 如权利要求 1 所述的半导体器件,还包括第四栅绝缘层,所述第四栅绝缘层被设置在单元阵列区的选择晶体管区中的所述半导体衬底之上,并具有与所述第一栅绝缘层相同的厚度,

其中,所述半导体衬底还包括具有所述选择晶体管区和存储器单元区的所述单元阵列区。

4. 如权利要求 1 所述的半导体器件,还包括设置在与所述第一栅绝缘层相邻的半导体衬底中的杂质注入区。

5. 如权利要求 1 所述的半导体器件,其中,所述第一驱动晶体管的沟道和所述第二驱动晶体管的沟道具有相同的沟道配置。

6. 如权利要求 5 所述的半导体器件,还包括用于控制阈值电压的第一杂质注入区,其中,所述第一杂质注入区被设置在所述第一驱动晶体管区处的半导体衬底中。

7. 如权利要求 6 所述的半导体器件,还包括第二杂质注入区,所述第二杂质注入区被设置在与所述第一栅绝缘层的边缘相邻的半导体衬底中。

8. 一种制造半导体器件的方法,所述方法包括以下步骤:

在包括第一驱动晶体管区和第二驱动晶体管区的半导体衬底上形成掩模图案,所述掩模图案使所述半导体衬底的与所述第二驱动晶体管区的边缘相对应的部分开放;

将被所述掩模图案暴露出的所述半导体衬底氧化以形成第一栅绝缘层;

去除所述掩模图案;以及

在所述半导体衬底上形成比所述第一栅绝缘层薄的第二栅绝缘层。

9. 如权利要求 8 所述的方法,其中,所述半导体衬底还包括存储器单元区和选择晶体管区,以及

所述掩模图案被形成为使所述选择晶体管区开放。

10. 如权利要求 8 所述的方法,还包括如下步骤:在形成所述第一栅绝缘层和所述第二栅绝缘层之后在所述第二驱动晶体管区上形成栅极。

11. 如权利要求 10 所述的方法,其中,所述栅极被形成在所述第一栅绝缘层和所述第二栅绝缘层上。

12. 如权利要求 8 所述的方法,还包括如下步骤:在形成所述掩模图案之前,将杂质注入到所述半导体衬底的与所述第二驱动晶体管区的边缘相对应的部分中,以形成杂质区。

13. 如权利要求 12 所述的方法,其中,在与所述第一栅绝缘层相邻的所述半导体衬底中形成所述杂质区。

14. 如权利要求 12 所述的方法,其中,在将杂质注入到所述半导体衬底的与所述第一驱动晶体管区相对应的部分的同时,执行形成所述杂质区的步骤。

15. 如权利要求 8 所述的方法,其中,在所述第一驱动晶体管区和所述第二驱动晶体管区中形成具有相同沟道配置的驱动晶体管。

半导体器件及其制造方法

[0001] 相关申请的交叉引用

[0002] 本申请要求 2011 年 8 月 16 日提交的申请号为 10-2011-0081287 的韩国专利申请的优先权,其全部内容通过引用合并于此。

技术领域

[0003] 本发明的示范性实施例涉及一种半导体器件及其制造方法,更具体而言,涉及一种具有多个晶体管的半导体器件及其制造方法。

背景技术

[0004] 半导体器件包括具有不同尺寸和各种电学特性的晶体管。例如,快闪存储器件具有形成在外围区中的彼此不同的低电压晶体管和高电压晶体管。用比高电压晶体管低的驱动电压来控制低电压晶体的操作。因而,已经开发了使低电压晶体的操作稳定的方法。尤其地,已经开发了一种保证因低电压晶体的窄宽度而具有高泄漏电流特性的低电压晶体的操作稳定性的方法。

[0005] 图 1 是说明具有不同宽度的 NMOS 晶体管的漏极电流 I_{ds} 响应于栅电压 V_{gs} 的曲线图。如图 1 所示,具有较窄宽度的 NMOS 晶体管具有诸如电流驼峰 (current hump) 的高泄漏电流特性。

[0006] 一般地,为了改善泄漏电流特性,将用于控制阈值电压的杂质注入到将要形成窄晶体管的有源区中。然而,可以在随后的工艺中减小用于控制阈值电压的杂质在有源区的边缘处的浓度。在下文中,将通过以具有窄宽度的 NMOS 晶体管为例来详细描述减小用于控制阈值电压的杂质在有源区边缘处的浓度。

[0007] 当 NMOS 晶体管具有窄宽度时,将诸如硼的用于控制阈值电压的杂质注入到将要形成有 NMOS 晶体管的半导体衬底的有源区中,以改善泄漏电流特性。随后刻蚀半导体衬底的隔离区以形成沟槽。为了在形成沟槽的刻蚀工艺期间避免损坏,将沟槽的表面氧化以形成侧壁氧化物层。在形成侧壁氧化物层的工艺期间,注入到有源区的边缘中的硼从有源区的边缘分离(即,发生硼分凝)。结果,在有源区的边缘处的硼浓度变得比有源区的中心处的硼浓度低。在形成侧壁氧化物层之后,用绝缘材料填充沟槽以形成将有源区分隔开的隔离层。在有源区的顶部顺序形成栅绝缘层和栅极,并且将用于形成源极区和漏极区的杂质注入到栅极的两侧的有源区中。可以在形成沟槽之前在半导体衬底上形成栅绝缘层和栅导电层之后,通过使用用于形成沟槽的隔离掩模图案作为刻蚀阻挡层来刻蚀所述栅绝缘层和所述栅导电层。

[0008] 如上所述,在形成侧壁氧化物层的工艺期间,用于控制阈值电压的杂质(如硼)的浓度在有源区的边缘处比在有源区的中心处低。因此,在有源区的边缘处形成具有比在有源区的中心部分处低的阈值电压的寄生晶体管。这种寄生晶体管引起泄漏电流。为了避免由寄生晶体管引起的泄漏电流特性的恶化,已经开发了如下方法:经由仅开放例如具有窄宽度和高泄漏电流特性的低电压晶体管区(例如低电压 NMOS 晶体管区)的掩模来额外注

入用于控制阈值电压的杂质。然而,这种方法在控制泄漏电流特性的恶化方面存在限制。

发明内容

[0009] 本发明的示例性实施例涉及一种能改善具有窄宽度的低电压晶体管的泄漏电流特性的半导体器件及其制造方法。

[0010] 根据本发明的一个实施例,一种半导体器件包括:半导体衬底,所述半导体衬底包括设置有第一驱动晶体管的第一驱动晶体管区和设置有第二驱动晶体管的第二驱动晶体管区,其中,采用比所述第一驱动晶体管低的电压来驱动所述第二驱动晶体管;第一栅绝缘层,所述第一栅绝缘层被形成在所述第二驱动晶体管区的边缘处;以及第二栅绝缘层,所述第二栅绝缘层被形成在所述第二驱动晶体管区的中心处,其中,所述第一栅绝缘层比所述第二栅绝缘层厚。

[0011] 根据本发明的一个实施例,一种制造半导体器件的方法包括以下步骤:在包括第一驱动晶体管区和第二驱动晶体管区的半导体衬底上形成掩模图案,所述掩模图案使半导体衬底的与第二驱动晶体管区的边缘相对应的部分开放;将被掩模图案暴露出的半导体衬底氧化以形成第一栅绝缘层;去除掩模图案;以及在半导体衬底上形成比第一栅绝缘层薄的第二栅绝缘层。

附图说明

[0012] 图 1 是说明具有不同宽度的晶体管的漏极电流 I_{ds} 响应于栅电压 V_{gs} 的曲线图;

[0013] 图 2A 是根据本发明的第一实施例的半导体器件的晶体管的平面图;

[0014] 图 2B 是沿图 2A 的线 I-I' 截取的半导体器件的晶体管的截面图;

[0015] 图 3A 是根据本发明的第二实施例的半导体器件的晶体管的平面图;

[0016] 图 3B 是沿图 3A 的线 II-II' 截取的半导体器件的晶体管的截面图;

[0017] 图 3C 是沿图 3A 的线 III-III' 截取的半导体器件的晶体管的截面图;

[0018] 图 4A 至图 4D 是说明根据本发明的一个实施例的制造半导体器件的方法的截面图;

[0019] 图 5A 是根据本发明的第三实施例的半导体器件的晶体管的平面图;以及

[0020] 图 5B 是沿图 5A 的线 IV-IV' 截取的半导体器件的的晶体管的截面图。

具体实施方式

[0021] 在下文中,将参照附图详细地描述本发明的各个实施例。提供了附图是为了使本领域的技术人员能理解本发明的实施例的范围。

[0022] 图 2A 是根据本发明的第一实施例的半导体器件的晶体管的平面图。图 2B 是沿图 2A 的线 I-I' 截取的半导体器件的晶体管的截面图。图 2A 和图 2B 示出了形成在快闪存储器件的外围区中的低电压 NMOS 晶体管。

[0023] 参见图 2A 和图 2B,根据本发明的第一实施例的半导体器件的晶体管包括被隔离层 105 分隔开的有源区 A,并且在注入了阱形成杂质 (well forming impurities) 和阈值电压控制杂质 (threshold voltage controlling impurities) 的半导体衬底 101 的顶部上形成晶体管。另外,根据本发明的第一实施例的晶体管包括具有第一厚度的第一栅绝缘层

103a、具有比第一厚度小的第二厚度的第二栅绝缘层 103b、形成在第一栅绝缘层 103a 和第二栅绝缘层 103b 的顶部上的栅极 LVN-G、以及形成在栅极 LVN G 两侧的有源区 A 中的源极区和漏极区。与上部导线（未示出）连接的多个接触插塞 151 与源极区和漏极区耦接。

[0024] 根据本发明的第一实施例，在有源区 A 的上部边缘处形成第一栅绝缘层 103a。在有源区 A 的上部中心处形成第二栅绝缘层 103b。为了形成具有不同厚度的第一栅绝缘层 103a 和第二栅绝缘层 103b，通过掩模来阻挡将要形成第二栅绝缘层 103b 的区域 B，并且执行氧化工艺以形成第一栅绝缘层 103a。随后，去除掩模以形成具有比第一栅绝缘层 103a 小的厚度的第二栅绝缘层 103b。

[0025] 根据本发明的第一实施例，形成在晶体管的边缘处的第一栅绝缘层 103a 比形成在晶体的中心部分处的第二栅绝缘层 103b 厚。因此，根据本发明的第一实施例，晶体管的阈值电压在有源区 A 的边缘处可以比在有源区 A 的中心部分高。此外，可以执行刻蚀半导体衬底 101 的隔离区以形成沟槽和氧化沟槽的侧壁以形成侧壁氧化物层的工艺，以形成隔离层 105。这里，阈值电压控制杂质在有源区 A 的边缘处的浓度可能较小，且在有源区 A 的边缘处可能会形成寄生晶体管。然而，寄生晶体管的阈值电压会由于在有源区 A 的边缘处具有较大厚度的第一栅绝缘层 103a 而增加。结果，根据本发明的第一实施例的半导体器件的晶体管可以减小因寄生晶体管的低阈值电压引起的泄漏电流特性的恶化。

[0026] 图 3A 是根据本发明的第二实施例的半导体器件的晶体管的平面图。图 3B 是沿图 3A 的线 II-II' 截取的半导体器件的晶体管的截面图。图 3C 是沿图 3A 的线 III-III' 截取的半导体器件的晶体管的截面图。图 3A 至图 3C 一起示出快闪存储器件的单元阵列区的部分。尽管图 3B 示出沿源极选择线方向截取的截面图，但是沿漏极选择线方向截取的截面图与图 3B 相同。

[0027] 如图 3A 所示，在快闪存储器件的单元阵列区中形成存储串 ST。每个存储串 ST 具有在有源区 A 上排列成线的源极选择晶体管、多个存储器单元晶体管以及漏极选择晶体管。存储器单元晶体管串联耦接在源极选择晶体管与漏极选择晶体管之间。

[0028] 存储串 ST 的栅极与和有源区 A 相交的栅极线 (SSL、DSL 以及 WL) 耦接。具体地，在漏极选择晶体管的栅极与漏极选择线 DSL 耦接的同时，源极选择晶体管的栅极与源极选择线 SSL 耦接。另外，存储器单元晶体管的栅极分别与字线 WL 耦接。对于快闪存储器件，如图 3B 和图 3C 所示，源极选择晶体管、漏极选择晶体管以及存储器单元晶体管的栅极每个都具有彼此层叠的第一栅绝缘层 203a 或第二栅绝缘层 203b、用于浮栅的第一导电层 211、电介质层 213 以及用于控制栅的第二导电层 215。根据一个实例，源极选择晶体管和漏极选择晶体管各自的第一导电层 211 和第二导电层 215 经由形成在电介质层 213 中的接触孔而彼此电耦接。每个存储器单元晶体管的第一导电层 211 与第二导电层 215 经由插入在它们之间的电介质层 213 而彼此绝缘。将第二导电层 215 图案化成与栅极线 SSL、DSL 以及 WL 相同的图案。在有源区 A 与栅极线 SSL、DSL 以及 WL 之间的交叉处形成第一导电层 211。

[0029] 形成上述存储串 ST 的选择晶体管具有比布置在外围区中以形成驱动电路的驱动晶体管小的宽度，并且选择晶体管以低电压来驱动。为了改善由存储串 ST 的选择晶体管产生的泄漏电流特性，提出了根据本发明的第二实施例的半导体器件。

[0030] 参见图 3A 至图 3C，根据本发明的第二实施例的选择晶体管和存储器单元包括被隔离层 205 分隔开的有源区 A。另外，在注入了阱形成杂质和阈值电压控制杂质的半导体衬

底 201 的顶部上形成选择晶体管和存储器单元。

[0031] 根据本发明的第二实施例的每个选择晶体管包括第一栅绝缘层 203a、层叠有第一导电层 211 和第二导电层 215 的选择栅、以及形成在选择栅两侧的有源区 A 中的结。根据本发明的第二实施例,选择晶体管的第一栅绝缘层 203a 比存储器单元的第二栅绝缘层 203b 厚。另外,选择晶体管的第一导电层 211 和第二导电层 215 经由形成在电介质层 213 中的接触孔而彼此电耦接。

[0032] 另外,根据本发明的第二实施例,每个存储器单元包括:存储器单元的第二栅绝缘层 203b,所述第二栅绝缘层 203b 比选择晶体管的第一栅绝缘层 203a 薄;单元栅,所述单元栅具有经由电介质层 213 而彼此层叠且彼此绝缘的第一导电层 211 和第二导电层 215;以及结,所述结被形成在单元栅两侧的有源区 A 处。存储器单元的第一导电层 211 是浮栅,而存储器单元的第二导电层 215 是成为字线 WL 的控制栅。

[0033] 根据本发明的第二实施例,执行以下工艺使得存储器单元的第二栅绝缘层 203b 和形成在存储串 ST 的两端处的选择晶体管的第一栅绝缘层 203a 可以具有彼此不同的厚度。首先,形成阻挡存储器单元区而开放选择晶体管区的掩模图案。随后,对由掩模图案暴露出的半导体衬底 201 执行氧化工艺以形成选择晶体管的第一栅绝缘层 203a。去除掩模图案以形成具有较小厚度的存储器单元的第二栅绝缘层 203b。

[0034] 阻挡存储器单元区且开放选择晶体管区的掩模图案可以是光致抗蚀剂图案或者是使用光致抗蚀剂图案作为刻蚀掩模而图案化成的层。由于通过曝光和显影工艺来形成光致抗蚀剂图案,所以光致抗蚀剂图案的宽度受到曝光设备的分辨率的限制。由于选择晶体管区的有源区 A 比外围区的有源区 A 窄,所以难以形成用来形成使选择晶体管区的有源区 A 暴露的掩模的光致抗蚀剂图案。为了克服这些困难,在本发明中,在形成使选择晶体管区开放的掩模图案的工艺期间,将掩模图案形成为具有跟随选择线 DSL 或 SSL 的线型开口 C。以此方式,使选择晶体管区的隔离区和选择晶体管区的有源区 A 暴露出来。在掩模图案形成工艺期间,掩模图案的开口 C 可能会使与选择晶体管区相邻的字线形成区部分开放。然而,一般而言,由于与选择晶体管区相邻的字线形成区用作虚设区,即使当与相邻于选择晶体管区的字线形成区相对应的栅绝缘层具有大的厚度时,栅绝缘层对存储器单元的电学特性几乎没有影响。

[0035] 根据本发明的第二实施例,形成在存储串 ST 的两端处的第一栅绝缘层 203a 具有比存储器单元的第二栅绝缘层 203b 大的厚度。因此,根据本发明的第二实施例,选择晶体管具有高的阈值电压以因而避免由选择晶体管引起的泄漏电流特性的恶化。

[0036] 图 4A 至图 4D 是说明根据本发明的一个实施例的制造半导体器件的方法的截面图。图 4A 至图 4D 一起示出制造包括结合图 2A 和图 2B 描述的驱动晶体管以及结合图 3A 至图 3C 描述的选择晶体管和存储器单元的快闪存储器件的方法。

[0037] 参见图 4A,在注入了阱形成杂质和阈值电压控制杂质的半导体衬底 301 的顶部上形成掩模图案 (305 和 307)。掩模图案 (305 和 307) 可以由单个光致抗蚀剂层形成。可替换地,可以采用在硬掩模层 305 上形成光致抗蚀剂图案 307 并通过使用光致抗蚀剂图案 307 作为刻蚀掩模将硬掩模层 305 图案化的方式,来形成掩模图案 (305 和 307)。这里,硬掩模层 305 可以是氮化物层。掩模图案 (305 和 307) 开放出将要形成厚栅绝缘层的区域。

[0038] 在形成掩模图案 (305 和 307) 之前,还可以在半导体衬底 301 上形成掩蔽氧化物

层 303 以防止对半导体衬底 301 的破坏。

[0039] 在半导体衬底 301 中限定出选择晶体管区 (①和③)、存储器单元区②、第一驱动晶体管区 (⑤、⑥和⑦) 以及第二驱动晶体管区④。选择晶体管区 (①和③)、存储器单元区②、第一驱动晶体管区 (⑤、⑥和⑦) 以及第二驱动晶体管区④每个都包括有源区和隔离区。选择晶体管区 (①和③) 包括源极选择晶体管区①和漏极选择晶体管区③。存储器单元区②被设置在源极选择晶体管区①与漏极选择晶体管区③之间。第一驱动晶体管区 (⑤、⑥和⑦) 和第二驱动晶体管区④形成将要形成驱动电路的驱动晶体管的外围区。在第二驱动晶体管区④中形成第二驱动晶体管, 所述第二驱动晶体管采用比要形成在第一驱动晶体管区 (⑤、⑥和⑦) 中的第一驱动晶体管低的电压来被驱动。在下文中, 将更详细地描述第一驱动晶体管区 (⑤、⑥和⑦) 和第二驱动晶体管区④。

[0040] 第二驱动晶体管区④可以是低电压 NMOS 晶体管区, 然而第一驱动晶体管区可以包括高电压 PMOS 晶体管区⑤、耗尽高电压 NMOS 晶体管区⑥以及高电压 NMOS 晶体管区⑦。采用与低电压 NMOS 晶体管驱动相同的方式, 经由 N 型沟道来驱动高电压 NMOS 晶体管。高电压 NMOS 晶体管也可以具有窄的宽度。在这种情况下, 掩模图案 (305 和 307) 可以开放选择晶体管区 (①和③)、高电压 PMOS 晶体管区⑤、耗尽高电压 NMOS 晶体管区⑥、高电压 NMOS 晶体管区⑦以及第二驱动晶体管区④的边缘。

[0041] 参见图 4B, 在形成掩模图案 (305 和 307) 之后执行清洗工艺。可以通过清洗工艺来去除掩蔽氧化物层 303 的暴露出的区域。随后, 将被掩模图案 (305 和 307) 开放的半导体衬底 301 氧化以形成具有第一厚度的第一栅绝缘层 309a。

[0042] 参见图 4C, 在形成第一栅绝缘层 309a 之后, 去除掩模图案 (305 和 307) 并执行清洗工艺。可以通过清洗工艺来去除掩蔽氧化物层 303。随后, 将暴露出的半导体衬底 301 氧化以形成具有比第一厚度小的第二厚度的第二栅绝缘层 309b。以这种方式, 形成具有不同厚度的第一栅绝缘层 309a 和第二栅绝缘层 309b。

[0043] 参见图 4D, 在包括第一栅绝缘层 309a 和第二栅绝缘层 309b 的整个结构的顶部上形成用于浮栅的第一导电层 313。随后, 在第一导电层 313 上形成开放出隔离区的隔离掩模图案 (未示出)。去除形成在隔离区上的第一导电层 313 以及第一栅绝缘层 309a 和第二栅绝缘层 309b 以使半导体衬底 301 的隔离区暴露出来。接着, 刻蚀半导体衬底 301 的隔离区以形成沟槽、以及执行氧化工艺以消除对沟槽表面的破坏并在沟槽的侧壁上形成侧壁绝缘层。随后, 用绝缘材料来填充沟槽, 并且去除隔离掩模图案。通过控制沟槽内侧绝缘材料的高度, 形成使半导体衬底 301 的有源区分隔开的隔离层 311。

[0044] 第一栅绝缘层 309a 保留在与选择晶体管区 (①和③) 相对应的半导体衬底 301 和被隔离层 311 分开的第一驱动晶体管区 (⑤、⑥和⑦) 的上部。另外, 第一栅绝缘层 309a 保留在与第二驱动晶体管区④的边缘相对应的半导体衬底 301 的上部。另外, 第二栅绝缘层 309b 保留在与存储器单元区②相对应的半导体衬底 301 的上部和第二驱动晶体管区④的中心部分。

[0045] 在形成有隔离层 311 和第一导电层 313 的整个结构的顶部上形成电介质层 315。随后, 在电介质层 315 中形成接触孔以使选择晶体管区 (①和③)、第一驱动晶体管区 (⑤、⑥和⑦) 以及第二驱动晶体管区④的第一导电层 313 暴露出来。接着, 在形成有接触孔的电介质层 315 上顺序层叠用于控制栅的第二导电层 317 和栅硬掩模图案 319。随后, 通过使

用栅硬掩模图案 319 作为刻蚀阻挡层的刻蚀工艺来刻蚀第二导电层 317、电介质层 315 以及第一导电层 313。经由这种栅图案化工艺,在第一驱动晶体管区(⑤、⑥和⑦)的第一栅绝缘层 309a 上形成第一驱动晶体管的栅极 HVP_G、DHVN_G 以及 HVN_G。另外,在第二驱动晶体管区④的第一栅绝缘层和第二栅绝缘层(309a 和 309b)上形成第二驱动晶体管的栅极 LVN_G。另外,在存储器单元区②的第二栅绝缘层 309b 上形成作为存储器单元栅的字线 WL,而在选择晶体管区(①和③)的第一栅绝缘层 309a 上形成作为选择栅的源极选择线 SSL 和漏极选择线 DSL。

[0046] 如上所述,在本发明中,同时形成以较高电压驱动的第一驱动晶体管的栅绝缘层和以较低电压驱动的要形成在第二驱动晶体管的有源区的边缘处的栅绝缘层。因此,在本发明中,不需要增加引起第二驱动晶体管的栅绝缘层的一部分变厚的单独的掩模工艺。另外,在本发明中,同时形成以较高电压驱动的第一驱动晶体管的栅绝缘层和以较低电压驱动的选择晶体管的栅绝缘层。因此,不需要增加引起选择晶体管的栅绝缘层变厚的单独的掩模工艺。

[0047] 图 5A 是根据本发明的第三实施例的半导体器件的晶体管的平面图。图 5B 是沿图 5A 的线 IV-IV' 截取的半导体器件的晶体管的截面图。图 5A 和图 5B 具体说明形成在快闪存储器器件的外围区中的低电压 NMOS 晶体管。

[0048] 参见图 5A 和图 5B,根据本发明的第三实施例,半导体器件的晶体管包括被隔离层 405 分隔开的有源区 A,并且所述晶体管被形成在注入了阱形成杂质和阈值电压控制杂质的半导体衬底 401 的顶部上。

[0049] 晶体管的阈值电压控制杂质的类型和浓度和杂质注入能量根据晶体管类型而变化。例如,当半导体衬底 401 包括高电压 NMOS 晶体管区、低电压 NMOS 晶体管区、选择晶体管区以及存储器单元区时,经由阻挡外围区而开放选择晶体管区和存储器单元区的第一杂质掩模,将以相同浓度存在且具有相同能量的相同类型的阈值电压控制杂质注入到除了外围区以外的选择晶体管区和存储器单元区中。

[0050] 另外,经由阻挡选择晶体管区和存储器单元区且开放高电压 NMOS 晶体管区的第二杂质掩模,将阈值电压控制杂质(例如硼)注入到高电压 NMOS 晶体管区中。此时,为了增加形成在低电压 NMOS 晶体管区中的寄生晶体管的阈值电压,可以经由第二杂质掩模将低电压 NMOS 晶体管区的边缘暴露出来。经由第二杂质掩模暴露出的低电压 NMOS 晶体管区的边缘的宽度比将要形成第一栅绝缘层 403a 的区域的宽度大。另外,将通过使用第二杂质掩模注入的阈值电压控制杂质注入到比将要形成第一栅绝缘层 403a 的区域深的位置。结果,在随后工艺中形成第一栅绝缘层 403a 之后,阈值电压控制杂质注入区 471 可以保留在与第一栅绝缘层 403a 相邻的没有氧化的半导体衬底 401 中。

[0051] 根据本发明的第三实施例的晶体管包括具有第一厚度的第一栅绝缘层 403a、具有比第一厚度小的第二厚度的第二栅绝缘层 403b、形成在第一栅绝缘层 403a 和第二栅绝缘层 403b 上的栅极 LVN_G 以及形成在栅极 LVN_G 两侧的有源区 A 中的源极区和漏极区。与上部导线(未示出)连接的多个接触插塞 451 与源极区和漏极区耦接。

[0052] 根据本发明的第三实施例,在与晶体管区的边缘相对应的有源区 A 的上部边缘处形成第一栅绝缘层 403a。在与晶体管区的中心部分相对应的有源区 A 的上部中心部分中形成第二栅绝缘层 403b。为了形成具有彼此不同厚度的第一栅绝缘层 403a 和第二栅绝缘

层 403b, 在通过掩模图案阻挡将要形成第二栅绝缘层 403b 的区域之后, 执行氧化工艺以形成第一栅绝缘层 403a。第一栅绝缘层 403a 的厚度比阈值电压控制杂质注入区 471 的深度小, 并且第一栅绝缘层 403a 的宽度比阈值电压控制杂质注入区 471 的宽度小。因此, 可以通过在半导体衬底 401 中的阈值电压控制杂质注入区 471 来包围第一栅绝缘层 403a 的底表面。在形成第一栅绝缘层 403a 之后, 去除掩模图案以形成比第一栅绝缘层 403a 薄的第二栅绝缘层 403b。

[0053] 根据本发明的第三实施例的包括第一栅绝缘层 403a 和第二栅绝缘层 403b 的晶体管的栅绝缘层在有源区 A 的边缘处比在有源区 A 的中心部分厚。因此, 根据本发明的第三实施例的晶体管的阈值电压在有源区 A 的边缘处可以比在有源区 A 的中心部分高。可以执行刻蚀半导体衬底 401 的隔离区以形成沟槽和氧化沟槽的侧壁以形成侧壁氧化物层的工艺来形成隔离层 405。此时, 可以减小阈值电压控制杂质在有源区 A 的边缘处的浓度, 使得可以在有源区 A 的边缘处产生寄生晶体管。可以通过在有源区 A 的边缘处具有较大厚度的第一栅绝缘层 403a 来增加寄生晶体管的阈值电压。因此, 根据本发明的第三实施例, 可以避免由寄生晶体管的低阈值电压引起的泄漏电流特性的恶化。在本发明的第三实施例中, 通过保留在栅绝缘层 403a 周围的有源区 A 中的阈值电压控制杂质注入区 471, 可以进一步地增加寄生晶体管的阈值电压。

[0054] 根据示例性实施例, 具有较小宽度并以较低电压驱动的低电压驱动晶体管 (例如, 快闪存储器件的低电压 NMOS 晶体管) 的栅绝缘层的边缘比其中心部分厚。因此, 增加形成在低电压驱动晶体管的边缘处的寄生晶体管的阈值电压以改善泄漏电流特性。

[0055] 另外, 根据本发明的示例性实施例, 同时形成低电压驱动晶体管的厚栅绝缘层和高电压驱动晶体管 (例如, 快闪存储器件的高电压 NMOS 晶体管) 的栅绝缘层。因此, 不需要增加引起低电压晶体管的栅绝缘层的边缘变厚的单独的掩模工艺。

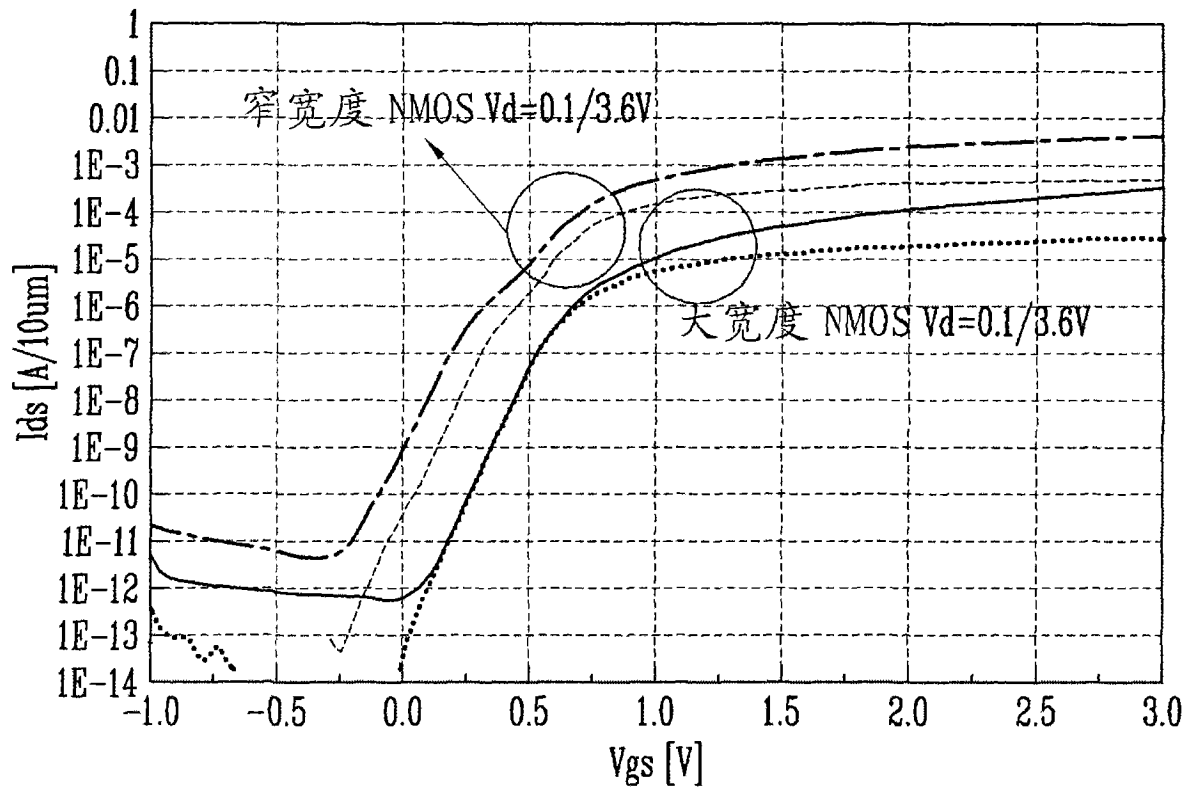


图 1

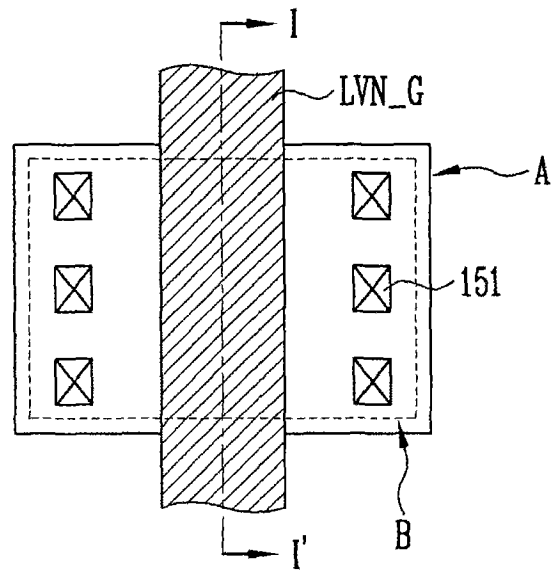


图 2A

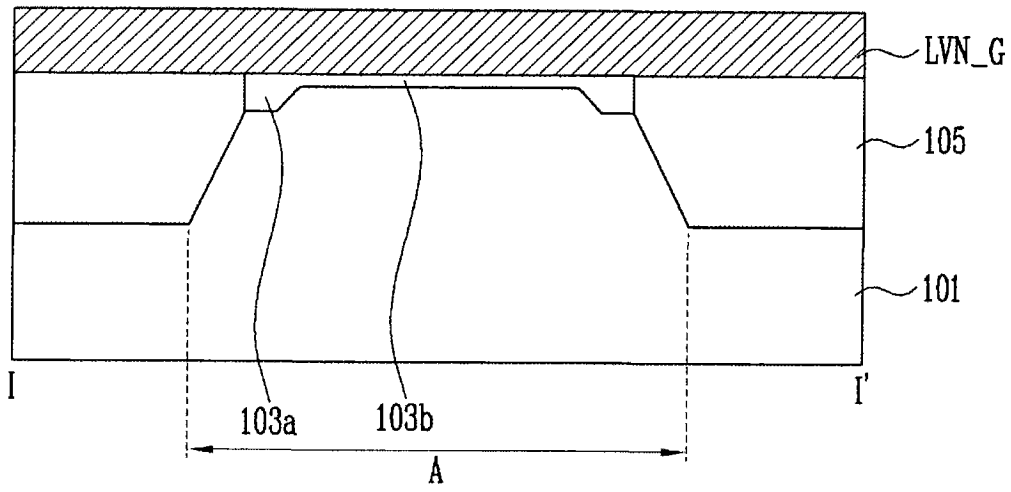


图 2B

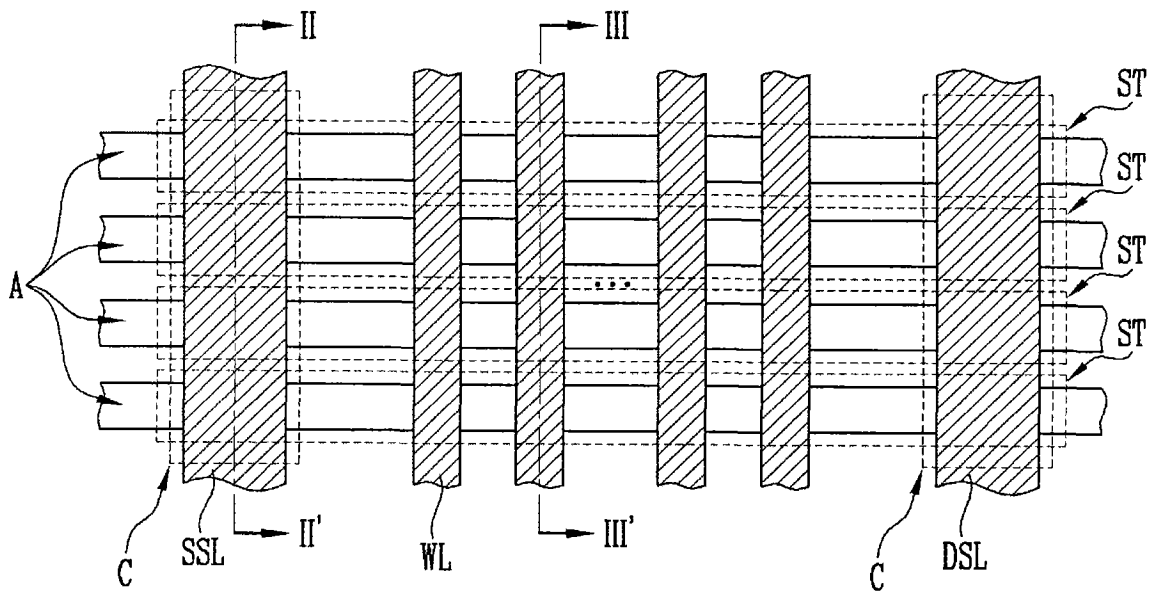


图 3A

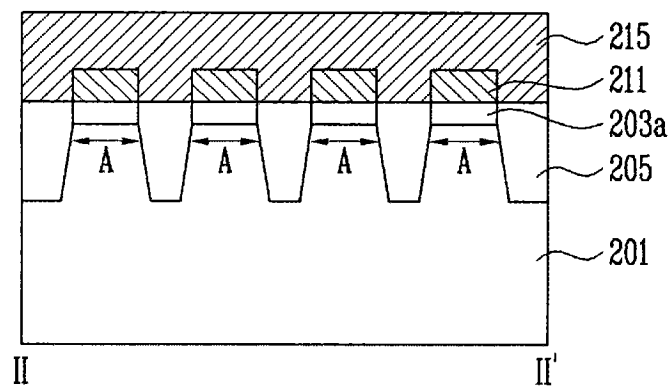


图 3B

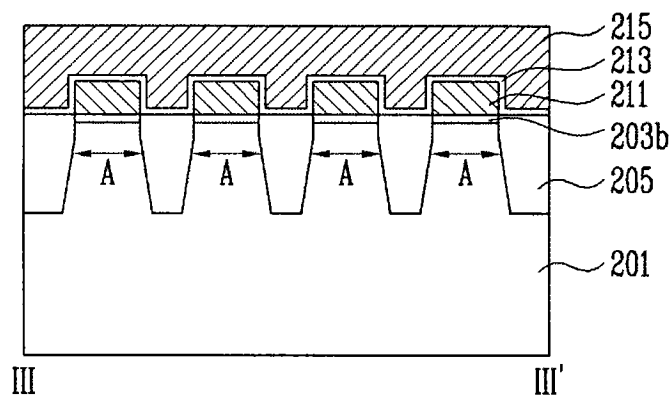


图 3C

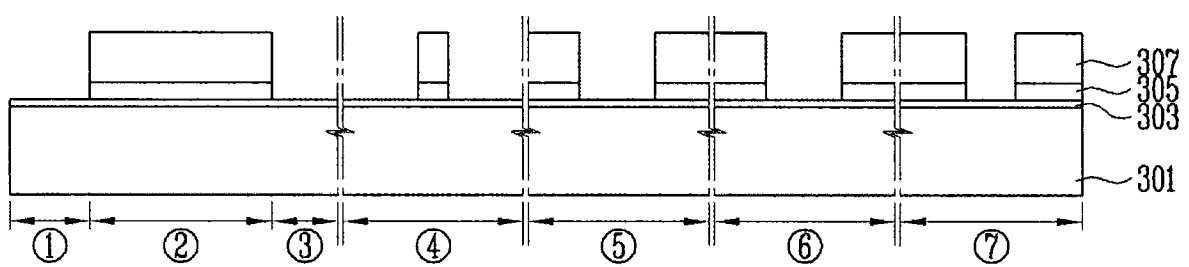


图 4A

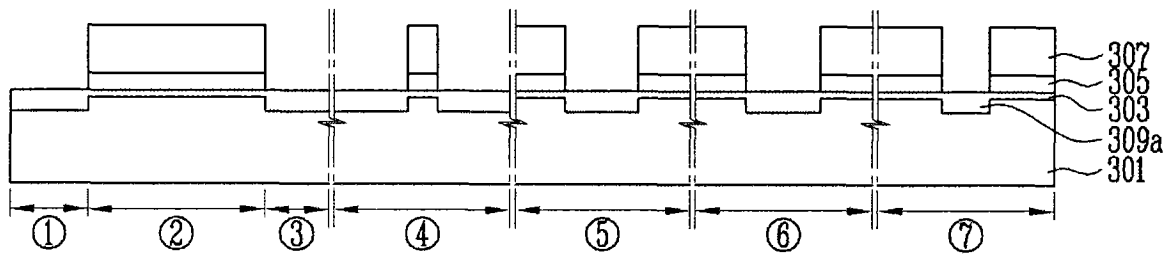


图 4B

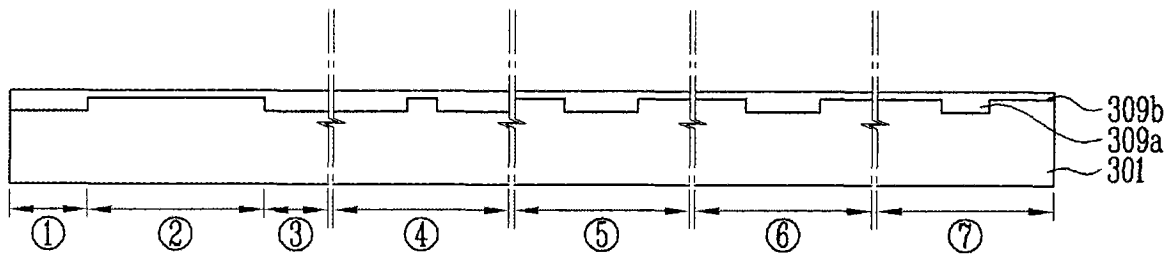


图 4C

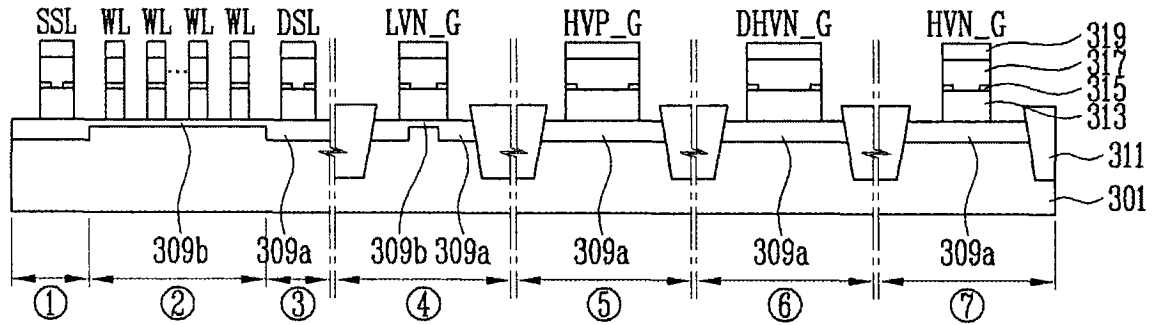


图 4D

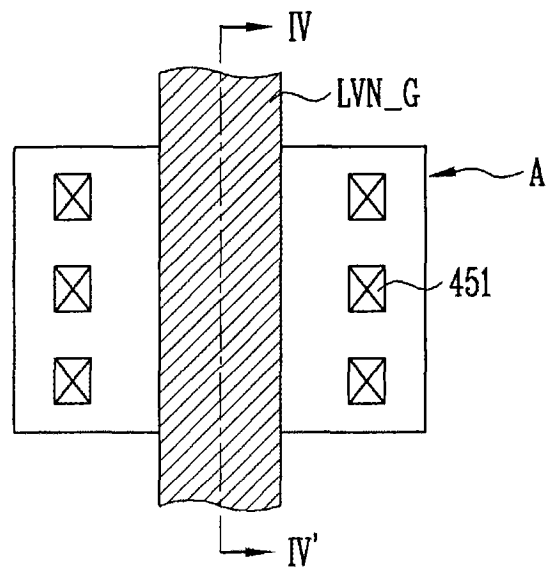


图 5A

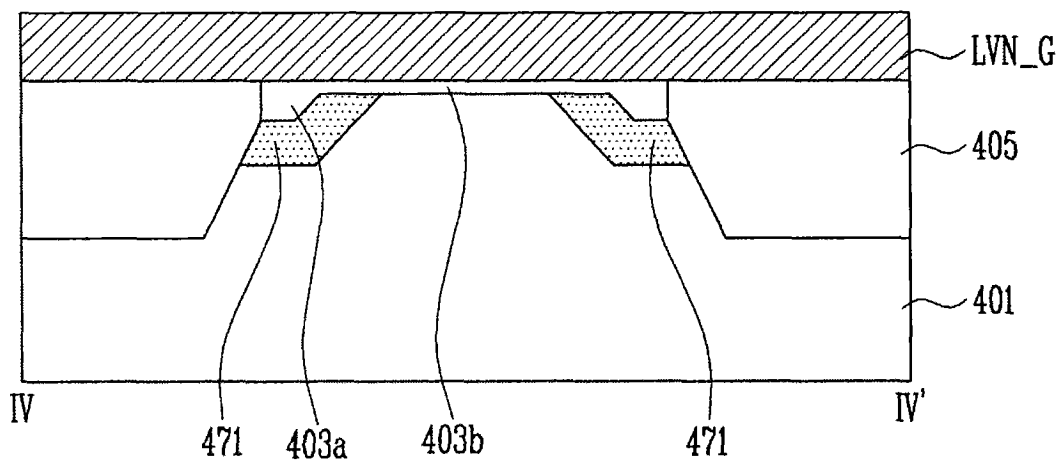


图 5B