(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 4 月 14 日(14.04.2011)

PCT

(10) 国際公開番号
WO 2011/043339 A1

(51) 国際特許分類:
H04N 5/335 (2006.01) *H01L 27/146* (2006.01)

(21) 国際出願番号: PCT/JP2010/067452

(22) 国際出願日: 2010 年 10 月 5 日(05.10.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2009-231587 2009 年 10 月 5 日(05.10.2009) JP

(71) 出願人 (米国を除く全ての指定国について): 国立大学法人静岡大学(National University Corporation Shizuoka University) [JP/JP]; 〒4228529 静岡県静岡市駿河区大谷８３６ Shizuoka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 川人 祥二(KAWAHITO, Shoji) [JP/JP]; 〒4328561 静岡県浜松市中区城北３丁目５－１ 国立大学法人静岡大学電子工学研究所内 Shizuoka (JP). 澤田 友成(SAWADA, Tomonari) [JP/JP]; 〒4328561 静岡県浜松市中区城北３丁目５－１ 国立大学法人静岡大学電子工学研究所内 Shizuoka (JP).

(74) 代理人: 三好 秀和, 外(MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目２番８号 虎ノ門琴平タワー Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

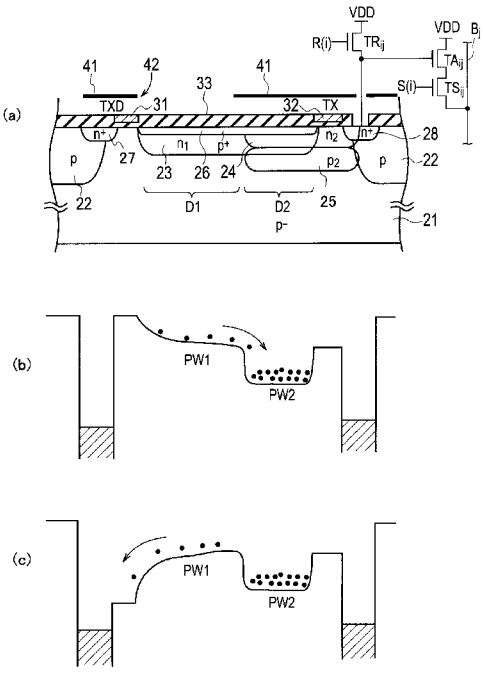
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) **Title**: SEMICONDUCTOR ELEMENT AND SOLID-STATE IMAGING DEVICE

(54) 発明の名称 : 半導体素子及び固体撮像装置

[図3]



(57) **Abstract**: Disclosed is a solid-state imaging device that has good charge transfer efficiency and wherein high speed operation and a higher resolution are possible with a simple pixel structure. The solid-state imaging device is provided with a p-type semiconductor region (21); an n-type embedded region (23) that, with the semiconductor region (21), forms a photodiode; an n-type discharge region (27) that has a higher dopant density than the embedded region (23) and that discharges from the embedded region (23) a charge generated by the photodiode; an n-type read region (28) that has a higher dopant density than the embedded region (23) and that transfers and stores charge from the embedded region (23) when charge is not being discharged; and voltage gradient alteration means (31, 32) that alter the voltage gradient of the potential profile from the embedded region (23) to the read region (28) and the voltage gradient of the potential profile from the embedded region (23) to the discharge region (27), and that control the transfer and discharge of charge.

(57) 要約: 電荷の転送効率が良く、画素の構造が簡単で高解像度化及び高速動作が可能な固体撮像装置を提供する。ｐ型の半導体領域（２１）と、半導体領域（２１）とフォトダイオードをなすｎ型の埋込領域（２３）と、埋込領域（２３）からフォトダイオードが生成した電荷を排出する、埋込領域（２３）よりも高不純物密度でｎ型の排出領域２７と、電荷の非排出時に電荷を埋込領域（２３）から転送され蓄積する、埋込領域（２３）よりも高不純物密度でｎ型の読み出し領域（２８）と、埋込領域（２３）から読み出し領域（２８）へ至るポテンシャルプロファイルの電位勾配、及び埋込領域（２３）から排出領域２７へ至るポテンシャルプロファイルの電位勾配を変化させ、電荷の転送及び排出を制御する電位勾配変更手段（３１，３２）とを備える。

WO 2011/043339 A1

GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 半導体素子及び固体撮像装置

技術分野

[0001] 本発明は光が生成した電子の検出を時間領域で変調する機能を持った半導体素子、及びこの半導体素子を１次元又は２次元配列した固体撮像装置に関する。

背景技術

[0002] １９９４年に発表された「強度変調された照射野の検出及び復調のための装置（特許文献１参照。）」等の画素内に光で発生した電子の検出を時間領域で変調する機能を持ったセンサ要素は、「ロックインピクセル」とも呼ばれる。この様なロックインピクセルからなるセンサ要素を、最近のＣＭＯＳイメージセンサに用いられている埋込フォトダイオード構造に適用して、ロックインイメージセンサを実現することができれば、量産性に優れるため、安価で高性能なセンサが得られると期待される。

[0003] 例えば、ＣＭＯＳ製造技術を用いて共通のＩＣ上に形成されたピクセル光検知ディテクタ及び専用の電子回路及び対応する処理回路の２次元アレイを含んだ３次元画像化システムが提案されている（特許文献２参照。）。特許文献１の１つの実施例においては、各ディテクタは、システムによって放射され、物体の点から反射され、そしてフォーカスされたピクセルディテクタによって検出されたパルスについての飛行時間（ＴＯＦ）に比例するクロックパルス数を積算する対応する高速カウンタを有している。ＴＯＦデータは、特定のピクセルから、放射された光パルスを反射する物体上の点までの距離についての直接のディジタル的な尺度を与える。特許文献２の第２実施例では、カウンタ及び高速クロック回路は設けられず、代わりに電荷蓄積器及び電子シャッタ（Ｓ１）が各ピクセルディテクタに設けられる。各ピクセルディテクタは電荷を蓄積し、その総量が往復のＴＯＦの直接的な尺度を与える。

しかしながら、従来のロックインピクセルを用いたイメージセンサは、いずれもＭＯＳトランジスタのゲート構造を介して、電荷を１つ以上の蓄積領域に転送する動作を、変調された光と同期して検出するものである。このため、従来のロックインピクセルを用いたイメージセンサは構造が複雑であり、又ＭＯＳトランジスタのゲート構造を介した転送の場合、シリコン（Ｓｉ）とシリコン酸化膜（SiO_2）の界面のトラップに電子が捕獲され、転送遅れが生じるという問題も発生する。

[0004] このため、本発明者の一人は固体撮像装置のそれぞれの画素として機能する半導体素子が、光を入射するｎ型の受光用表面埋込領域と、平面パターン上、受光用表面埋込領域と一部重複する位置に埋め込まれ、受光用表面埋込領域よりもポテンシャル井戸（電子井戸）の深さが深く、受光用表面埋込領域が生成した電荷を蓄積するｎ型の電荷蓄積領域と、電荷蓄積領域が蓄積した電荷を受け入れるｎ型の電荷読み出し領域と、受光用表面埋込領域が生成した電子を排出するように、平面パターン上、受光用表面埋込領域の両側にそれぞれ配置されたｎ型の第１及び第２の排出ドレイン領域とを備える構造を提案した（特許文献３参照。）。ここで、受光用表面埋込領域と第１及び第２の排出ドレイン領域は、ｐ型の半導体領域の表面の一部に埋め込まれている。受光用表面埋込領域の上には、p^+型ピニング層が配置され、p^+型ピニング層の上、p^+型ピニング層と第１の排出ドレイン領域の間の半導体領域の上、及び、p^+型ピニング層と第２の排出ドレイン領域の間の半導体領域の上にはゲート絶縁膜が形成されている。そして、ゲート絶縁膜上には、受光用表面埋込領域が生成した電子を第１及び第２の排出ドレイン領域へそれぞれ排出するため、平面パターン上、受光用表面埋込領域の両側に受光用表面埋込領域を挟むように、第1及び第２の排出ゲート電極が配置されている。

[0005] 特許文献３で提案した構造においては、電荷蓄積領域と電荷読み出し領域との間に、電荷蓄積領域から電荷読み出し領域へ電荷を転送する読み出しゲート電極が配置され、読み出しゲート電極がゲート絶縁膜を介して電荷蓄積領域と電荷読み出し領域との間に形成される転送チャネルの電位を制御し、

電荷蓄積領域から電荷読み出し領域へ電荷を転送する。ゲート絶縁膜と、ゲート絶縁膜上の第1及び第２の排出ゲート電極とで、受光用表面埋込領域と第１の排出ドレイン領域の間の半導体領域の上部及び受光用表面埋込領域と第２の排出ドレイン領域の間の半導体領域の上部に形成されるチャネルの電位をそれぞれ制御して、受光用表面埋込領域から第１及び第２の排出ドレイン領域へそれぞれ電荷を排出する。

[0006] 特許文献３で提案した構造によれば、受光用表面埋込領域と電荷蓄積領域の間にゲート構造を設けなくても、第1及び第２の排出ゲート電極に印加する電圧によりポテンシャル形状を変化させることにより、受光用表面埋込領域から電荷蓄積領域への電荷の転送を制御することができる。

先行技術文献

特許文献

[0007] 特許文献1：特表平１０－５０８７３６号公報

特許文献2：特表２００３－５１０５６１号公報

特許文献3：国際公開ＷＯ２０１０／０７４２５２号公報

発明の概要

発明が解決しようとする課題

[0008] 特許文献３で提案した半導体素子においては、電荷転送経路のポテンシャル分布（ポテンシャル形状）を静電誘導効果により制御して、第1及び第２の排出ゲート電極による電子の転送方向の変調を実現しているが、受光用表面埋込領域の両側に排出ゲート電極があると、構造が複雑になるばかりか、電荷転送経路の中心付近でポテンシャル傾斜が０になってしまい、電荷の一部が残ってしまう可能性があり、効率よく電荷を転送できないという不具合があった。

[0009] 本発明は、以上を鑑みて発案されたものであり、電荷の通路の中心付近でポテンシャル傾斜が０になってしまう不都合を解消して、電荷転送経路の全幅においてポテンシャル傾斜を生じさせることにより、電荷の転送効率が良

く、画素の構造が簡単で高解像度化及び高速動作が可能な固体撮像装置及びこの固体撮像装置のセンサ要素（画素）として用いることの可能な半導体素子を提供することを目的とする。

課題を解決するための手段

[0010] 上記目的を達成するために、本発明の第１の態様は、(a)第１導電型の半導体領域と、(b)半導体領域の上部の一部に埋め込まれ、半導体領域とフォトダイオードをなす第２導電型の埋込領域と、(c)埋込領域から離間して半導体領域の一部に設けられ、特定のタイミングにおいて埋込領域からフォトダイオードが生成した電荷を排出する、埋込領域よりも高不純物密度で第２導電型の排出領域と、(d)半導体領域の一部に設けられ、電荷の非排出時に電荷を埋込領域から転送され、読み出されるまで蓄積する、埋込領域よりも高不純物密度で第２導電型の読み出し領域と、(e)埋込領域と排出領域との間の半導体領域からなるチャネルの上部に設けられ、チャネルの電位を制御して、埋込領域から読み出し領域へ至るポテンシャルプロファイルの少なくとも一部の電位勾配、及び埋込領域から排出領域へ至るポテンシャルプロファイルの電位勾配を変化させ、電荷の転送の少なくとも一部及び電荷の排出を制御する電位勾配変更手段とを備える半導体素子であることを要旨とする。

[0011] 本発明の第２の態様は、第１の態様で述べた半導体素子を画素として複数配列した固体撮像装置であることを要旨とする。

発明の効果

[0012] 本発明によれば、電荷の通路の中心付近でポテンシャル傾斜が０になってしまう不都合もなく、電荷転送経路の全幅においてポテンシャル傾斜を生じさせることができるので、電荷の転送効率が良く、画素の構造が簡単で高解像度化及び高速動作が可能な固体撮像装置及びこの固体撮像装置のセンサ要素（画素）として用いることの可能な半導体素子を提供できる。

図面の簡単な説明

[0013] [図1]本発明の第１の実施の形態に係る固体撮像装置（２次元イメージセンサ）の半導体チップ上のレイアウトを説明する模式的な平面図である。

[図2]第１の実施の形態に係る固体撮像装置の画素の一部となる半導体素子の構成を説明する概略的な平面図である。

[図3]図３（ａ）は、図２のＡ－Ａ方向から見た模式的な断面図である。図３（ｂ）は、電荷の蓄積領域への転送の様子を説明するポテンシャル図である。図３（ｃ）は、電荷の排出領域への排出の様子を説明するポテンシャル図である。

[図4]第１の実施の形態に係る半導体素子の製造方法を説明する模式的な断面図である。

[図5]第１の実施の形態に係る固体撮像装置の読み出し方法を、排出ゲート電極に印加する制御信号ＴＸＤの繰り返し周期を基礎として説明するタイミングチャートである。

[図6]第１の実施の形態に係る固体撮像装置の読み出し方法を、１フレームについて説明するタイミングチャートである。

[図7]第１の実施の形態に係る固体撮像装置を用いて、蛍光の寿命を測定する場合のタイミング図である。

[図8]本発明の第２の実施の形態に係る固体撮像装置の画素の一部となる半導体素子の構成を説明する概略的な平面図である。

[図9]図９（ａ）は、図８のＢ－Ｂ方向から見た模式的な断面図である。図９（ｂ）は、電荷の読み出し領域への転送の様子を説明するポテンシャル図である。図９（ｃ）は、電荷の排出領域への排出の様子を説明するポテンシャル図である。

[図10]光源としてＬＥＤ照明を背景光に対して相対的に増強させる場合のタイミング図である。

[図11]本発明の第３の実施の形態に係る固体撮像装置の画素の一部となる半導体素子の構成を説明する概略的な平面図である。

発明を実施するための形態

[0014] 次に、図面を参照して、本発明の第１～第３の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付

している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0015] 又、以下に示す第１～第３の実施の形態は、本発明の技術的思想を具体化するための装置や方法を例示するものであって、染色した生体細胞からの蛍光や蛍光寿命を測定するバイオイメージング用固体撮像装置、或いは、各種の計測を行う時間相関イメージセンサ等の種々の固体撮像装置に適用可能である。又、本発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでなく、本発明の技術的思想は、特許請求の範囲に記載された技術的範囲内において、種々の変更を加えることができる。

[0016] （第１の実施の形態）

本発明の第１の実施の形態に係る固体撮像装置（２次元イメージセンサ）は、図１に示すように、画素アレイ部１と周辺回路部（２，３，４，５，６）とを同一の半導体チップ上に集積化している。画素アレイ部１には、２次元マトリクス状に多数の画素X_{ij}（ｉ＝１～ｍ；ｊ＝１～ｎ：ｍ，ｎはそれぞれ整数である。）が配列されており、例えば、方形状の撮像領域を構成している。画素アレイ部１の下辺部には、画素行X_{11}～X_{1m}；……；X_{i1}～X_{im}；……；$X_{(n-2)1}$～$X_{(n-2)m}$；$X_{(n-1)1}$～$X_{(n-1)m}$；X_{n1}～X_{nm}方向に沿って水平走査回路２が設けられ、画素アレイ部の左辺部には画素列X_{11}，……，X_{i1}，……，$X_{(n-2)1}$，$X_{(n-1)1}$，X_{n1}；X_{12}，……，X_{i2}，……，$X_{(n-2)2}$，$X_{(n-1)2}$，X_{n2}；X_{13}，……，X_{i3}，……，$X_{(n-2)3}$，$X_{(n-1)3}$，X_{n3}；……；X_{1j}，……，X_{ij}，……，$X_{(n-2)j}$，$X_{(n-1)j}$，X_{nj}；……；X_{1m}，……，X_{im}，……，$X_{(n-2)m}$，$X_{(n-1)m}$，X_{nm}方向に沿って垂直走査回路３が設けられている。垂直走査回路３及び水平走査回路２には、タイミング発生回路４が接続されている。

[0017] これらのタイミング発生回路及び水平走査回路２及び垂直走査回路３によって画素アレイ部内の単位画素X_{ij}が順次走査され、画素信号の読み出しや電子

シャッタ動作が実行される。即ち、第１の実施の形態に係る固体撮像装置では、画素アレイ部を各画素行X_{11}～X_{1m}；……；X_{i1}～X_{im}；……；$X_{(n-2)1}$～$X_{(n-2)m}$；$X_{(n-1)1}$～$X_{(n-1)m}$；X_{n1}～X_{nm}単位で垂直方向に走査することにより、各画素行X_{11}～X_{1m}；……；X_{i1}～X_{im}；……；$X_{(n-2)1}$～$X_{(n-2)m}$；$X_{(n-1)1}$～$X_{(n-1)m}$；X_{n1}～X_{nm}の画素信号を各画素列X_{11}，……，X_{i1}，……，$X_{(n-2)1}$，$X_{(n-1)1}$，X_{n1}；X_{12}，……，X_{i2}，……，$X_{(n-2)2}$，$X_{(n-1)2}$，X_{n2}；X_{13}，……，X_{i3}，……，$X_{(n-2)3}$，$X_{(n-1)3}$，X_{n3}；……；X_{1j}，……，X_{ij}，……，$X_{(n-2)j}$，$X_{(n-1)j}$，X_{nj}；……；X_{1m}，……，X_{im}，……，$X_{(n-2)m}$，$X_{(n-1)m}$，X_{nm}毎に設けられた垂直信号線によって画素信号を読み出す構成となっている。

[0018] 第１の実施の形態に係る固体撮像装置のそれぞれの画素X_{11}～X_{1m}；……；X_{i1}～X_{im}；……；$X_{(n-2)1}$～$X_{(n-2)m}$；$X_{(n-1)1}$～$X_{(n-1)m}$；X_{n1}～X_{nm}として機能する半導体素子の平面構造の一例を、図２に示し、図２の平面図における半導体素子のＡ－Ａ方向から見たに対応する断面図を図３（ａ）に示す。図３（ａ）に示すように、画素X_{ij}の一部となる半導体素子は、第１導電型（ｐ型）の半導体領域２１と、半導体領域２１の上部に埋め込まれ、光を入射する第２導電型（ｎ型）の埋込領域（受光カソード領域）２３と、半導体領域２１の上部の一部に埋込領域（受光カソード領域）２３と一部を重複し、且つ埋込領域２３と隣接（連続）して埋め込まれ、埋込領域２３よりもポテンシャル谷（電子井戸）の深さが深く（図３（ｂ）及び図３（ｃ）参照。）、埋込領域２３が生成した電荷を蓄積する第２導電型（n^+型）の蓄積領域２４と、蓄積領域２４の下方に位置し、半導体領域２１より高不純物密度の第１導電型（p^+型）のブロック層２５と、半導体領域２１の上部の一部に蓄積領域２４から右方に離間して埋め込まれ、蓄積領域２４が蓄積した電荷を受け入れる第２導電型（n^+型）の読み出し領域２８と、半導体領域２１の上部の一部に埋込領域２３から左方に離間して埋め込まれ、埋込領域２３が生成した電子を排出する第２導電型（n^+型）の排出領域２７とを備える。埋込領域２３の上から蓄積領域２４の上に渡り、第１導電型（p^+型）のピニング層２６が配置されている。ピニング層２６は、ダーク時の表面でのキャリアの生成や信

号キャリアの捕獲を抑制する層であり、ダーク電流や信号キャリアの捕獲の削減のために好ましい層として用いている。

[0019] 図２に破線で示したように、ピニング層２６、ピニング層２６の下方の埋込領域２３、読み出し領域２８と排出領域２７を囲むように、半導体領域２１より高不純物密度の第１導電型のウェル領域（ｐウェル）２２が形成されている。図３（ａ）では、「第１導電型の半導体領域」として、第１導電型の半導体領域２１を用いる場合を例示しているが、半導体領域２１の代わりに、第１導電型（ｐ型）の半導体基板上に、半導体基板よりも低不純物密度の第１導電型（ｐ型）のシリコンエピタキシャル成長層を形成して、エピタキシャル成長層を第１導電型の半導体領域として採用しても良く、第２導電型（ｎ型）の半導体基板上に、第１導電型（ｐ型）のシリコンエピタキシャル成長層を形成して、エピタキシャル成長層を第１導電型の半導体領域として採用しても良い。第２導電型（ｎ型）の半導体基板上に、pn接合を形成するように、第１導電型（ｐ型）のエピタキシャル成長層を形成すれば、長い波長の場合光が、第２導電型の半導体基板深くまで浸入するが、第２導電型の半導体基板で発生した光によるキャリアは、pn接合のビルトインポテンシャルによる電位障壁のため第１導電型のエピタキシャル成長層まで入って来られないので、第２導電型の半導体基板深くで発生したキャリアを積極的に捨てることができる。これによって、深い位置で発生したキャリアが拡散で戻ってきて、隣の画素に漏れ込むのを防ぐことが可能になる。これは特に、ＲＧＢのカラーフィルタが搭載された単板カラーのイメージセンサの場合に、色の混合を起こさないようにできる効果を奏する。

[0020] 埋込領域２３と、埋込領域２３の直下の半導体領域（アノード領域）２１とで第１の埋込フォトダイオード（以下において、単に「フォトダイオード」という。）Ｄ１を構成している。蓄積領域（カソード領域）２４と、蓄積領域２４の直下の半導体領域２１とで第２の埋込フォトダイオード（以下において「電荷蓄積ダイオード」という。）Ｄ２を構成している。

[0021] ピニング層２６上の半導体領域２１の上、及び埋込領域２３と読み出し領

域２８との間の半導体領域２１の上にはゲート絶縁膜３３が形成されている。ゲート絶縁膜３３としては、シリコン酸化膜（SiO_2膜）が好適であるが、シリコン酸化膜以外の種々の絶縁膜を用いた絶縁ゲート型トランジスタ（ＭＩＳトランジスタ）の絶縁ゲート構造をなしても良い。例えば、シリコン酸化膜／シリコン窒化膜（Si_3N_4膜）／シリコン酸化膜の３層積層膜からなるＯＮＯ膜でも良い。更には、ストロンチウム（Ｓｒ）、アルミニウム（Ａｌ）、マグネシウム（Ｍｇ）、イットリウム（Ｙ）、ハフニウム（Ｈｆ）、ジルコニウム（Ｚｒ）、タンタル（Ｔａ）、ビスマス（Ｂｉ）のいずれか１つの元素を少なくとも含む酸化物、又はこれらの元素を含むシリコン窒化物等がゲート絶縁膜３３として使用可能である。

[0022] ゲート絶縁膜３３の上部には、蓄積領域２４と読み出し領域２８との間に形成される転送チャネルの電位を制御して、蓄積領域２４から読み出し領域２８へ電荷を転送する読み出しゲート電極３２と、埋込領域２３と排出領域２７との間に形成される排出チャネルの電位を制御して、埋込領域２３から、埋込領域２３が生成した電子を排出領域２７へ電荷を転送する排出ゲート電極３１が埋込領域２３の片側にのみ配置されている。ゲート絶縁膜３３とゲート絶縁膜３３上の排出ゲート電極３１とで、埋込領域２３と排出領域２７との間の半導体領域２１の上部に形成されるチャネルの電位を制御し、ポテンシャルプロファイル（電位勾配）を変更して、埋込領域２３から排出領域２７への電荷を排出／非排出、及び蓄積領域２４への信号電荷の転送／非転送を制御する電位勾配変更手段（３１，３３）を構成している。又、ゲート絶縁膜３３とゲート絶縁膜３３上の読み出しゲート電極３２とで、蓄積領域２４と読み出し領域２８との間の半導体領域２１の上部に形成されるチャネルの電位を制御して、蓄積領域２４から読み出し領域２８へ電荷を転送する電荷転送制御手段（３２，３３）を構成している。

[0023] 図３（ｂ）及び図３（ｃ）は、図３（ａ）の断面図において、埋込領域２３、蓄積領域２４、読み出し領域２８を水平面で切った断面におけるポテンシャル図であり、電荷（電子）を黒丸で示している。図３（ａ）に対応して

、図３（ｂ）及び図３（ｃ）の中央の左側に埋込領域２３の伝導帯端の位置を示すポテンシャル谷（第１のポテンシャル谷）ＰＷ１を示す。更に、第１のポテンシャル谷ＰＷ１の右側に、蓄積領域２４の伝導帯端の位置を示すポテンシャル谷（第２のポテンシャル谷）ＰＷ２を示す。更に、第２のポテンシャル谷ＰＷ２の右側に、読み出し領域２８のポテンシャル井戸のフェルミレベル以下の電子が充満した状態を右上がりのハッチングで示す。読み出し領域２８のポテンシャル井戸の深さは、フェルミレベルになるので、図３（ｂ）及び図３（ｃ）においては、右上がりのハッチングで示した領域の上端のレベルが、ポテンシャル井戸の深さを定義する。第２のポテンシャル谷ＰＷ２と、読み出し領域２８のポテンシャル井戸との間の電位障壁は、読み出しゲート電極３２直下の半導体領域２１の伝導帯端のポテンシャル分布に相当する。一方、第１のポテンシャル谷ＰＷ１の左側に、排出領域２７のポテンシャル井戸のフェルミレベル以下の電子が充満した状態を右上がりのハッチングで示す。第１のポテンシャル谷ＰＷ１と、排出領域２７のポテンシャル井戸との間の電位障壁は、埋込領域２３の片側にのみ設けられた排出ゲート電極３１直下の半導体領域２１の伝導帯端のポテンシャル分布に相当する。

[0024] 図３（ｂ）及び図３（ｃ）に示すように、埋込領域２３と蓄積領域２４との間にポテンシャルバリアを設けないようにして、埋込領域２３の完全空乏化したときの第１のポテンシャル谷ＰＷ１の深さが、蓄積領域２４の完全空乏化したときの第２のポテンシャル谷ＰＷ２の深さよりも階段状（ステップ状）に浅くなるようにするためには、例えば、埋込領域２３の不純物密度よりも蓄積領域２４の不純物密度が階段状に高くなるように、それぞれの不純物密度を選べば良い。埋込領域２３の不純物密度よりも蓄積領域２４の不純物密度を階段状に高く設定する方法は、公知の種々の方法が採用可能である。但し、図２に示した平面パターンにおけるマスク位置のずれによるポテンシャルバリアが発生しないようにするためには、図２及び図３（ａ）に示すように、蓄積領域２４には、深い第２のポテンシャル谷ＰＷ２を形成するよ

うにｎ型の不純物が２回イオン注入され（不純物密度n_1と不純物密度n_2）、浅い第１のポテンシャル谷ＰＷ１を形成する埋込領域２３には１回のみイオン注入される（不純物密度n_1のみ）ようにすれば良い。即ち、図２の平面図において埋込領域２３と蓄積領域２４との両方を含む広い領域への不純物密度n_1を実現するためのイオン注入のマスクと、蓄積領域２４のみからなる狭い領域への不純物密度n_2のイオン注入のマスクを用意し、マスク合わせにより選択的に１回のみイオン注入される領域と選択的に２回イオン注入される領域を形成して階段状の不純物密度分布を実現すれば良い。

[0025] ブロック層２５は、第１の実施の形態に係る固体撮像装置に使用する波長が長い場合において、半導体領域２１の深くで発生した電子が表面に拡散によって戻ってくる場合、その一部が、蓄積領域２４に取り込まれるのをブロックすることができる。このため、例えば近赤外光など、使用する光の波長が長い場合であっても、排出ゲート電極３１の電位制御による発生電子の蓄積領域２４への転送の変調特性に対する、半導体領域２１の深くで発生した電子が表面に拡散によって戻ってくる影響を抑制することが可能である。

[0026] 蓄積領域２４及びブロック層２５は、図４に示すように、半導体領域２１を、フォトレジスト膜でマスキングし、例えばｐ型の半導体を形成するホウ素イオン（$^{11}B^+$）、ｎ型の半導体を形成する砒素イオン（$^{75}As^+$）を、順次イオン注入することにより形成される。ブロック層２５を形成するホウ素イオン（$^{11}B^+$）は深く、蓄積領域２４を形成する砒素イオン（$^{75}As^+$）等は浅く注入する。イオン注入の加速電圧が高いほど深く注入することができるが、同じ加速電圧の場合は軽い質量のホウ素の方が砒素と比べ深く注入される。蓄積領域２４及びブロック層２５は、１種のマスクを用いて形成されるので、フォトレジスト膜のマスクずれによるポテンシャルバリアが形成されることを防ぐことができ、ポテンシャルバリアによる電荷の転送不良をなくし、転送を高速化できる。

[0027] 図２に示す平面図において、埋込領域２３は、Ｆ字型をなすように、上側に延伸した先の２箇所で屈折して右側に２本の段付きストライプとして延伸

し、２本の段付きストライプはそれぞれ、右方に向け階段状に幅が減少している。図２に示すように、埋込領域２３の平面パターンの一部を複数の細い縞状（ストライプ状）にして、互いに対峙させることにより、縞状パターンの間の半導体領域２１を容易に空乏化させることができる。Ｆ字型をなす縞状パターンにより、受光面積を拡大し、且つ第１のポテンシャル谷ＰＷ１の底（空乏化したときの電位）を実効的に第２のポテンシャル谷ＰＷ２の底よりも高くすることができ、信号電荷の完全転送を行うことができる。図２では、Ｆ字型をなすように、右上側に２本の段付きストライプを示したが例示に過ぎず、３本以上のストライプでも構わない。図２において、排出ゲート電極３１は、埋込領域２３の左側の辺の一部と隣接するように、埋込領域２３の片側にのみ配置され、排出領域２７は、埋込領域２３の左側に排出ゲート電極３１を隔てて、排出ゲート電極３１の一部から左側に突出するように隣接して設けられている。下側の部分に埋込領域２３と一部を重畳し蓄積領域２４及びブロック層２５が設けられている。蓄積領域２４とブロック層２５とは同一のマスクを用いて形成されているので図２に示す平面図において一致している。

[0028] 排出領域２７と排出ゲート電極３１とは、図示を省略した表面配線により互いに接続されている。埋込領域２３の上にはピニング層２６が形成されているので、半導体領域２１の最上層に着目すれば、ピニング層２６と排出領域２７との間の半導体領域２１の上方に排出ゲート電極３１が設けられていることになる。更に、ピニング層２６と読み出し領域２８との間には読み出しゲート電極３２が設けられている。

[0029] 図２及び図３（ａ）に示すように、電荷が埋込領域２３から排出されるときの、電荷流入面の主面となる排出領域２７の端部が、排出ゲート電極３１直下において、平面パターン上で、埋込領域２３の端部と平行に対峙している。そして、埋込領域２３の片側にのみ設けられた排出ゲート電極３１が埋込領域２３の一部に重複し且つ隣接するように配置されているので、電位勾配変更手段（３１，３３）によって、ポテンシャルプロファイル（電位勾配

）を変更する際には、埋込領域２３の排出領域２７に対向する部分の全体において、排出領域２７に向かう電界を排出ゲート電極３１直下の半導体領域２１に発生させることができる。よって、第１の実施の形態に係る半導体素子は、電荷の排出領域２７への排出効率を向上させ、且つ埋込領域２３から蓄積領域２４に至る信号電荷の高速転送を実現することが可能であると共に、画素の構造を簡単化できる。

[0030] 図２の平面図に示すように、埋込領域２３、蓄積領域２４、読み出し領域２８及び排出領域２７を囲むように、破線で示した領域の外側に第１導電型のウェル領域（ｐウェル）２２が形成されている。破線の更に外側のピニング層２６を囲む太い実線３０は、素子分離領域との境界を示す。即ち、図２に示す太い実線３０の外側が、ＬＯＣＯＳ法やＳＴＩ法等によって形成される素子分離絶縁膜の領域である。

[0031] 例えば、排出領域２７に接続された排出ゲート電極３１に制御信号ＴＸＤとして高い電圧（正の電圧）を与えると、図３（ｃ）に示すような埋込領域２３から排出領域２７の方に向かう空乏化電位の傾きが発生する。図３（ｃ）に示すような傾きのポテンシャル分布に起因する電界によって、埋込領域２３で発生した殆どの電子は排出領域２７に排出され、これにより蓄積領域２４には転送されなくなる。

[0032] 一方、排出ゲート電極３１に制御信号ＴＸＤとして低い電圧（０Ｖ、又は－１Ｖ程度の負電圧）を与えると、図３（ｂ）に示すように、埋込領域２３と排出領域２７との間に電子に対する電位障壁が形成され、埋込領域２３から蓄積領域２４の方に向かう空乏化電位の傾きが発生する。よって、埋込領域２３から排出領域２７には電子は排出が止まり、図３（ｂ）に示すようなポテンシャル分布に起因する電界によって、埋込領域２３で発生した殆どの電子（電荷）が、蓄積領域２４に転送される。

[0033] 以上のように、埋込領域２３と蓄積領域２４との間に特別なゲート構造を設けることなく、埋込領域２３の片側にのみ設けられた排出ゲート電極３１の電位制御だけで、光による発生電子の蓄積領域２４への蓄積量（又は蓄積

状態）を変調することができる。又、排出ゲート電極３１に制御信号ＴＸＤとして低い電圧を与えたときには、埋込領域２３から蓄積領域２４の方に向かう空乏化電位の傾きが形成されているので、埋込領域２３から蓄積領域２４にすべての電荷を転送する完全転送が実現できる。この完全転送により、残像を防止でき、残電荷によるランダムノイズの発生を防止できる。

[0034] この様に、第１の実施の形態に係る固体撮像装置によれば、埋込領域２３の片側にのみ、電位勾配変更手段（３１，３３）をなす排出ゲート電極３１が設けられ、排出ゲート電極３１の電位制御だけで、蓄積領域２４への信号電荷の転送／非転送を制御することができるので、特許文献３で提案した構造の場合のような、電荷の通路の中心付近でポテンシャル傾斜が０になってしまう不都合もなく、電荷転送経路の全幅においてポテンシャル傾斜を生じさせることができるので、画素の構造が簡単化され、電荷の転送効率が高くなり、高解像度化及び高速動作が可能になる。又、埋込領域２３から蓄積領域２４に至る電荷転送経路にゲート構造やスイッチがないため、ゲート電極下を電子が通過するときのシリコン／酸化膜界面（Ｓｉ－ＳｉO_2界面）での電子のトラップがなく、高速転送が可能となるため、時間分解能が向上する。更に、埋込領域２３と蓄積領域２４が１つの埋込フォトダイオード構造となっているため、暗電流ノイズ、転送ノイズ等のノイズの抑制の点からも有利となる。更に、蓄積領域２４の下方に、ブロック層２５を備えているので、排出ゲート電極３１の電位制御による発生電子の蓄積領域２４への転送の変調特性に対する、半導体領域２１の深い位置で発生した電子が表面に拡散によって戻ってくる影響を抑制することができる。

[0035] 一方、読み出しゲート電極３２は、ゲート絶縁膜３３を介して転送チャネルの電位を静電的に制御する。例えば、読み出しゲート電極３２に制御信号ＴＸとして低い電圧（０Ｖ、又は負電圧）を与えると、蓄積領域２４と読み出し領域２８との間に電子に対する電位障壁が形成され、蓄積領域２４から読み出し領域２８へ電荷は転送されない。一方、読み出しゲート電極３２に制御信号ＴＸとして高い電圧（正の電圧）を与えると、蓄積領域２４と読み

出し領域２８との間の電位障壁の高さが減少、若しくは消滅し、蓄積領域２４から読み出し領域２８へ電荷が転送される。

[0036] 図３（ａ）に示すように、読み出し領域２８には、読み出し用バッファアンプを構成する信号読み出しトランジスタ（増幅トランジスタ）ＴＡ$_{ij}$のゲート電極が接続されている。信号読み出しトランジスタＴＡ$_{ij}$のドレイン電極は電源ＶＤＤに接続され、信号読み出しトランジスタＴＡ$_{ij}$のソース電極は画素選択用のスイッチングトランジスタＴＳ$_{ij}$のドレイン電極に接続されている。画素選択用のスイッチングトランジスタＴＳ$_{ij}$のソース電極は、垂直信号線Ｂｊに接続され、スイッチングトランジスタＴＳ$_{ij}$のゲート電極には水平ラインの選択用制御信号Ｓ（ｉ）が垂直走査回路３から与えられる。選択用制御信号Ｓ（ｉ）をハイ（Ｈ）レベルにすることにより、スイッチングトランジスタＴＳ$_{ij}$が導通し、信号読み出しトランジスタＴＡ$_{ij}$で増幅された読み出し領域２８の電位に対応する電流が垂直信号線Ｂｊに流れる。更に、読み出し領域２８には、読み出し用バッファアンプを構成するリセットトランジスタＴＲ$_{ij}$のソース電極が接続されている。リセットトランジスタＴＲ$_{ij}$のドレイン電極は電源ＶＤＤに接続され、リセットトランジスタＴＲ$_{ij}$のゲート電極にはリセット信号Ｒ（ｉ）が与えられる。リセット信号Ｒ（ｉ）をハイ（Ｈ）レベルにして、リセットトランジスタＴＲ$_{ij}$が読み出し領域２８に蓄積された電荷を吐き出し、読み出し領域２８をリセットする。

[0037] 半導体領域２１は、不純物密度５×１０^{12}ｃｍ$^{-3}$程度以上、５×１０^{16}ｃｍ$^{-3}$程度以下程度が好ましい。図３（ｂ）及び図３（ｃ）に示すように、蓄積領域２４の多数キャリアに対するポテンシャル谷の底の電位が、埋込領域２３がなすポテンシャル谷の底の電位よりも深くなるように、蓄積領域２４の不純物密度は埋込領域２３よりも高く設定している。例えば、埋込領域２３の不純物密度は、１×１０^{17}ｃｍ$^{-3}$程度以上、８×１０^{18}ｃｍ$^{-3}$程度以下、好ましくは２×１０^{17}ｃｍ$^{-3}$程度以上、１×１０^{18}ｃｍ$^{-3}$程度以下、代表的には、例えば８×１０^{17}ｃｍ$^{-3}$程度の比較的空乏化が容易な値が採用可能であり、その厚さは０．１～３μｍ程度、好ましくは０．１～0.3μｍ程度とすることが可能

である。一方、蓄積領域２４の不純物密度は、１×１０^{17}ｃｍ$^{-3}$程度以上、8×１０^{18}ｃｍ$^{-3}$程度以下、好ましくは4×１０^{17}ｃｍ$^{-3}$程度以上、2×１０^{18}ｃｍ$^{-3}$程度以下、代表的には、例えば1.6×１０^{18}ｃｍ$^{-3}$程度の値が採用可能であり、その厚さは０．１～３μｍ程度、好ましくは０．1～0．3μｍ程度とすることが可能である。蓄積領域２４の不純物密度は、埋込領域２３の不純物密度の１．２～５倍、好ましくは1.5～2.5倍程度に設定しておけば、蓄積領域２４のポテンシャル谷の底の電位が、埋込領域２３がなすポテンシャル谷の底の電位よりも適度に深くなる。

[0038] ゲート絶縁膜３３を熱酸化膜で形成する場合は、熱酸化膜の厚さは、１５０ｎｍ程度以上、１０００ｎｍ程度以下、好ましくは２００ｎｍ程度以上、４００ｎｍ程度以下とすれば良い。ゲート絶縁膜３３を熱酸化膜以外の誘電体膜とする場合は、熱酸化膜の比誘電率ε_r（１ＭＨｚでε_r＝３．８）で換算した等価な厚さとすれば良い。例えば、比誘電率ε_r＝４．４であるＣＶＤ酸化膜を用いるのであれば上記厚さを４．４／３．８＝１．１６倍した厚さを、比誘電率ε_r＝７であるシリコン窒化物（Si_3N_4）膜をゲート絶縁膜３３に用いるのであれば上記厚さを７／３．８＝１．８４倍した厚さを採用すれば良い。但し、標準的なＣＭＯＳ技術で形成される酸化膜（SiO_2膜）をゲート絶縁膜３３に用いるのが好ましく、ＣＭＯＳ技術におけるフィールド酸化膜をゲート絶縁膜３３に用いるのが製造工程の簡略化に適している。

[0039] 図３（ａ）に示すように、遮光膜４１の開口部４２は、光電荷の発生が、フォトダイオードＤ１を構成している埋込領域２３の直下の半導体領域２１で生じるように選択的に設けられている。図３（ａ）では、ゲート絶縁膜３３のみを示しているが、遮光膜４１は、図示を省略した多層配線構造をなす複数の層間絶縁膜の内のいずれかの上部に設けられたアルミニウム（Ａｌ）等の金属薄膜で構成すれば良い。

[0040] ＜固体撮像装置の動作：距離画像センサ＞

図２及び図３（ａ）に概略構成を示したロックインピクセルの応用を以下に説明する。即ち、光源からパルス幅Ｔｏの繰り返しパルス信号として照射さ

れた光が、対象物で反射され、レンズを介して、図１に示した固体撮像装置（２次元イメージセンサ）のそれぞれの画素X_{11}～X_{1m}；X_{21}～X_{2m}；……；X_{n1}～X_{nm}に入射する。即ち、図３（ａ）に示したように、それぞれの画素X_{11}～X_{1m}；X_{21}～X_{2m}；……；X_{n1}～X_{nm}の遮光膜４１の開口部４２を介して、それぞれの画素X_{11}～X_{1m}；X_{21}～X_{2m}；……；X_{n1}～X_{nm}のフォトダイオードＤ１に入射する。フォトダイオードＤ１は、遮光膜の開口部４２を介して入射したパルス幅T_oのパルス光を光信号として受光し、この光信号を電荷に変換する。この際、図５に示すタイミング図のように、埋込領域２３の片側にのみ設けられた排出ゲート電極３１に制御信号ＴＸＤとして高い電圧（正の電圧）を受信したパルス幅Toの光パルスのタイミングに対して与える。

[0041] 既に説明したとおり、排出ゲート電極３１に制御信号ＴＸＤとして高い電圧（正の電圧）を与えると、図３（ｃ）に示すような傾きのポテンシャル分布に起因する電界によって、埋込領域２３で発生した殆どの電子は排出領域２７に排出される。一方、排出ゲート電極３１に制御信号ＴＸＤとして低い電圧（０Ｖ、又は－１Ｖ程度の負電圧）を与えると、 図３（ｂ）に示すようなポテンシャル分布によって、埋込領域２３で発生した殆どの電子（電荷）が、蓄積領域２４に転送される。

[0042] 先ず、図５（ａ）のように、パルス幅T_oの受信光パルスが排出ゲート電極３１に印加する制御信号ＴＸＤの立ち上がりエッジに、光パルスの遅れ時間T_d分、遅れてかかるようなタイミングで発光させた場合、光パルスによって埋込領域２３で発生し、蓄積領域２４に蓄積される電荷Q_1は、

$$Q_1 = I_p(T_o - T_d) + Q_B + Q_{SR} \quad \cdots (1)$$

で与えられる。ここで、I_pは受信光パルスにより発生する光電流、Q_Bは背景光による電荷、Q_{SR}は受信光パルスによって発生した電荷の内、応答速度が遅く、埋込領域２３中でオフセット電荷としてふるまう成分である。

[0043] 図５（ｂ）では、計測対象とする測距範囲において、パルス幅T_oの受信光パルスによる埋込領域２３で発生した電荷は、すべて蓄積領域２４に蓄積されるように光パルスのタイミングを設定しており、この場合に、蓄積される

電荷Q_2は、

$$Q_2 = I_p T_o + Q_B + Q_{SR} \quad \cdots (2)$$

と表される。

[0044] 図５（ｃ）では、受信した光パルスにより埋込領域２３で発生した成分は、すべて排出領域２７に排出されるように光パルスのタイミングを設定している。この場合は、応答速度の遅いオフセット電荷の成分Q_{SR}と背景光による成分Q_Bが蓄積領域２４に蓄積されるように取り込まれ、

$$Q_3 = Q_B + Q_{SR} \quad \cdots (3)$$

で表される。式（３）から、式（１），式（２）に含まれる背景光による成分Q_Bと電荷の成分の内、応答速度の遅いオフセット電荷の成分Q_{SR}をキャンセルすることにより、光パルスの遅れ時間T_dを求めることができることが分かる。即ち、光パルスの遅れ時間T_dは、

$$T_d = T_o(Q_2 - Q_1)/(Q_2 - Q_3) \quad \cdots (4)$$

から求めることができるので、対象物までの距離Ｌは、光速ｃを用いて、

$$L = (c/2)T_d = (c/2)T_o(Q_2 - Q_1)/(Q_2 - Q_3) \quad \cdots (5)$$

により求められる。

[0045] 実際には、図５で示した排出ゲート電極３１に印加する制御信号ＴＸＤの繰り返し周期T_Sを１サイクルとして、多数回繰り返し、十分な電子数を蓄積領域２４に蓄積したのち、各画素の信号をイメージセンサの外部に読み出す。その一連の操作を図５（ａ），（ｂ），（ｃ）に対して順次行い、読み出された各電荷量に比例した信号電圧或いは、その信号電圧に比例したディジタル値により、ディジタル領域での演算で、式（５）に相当する処理を行うことで距離が求められる。

[0046] 実際のイメージセンサの読み出しのタイミングの例を、図６に示す。図１に示した固体撮像装置（２次元イメージセンサ）では、図２及び図３（ａ）の排出ゲート電極３１に、全画素共通の制御信号ＴＸＤを与え、同じタイミングで動作させる。或いは、例えば、行毎にタイミングの異なる信号を加え、読み出し動作と連動させて与えても良い。図６のように、「光照射」の期

間で、排出ゲート電極３１に制御信号ＴＸＤを繰り返し周期T_Sで、多数回繰り返し印加し、電荷の排出領域２７への排出と、蓄積領域２４への転送を繰り返し、十分な電子数を蓄積領域２４に蓄積する。その後、「読み出し」の期間で、図１に示した画素アレイ部１の各行の排出ゲート電極３１に、垂直走査回路３から制御信号ＴＸ（１），…，ＴＸ（ｉ），…，ＴＸ（ｎ－２），ＴＸ（ｎ－１），ＴＸ（ｎ）を、図６に示すように、順に印加し、蓄積領域２４の信号電子を読み出す。信号をイメージセンサの外部に読み出す方法については、従来の埋込フォトダイオードを用いた電荷転送型のＣＭＯＳイメージセンサと違いはなく、詳細な説明は省略する。図６では、読み出し期間のおける、各行毎に与えるＴＸ信号のタイミングだけを示している。

[0047] 第１の実施の形態に係る固体撮像装置によれば、変調された光信号と同期して電荷の検出を行う場合において、信号検出のための電荷転送経路が一種類であるため、例えばフォトダイオードからの複数の蓄積領域２４にゲート電極構造を介して、電荷を振り分ける従来の構造に比較して、画素毎に特性ばらつきを少なくした距離画像センサを実現することができる。又、第１の実施の形態に係る固体撮像装置によれば、埋込領域２３の片側にのみ、電位勾配変更手段（３１，３３）をなす排出ゲート電極３１が設けられ、排出ゲート電極３１の電位制御だけで、蓄積領域２４への信号電荷の転送／非転送を制御することができるので、特許文献３で提案した構造の場合のような、電荷の通路の中心付近でポテンシャル傾斜が０になってしまう不都合もない。

[0048] ＜固体撮像装置の動作：蛍光強度及び蛍光の寿命測定＞

次に、本発明の第１の実施の形態に係る固体撮影装置の応用例として、対象物の蛍光の寿命を画像化する方法を説明する。蛍光寿命の測定は、バイオイメージングにおいて有用であり、その計測が半導体デバイスと簡単な光源及び光学系で実現することができれば、蛍光の寿命測定の応用範囲を拡大することができる。

[0049] 図７は、排出ゲート電極３１に制御信号ＴＸＤとして低い電圧（０Ｖ、又

はー１Ｖ程度の負電圧）を印加する期間Ｔ$_g$を短くし、そのパルスのタイミングＴ$_d$を１フレーム毎に変化させることで蛍光の寿命を測定する場合のタイミング図を示している。期間ΔＴの間以外は、排出ゲート電極３１に制御信号ＴＸＤとして高い電圧を与えて、埋込領域２３の電荷を排出領域２７へ排出する。繰り返しパルスの励起光を照射したとき、励起光が照射された対象物からの蛍光は遅れて応答する。

[0050] 蛍光は指数関数的に減衰するため、蛍光の強度をＰとすると、蛍光Ｐと時間Ｔとの関係は、τを蛍光の寿命、Ｐ$_0$を蛍光の強度の初期値として、式（６）のように表すことができる：

$$P = P_0 \exp(-t/\tau) \quad \cdots (6)$$

[0051] 図７において、タイミングＴ$_d$＝ｔ$_1$から期間ΔＴの間、制御信号ＴＸＤとして低い電圧を排出ゲート電極３１に与えて、蛍光による電荷を蓄積領域２４に転送したとき、蛍光電荷の転送の遅れ時間を無視すれば、転送電荷Ｑ$_1$は、式（７）のように、時刻ｔ$_1$からｔ$_1$＋ΔＴの期間の積分で与えられる：

[数1]

$$Q_1 = k\int_{t_1}^{t_1+\Delta T} P_0 \exp(-t/\tau)dt = kP_0\tau\exp(-t_1/\tau)(1-\exp(-\Delta T/\tau)) \quad \cdots (7)$$

この転送動作を何度も繰り返す。このとき、蛍光の寿命が変化せず、同じ蛍光を繰り返すとすれば、Ｎ回の繰り返しにより、その電荷はＮ倍になる。

[0052] 同様に、図１１において、時刻ｔ1とは異なるタイミングＴ$_d$＝ｔ$_2$から期間ΔＴの間、制御信号ＴＸＤとして低い電圧を排出ゲート電極３１に与えて、蛍光による電荷を蓄積領域２４に転送したとき、蛍光電荷の転送の遅れ時間を無視すれば、転送電荷Ｑ$_2$は、式（８）のように、時刻ｔ$_2$からｔ$_2$＋ΔＴの期間の積分で与えられる：

[数2]

$$Q_2 = k\int_{t_2}^{t_2+\Delta T} P_0 \exp(-t/\tau)dt = kP_0\tau\exp(-t_2/\tau)(1-\exp(-\Delta T/\tau))$$

…（８）

式（７）及び式（８）から、蛍光の寿命τは以下の式（９）のように表すことができる：

$$\tau = (t_2 - t_1) / \ln(Q_1/Q_2) \quad \cdots (9)$$

[0053] したがって、蛍光により発生した電荷を異なるタイミングで読み出すことにより、蛍光の寿命τを測定可能となる。尚、イメージセンサとしての全体的な読み出しの動作は、図６を用いて説明した動作と実質的に同様であるので、重複した説明を省略する。

[0054] 第１の実施の形態に係る固体撮像装置によれば、特許文献３で提案した構造の場合のような、電荷の通路の中心付近でポテンシャル傾斜が０になってしまう不都合もなく、電荷転送経路の全幅においてポテンシャル傾斜を生じさせることができ、変調された光信号と同期して電荷の検出を行う場合において、信号検出のための電荷転送経路が一種類であるため、例えばフォトダイオードからの複数の蓄積領域２４にゲート電極構造を介して、電荷を振り分ける従来の構造に比較して画素毎に特性ばらつきを少なくして、蛍光の寿命を画像化することができる。

[0055] 図７に示したタイミング図は、蛍光寿命を測る場合だけでなく、蛍光の強度を測るものにも使える。蛍光の強度の測定は、単に時間的に窓をかけて、励起光の成分を捨てて（排出）、蛍光が発生しているときだけ、転送するようにすれば良い。その時間窓のタイミングは固定であるが、蛍光をできるだけ集めたいので、励起光のすぐ後で、開きはじめ、十分に減衰するまで時間窓を広く、即ちΔＴを大きくする。

[0056] よって、蛍光強度イメージングの場合は、時間窓ΔＴを固定として、励起光による電荷を十分に排出したのちに、排出ゲートを閉じ、蛍光により発生

した電荷のみを電荷蓄積部に転送する。従来、蛍光強度イメージングでは、励起光による成分と蛍光による成分の分離は、それらの波長が異なることを利用し、光の波長に対して選択する光学フィルタのみが用いられているが、励起光と蛍光の波長成分が一部重なりあうため、励起光が必ずしも十分に分離できない場合がある。本発明のように、時間窓による選択を併用することで、より分離性が高まり、より微弱な蛍光を検出することができる。

[0057] （第２の実施の形態）

第１の実施の形態に係る固体撮像装置の画素では、読み出しゲート電極３２の電位制御によって、蓄積領域２４に蓄積された電荷を読み出し領域２８に転送したが、図８に平面図を示すように、固体撮像装置の画素X_{ij}の一部としての半導体素子を、読み出し領域２８ａが埋込領域２３ａの内部で、且つ蓄積領域２４ａの内部に位置するようにし、読み出しゲート電極を設けずに蓄積領域２４ａに蓄積された電荷を直接読み出し領域２８に転送するようにしても良い。

[0058] 図９（ａ）に、図８のＢ－Ｂ方向から見た階段断面図を示すように、本発明の第２の実施の形態に係る固体撮像装置の画素（半導体素子）は、第１導電型（ｐ型）の半導体領域２１と、半導体領域２１の上部の一部に埋め込まれ、半導体領域２１とフォトダイオードをなす第２導電型（ｎ型）の埋込領域（受光カソード領域）２３ａと、埋込領域２３ａから離間して半導体領域２１の一部に設けられ、特定のタイミングにおいて埋込領域２３ａからフォトダイオードが生成した電荷を排出する、埋込領域２３ａよりも高不純物密度で第２導電型（n^+型）の排出領域２７と、半導体領域２１の一部に設けられ、電荷の非排出時に電荷を埋込領域２３ａから転送され、読み出されるまで蓄積する、埋込領域２３ａよりも高不純物密度で第２導電型（n^+型）の読み出し領域２８ａと、埋込領域２３ａと排出領域２７との間の半導体領域２１からなるチャネルの上部に設けられ、チャネルの電位を制御して、埋込領域２３ａから読み出し領域２８ａへ至るポテンシャルプロファイルの少なくとも一部の電位勾配、及び埋込領域２３ａから排出領域２７へ至るポテンシ

ャルプロファイルの電位勾配を変化させ、電荷の転送の少なくとも一部及び電荷の排出を制御する電位勾配変更手段（３１，３２）とを備える。本発明の第２の実施の形態に係る固体撮像装置の画素（半導体素子）は、読み出し領域２８ａを囲んで読み出し領域２８ａに連続して設けられ、埋込領域２３ａの多数キャリアに対する埋込領域２３ａがなすポテンシャル谷の底の電位よりも深く、読み出し領域２８ａがなす多数キャリアに対するポテンシャル井戸の深さよりも浅いポテンシャル谷を形成する第２導電型（ｎ型）の蓄積領域２４ａを更に備える（図９（ｂ）及び図９（ｃ）参照。）。電位勾配変更手段（３１，３２）は、電荷の転送時において、埋込領域２３ａから蓄積領域２４ａへ向かい次第に電位が下がる電位勾配を形成し、電荷を埋込領域２３ａから蓄積領域２４ａへ転送する。図８の平面図では、読み出し領域２８ａが埋込領域２３ａの内部に設けられているが、読み出し領域２８ａは埋込領域２３ａの内部に完全に含まれている必要はなく、読み出し領域２８ａは埋込領域２３ａと連続、又は埋込領域２３ａと少なくとも一部を重複して設けられていても良い。

[0059] 図９（ａ）に示すように、埋込領域２３ａに光が選択的に入射するように、遮光膜４１の開口部４２が設けられている。遮光膜４１の開口部４２を設けることにより、光電荷の発生が、フォトダイオードＤ１を構成している埋込領域２３ａの直下の半導体領域２１で生じる。図９（ａ）では、ゲート絶縁膜３３のみを示しているが、遮光膜４１は、図示を省略した多層配線構造をなす複数の層間絶縁膜の内のいずれかの上部に設けられたアルミニウム（Ａｌ）等の金属薄膜で構成すれば良いのも第１の実施の形態に係る固体撮像装置と同様である。

[0060] 本発明の第２の実施の形態に係る固体撮像装置の画素（半導体素子）は、第１の実施の形態に係る固体撮像装置と同様に、蓄積領域２４ａの下方に設けられ、半導体領域２１より高不純物密度の第１導電型（p^+型）のブロック層２５ａと、埋込領域２３ａの上から蓄積領域２４ａの上に渡り設けられた、第１導電型（p^+型）のピニング層２６ａとを更に備える。そして、図８に

破線で示したように、ピニング層２６ａ、ピニング層２６ａの下方の埋込領域２３ａ、排出領域２７、蓄積領域２４ａを囲むように、半導体領域２１より高不純物密度の第１導電型のウェル領域（ｐウェル）２２が形成されている。破線の更に外側のピニング層２６ａを囲む太い実線３０ａは、素子分離領域との境界を示す。即ち、図８に示す太い実線３０ａの外側が、ＬＯＣＯＳ法やＳＴＩ法等によって形成される素子分離絶縁膜の領域である。

[0061] 第２の実施の形態に係る固体撮像装置の画素（半導体素子）には読み出しゲート電極はないが、ゲート絶縁膜３３上には、埋込領域２３ａと排出領域２７との間に形成される排出チャネルの電位を制御して、埋込領域２３ａから、埋込領域２３ａが生成した電子を排出領域２７へ転送する排出ゲート電極３１が埋込領域２３ａの片側にのみ、配置されている。ゲート絶縁膜３３とゲート絶縁膜３３上の排出ゲート電極３１とで、埋込領域２３ａと排出領域２７との間の半導体領域２１の上部に形成されるチャネルの電位を制御し、ポテンシャルプロファイル（電位勾配）を変更して、埋込領域２３ａから排出領域２７への電荷を排出／非排出、及び埋込領域２３ａから蓄積領域２４ａへの信号電荷の転送／非転送を制御する電位勾配変更手段（３１，３３）を構成している。

[0062] 図９（ｂ）及び図９（ｃ）は、図９（ａ）の階段断面図において、埋込領域２３ａ、蓄積領域２４ａ、読み出し領域２８ａを水平面で切った断面におけるポテンシャル図であり、電荷（電子）を黒丸で示している。図９（ａ）に対応して、図９（ｂ）及び図９（ｃ）の左側に、排出領域２７のポテンシャル井戸のフェルミレベル以下の電子が充満した状態を右上がりのハッチングで示す。又、排出領域２７のポテンシャル井戸の右側に、埋込領域２３ａの伝導帯端の位置を示すポテンシャル谷（第１のポテンシャル谷）ＰＷ１と、第１のポテンシャル谷ＰＷ１の右側に、蓄積領域２４ａの伝導帯端の位置を示すポテンシャル谷（第２のポテンシャル谷）ＰＷ２を示す。第２のポテンシャル谷ＰＷ２の中央部に、第２のポテンシャル谷ＰＷ２の底よりも深い読み出し領域２８ａのポテンシャル井戸を示す。読み出し領域２８ａのポテ

ンシャル井戸の深さは、フェルミレベルになるので、図９（ｂ）及び図９（ｃ）においては、右上がりのハッチングで示した領域の上端のレベルが、ポテンシャル井戸の深さを定義する。読み出し領域２８ａを示す深いポテンシャル井戸の周りのフェルミレベルの上方の位置には、読み出し領域２８ａよりも浅い第２のポテンシャル谷ＰＷ２の底を示す伝導帯端が囲み、第２のポテンシャル谷ＰＷ２が読み出し領域２８ａがなす深いポテンシャル井戸に単調に連続している。蓄積領域２４ａの多数キャリアに対するポテンシャル谷の底の電位が、埋込領域２３ａがなすポテンシャル谷の底の電位よりも深く、読み出し領域２８ａがなすポテンシャル井戸の深さよりも浅くなるように、蓄積領域２４ａの不純物密度は埋込領域２３ａよりも高く、読み出し領域２８ａの不純物密度よりも低く設定している。

[0063] 第１のポテンシャル谷ＰＷ１とその左側に示した排出領域２７の深いポテンシャル井戸との間の電位障壁は、排出ゲート電極３１の直下の半導体領域２１の伝導帯端のポテンシャル分布に相当する。例えば、排出ゲート電極３１に、制御信号ＴＸＤとして、低い電位（０Ｖ、又は－１Ｖ程度の負電圧）を与えると、図９（ｂ）に示すように、埋込領域２３と排出領域２７との間に電子に対する電位障壁が形成され、埋込領域２３から蓄積領域２４ａの方に向かう空乏化電位の傾きが発生する。図９（ｂ）に示すようなポテンシャル分布に起因する電界によって、埋込領域２３ａで発生した殆どの電子（電荷）が、蓄積領域２４ａに転送され、更に蓄積領域２４ａを示す第２のポテンシャル谷ＰＷ２を経由して、読み出し領域２８ａの深いポテンシャル井戸へ転送される。

[0064] 一方、排出領域２７に接続された排出ゲート電極３１に制御信号ＴＸＤとして高い電位（正の電圧）を与えると、図９（ｃ）に示すように、埋込領域２３ａから左側の排出領域２７の深いポテンシャル井戸に向かう空乏化電位の傾きが発生する。図９（ｃ）に示すようなポテンシャル分布に起因する電界によって、埋込領域２３ａで発生した電子は、排出領域２７に排出され、読み出し領域２８ａの深いポテンシャル井戸へは転送できなくなる。

[0065] 図８及び図９（ａ）に示すように、電荷が埋込領域２３ａから排出されるときの、電荷流入面の主面となる排出領域２７の端部が、排出ゲート電極３１直下において、平面パターン上で、埋込領域２３ａの端部と平行に対峙している。そして、排出ゲート電極３１が埋込領域２３ａの一部に重複し且つ隣接するように配置されているので、電位勾配変更手段（３１，３３）によって、ポテンシャルプロファイル（電位勾配）を変更する際には、埋込領域２３ａの排出領域２７に対向する部分の全体において、排出領域２７に向かう電界を排出ゲート電極３１直下の半導体領域２１に発生させることができる。よって、第２の実施の形態に係る半導体素子は、電荷の排出領域２７への排出効率を向上させ、且つ埋込領域２３aから蓄積領域２４ａを経て読み出し領域２８ａへ至る信号電荷の高速転送を実現することが可能であると共に、画素の構造を簡単化できる。更に、第２の実施の形態に係る半導体素子は、読み出し領域２８ａに電荷を転送するための読み出しゲート電極を省略しているので、半導体素子の構造が簡単化され、画素の面積を小さくでき、高空間解像度で高速動作するイメージセンサを実現できる。但し、通常の読み出しでは、リセットノイズがキャンセルされないことと、半導体表面で電荷を蓄積することから、暗電流が大きくなる点に注意が必要である。

[0066] この様に、第２の実施の形態に係る固体撮像装置によれば、埋込領域２３ａの片側にのみ、排出ゲート電極３１が設けられ、排出ゲート電極３１の電位制御だけで、蓄積領域２４ａへの信号電荷の転送／非転送を制御することができるので、特許文献３で提案した構造の場合のような、電荷の通路の中心付近でポテンシャル傾斜が０になってしまう不都合もなく、電荷転送経路の全幅においてポテンシャル傾斜を生じさせることができるので、画素の構造が簡単化され、電荷の転送効率が高くなり、高解像度化及び高速動作が可能になる。

[0067] （第３の実施の形態）

又、既に述べた第２の実施の形態の説明では、図８及び図９に示したように、読み出し領域２８ａを蓄積領域２４ａの表面の中央付近に位置するよう

にし、蓄積領域２４ａの下方に、半導体領域２１より高不純物密度の第１導電型（ｐ$^{+}$型）のブロック層２５ａを設け、読み出しゲート電極を設けずに蓄積領域２４に蓄積された電荷を直接読み出し領域２８に転送する構造を示したが、本発明の第３の実施の形態に係る固体撮像装置の画素X_{ij}の一部としての半導体素子では、図１１に示すように、第２の実施の形態で用いた蓄積領域２４ａ及びブロック層２５ａの領域をなくして、ウェル領域（ｐウェル）２２ｂを読み出し領域２８ｂと重ねるレイアウトを採用している。図１１の平面図において、破線で示した領域の外側がウェル領域２２ｂである。図１１は平面図なので、ゲート絶縁膜の図示を省略しているが、ゲート絶縁膜とゲート絶縁膜上の排出ゲート電極３１とで、埋込領域２３ｂと排出領域２７との間の半導体領域２１の上部に形成されるチャネルの電位を制御し、ポテンシャルプロファイル（電位勾配）を変更して、埋込領域２３ｂから排出領域２７への電荷を排出／非排出、及び埋込領域２３ｂから読み出し領域２８ｂへの信号電荷の転送／非転送を制御する電位勾配変更手段を構成している。

[0068] 図１１に示すように、電荷が埋込領域２３ｂから排出されるときの、電荷流入面の主面となる排出領域２７の端部が、排出ゲート電極３１直下において、平面パターン上で、埋込領域２３ｂの端部と平行に対峙している。そして、埋込領域２３ｂの片側のみにおいて、排出ゲート電極３１が埋込領域２３ｂの一部に重複し且つ隣接するように配置されているので、電位勾配変更手段によって、ポテンシャルプロファイル（電位勾配）を変更する際には、埋込領域２３ｂの排出領域２７に対向する部分の全体において、排出領域２７に向かう電界を排出ゲート電極３１直下の半導体領域２１に発生させることができる。よって、第３の実施の形態に係る半導体素子は、電荷の排出領域２７への排出効率を向上させ、且つ埋込領域２３ｂから読み出し領域２８ｂへの信号電荷の高速転送を実現することが可能であると共に、画素の構造を簡単化できる。特に、第３の実施の形態に係る固体撮像装置の画素（半導体素子）には蓄積領域２４ａがないので、図９に示した第２のポテンシャル

谷ＰＷ２がないポテンシャルプロファイルになる。このため、埋込領域２３ｂがなすポテンシャル谷から読み出し領域２８ｂがなすポテンシャル井戸への電位勾配に沿って、直接、電荷が高効率で転送され、ほぼ第２の実施の形態と同様な効果を奏する。

[0069] 図１１に示す第３の実施の形態に係る固体撮像装置の画素のレイアウトでは、ウェル領域２２ｂの平面パターンと読み出し領域２８ｂの平面パターンの一部が重複しているので、ウェル領域２２ｂにブロック層２５ａと等価な機能を持たせることが可能で、半導体領域２１からの読み出し領域２８ｂへの光の漏れ込みをなくすことができる。但し、図１１に示すように、ウェル領域２２ｂから読み出し領域２８ｂの一部が突出して、ウェル領域２２ｂの平面パターンと読み出し領域２８ｂの平面パターンとが重複するレイアウトであるので、ウェル領域２２ｂによって、埋込領域２３ｂがなすポテンシャル谷から読み出し領域２８ｂがなすポテンシャル井戸への経路にポテンシャルバリアが形成される可能性がある。第３の実施の形態に係る固体撮像装置の画素においてポテンシャルバリアが形成されないようにするためには、ウェル領域２２ｂと読み出し領域２８ｂの不純物密度の関係や相対的な位置関係を正確に決める必要がある。ウェル領域２２ｂを示す破線の更に外側のピニング層２６ｂを囲む太い実線３０ｂは、素子分離領域との境界を示す。即ち、図１１に示す太い実線３０ｂの外側が、ＬＯＣＯＳ法やＳＴＩ法等によって形成される素子分離絶縁膜の領域である。

[0070] この様に、第３の実施の形態に係る固体撮像装置によれば、埋込領域２３ｂの片側にのみ、排出ゲート電極３１が設けられ、排出ゲート電極３１の電位制御だけで、読み出し領域２８ｂへの信号電荷の転送／非転送を制御することができるので、特許文献３で提案した構造の場合のような、電荷の通路の中心付近でポテンシャル傾斜が０になってしまう不都合もなく、電荷転送経路の全幅においてポテンシャル傾斜を生じさせることができるので、画素の構造が簡単化され、電荷の転送効率が高くなり、高解像度化及び高速動作が可能になる。

[0071] （その他の実施の形態）

上記のように、本発明は第１～第３の実施の形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

[0072] 例えば、本発明の第１～第３の実施の形態のいずれかで説明した構造を利用して、距離測定等に用いる光源としてのＬＥＤ照明を、背景光に対して相対的に増強させることもできる。この場合、図１０に示すように、ＬＥＤが発光しているタイミングに合わせて、排出ゲート電極３１に制御信号ＴＸＤとして低い電圧を与え、ＬＥＤにより生成された電荷を蓄積領域２４に転送されるようにし、それ以外の期間では発生した電子が排出領域２７に排出されるようにする。この場合、ＬＥＤを繰り返し発光させたときの、発光のデューティ比を小さくして、直流発光の場合に比べて、最大許容駆動電流を大きくすることができるので、同じ発光強度を得るのに必要なＬＥＤの数を減らすことができる。

[0073] 本発明の第３の実施の形態に係る固体撮像装置では、図１１に示すように、第２の実施の形態で用いた蓄積領域２４ａ及びブロック層２５ａの領域をなくして、ウェル領域（ｐウェル）２２ｂを読み出し領域２８ｂと重ねるレイアウトを採用したが、蓄積領域２４ａの平面パターンを残すレイアウトを採用しても良い。即ち、図９に示した第２の実施の形態に係る固体撮像装置の画素のブロック層２５ａのパターンをなくすが、蓄積領域２４ａのパターンは利用し、読み出し領域の平面パターンの一部にウェル領域２２ａの平面パターンが重なるレイアウトを採用しても良い。この場合は、蓄積領域２４ａを残しているので、図９に示したと同様に第２のポテンシャル谷ＰＷ２が残り、埋込領域２３ｂがなす第１のポテンシャル谷ＰＷ１から、第２のポテンシャル谷ＰＷ２を経由して、読み出し領域がなすポテンシャル井戸へ電荷が順に転送され、ほぼ第２の実施の形態と同様な効果を奏する。しかしながら、蓄積領域２４ａのパターンを残すレイアウトの場合には、蓄積領域２４

ａの領域の下に比較的高濃度のp層がないため、半導体領域２１から読み出し領域への電光の漏れ込み特性が不利になる。しかし、ブロック層２５ａをなくすレイアウトの採用によって、固体撮像装置の製造工程が簡単になるという利点がある。

[0074] 更に、既に述べた第１～第３の実施の形態に係る固体撮像装置の説明では、第１導電型をｐ型、第２導電型をｎ型として説明したが、第１導電型をｎ型、第２導電型をｐ型としても、電気的な極性を反対にすれば同様な効果が得られることは容易に理解できるであろう。

[0075] 又、既に述べた第１～第３の実施の形態の説明においては、２次元固体撮像装置（エリアセンサ）を例示的に説明したが、本発明の半導体素子は２次元固体撮像装置の画素のみに用いられるように限定して解釈するべきではない。例えば、図１に示した２次元マトリクスにおいて、ｊ＝ｍ＝１とした１次元固体撮像装置（ラインセンサ）の画素として複数の半導体素子を１次元に配列しても良いことは、上記開示の内容から、容易に理解できるはずである。

[0076] この様に、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

符号の説明

[0077] X_{11}～X_{1m}；X_{21}～X_{2m}；・・・・・；X_{n1}～X_{nm}…画素

１…画素アレイ部

２…水平走査回路

３…垂直走査回路

４…タイミング発生回路

５…信号処理回路

２１…半導体領域

２２，２２ａ，２２ｂ…ウェル領域（破線の外側がウェル領域）

２３，２３ａ，２３ｂ…埋込領域

２４，２４ａ…蓄積領域

２５，２５ａ…ブロック層

２６，２６ａ…ピニング層

２７…排出領域

２８，２８ａ，２８ｂ…電荷読みだし領域

３０…素子分離領域との境界を示す線（太い実線の外側が素子分離絶縁膜）

３１…排出ゲート電極

３２…読み出しゲート電極

３３…ゲート絶縁膜

４１…遮光膜

４２…開口部

請求の範囲

[請求項1] 第１導電型の半導体領域と、

前記半導体領域の上部の一部に埋め込まれ、前記半導体領域とフォトダイオードをなす第２導電型の埋込領域と、

前記埋込領域から離間して前記半導体領域の一部に設けられ、特定のタイミングにおいて前記埋込領域から前記フォトダイオードが生成した電荷を排出する、前記埋込領域よりも高不純物密度で第２導電型の排出領域と、

前記半導体領域の一部に設けられ、前記電荷の非排出時に前記電荷を前記埋込領域から転送され、読み出されるまで蓄積する、前記埋込領域よりも高不純物密度で第２導電型の読み出し領域と、

前記埋込領域と前記排出領域との間の前記半導体領域からなるチャネルの上部に設けられ、前記チャネルの電位を制御して、前記埋込領域から前記読み出し領域へ至るポテンシャルプロファイルの少なくとも一部の電位勾配、及び前記埋込領域から前記排出領域へ至るポテンシャルプロファイルの電位勾配を変化させ、前記電荷の転送の少なくとも一部及び前記電荷の排出を制御する電位勾配変更手段

とを備えることを特徴とする半導体素子。

[請求項2] 前記読み出し領域が、前記埋込領域から離間して前記半導体領域の一部に設けられ、

前記埋込領域から前記読み出し領域に至る経路の一部の前記埋込領域側に設けられ、前記埋込領域の多数キャリアに対する前記埋込領域がなすポテンシャル谷の底の電位よりも深く、前記読み出し領域がなす前記多数キャリアに対するポテンシャル井戸の深さよりも浅いポテンシャル谷を形成する第２導電型の蓄積領域を更に備え、

前記電荷の転送時において、前記埋込領域から前記蓄積領域へ向かい次第に電位が下がる電位勾配を形成し、前記電荷を前記埋込領域から前記蓄積領域へ転送することを特徴とする請求項１に記載の半導体

素子。

[請求項3] 前記読み出し領域が、前記埋込領域の内部、前記埋込領域と連続、又は前記埋込領域と少なくとも一部を重複して設けられ、

前記読み出し領域を囲んで前記読み出し領域に連続して設けられ、前記埋込領域の多数キャリアに対する前記埋込領域がなすポテンシャル谷の底の電位よりも深く、前記読み出し領域がなす前記多数キャリアに対するポテンシャル井戸の深さよりも浅いポテンシャル谷を形成する第２導電型の蓄積領域を更に備え、

前記電荷の転送時において、前記埋込領域から前記蓄積領域へ向かい次第に電位が下がる電位勾配を形成し、前記電荷を前記埋込領域から前記蓄積領域へ転送することを特徴とする請求項１に記載の半導体素子。

[請求項4] 前記蓄積領域が前記埋込領域よりも高不純物密度であることを特徴とする請求項２又は３に記載の半導体素子。

[請求項5] 前記読み出し領域が、前記埋込領域の内部、前記埋込領域と連続、又は前記埋込領域と少なくとも一部を重複して設けられ、

前記電荷の転送時に、前記埋込領域から前記蓄積領域へ向かい次第に電位が下がる電位勾配に沿って、前記電荷が前記埋込領域から前記蓄積領域へ直接転送されることを特徴とする請求項１に記載の半導体素子。

[請求項6] 前記電荷が前記埋込領域から排出されるときの、電荷流入面の主面となる排出領域の端部が、平面パターン上前記埋込領域の端部と平行に対峙していることを特徴とする請求項１～５のいずれか１項に記載の半導体素子。

[請求項7] 前記蓄積領域の下方に、第１導電型で前記半導体領域よりも高不純物密度のブロック層を更に備えることを特徴とする請求項２～５のいずれか１項に記載の半導体素子。

[請求項8] 前記排出領域の一部と前記蓄積領域の周囲を少なくとも囲む第１導

電型のウェル領域を更に備え、

前記読み出し領域の少なくとも一部が、平面パターン上、前記ウェル領域の内部に含まれことを特徴とする請求項５に記載の半導体素子。

[請求項9] 第１導電型の半導体領域と、

前記半導体領域の上部の一部に埋め込まれ、前記半導体領域とフォトダイオードをなす第２導電型の埋込領域と、

前記埋込領域から離間して前記半導体領域の一部に設けられ、特定のタイミングにおいて前記埋込領域から前記フォトダイオードが生成した電荷を排出する、前記埋込領域よりも高不純物密度で第２導電型の排出領域と、

前記半導体領域の一部に設けられ、前記電荷の非排出時に前記電荷を前記埋込領域から転送され、読み出されるまで蓄積する、前記埋込領域よりも高不純物密度で第２導電型の読み出し領域と、

前記埋込領域と前記排出領域との間の前記半導体領域からなるチャネルの上部に設けられ、前記チャネルの電位を制御して、前記埋込領域から前記読み出し領域へ至るポテンシャルプロファイルの少なくとも一部の電位勾配、及び前記埋込領域から前記排出領域へ至るポテンシャルプロファイルの電位勾配を変化させ、前記電荷の転送の少なくとも一部及び前記電荷の排出を制御する電位勾配変更手段

とを備える画素を複数配列したことを特徴とする固体撮像装置。

[請求項10] 前記読み出し領域が、前記埋込領域から離間して前記半導体領域の一部に設けられ、

前記埋込領域から前記読み出し領域に至る経路の一部の前記埋込領域側に設けられ、前記埋込領域の多数キャリアに対する前記埋込領域がなすポテンシャル谷の底の電位よりも深く、前記読み出し領域がなす前記多数キャリアに対するポテンシャル井戸の深さよりも浅いポテンシャル谷を形成する第２導電型の蓄積領域を更に備え、

前記電荷の転送時において、前記埋込領域から前記蓄積領域へ向かい次第に電位が下がる電位勾配を形成し、前記電荷を前記埋込領域から前記蓄積領域へ転送することを特徴とする請求項９に記載の固体撮像装置。

[請求項11] 前記読み出し領域が、前記埋込領域の内部、前記埋込領域と連続、又は前記埋込領域と少なくとも一部を重複して設けられ、

前記読み出し領域を囲んで前記読み出し領域に連続して設けられ、前記埋込領域の多数キャリアに対する前記埋込領域がなすポテンシャル谷の底の電位よりも深く、前記読み出し領域がなす前記多数キャリアに対するポテンシャル井戸の深さよりも浅いポテンシャル谷を形成する第２導電型の蓄積領域を更に備え、

前記電荷の転送時において、前記埋込領域から前記蓄積領域へ向かい次第に電位が下がる電位勾配を形成し、前記電荷を前記埋込領域から前記蓄積領域へ転送することを特徴とする請求項９に記載の固体撮像装置。

[請求項12] 前記蓄積領域が前記埋込領域よりも高不純物密度であることを特徴とする請求項１０又は１１に記載の固体撮像装置。

[請求項13] 前記読み出し領域が、前記埋込領域の内部、前記埋込領域と連続、又は前記埋込領域と少なくとも一部を重複して設けられ、

前記電荷の転送時に、前記埋込領域から前記蓄積領域へ向かい次第に電位が下がる電位勾配に沿って、前記電荷が前記埋込領域から前記蓄積領域へ直接転送されることを特徴とする請求項９に記載の固体撮像装置。

[請求項14] 前記電荷が前記埋込領域から排出されるときの、電荷流入面の主面となる排出領域の端部が、平面パターン上前記埋込領域の端部と平行に対峙していることを特徴とする請求項９～１３のいずれか１項に記載の固体撮像装置。

[請求項15] 前記蓄積領域の下方に、第１導電型で前記半導体領域よりも高不純

物密度のブロック層を更に備えることを特徴とする請求項１０～１３のいずれか１項に記載の固体撮像装置。

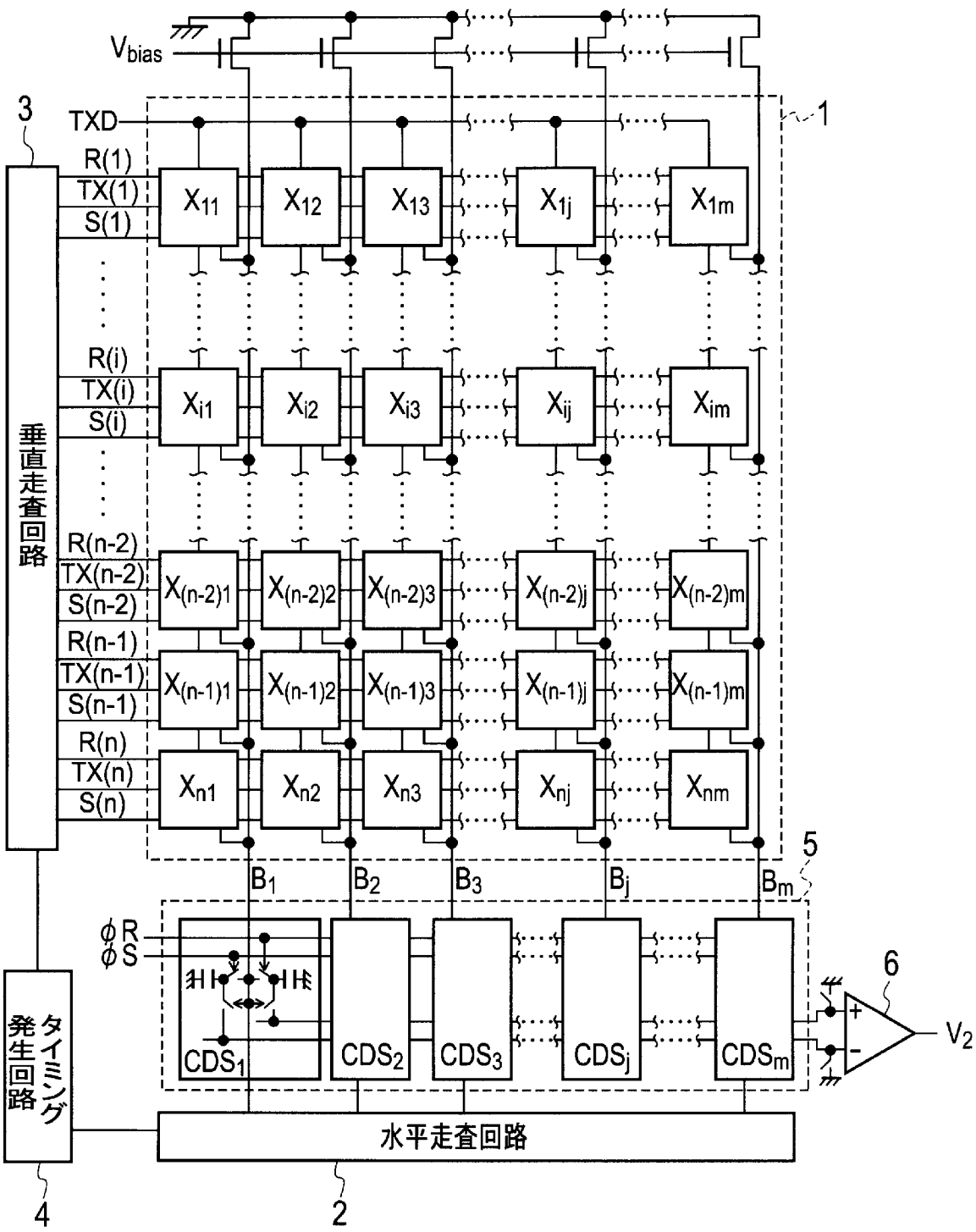
[請求項16] 前記排出領域の一部と前記蓄積領域の周囲を少なくとも囲む第１導電型のウェル領域を更に備え、

前記読み出し領域の少なくとも一部が、平面パターン上、前記ウェル領域の内部に含まれことを特徴とする請求項１３に記載の固体撮像装置。

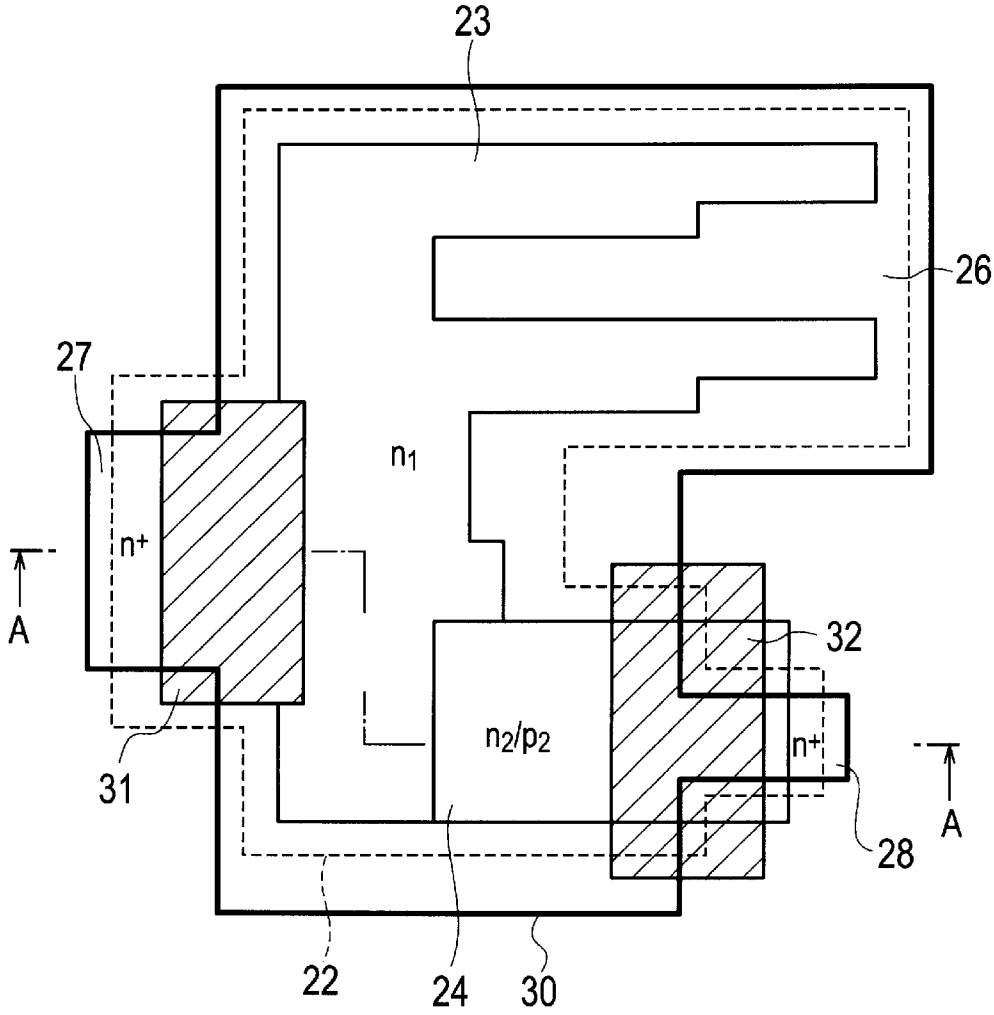
[請求項17] 前記読み出し領域が、前記画素にそれぞれ設けられた読み出しトランジスタのゲート電極に接続されることを特徴とする請求項１０～１６のいずれか１項に記載の固体撮像装置。

[請求項18] 前記読み出し領域が、前記リセットトランジスタのソース電極をなす、又は前記ソース電極に接続されることを特徴とする請求項１７に記載の固体撮像装置。

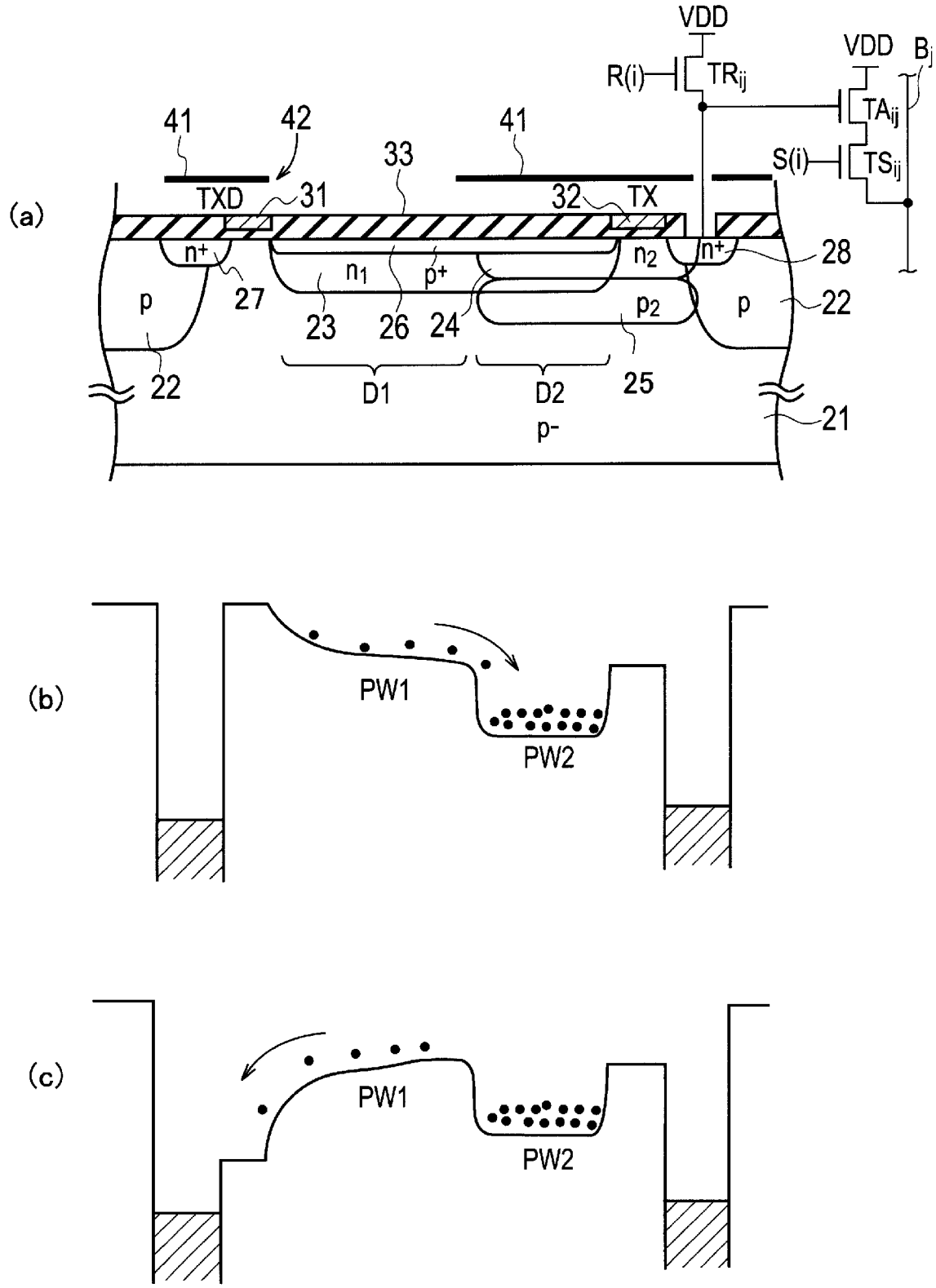
[図1]


Vbias
TXD
R(1)
TX(1)
S(1)
R(i)
TX(i)
S(i)
R(n-2)
TX(n-2)
S(n-2)
R(n-1)
TX(n-1)
S(n-1)
R(n)
TX(n)
S(n)
X11 X12 X13 X1j X1m
Xi1 Xi2 Xi3 Xij Xim
X(n-2)1 X(n-2)2 X(n-2)3 X(n-2)j X(n-2)m
X(n-1)1 X(n-1)2 X(n-1)3 X(n-1)j X(n-1)m
Xn1 Xn2 Xn3 Xnj Xnm
垂直走査回路
タイミング発生回路
B1 B2 B3 Bj Bm
φR
φS
CDS1 CDS2 CDS3 CDSj CDSm
水平走査回路
V2
1
2
3
4
5
6

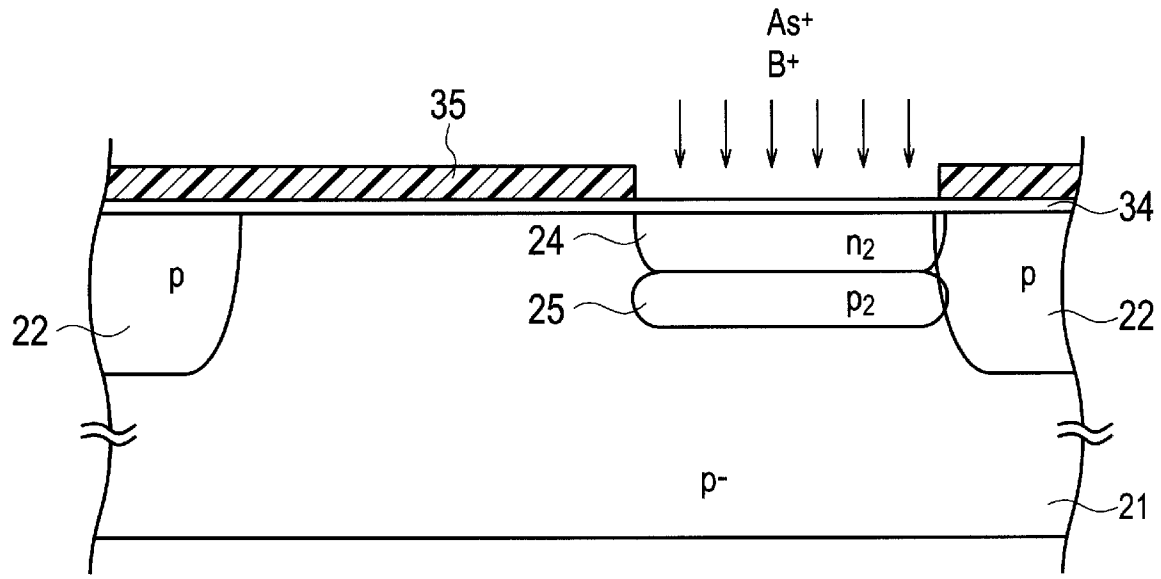
[図2]



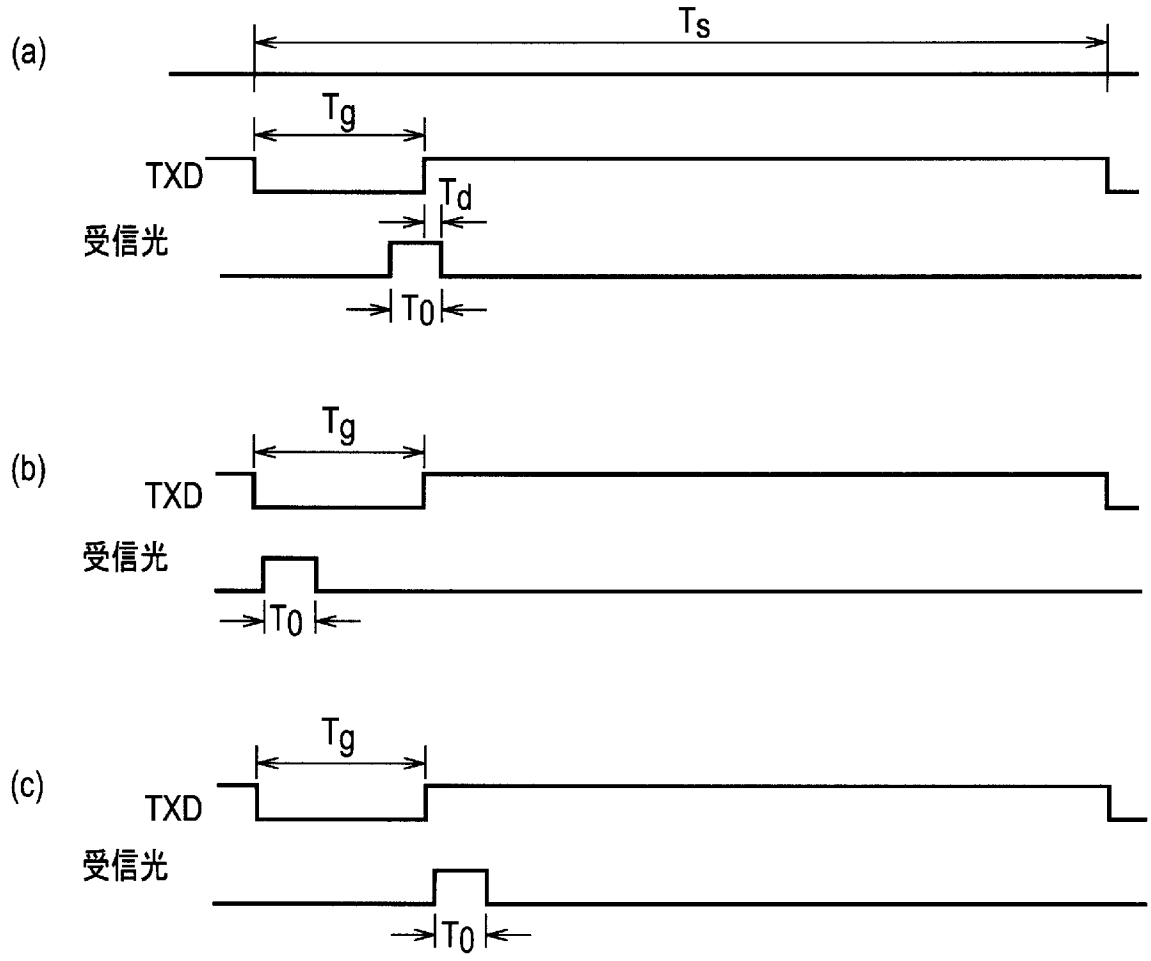
[図3]


(a)
VDD
R(i)
TRij
VDD
Bj
TAij
S(i)
TSij
41
42
41
33
TXD
31
32
TX
n+
n1
p+
n2
n+
28
27
p
23
26
24
p2
p
22
22
D1
D2
25
p-
21
(b)
PW1
PW2
(c)
PW1
PW2

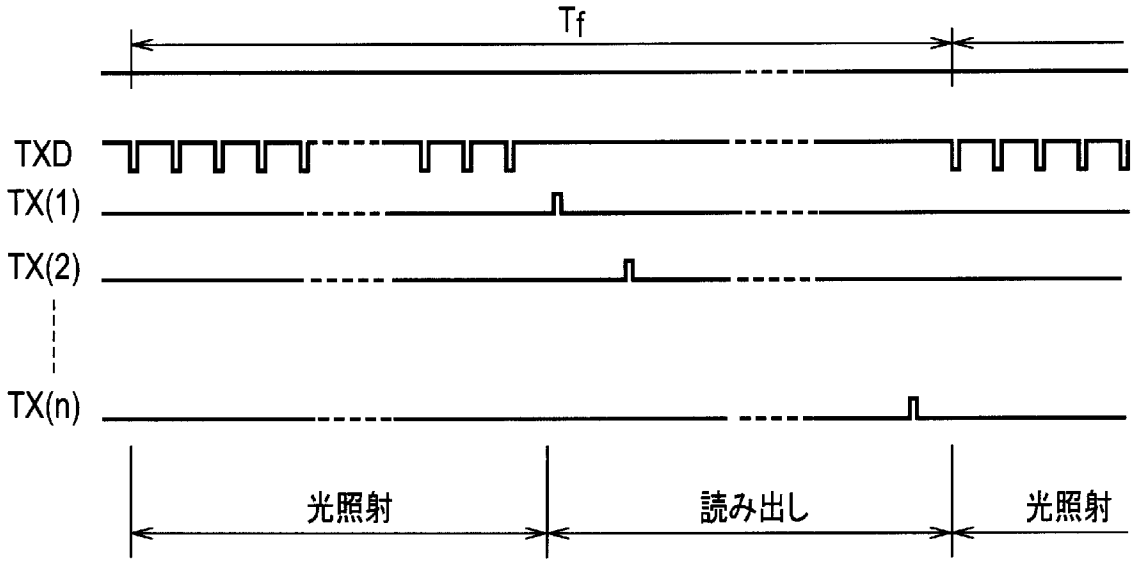
[図4]


As+
B+
35
34
24
n2
25
p2
p
p
22
22
p-
21

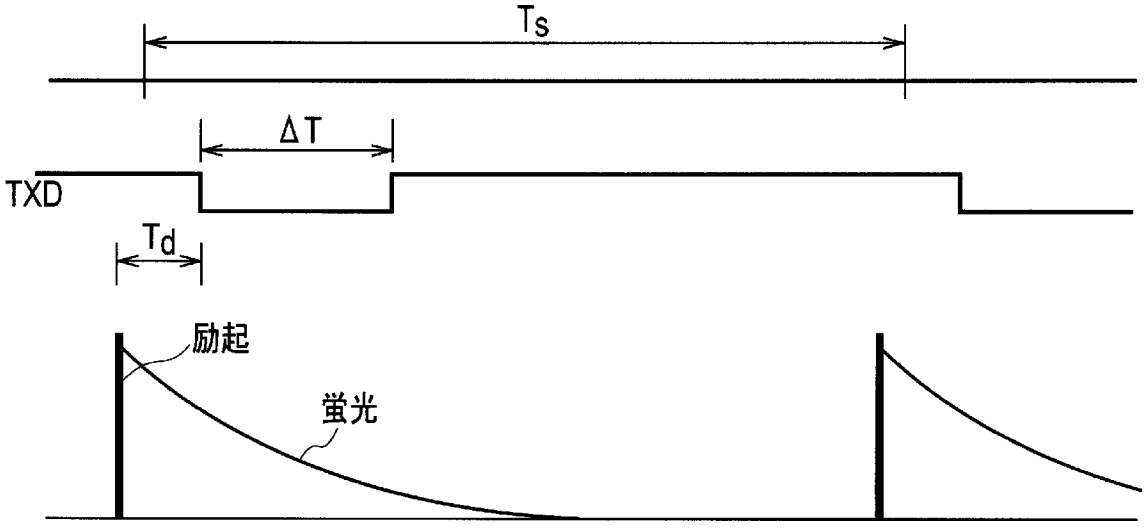
[図5]


(a)
Ts
Tg
TXD
Td
受信光
T0
(b)
Tg
TXD
受信光
T0
(c)
Tg
TXD
受信光
T0

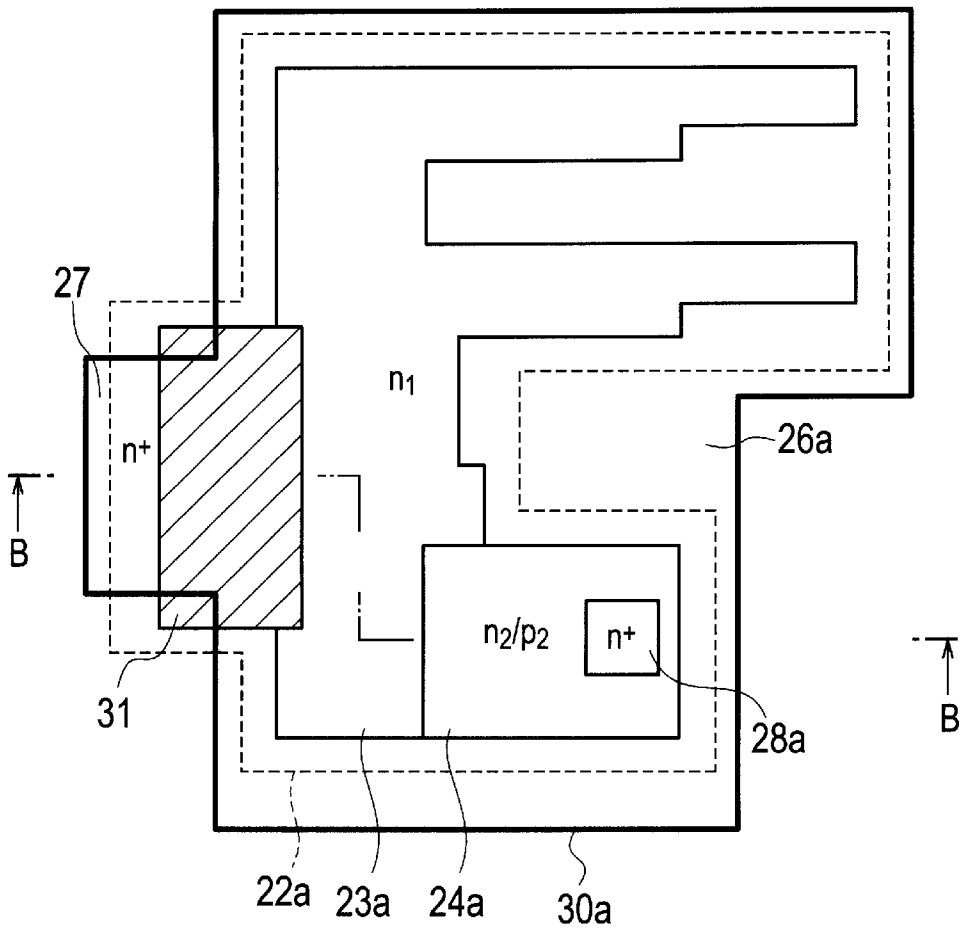
[図6]



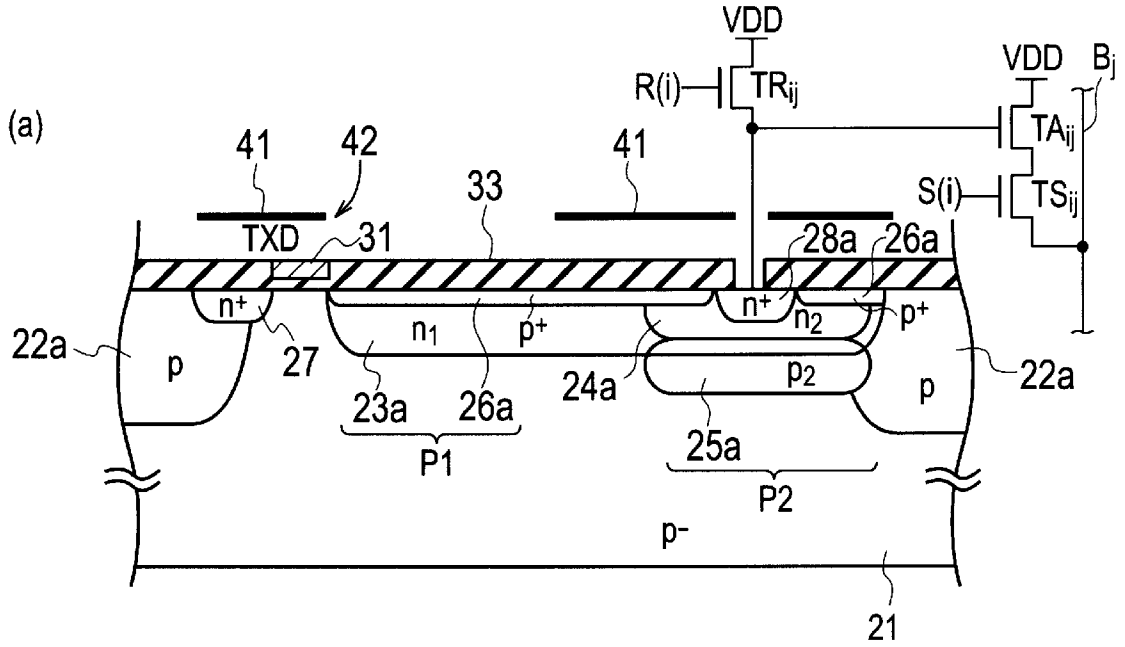
[図7]

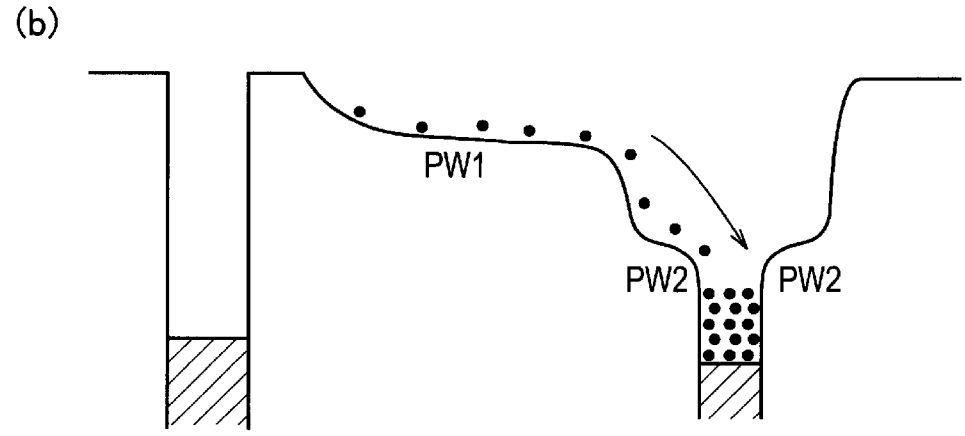


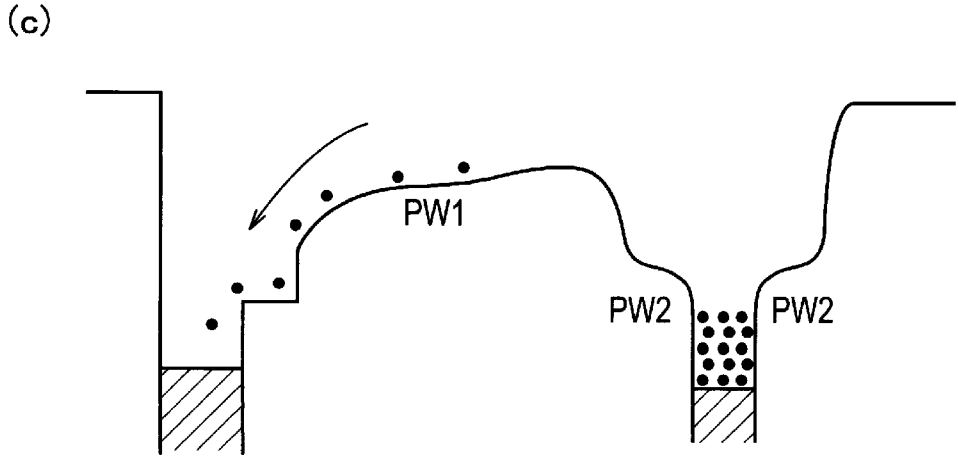
[図8]



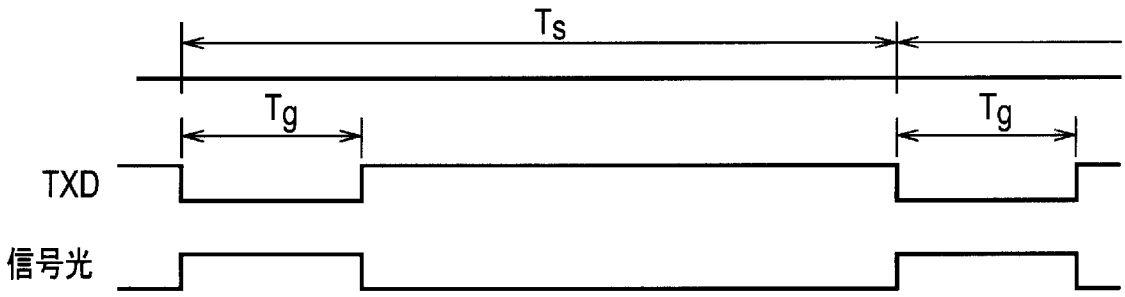
[図9]


(a)
VDD
R(i)
TRij
VDD
Bj
TAij
S(i)
TSij
41
42
41
33
TXD
31
28a
26a
n+
n+
n+
22a
p
27
n1
p+
n2
p+
22a
24a
p2
p
23a
26a
P1
25a
P2
p-
21

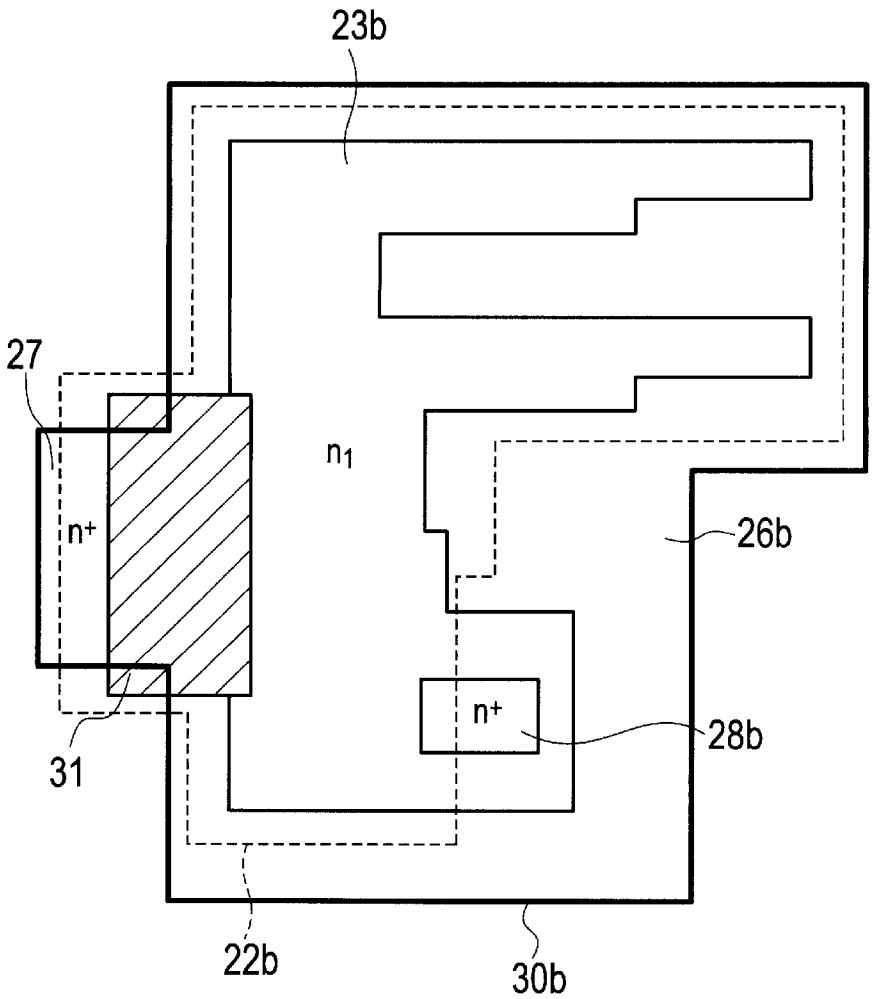

(b)
PW1
PW2
PW2


(c)
PW1
PW2
PW2

[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/067452

A. CLASSIFICATION OF SUBJECT MATTER
H04N5/335(2006.01)i, *H01L27/146*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04N5/335, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2008-103647 A (National University Corporation Shizuoka University), 01 May 2008 (01.05.2008), paragraphs [0065] to [0067]; fig. 1, 17 to 18 (Family: none)	1-2,4,6-7, 9-10,12, 14-15,17-18 3,5,8,11,13, 16
Y A	JP 2008-252814 A (National University Corporation Shizuoka University), 16 October 2008 (16.10.2008), paragraphs [0080] to [0099]; fig. 20, 22 (Family: none)	1-2,4,6-7, 9-10,12, 14-15,17-18 3,5,8,11,13, 16
Y	JP 2001-326341 A (NEC Corp.), 22 November 2001 (22.11.2001), paragraphs [0021] to [0023]; fig. 1 & US 2001/0040210 A1	7,15

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
29 October, 2010 (29.10.10)	09 November, 2010 (09.11.10)

Name and mailing address of the ISA/	Authorized officer
Japanese Patent Office	
Facsimile No.	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１０／０６７４５２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/335(2006.01)i, H01L27/146(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/335, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１０年
日本国実用新案登録公報	１９９６－２０１０年
日本国登録実用新案公報	１９９４－２０１０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2008-103647 A (国立大学法人静岡大学) 2008.05.01, 段落【0065】-【0067】, 図 1, 17-18 (ファミリーなし)	1-2, 4, 6-7, 9-10, 12, 14-15, 17-18
A		3, 5, 8, 11, 13, 16

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日 ２９．１０．２０１０	国際調査報告の発送日 ０９．１１．２０１０
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｐ　９８４７ 鈴木　肇 電話番号　０３－３５８１－１１０１　内線　３５８１

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2008-252814 A (国立大学法人静岡大学) 2008.10.16, 段落【0080】-【0099】, 図 20, 22 (ファミリーなし)	1-2, 4, 6-7, 9-10, 12, 14-15, 17-18
A		3, 5, 8, 11, 13, 16
Y	JP 2001-326341 A (日本電気株式会社) 2001.11.22, 段落【0021】-【0023】, 図 1 & US 2001/0040210 A1	7, 15