

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月7日(07.09.2018)



(10) 国際公開番号

WO 2018/159342 A1

(51) 国際特許分類:

H04N 5/378 (2011.01) H04N 5/3745 (2011.01)
H04N 5/347 (2011.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2018/005649

(22) 国際出願日: 2018年2月19日(19.02.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-038176 2017年3月1日(01.03.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(72) 発明者: 榎 弘二 (ENOKI Koji); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

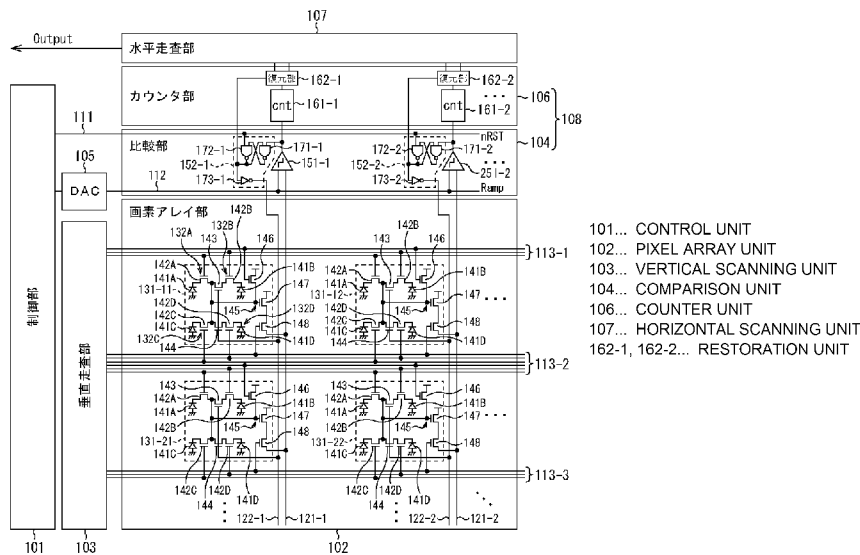
(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿プライムスクエア9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SOLID-STATE IMAGING DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 固体撮像装置、及び、電子機器

[図2]
FIG. 2



(57) **Abstract:** The present feature relates to a solid-state imaging device and an electronic apparatus with which it is possible to shorten the processing time of AD conversion and perform a read at a faster speed. Provided is a solid-state imaging device comprising a pixel array unit in which pixels having a photoelectric conversion unit are two-dimensionally arranged in matrix form and a column signal line is wired for each column of the matrix arrangement of the pixels, and an AD conversion unit that converts signals outputted via the column signal line. Due to the fact that a charge-voltage



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

conversion unit is shared for the photoelectric conversion units of a plurality of pixels, pixel sharing in units of a prescribed number of pixels is performed, and when a digital signal corresponding to the first charge of a first pixel that constitutes, together with a second pixel, the shared pixels to be subjected to AD-conversion becomes definitive in the AD conversion unit, the first charge from the first pixel and a second charge from the second pixel are added by the charge-voltage conversion unit of the shared pixels. The present feature can be applied to, for example, a column AD-type CMOS image sensor using correlated double sampling (CDS).

(57) 要約: 本技術は、AD変換の処理時間を短縮して、より高速に読み出しを行うことができるようにする固体撮像装置、及び、電子機器に関する。光電変換部を有する画素が行列状に2次元配置され、当該画素の行列状の配置に対して列ごとに列信号線が配線される画素アレイ部と、列信号線を介して出力される信号を変換するAD変換部とを備え、複数の画素の光電変換部に対して、電荷電圧変換部を共有することで、所定の数の画素を単位とした画素共有がなされ、AD変換部において、AD変換の対象の共有画素を構成する第1の画素と第2の画素のうち、第1の画素の第1の電荷に応じたデジタル信号が確定したとき、当該共有画素の電荷電圧変換部では、第1の画素からの第1の電荷と、第2の画素からの第2の電荷とを加算する固体撮像装置が提供される。本技術は、例えば、相関二重サンプリング(CDS)を用いたカラムAD方式のCMOSイメージセンサに適用することができる。

明 細 書

発明の名称： 固体撮像装置、及び、電子機器

技術分野

[0001] 本技術は、固体撮像装置、及び、電子機器に関し、特に、AD変換の処理時間を短縮して、より高速に読み出しを行うことができるようにした固体撮像装置、及び、電子機器に関する。

背景技術

[0002] 行列状に2次元配置された画素（単位画素）に対し、列ごとにAD変換を行うCMOS(Complementary Metal Oxide Semiconductor)イメージセンサが知られている。

[0003] この種のイメージセンサの撮像速度を改善するための技術として、例えば、特許文献1と特許文献2が提案されている。

[0004] 特許文献1には、相関二重サンプリング（CDS: Correlated Double Sampling）を用いたカラムAD方式が開示されている。また、特許文献2には、FD共有画素ブロック内の第1の画素をAD変換した後に、第2の画素を非破壊読み出しで合成した電圧をAD変換する方式が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2005-278135号公報

特許文献2：特開2006-80937号公報

発明の概要

発明が解決しようとする課題

[0006] ところで、CMOSイメージセンサ等のイメージセンサにおいては、スローモーション撮影の実現や、フォーカルプレーン歪みなどを改善するために、さらなる高速読み出しが求められている。

[0007] 本技術はこのような状況に鑑みてなされたものであり、AD変換の処理時間を短縮して、より高速に読み出しを行うことができるようにするものである

。

課題を解決するための手段

- [0008] 本技術の一側面の固体撮像装置は、光電変換部を有する画素が行列状に2次元配置され、当該画素の行列状の配置に対して列ごとに列信号線が配線される画素アレイ部と、前記列信号線を介して出力される信号を、アナログ信号からデジタル信号に変換するAD変換部とを備え、複数の前記画素の前記光電変換部に対して、前記光電変換部で検出される電荷を電圧に変換するための電荷電圧変換部を共有することで、所定の数 of 画素を単位とした画素共有がなされ、前記AD変換部において、AD変換の対象の共有画素を構成する第1の画素と第2の画素のうち、前記第1の画素の第1の光電変換部で検出された第1の電荷に応じたデジタル信号が確定したとき、当該共有画素の電荷電圧変換部では、前記第1の画素の第1の光電変換部からの第1の電荷と、前記第2の画素の第2の光電変換部からの第2の電荷とを加算する固体撮像装置である。
- [0009] 本技術の一側面の電子機器は、光電変換部を有する画素が行列状に2次元配置され、当該画素の行列状の配置に対して列ごとに列信号線が配線される画素アレイ部と、前記列信号線を介して出力される信号を、アナログ信号からデジタル信号に変換するAD変換部とを備え、複数の前記画素の前記光電変換部に対して、前記光電変換部で検出される電荷を電圧に変換するための電荷電圧変換部を共有することで、所定の数 of 画素を単位とした画素共有がなされ、前記AD変換部において、AD変換の対象の共有画素を構成する第1の画素と第2の画素のうち、前記第1の画素の第1の光電変換部で検出された第1の電荷に応じたデジタル信号が確定したとき、当該共有画素の電荷電圧変換部では、前記第1の画素の第1の光電変換部からの第1の電荷と、前記第2の画素の第2の光電変換部からの第2の電荷とを加算する固体撮像装置を搭載した電子機器である。
- [0010] 本技術の一側面の固体撮像装置及び電子機器においては、AD変換部において、AD変換の対象の共有画素を構成する第1の画素と第2の画素のうち、第

1の画素の第1の光電変換部で検出された第1の電荷に応じたデジタル信号が確定したとき、当該共有画素の電荷電圧変換部で、第1の画素の第1の光電変換部からの第1の電荷と、第2の画素の第2の光電変換部からの第2の電荷とが加算される。

[0011] 本技術の一側面の固体撮像装置及び電子機器は、独立した装置であってもよいし、1つの装置を構成している内部ブロックであってもよい。

発明の効果

[0012] 本技術の一側面によれば、AD変換の処理時間を短縮して、より高速に読み出しを行うことができる。

[0013] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0014] [図1]従来方式のAD変換とFD加算のタイミングを示すタイミングチャートである。

[図2]第1の実施の形態の固体撮像装置の構成例を示す図である。

[図3]第1の実施の形態におけるAD変換とFD加算のタイミングを示すタイミングチャートである。

[図4]第1の実施の形態における加算トリガ信号とFD加算のタイミングを示すタイミングチャートである。

[図5]第2の実施の形態の固体撮像装置の構成例を示す図である。

[図6]第2の実施の形態におけるAD変換とFD加算のタイミングを示すタイミングチャートである。

[図7]第2の実施の形態における加算トリガ信号とFD加算のタイミングを示すタイミングチャートである。

[図8]本技術を適用した固体撮像装置を搭載した電子機器の構成例を示す図である。

[図9]イメージセンサの使用例を示す図である。

発明を実施するための形態

[0015] 以下、図面を参照しながら本技術の実施の形態について説明する。なお、説明は以下の順序で行うものとする。

[0016] 1. 本技術の概要

2. 第1の実施の形態：基本構成

3. 第2の実施の形態：2つのRAMP波を用いた構成

4. 変形例

5. 電子機器の構成

6. イメージセンサの使用例

[0017] <1. 本技術の概要>

[0018] (従来方式)

図1は、従来方式のAD変換とFD加算のタイミングを示すタイミングチャートである。

[0019] 図1には、一般的なCMOSイメージセンサにおいて、相関二重サンプリング(CDS)を用いたカラムAD方式を採用するとともに、複数の画素のフォトダイオードで、フローティングディフュージョン(FD: Floating Diffusion)を共有した画素共有がなされている場合のAD変換とFD加算のタイミングを示している。

[0020] なお、図1の説明では、その説明の都合上、FD共有画素ブロック内で、フローティングディフュージョンを共有している画素を、第1の画素、第2の画素と称し、第1のフォトダイオード、第2のフォトダイオードをそれぞれ有しているものとする。

[0021] また、相関二重サンプリング(CDS)を用いたカラムAD方式のAD変換部の比較器には、DAC(Digital to Analog Converter)からのランプ波(Ramp)と、共有画素に接続された垂直信号線(VSL)からのVSL信号が入力され、比較されるものとする。

[0022] 図1においては、AD変換部の比較器に入力される、DACからのランプ波(Ramp)と、垂直信号線VSLからのVSL信号が時系列で表されている。また、図1において、時間の方向は、図中の左側から右側に向かう方向とされる。

- [0023] 時刻 t_1 において、共有画素のリセットトランジスタがオン状態になることで、共有画素のフローティングディフュージョンが、リセットされる。これにより、時刻 t_1 から時刻 t_2 までのP相期間において、リセットレベル S_{rst} が読み出される。
- [0024] 次に、時刻 t_2 から時刻 t_3 までのD1セトリング期間の後に、第1の画素の転送トランジスタがオン状態になることで、第1のフォトダイオードに蓄積された信号電荷 Q_A に応じた画素信号 S_a が、フローティングディフュージョンに転送される。そして、このフローティングディフュージョンでは、信号電荷 Q_A の量に応じた電位が発生され、共有画素の増幅トランジスタ及び選択トランジスタによって、垂直信号線VSLに出力（印加）される。
- [0025] これにより、時刻 t_3 から時刻 t_4 までのD1相期間において、信号電荷 Q_A に応じた画素信号レベル S_A が読み出される。そして、D1相の読み出し時の画素信号レベル S_A と、P相の読み出し時のリセットレベル S_{rst} との差分をとることで、オフセット成分が取り除かれ、真の信号成分 S_a を得ることができる。
- [0026] 次に、時刻 t_4 から時刻 t_5 までのD2セトリング期間の後に、第2の画素の第2のフォトダイオードに蓄積された信号電荷 Q_B を読み出す際には、フローティングディフュージョンに対し、リセットトランジスタによるリセットをかけずに、第2のフォトダイオードからの信号電荷 Q_B が読み出される。
- [0027] すなわち、第2の画素の転送トランジスタがオン状態になることで、第2のフォトダイオードに蓄積されていた信号電荷 Q_B が転送され、既にフローティングディフュージョンに蓄積されている、第1のフォトダイオードで検出された信号電荷 Q_A と足し合わされる。このとき、フローティングディフュージョンでは、2つのフォトダイオードにより検出された信号電荷 Q_A 、 Q_B を合成した合成電荷 Q_{AB} が蓄積された状態となる。
- [0028] このように、第1の画素における第1のフォトダイオードにより検出された信号電荷 Q_A と、第2の画素における第2のフォトダイオードにより検出された信号電荷 Q_B とが、フローティングディフュージョンにて加算され、第1の画素と第2の画素の2画素分の信号電荷量が蓄積された状態となる。そし

て、このフローティングディフュージョンでは、合成電荷QABの電荷量に応じた電位が発生され、増幅トランジスタ及び選択トランジスタによって、垂直信号線（VSL）に出力（印加）される。

[0029] その後、時刻 t_5 から時刻 t_6 までのD2相期間においては、第2のフォトダイオードにより検出された信号電荷QBに応じた画素信号レベルSBが読み出される。ただし、その際には、上述したように、フローティングディフュージョンには、2つのフォトダイオードにより検出された信号電荷QA、QBの合成電荷QABが蓄積された状態となっているので、ここでは、合成電荷QABに応じた画素信号レベルSABが読み出される。

[0030] そのため、D2相の読み出し時の画素信号レベルSABと、P相の読み出し時のリセットレベル S_{rst} との差分をとることで、オフセット成分が取り除かれ、真の信号成分 S_{ab} を得ることができる。また、第2のフォトダイオードにより検出された信号電荷QBに応じた画素信号 S_b （真の信号成分 S_b ）は、合成成分 S_{ab} （真の信号成分 S_{ab} ）と、画素信号 S_a （真の信号成分 S_a ）との差分をとることで得られる。

[0031] ここで、AD変換部においては、比較器によって、そこに入力される、垂直信号線（VSL）からのVSL信号の信号電圧 V_x と、ランプ波（Ramp）による参照電圧 V_{ref} との比較動作が行われ、その比較結果に応じたレベルの出力信号 V_{co} が出力される。

[0032] 具体的には、比較器においては、VSL信号の信号電圧 V_x と、ランプ波の参照電圧 V_{ref} とが等しくなったとき（図中のC1やC2等の交差したとき）、出力信号 V_{co} の極性が反転され、例えば、参照電圧 V_{ref} が信号電圧 V_x よりも大きくなる場合に、出力信号 V_{co} がHレベルとなり、参照電圧 V_{ref} が信号電圧 V_x 以下となる場合には、出力信号 V_{co} がLレベルとなる。この比較器からの出力信号 V_{co} は、後段のカウンタによりカウントされる。

[0033] このようにして、相関二重サンプリング（CDS）を用いたカラムAD方式では、P相期間において、リセットレベル S_{rst} が読み出され、その信号電圧 V_x と、参照電圧 V_{ref} との比較動作が行われ、その出力信号 V_{co} がカウントされる。ま

た、D1相期間においては、リセットレベル S_{rst} に加えて、画素信号レベル S_A が読み出され、その信号電圧 V_x と、参照電圧 V_{ref} との比較動作が行われ、その出力信号 V_{co} がカウントされる。

[0034] さらに、D2相期間においては、リセットレベル S_{rst} に加えて、信号電荷 Q_A 、 Q_B の合成電荷 Q_{AB} に応じた画素信号レベル S_{AB} が読み出され、その信号電圧 V_x と、参照電圧 V_{ref} との比較動作が行われ、その出力信号 V_{co} がカウントされる。

[0035] ここで、一般的なCMOSイメージセンサによる従来方式においては、時刻 t_3 から時刻 t_4 までのD1相期間の後に、同一の行方向の1ラインの共有画素ごとに、一斉に、フローティングディフュージョンで、第1の画素の第1のフォトダイオードで検出された信号電荷 Q_A と、第2の画素の第2のフォトダイオードで検出された信号電荷 Q_B とが足し合わされる（FD加算される）。

[0036] そのため、一般的なCMOSイメージセンサによる従来方式においては、FD加算を開始するまでにある程度の時間を要し、さらなる高速読み出しが求められている。

[0037] そこで、本技術では、FD加算を開始するまでの時間に着目して、当該FD加算の開始時刻を可能な限りはやめるようにすることで、AD変換の処理時間が短縮されるようにして、より高速に読み出しを行うことが可能になるような提案を行うものとする。以下、具体的な実施の形態を参照しながら、本技術の内容について説明する。

[0038] <2. 第1の実施の形態>

[0039] (固体撮像装置の構成)

図2は、第1の実施の形態の固体撮像装置の構成例を示す図である。

[0040] CMOSイメージセンサ10は、固体撮像装置の一例であって、光学レンズ系（不図示）を介して被写体からの入射光（像光）を取り込んで、撮像面上に結像された入射光の光量を画素単位で電気信号に変換して撮像データとして出力する。

[0041] 図2において、CMOSイメージセンサ10は、制御部101、画素アレイ部

102、垂直走査部103、比較部104、DAC105、カウンタ部106、及び水平走査部107から構成される。また、比較部104とカウンタ部106によって、AD変換部108が構成される。

[0042] 制御部101は、CMOSイメージセンサ10の各部の動作を制御する。

[0043] また、制御部101は、垂直同期信号、水平同期信号、及びマスタクロック信号等の各種の信号に基づいて、垂直走査部103、比較部104、及びDAC105などの動作の基準となるクロック信号や制御信号を生成する。制御部101は、生成したクロック信号や制御信号を、垂直走査部103、比較部104、及びDAC105などに出力する。

[0044] 画素アレイ部102には、複数の画素（単位画素）が行列状に2次元状配置される。画素アレイ部102において、各画素は、光電変換部としてのフォトダイオード（PD：Photodiode）と、画素トランジスタを有して構成される。

[0045] ここで、画素アレイ部102においては、複数の画素のフォトダイオードに対して、寄生容量を持った拡散層であるフローティングディフュージョン（FD）を共有することで、所定の数の画素を単位とした画素共有がなされている。

[0046] 例えば、画素アレイ部102において、共有画素131の*i*行*j*列を、共有画素131-*i j*で表せば、垂直信号線121-1には、共有画素131-11、共有画素131-21、・・・、共有画素131-*i*1が接続される。これらの共有画素131は、フローティングディフュージョン（FD）を、4つの画素（のフォトダイオード）で共有した構成となる。

[0047] また、垂直信号線121-2には、共有画素131-12、共有画素131-22、・・・、共有画素131-*i*2が接続され、これらの共有画素131は、フローティングディフュージョン（FD）を、4つの画素（のフォトダイオード）で共有した構成となる。

[0048] すなわち、画素アレイ部102において、垂直信号線121-*j*に接続される共有画素131-*i j*は、FD共有画素ブロックとして、フローティング

ディフュージョン (FD) を、4つの画素 (のフォトダイオード) で共有した4画素共有として構成される。

[0049] 共有画素131-i-jにおいて、4つの画素のうち、第1の画素132Aは、フォトダイオード141Aを有し、転送トランジスタ142Aによって、信号電荷が、フローティングディフュージョン145に転送される。ただし、転送トランジスタ142Aにおいては、そのゲート電極に、制御線113-1を介して垂直走査部103からの転送信号 (TRG) が入力され、オン／オフの動作が制御される。

[0050] また、4つの画素のうち、第2の画素132Bは、フォトダイオード141Bと転送トランジスタ142Bを有し、第3の画素132Cは、フォトダイオード141Cと転送トランジスタ142Cを有し、第4の画素132Dは、フォトダイオード141Dと転送トランジスタ142Dを有する。

[0051] 第2の画素132B乃至第4の画素132Dにおいても、転送トランジスタ142 (142B, 142C, 142D) によって、フォトダイオード141 (141B, 141C, 141D) に蓄積された信号電荷が、フローティングディフュージョン145に転送される。

[0052] なお、第2の画素132Bのフォトダイオード141Bに蓄積された信号電荷を、フローティングディフュージョン145に転送するに際して、転送トランジスタ142Bだけでなく、転送トランジスタ143もオン状態になる必要がある。

[0053] 同様にまた、第4の画素132Dのフォトダイオード141Dに蓄積された信号電荷を、フローティングディフュージョン145に転送する際には、転送トランジスタ142Dだけでなく、転送トランジスタ144もオン状態になる必要がある。

[0054] ここでは詳細は後述するが、転送トランジスタ143, 144においては、そのゲート電極に、トリガ信号線122-jを介して比較部104 (の加算トリガ信号生成部152-j) からの加算トリガ信号 (AT) が入力され、オン／オフの動作が制御される。

- [0055] また、共有画素 $131-i-j$ においては、リセットトランジスタ 146 が、制御線 $113-1$ を介して入力される垂直走査部 103 からのリセット信号(RST)に応じてオン／オフの動作を行うことで、フローティングディフュージョン 145 がリセットされる。フローティングディフュージョン 145 では、共有画素 $131-i-j$ の各フォトダイオード 141 ($141A$, $141B$, $141C$, $141D$)からの信号電荷の量に応じた電位(FD電位)が得られる。
- [0056] 増幅トランジスタ 147 においては、そのゲートに、フローティングディフュージョン 145 が接続され、選択トランジスタ 148 がオン状態となる時に、フローティングディフュージョン 145 の電位(FD電位)に対応した信号(電圧信号)を増幅して、垂直信号線 $121-j$ に出力(印加)する。ただし、選択トランジスタ 148 においては、そのゲート電極に、制御線 $113-2$ を介して垂直走査部 103 からの選択信号(SEL)が入力され、オン／オフの動作が制御される。
- [0057] すなわち、垂直信号線 $121-j$ には、多数の共有画素 $131-i-j$ (を構成する画素 132)が接続されているが、処理対象の共有画素 $131-i-j$ (を構成する画素 132)を選択するためには、垂直走査部 103 からの選択信号(SEL)に応じて、処理対象の共有画素 $131-i-j$ (を構成する画素 132)における選択トランジスタ 148 をオン状態とすればよい。
- [0058] 共有画素 $131-i-j$ から出力される信号は、垂直信号線 $121-j$ を介して、AD変換部 108 (を構成する比較部 104)に入力される。
- [0059] なお、共有画素 $131-i-j$ を構成する4つの画素は、例えば、ベイヤー配列となるように配置することができる。ここで、ベイヤー配列とは、緑(G)のG画素が市松状に配され、残った部分に、赤(R)のR画素と、青(B)のB画素とが一行ごとに交互に配される配列パターンである。具体的には、第2の画素 $132B$ と第3の画素 $132C$ を、G画素とし、第1の画素 $132A$ を、R画素とし、第4の画素 $132D$ を、B画素とすることができる。
- [0060] AD変換部 108 は、画素アレイ部 102 に2次元状に配置された共有画素

131-i jの列ごとに、すなわち、垂直信号線121-jごとに、ADC(Analog Digital Converter)が設けられ、共有画素131-i jから列ごとに出力されるアナログ信号を、デジタル信号に変換して出力する。

[0061] AD変換部108においては、相関二重サンプリング(CDS)を用いたカラムAD方式でのAD変換を行うために、比較部104とカウンタ部106が設けられる。

[0062] 比較部104には、垂直信号線121-jごとに、比較器151-jと加算トリガ信号生成部152-jが設けられる。また、カウンタ部106には、垂直信号線121-jごとに、カウンタ161-jと復元部162-jが設けられる。

[0063] なお、DAC105は、制御部101からのクロック信号に基づいて、ランプ波(Ramp)を生成し、信号線112を介して比較部104(の比較器151-j)にそれぞれ供給する。

[0064] 比較器151-jは、そこに入力される、垂直信号線121-jからのVSL信号の信号電圧Vxと、DAC105からのランプ波(Ramp)の参照電圧Vrefとを比較し、その比較結果に応じたレベルの出力信号Vcoを出力する。

[0065] 例えば、比較器151-jにおいては、VSL信号の信号電圧Vxとランプ波の参照電圧Vrefとが等しくなったとき(交差したとき)、出力信号Vcoの極性が反転され、例えば、参照電圧Vrefが信号電圧Vxよりも大きくなる場合に、出力信号VcoがHレベルとなり、参照電圧Vrefが信号電圧Vx以下となる場合には、出力信号VcoがLレベルとなる。

[0066] 比較器151-jからの出力信号Vcoは、カウンタ部106のカウンタ161-jに入力される。カウンタ161-jは、そこに入力される出力信号Vcoに基づいて、カウントを行うことで、比較器151-jでの比較動作の開始から比較動作の終了までの比較時間を計測する。カウンタ161-jでの計測結果は、復元部162-jに供給される。

[0067] ここで、相関二重サンプリング(CDS)を用いたカラムAD方式でのAD変換として、例えば、共有画素131-i jにおいて、第1の画素132Aと第2

の画素 1 3 2 B の読み出しが行われる場合には、次のように、AD変換が行われる。

[0068] すなわち、P相期間において、リセットレベルSr_{rst}が読み出され、そのVSL信号の信号電圧V_xと、ランプ波の参照電圧V_{ref}との比較動作が行われ、その出力信号V_{co}がカウントされる。また、D1相期間においては、リセットレベルSr_{rst}に加えて、第1の画素 1 3 2 A の画素信号レベルSAが読み出され、そのVSL信号の信号電圧V_xと、ランプ波の参照電圧V_{ref}との比較動作が行われ、その出力信号V_{co}がカウントされる（1回目のAD変換）。

[0069] さらに、D2相期間においては、リセットレベルSr_{rst}に加えて、例えば、第1の画素 1 3 2 A と第2の画素 1 3 2 B の合成電荷Q_{AB}に応じた画素信号レベルS_{AB}が読み出され、そのVSL信号の信号電圧V_xと、ランプ波の参照電圧V_{ref}との比較動作が行われ、その出力信号V_{co}がカウントされる（2回目のAD変換）。

[0070] 復元部 1 6 2 - j は、カウンタ 1 6 1 - j からの計測結果に基づいて、共有画素 1 3 1 - i j を構成する画素 1 3 2 ごとのデータを復元し、その復元されたデータを、水平走査部 1 0 7 に供給する。

[0071] ここでは、例えば、共有画素 1 3 1 - i j において、第1の画素 1 3 2 A と第2の画素 1 3 2 B の読み出しが行われ、相関二重サンプリング（CDS）を用いたカラムAD方式のAD変換が行われた場合には、次のように、復元処理が行われる。

[0072] すなわち、第1の画素 1 3 2 A のデータとしては、1回目のAD変換の結果を用いて、D1相の読み出し時の画素信号レベルSAのデジタル信号と、P相の読み出し時のリセットレベルSr_{rst}のデジタル信号との差分をとることで、真の信号成分S_aのデジタル信号が得られる。これにより、第1の画素 1 3 2 A のデータ（Nビットのデジタル信号）が復元される。

[0073] また、第2の画素 1 3 2 B のデータとしては、2回目のAD変換の結果を用いて、D2相の読み出し時の画素信号レベルS_{AB}のデジタル信号と、P相の読み出し時のリセットレベルSr_{rst}のデジタル信号との差分をとることで、真の信

号成分Sabのデジタル信号が得られる。そして、さらに、真の信号成分Sabのデジタル信号と、真の信号成分Saのデジタル信号との差分をとることで、真の信号成分Sbのデジタル信号が得られる。これにより、第2の画素132Bのデータ（Nビットのデジタル信号）が復元される。

[0074] 水平走査部107は、シフトレジスタ等から構成され、AD変換部108で、垂直信号線121-jごとに設けられるADCの列アドレスや列走査などの制御を行う。この水平走査部107による制御によって、AD変換部108でAD変換されたデジタル信号が読み出され、撮像データ（Output）として出力される。

[0075] ここで、AD変換部108において、比較部104の加算トリガ信号生成部152-jは、NAND回路171-j、NAND回路172-j、及びNOT回路173-jから構成される。また、NAND回路171-jとNAND回路172-jは、RSフリップフロップ回路を構成し、NAND回路172-jには、制御部101からのリセット信号（nRST）が制御線111を介して入力される。

[0076] このRSフリップフロップ回路によって、比較器151-jからの出力信号Vcoを監視して、D1相期間において、VSL信号の信号電圧Vxと、ランプ波（Ramp）の参照電圧Vrefとの交差が検出されたとき、加算トリガ信号（AT）のレベルが変化するようにする（例えば、加算トリガ信号（AT）のレベルが、LレベルからHレベルに変化するようにする）。

[0077] なお、垂直信号線121-jに接続される共有画素131-ijごとに、加算トリガ信号（AT）のレベルが変化するタイミングが異なるため、復元部162-jから加算トリガ信号生成部152-jに対しては、1回目のAD変換と2回目のAD変換を判別するためのストローク信号が供給される。

[0078] 加算トリガ信号（AT）は、NOT回路173-jによって、論理レベルが反転された後、トリガ信号線122-jを介して、共有画素131-ijの転送トランジスタ143又は転送トランジスタ144のゲート電極に入力される。これにより、共有画素131-ijにおいて、転送トランジスタ143又は転送トランジスタ144は、そのゲート電極に入力される加算トリガ信号

(AT) に応じてオン状態になる。

[0079] このとき、例えば、共有画素 $131-i, j$ において、第1の画素 $132A$ と第2の画素 $132B$ の読み出しが行われ、相関二重サンプリング (CDS) を用いたカラムAD方式のAD変換が行われる場合には、次のようになる。

[0080] すなわち、加算トリガ信号生成部 $152-j$ からの加算トリガ信号 (AT) に応じて、フローティングディフュージョン 145 では、第1の画素 $132A$ のフォトダイオード $141A$ により検出された信号電荷 QA と、第2の画素 $132B$ のフォトダイオード $141B$ により検出された信号電荷 QB とが加算され、その合成電荷 QAB が蓄積された状態となる。

[0081] このように、共有画素 $131-i, j$ においては、加算トリガ信号生成部 $152-j$ からの加算トリガ信号 (AT) に応じて、フローティングディフュージョン 145 にて、2つの画素のフォトダイオードにより検出された信号電荷が加算されるため、加算のタイミングが、AD変換部 108 でのAD変換にて、 $D1$ 相期間に、VSL信号の信号電圧 Vx とランプ波の参照電圧 $Vref$ とが交差した (直後の) タイミングとなる。

[0082] そのため、 $D1$ 相期間の後にFD加算していた従来方式 (図1) と比べて、FD加算の開始時刻をはやめることができるため、AD変換の処理時間が短縮され、その結果として、より高速に読み出しを行うことが可能となる。

[0083] なお、上述したように、AD変換部 108 でのAD変換にて、 $D1$ 相期間に、VSL信号の信号電圧 Vx とランプ波の参照電圧 $Vref$ とが交差した (直後の) タイミングで、共有画素 $131-i, j$ のフローティングディフュージョン 145 にて、信号電荷 (信号電荷 QA , QB) の加算を開始したとしても、問題はない。その理由であるが、比較対象の電圧の交差が検出された時点で、既に、先にフローティングディフュージョン 145 に蓄積されている信号電荷 (例えば、信号電荷 QA) に応じたデジタル信号は、確定しているため、そのレベルを保持する必要はないからである。

[0084] 次に、図3及び図4を参照して、図2のCMOSイメージセンサ 10 において、AD変換の処理時間が短縮される理由について説明する。

[0085] (AD変換とFD加算のタイミング)

図3は、CMOSイメージセンサ10（図2）における、AD変換とFD加算のタイミングを示すタイミングチャートである。

[0086] 図3においては、比較器151-jに入力される、DAC105からのランプ波（Ramp）と、垂直信号線121-jの出力（VSL信号）とが時系列で表されている。また、図3において、時間の方向は、図中の左側から右側に向かう方向とされる。

[0087] なお、図3の説明では、共有画素131-i jのうち、垂直信号線121-1に接続される共有画素131-11を一例にして、第1の画素132Aと第2の画素132BについてのAD変換とFD加算を説明する。上述したように、共有画素131-11においては、第1の画素132Aのフォトダイオード141Aと、第2の画素132Bのフォトダイオード141Bに対し、フローティングディフュージョン145が共有されている。

[0088] 時刻t11において、リセット信号（RST）に応じて、リセットトランジスタ146がオン状態になることで、フローティングディフュージョン145が、リセットされる。これにより、時刻t11から時刻t12までのP相期間において、リセットレベルSrstが読み出される。

[0089] 次に、時刻t12から時刻t13までのD1セトリング期間の後に、第1の画素132Aにおける転送トランジスタ142Aがオン状態になることで、フォトダイオード141Aに蓄積された信号電荷QAに応じた画素信号Saが、フローティングディフュージョン145に転送される。

[0090] このとき、フローティングディフュージョン145では、信号電荷QAの量に応じた電位が発生され、増幅トランジスタ147により増幅された後に、選択トランジスタ148によって、垂直信号線121-1に出力される。

[0091] これにより、時刻t13から時刻t14までのD1相期間において、信号電荷QAに応じた画素信号レベルSAが読み出される。そして、D1相の読み出し時の画素信号レベルSAと、P相の読み出し時のリセットレベルSrstとの差分をとることで、オフセット成分が取り除かれ、真の信号成分Saを得ることができる。

- [0092] P相期間とD1相期間においては、AD変換部108の比較器151-1によって、垂直信号線121-1からのVSL信号の信号電圧 V_x と、DAC105からのランプ波（Ramp）の参照電圧 V_{ref} との比較動作が行われ、その比較結果に応じたレベルの出力信号 V_{co} が出力される。
- [0093] このとき、加算トリガ信号生成部152-1は、比較器151-1からの出力信号 V_{co} を常時監視することで、D1相期間において、VSL信号の信号電圧 V_x と、ランプ波（Ramp）の参照電圧 V_{ref} とが交差するタイミング（図中のC1）を検出し、その検出結果に応じて、加算トリガ信号AT-1を生成する。
- [0094] この加算トリガ信号AT-1は、トリガ信号線122-1を介して、共有画素131-11（の転送トランジスタ143のゲート電極）に入力される。これにより、共有画素131-11においては、フォトダイオード141Bに蓄積されていた信号電荷 Q_B が、フローティングディフュージョン145に転送される。
- [0095] その結果として、フローティングディフュージョン145においては、フォトダイオード141Bで検出された信号電荷 Q_B が、既に蓄積されている、フォトダイオード141Aで検出された信号電荷 Q_A と足し合わされる。すなわち、フローティングディフュージョン145では、2つのフォトダイオード141A、141Bにより検出された信号電荷 Q_A 、 Q_B を合成した合成電荷 Q_{AB} が蓄積された状態となる。
- [0096] このように、CMOSイメージセンサ10（図2）では、VSL信号の信号電圧 V_x とランプ波（Ramp）の参照電圧 V_{ref} とが交差した後、即時に、フローティングディフュージョン145での加算がなされるようにしているため、FD加算の終了時刻を前倒しして、D1相期間とD2相期間との間の時間を減らすことができる。
- [0097] また、DAC105からのランプ波（Ramp）のリセットにも、ある程度の時間を要するため、D2セトリング期間を完全になくすことはできないが、CMOSイメージセンサ10（図2）でのD2セトリング期間（図3の時刻 t_{14} から時刻 t_{15} までの期間）を、従来方式でのD2セトリング期間（図1の時刻 t_4 から時刻 t_5

までの期間)と比較すれば、その期間が、大幅に短縮されていることが分かる。そして、D2セトリング期間が短縮されることで、結果として、AD変換の処理時間を短縮して、より高速に読み出しを行うことが可能となる。

[0098] 次に、時刻 t_{15} から時刻 t_{16} までのD2相期間においては、フォトダイオード141Bにより検出された信号電荷 Q_B に応じた画素信号レベル S_B が読み出される。ただし、フローティングディフュージョン145には、2つのフォトダイオード141A、141Bにより検出された信号電荷 Q_A 、 Q_B を合成した合成電荷 Q_{AB} が蓄積された状態となっているので、ここでは、合成電荷 Q_{AB} に応じた画素信号レベル S_{AB} が読み出される。

[0099] そのため、D2相の読み出し時の画素信号レベル S_{AB} と、P相の読み出し時のリセットレベル S_{rst} との差分をとることで、オフセット成分が取り除かれ、真の信号成分 S_{ab} を得ることができる。また、フォトダイオード141Bにより検出された信号電荷 Q_B に応じた画素信号 S_b （真の信号成分 S_b ）は、例えば、合成成分 S_{ab} （真の信号成分 S_{ab} ）と、画素信号 S_a （真の信号成分 S_a ）との差分をとることで得られる。

[0100] D2相期間においても、比較器151-1によって、垂直信号線121-1からのVSL信号の信号電圧 V_x と、DAC105からのランプ波（Ramp）の参照電圧 V_{ref} との比較動作が行われ、その比較結果に応じたレベルの出力信号 V_{co} が出力される。

[0101] （加算トリガ信号とFD加算のタイミング）

図4は、CMOSイメージセンサ10（図2）における、加算トリガ信号とFD加算のタイミングを示すタイミングチャートである。

[0102] 図4においては、比較器151-jに入力される、DAC105からのランプ波（Ramp）と、垂直信号線121-jの出力（VSL信号（VS））とともに、加算トリガ信号生成部152-jにより生成される加算トリガ信号（AT）が時系列で表されている。

[0103] なお、図4の説明では、共有画素131-i jのうち、垂直信号線121-1に接続される共有画素131-11と、垂直信号線121-2に接続さ

れる共有画素 1 3 1 - 1 2 を一例にして、それらの共有画素における第 1 の画素 1 3 2 A と第 2 の画素 1 3 2 B についての加算トリガ信号と FD 加算を説明する。

[0104] また、共有画素 1 3 1 - 1 1 と共有画素 1 3 1 - 1 2 においては、第 1 の画素 1 3 2 A のフォトダイオード 1 4 1 A と、第 2 の画素 1 3 2 B のフォトダイオード 1 4 1 B に対し、フローティングディフュージョン 1 4 5 が共有されている。

[0105] 上述したように、共有画素 1 3 1 - 1 1 においては、P 相期間に、リセットレベル S_{rst} が読み出され、D1 相期間に、画素信号レベル SA が読み出される。

[0106] ここで、加算トリガ信号生成部 1 5 2 - 1 においては、比較器 1 5 1 - 1 からの出力信号 V_{co} が常時監視され、D1 相期間において、垂直信号線 1 2 1 - 1 からの VSL 信号 VS-1 の信号電圧 V_x と、DAC 1 0 5 からのランプ波 (Ramp) の参照電圧 V_{ref} とが交差するタイミング (図中の C 1 1) が検出される。

[0107] そして、時刻 t_{21} において、加算トリガ信号生成部 1 5 2 - 1 によって、比較対象の電圧の交差 (図中の C 1 1) が検出されたとき、加算トリガ信号 AT-1 のレベルが、L レベルから H レベルに切り替えられ、トリガ信号線 1 2 2 - 1 を介して、共有画素 1 3 1 - 1 1 (の転送トランジスタ 1 4 3 のゲート電極) に入力される。

[0108] これにより、共有画素 1 3 1 - 1 1 においては、フォトダイオード 1 4 1 B に蓄積されていた信号電荷 Q_B が転送され、フローティングディフュージョン 1 4 5 では、2 つのフォトダイオード 1 4 1 A, 1 4 1 B により検出された信号電荷 Q_A , Q_B を合成した合成電荷 Q_{AB} が蓄積された状態となる。

[0109] 一方で、共有画素 1 3 1 - 1 2 においても、P 相期間に、リセットレベル S_{rst} が読み出され、D1 相期間に、画素信号レベル SA が読み出される。

[0110] また、加算トリガ信号生成部 1 5 2 - 2 においては、比較器 1 5 1 - 2 からの出力信号 V_{co} が常時監視され、D1 相期間において、垂直信号線 1 2 1 - 2 からの VSL 信号 VS-2 の信号電圧 V_x と、DAC 1 0 5 からのランプ波 (Ramp) の参照電圧 V_{ref} とが交差するタイミング (図中の C 1 2) が検出される。

- [0111] そして、時刻 t_{22} において、加算トリガ信号生成部152-2によって、比較対象の電圧の交差（図中のC12）が検出されたとき、加算トリガ信号AT-2のレベルが、LレベルからHレベルに切り替えられ、トリガ信号線122-2を介して、共有画素131-12（の転送トランジスタ143のゲート電極）に入力される。
- [0112] これにより、共有画素131-12においては、フォトダイオード141Bに蓄積されていた信号電荷QBが転送され、フローティングディフュージョン145では、2つのフォトダイオード141A、141Bにより検出された信号電荷QA、QBを合成した合成電荷QABが蓄積された状態となる。
- [0113] このように、共有画素131-11と共有画素131-12においては、VSL信号（VS-1、VS-2）の信号電圧 V_x と、ランプ波（Ramp）の参照電圧 V_{ref} とが交差した後、即時に、フローティングディフュージョン145での加算がなされるようにしているため、FD加算の終了時刻を前倒しして、D1相期間とD2相期間との間の時間を減らすことができる。
- [0114] このとき、共有画素131-11からのVSL信号VS-1と、共有画素131-12からのVSL信号VS-2とでは、信号のレベルに応じて波形が異なるため、ランプ波（Ramp）の参照電圧 V_{ref} とが交差するのが同一のタイミングとならず（図中のC11とC12とで異なるタイミングとなる）、時刻 t_{21} と時刻 t_{22} とで、加算トリガ信号（AT-1、AT-2）が、Hレベルとなるタイミングが異なっている。
- [0115] すなわち、共有画素131ごとに、フォトダイオード141Bに蓄積されていた信号電荷QBを、既にフローティングディフュージョン145に蓄積されている、フォトダイオード141Aで検出された信号電荷QAと足し合わせる（FD加算する）タイミングが異なっている。つまり、同一の行方向の1ラインであっても、共有画素131-12は、共有画素131-11と比べて、FD加算のタイミングが遅れている。
- [0116] その後、共有画素131-11と共有画素131-12においては、D2セトリング期間の後に、D2相期間において、合成電荷QABに応じた画素信号レベ

ルSABが読み出される。

[0117] なお、ここでのD2セトリング期間は、従来方式でのD2セトリング期間（図1）と比べて、その期間が大幅に短縮されることは、先に述べた通りである。また、D2相期間が終了した後の時刻 t_{23} に、加算トリガ信号（AT-1，AT-2）のレベルが、HレベルからLレベルに切り替わる。

[0118] 以上のように、第1の実施の形態においては、相関二重サンプリング（CDS）を用いたカラムAD方式のAD変換を行う際に、D1相期間に、VSL信号の信号電圧 V_x とランプ波（Ramp）の参照電圧 V_{ref} とが交差した（直後の）タイミングで、共有画素のフローティングディフュージョンにて、信号電荷の加算が行われるようにしているため、FD加算の終了時刻を前倒しして、D1相期間とD2相期間との間の時間を減らすことができる。その結果として、AD変換の処理時間を短縮して、より高速に読み出しを行うことができる。

[0119] また、第1の実施の形態では、基本的に、加算トリガ信号生成部152を追加して、共有画素131で、加算トリガ信号に応じて、FD加算がなされるようにすることで、上述した機能を実現できるため、AD変換の回路規模が増大することを抑制しつつ、より高速に読み出しを行うことができる。

[0120] さらに、仮に、読み出しの高速化が要件にない場合でも、カラムAD方式のAD変換の処理時間を短縮できれば、その分だけ、カラムADの段数（カラム数）を削減できるため、結果として、例えば、回路規模や消費電力などの面で有利となる。

[0121] <3. 第2の実施の形態>

[0122] （固体撮像装置の構成）

図5は、第2の実施の形態の固体撮像装置の構成例を示す図である。

[0123] CMOSイメージセンサ20は、固体撮像装置の一例である。図5のCMOSイメージセンサ20においては、上述したCMOSイメージセンサ10（図2）と同様に構成される部分が多いが、比較部204とDAC205の構成が異なっている。

[0124] すなわち、図2のDAC105では、1種類のランプ波（Ramp）を出力してい

たが、図5のDAC205は、2種類のランプ波（Ramp1, Ramp2）を生成して、信号線212-1, 212-2を介して、比較部204の比較器251-jにそれぞれ供給している点異なる。また、図5の比較部204では、DAC205からの2種類のランプ波（Ramp1, Ramp2）に対応するために、その構成が、図2の比較部104の構成と異なっている。

[0125] 図5の比較部204では、比較器251-jと加算トリガ信号生成部252-jのほかに、ランプ波の切り替え用のトランジスタ274-jと、トランジスタ275-jが追加されている。換言すれば、トランジスタ274-jと、トランジスタ275-jによって、ランプ波切り替え回路を構成している。

[0126] トランジスタ274-jと、トランジスタ275-jが、そのゲート電極に入力される信号に応じて、オン／オフの動作を行うことで、D1相期間において、垂直信号線221-jからのVSL信号の信号電圧 V_x と、DAC205からの第1ランプ波（Ramp1）の参照電圧 V_{ref} とが交差するタイミングで、比較器251-jに入力されるランプ波が、第1ランプ波（Ramp1）から、第2ランプ波（Ramp2）に切り替えられる。

[0127] すなわち、AD変換部208においては、P相期間とD1相期間に、第1ランプ波（Ramp1）を用いたAD変換（1回目のAD変換）が行われる一方で、D2相期間には、第2ランプ波（Ramp2）を用いたAD変換（2回目のAD変換）が行われることになる。

[0128] また、AD変換部208において、比較部204の加算トリガ信号生成部252-jは、図2の加算トリガ信号生成部152-jと同様に構成される。すなわち、加算トリガ信号生成部252-jは、RSフリップフロップ回路としてのNAND回路271-j及びNAND回路272-jと、NOT回路273-jから構成される。

[0129] 加算トリガ信号生成部252-jにおいては、RSフリップフロップ回路によって、比較器251-jからの出力信号 V_{co} が常時監視され、D1相期間において、VSL信号の信号電圧 V_x と、第1ランプ波（Ramp1）の参照電圧 V_{ref} との

交差が検出されたとき、加算トリガ信号（AT）のレベルが切り替えられる。

[0130] なお、図5において、上述した比較部204とDAC205以外の構成、すなわち、制御部201、画素アレイ部202、垂直走査部203、カウンタ部206、及び水平走査部207の構成は、図2に示した制御部101、画素アレイ部102、垂直走査部103、カウンタ部106、及び水平走査部107の構成と基本的に同様とされるため、その説明は省略する。

[0131] 次に、図6及び図7を参照して、図5のCMOSイメージセンサ20において、AD変換の処理時間が短縮される理由について説明する。

[0132] （AD変換とFD加算のタイミング）

図6は、CMOSイメージセンサ20（図5）における、AD変換とFD加算のタイミングを示すタイミングチャートである。

[0133] 図6においては、比較器251-jに入力される、DAC205からの2種類のランプ波（Ramp1, Ramp2）と、垂直信号線221-jの出力（VSL信号）とが時系列で表されている。また、図6においても、時間の方向は、図中の左側から右側に向かう方向とされる。

[0134] なお、図6の説明では、共有画素231-i jのうち、垂直信号線221-1に接続される共有画素231-11を一例にして、第1の画素232Aと第2の画素232Bについての加算トリガ信号とFD加算を説明する。また、共有画素231-11においては、第1の画素232Aのフォトダイオード241Aと、第2の画素232Bのフォトダイオード241Bに対し、フローティングディフュージョン245が共有されている。

[0135] 共有画素231-11においては、P相期間に、リセットレベルSrstが読み出され、D1相期間に、画素信号レベルSAが読み出される。

[0136] P相期間とD1相期間においては、AD変換部208の比較器251-1によって、垂直信号線221-1からのVSL信号の信号電圧Vxと、DAC205からの第1ランプ波（Ramp1）の参照電圧Vrefとの比較動作が行われ、その比較結果に応じたレベルの出力信号Vcoが出力される。

[0137] このとき、加算トリガ信号生成部252-1においては、比較器251-

1からの出力信号Vcoが常時監視され、D1相期間において、VSL信号VS-1の信号電圧Vxと、第1ランプ波(Ramp1)の参照電圧Vrefとが交差するタイミング(図中のC1)が検出される。

[0138] そして、比較対象の電圧の交差(図中のC1)が検出されたとき、加算トリガ信号AT-1のレベルが、Hレベルに切り替えられ、トリガ信号線222-1を介して、共有画素231-11(の転送トランジスタ243のゲート電極)に入力される。

[0139] これにより、共有画素231-11においては、フォトダイオード241Bに蓄積されていた信号電荷QBが転送され、フローティングディフュージョン245では、2つのフォトダイオード241A, 241Bにより検出された信号電荷QA, QBを合成した合成電荷QABが蓄積された状態となる。

[0140] そして、フローティングディフュージョン245での加算を開始した後であって、D2相期間においては、合成電荷QABに応じた画素信号レベルSABが読み出される。

[0141] ここで、D1相期間において、比較対象の電圧の交差(図中のC1)が検出されたとき、ランプ波が、第1ランプ波(Ramp1)から、第2ランプ波(Ramp2)に切り替えられている。

[0142] そのため、D2相期間においては、比較器251-1によって、垂直信号線221-1からのVSL信号の信号電圧Vxと、DAC205からの第2ランプ波(Ramp2)の参照電圧Vrefとの比較動作が行われ、その比較結果に応じたレベルの出力信号Vcoが出力される。

[0143] このように、D1相期間においては、第1の画素232Aから得られるVSL信号に対し、第1ランプ波(Ramp1)を用いて比較(1回目のAD変換)を行い、VSL信号の信号電圧Vxと第1ランプ波(Ramp1)の参照電圧Vrefとが交差したときに、即時に、第1の画素232Aと第2の画素232Bの信号電荷のFD加算が開始されるようにする。また、この交差のタイミングで、ランプ波が、第1ランプ波(Ramp1)から、第2ランプ波(Ramp2)に切り替えられる。

[0144] そして、D2相期間においては、ランプ波が、第1ランプ波(Ramp1)から第

2 ランプ波 (Ramp2) に切り替えられているため、第 1 の画素 232 A と第 2 の画素 232 B から得られる VSL 信号に対し、第 2 ランプ波 (Ramp2) を用いて比較 (2 回目の AD 変換) が行われるようにする。

[0145] これにより、FD 加算の終了時刻を前倒しするだけでなく、D2 相期間にてランプ波 (Ramp2) を用いることで、D1 相期間と D2 相期間との間の時間をさらに減らすことができる。

[0146] なお、この例では、第 1 ランプ波 (Ramp1) と第 2 ランプ波 (Ramp2) とを切り替える例を説明したが、フローティングディフュージョン 245 での加算時間が、十分に短い場合には、第 1 ランプ波 (Ramp1) と第 2 ランプ波 (Ramp2) とをオーバーラップさせるようにしてもよい。

[0147] (加算トリガ信号と FD 加算のタイミング)

図 7 は、CMOS イメージセンサ 20 (図 5) における、加算トリガ信号と FD 加算のタイミングを示すタイミングチャートである。

[0148] 図 7 においては、比較器 251-j に入力される、DAC 205 からの 2 種類のランプ波 (Ramp1, Ramp2) と、垂直信号線 221-j の出力 (VSL 信号 (VS)) とともに、加算トリガ信号生成部 252-j により生成される加算トリガ信号 (AT) が時系列で表されている。

[0149] なお、図 7 の説明では、共有画素 231-i j のうち、垂直信号線 221-1 に接続される共有画素 231-11 と、垂直信号線 221-2 に接続される共有画素 231-12 を一例にして、それらの共有画素における第 1 の画素 232 A と第 2 の画素 232 B についての加算トリガ信号と FD 加算を説明する。

[0150] また、共有画素 231-11 と共有画素 231-12 においては、第 1 の画素 232 A のフォトダイオード 241 A と、第 2 の画素 232 B のフォトダイオード 241 B に対し、フローティングディフュージョン 245 が共有されている。

[0151] 共有画素 231-11 においては、P 相期間に、リセットレベル Srst が読み出され、D1 相期間に、画素信号レベル SA が読み出される。

- [0152] ここで、P相期間とD1相期間においては、AD変換部208の比較器251-1によって、垂直信号線221-1からのVSL信号の信号電圧 V_x と、DAC205からの第1ランプ波(Ramp1)の参照電圧 V_{ref} との比較動作が行われ、その比較結果に応じたレベルの出力信号 V_{co} が出力される。
- [0153] また、加算トリガ信号生成部252-1においては、比較器251-1からの出力信号 V_{co} が常時監視され、D1相期間において、VSL信号VS-1の信号電圧 V_x と、第1ランプ波(Ramp1)の参照電圧 V_{ref} とが交差するタイミング(図中のC11)が検出される。
- [0154] そして、時刻 t_{41} において、加算トリガ信号生成部252-1によって、比較対象の電圧の交差(図中のC11)が検出されたとき、加算トリガ信号AT-1のレベルが、LレベルからHレベルに切り替えられ、トリガ信号線222-1を介して、共有画素231-11(の転送トランジスタ243のゲート電極)に入力される。
- [0155] これにより、共有画素231-11においては、フォトダイオード241Bに蓄積されていた信号電荷 Q_B が転送され、フローティングディフュージョン245では、2つのフォトダイオード241A, 241Bにより検出された信号電荷 Q_A , Q_B を合成した合成電荷 Q_{AB} が蓄積された状態となる。
- [0156] 一方で、共有画素231-12においても、P相期間に、リセットレベル S_{rst} が読み出され、D1相期間に、画素信号レベル S_A が読み出される。
- [0157] ここで、P相期間とD1相期間においては、AD変換部208の比較器251-2によって、垂直信号線221-2からのVSL信号の信号電圧 V_x と、DAC205からの第1ランプ波(Ramp1)の参照電圧 V_{ref} との比較動作が行われ、その比較結果に応じたレベルの出力信号 V_{co} が出力される。
- [0158] また、加算トリガ信号生成部252-2においては、比較器251-2からの出力信号 V_{co} が常時監視され、D1相期間において、VSL信号VS-2の信号電圧 V_x と、第1ランプ波(Ramp1)の参照電圧 V_{ref} とが交差するタイミング(図中のC12)が検出される。
- [0159] そして、時刻 t_{42} において、加算トリガ信号生成部252-2によって、比

較対象の電圧の交差（図中のC 1 2）が検出されたとき、加算トリガ信号AT-2のレベルが、LレベルからHレベルに切り替えられ、トリガ信号線2 2 2-2を介して、共有画素2 3 1-1 2（の転送トランジスタ2 4 3のゲート電極）に入力される。

[0160] これにより、共有画素2 3 1-1 2においては、フォトダイオード2 4 1 Bに蓄積されていた信号電荷QBが転送され、フローティングディフュージョン2 4 5では、2つのフォトダイオード2 4 1 A, 2 4 1 Bにより検出された信号電荷QA, QBを合成した合成電荷QABが蓄積された状態となる。

[0161] このように、共有画素2 3 1-1 1と共有画素2 3 1-1 2においては、VSL信号（VS-1, VS-2）の信号電圧Vxと、第1ランプ波（Ramp1）の参照電圧Vrefとが交差（図中のC 1 1, C 1 2）した後、即時に、フローティングディフュージョン2 4 5での加算がなされるようにしているため、FD加算の終了時刻を前倒しして、AD変換の処理時間を短縮することができる。

[0162] このとき、共有画素2 3 1-1 1からのVSL信号VS-1と、共有画素2 3 1-1 2からのVSL信号VS-2とでは、信号のレベルに応じて波形が異なるため、第1ランプ波（Ramp1）の参照電圧Vrefとが交差するのが同一のタイミングとならず（図中のC 1 1とC 1 2とで異なるタイミングとなる）、時刻t41と時刻t42とで、加算トリガ信号（AT-1, AT-2）が、Hレベルとなるタイミングが異なっている。

[0163] そして、共有画素2 3 1-1 1と共有画素2 3 1-1 2とでは、フローティングディフュージョン2 4 5での加算を開始した後に、D2相期間において、画素信号レベルSABが読み出される。

[0164] ただし、比較器2 5 1-1と比較器2 5 1-2においては、D1相期間において、VSL信号の信号電圧Vxと、第1ランプ波（Ramp1）の参照電圧Vrefとが交差するタイミング（図中のC 1 1, C 1 2）で、ランプ波切り替え回路によって、入力されるランプ波が、第1ランプ波（Ramp1）から、第2ランプ波（Ramp2）に切り替えられる。

[0165] すなわち、比較器2 5 1-1と比較器2 5 1-2では、P相期間とD1相期間

に、第1ランプ波(Ramp1)を用いたAD変換(1回目のAD変換)が行われる一方で、D2相期間には、第2ランプ波(Ramp2)を用いたAD変換(2回目のAD変換)が行われることになる。

[0166] このように、比較器251-1においては、D2相期間において、共有画素231-11の第1の画素232Aと第2の画素232Bから得られるVSL信号VS-1に対し、第1ランプ波(Ramp1)ではなく、第2ランプ波(Ramp2)を用いて比較を行うことで、D1相期間とD2相期間との間の時間を削減して、AD変換の処理時間をさらに短縮することができる。

[0167] 同様にまた、比較器251-2においても、D2相期間において、共有画素231-12の第1の画素232Aと第2の画素232Bから得られるVSL信号VS-2に対し、第2ランプ波(Ramp2)を用いて比較を行うことで、D1相期間とD2相期間との間の時間を削減して、AD変換の処理時間をさらに短縮することができる。

[0168] 以上のように、第2の実施の形態においては、相関二重サンプリング(CDS)を用いたカラムAD方式のAD変換を行う際に、D1相期間に、VSL信号の信号電圧Vxと第1ランプ波(Ramp1)の参照電圧Vrefとが交差した(直後の)タイミングで、FD加算が行われるようにするとともに、第1ランプ波(Ramp1)を第2ランプ波(Ramp2)に切り替えて、D2相期間では、第2ランプ波(Ramp2)を用いたAD変換が行われるようにしている。そのため、D1相期間とD2相期間との間の時間をさらに減らすことができる。その結果として、AD変換の処理時間を短縮して、より高速に読み出しを行うことができる。

[0169] <4. 変形例>

[0170] 上述した説明では、共有画素131-i jで、フローティングディフュージョン145を共有する画素132(のフォトダイオード141)が、4画素共有となる場合を説明したが、4画素共有に限らず、例えば、2画素共有や8画素共有など、共有する画素の数は任意である。

[0171] また、上述した説明では、共有画素131-i jにおいて、フローティングディフュージョン145で、第1の画素132Aのフォトダイオード14

1 A の信号電荷QAと、第2の画素1 3 2 Bのフォトダイオード1 4 1 Bの信号電荷QBとが加算される場合を説明したが、第3の画素1 3 2 Cと第4の画素1 3 2 Dのフォトダイオードの信号電荷など、他の画素のフォトダイオードで検出される信号電荷が加算されるようにしてもよい。さらに、3以上のフォトダイオードの信号電荷がFD加算されるようにしてもよい。

[0172] また、上述した説明では、第2の実施の形態として、ランプ波切り替え回路によって、2種類のランプ波（Ramp1, Ramp2）を切り替える例を説明したが、実装に応じて、3種類以上のランプ波が用いられるようにしてもよい。

[0173] <5. 電子機器の構成>

[0174] 図8は、本技術を適用した固体撮像装置を有する電子機器の構成例を示すブロック図である。

[0175] 電子機器1 0 0 0は、例えば、デジタルスチルカメラやビデオカメラ等の撮像装置や、スマートフォンやタブレット型端末等の携帯端末装置などの電子機器である。

[0176] 電子機器1 0 0 0は、固体撮像装置1 0 0 1、DSP回路1 0 0 2、フレームメモリ1 0 0 3、表示部1 0 0 4、記録部1 0 0 5、操作部1 0 0 6、及び、電源部1 0 0 7から構成される。また、電子機器1 0 0 0において、DSP回路1 0 0 2、フレームメモリ1 0 0 3、表示部1 0 0 4、記録部1 0 0 5、操作部1 0 0 6、及び電源部1 0 0 7は、バスライン1 0 0 8を介して相互に接続されている。

[0177] 固体撮像装置1 0 0 1は、上述したCMOSイメージセンサ1 0（図2）又はCMOSイメージセンサ2 0（図5）に対応しており、各共有画素1 3 1（共有画素2 3 1）で行われるFD加算が、AD変換の際に得られる加算トリガ信号（AT）に応じて行われる。

[0178] DSP回路1 0 0 2は、固体撮像装置1 0 0 1から供給される信号を処理するカメラ信号処理回路である。DSP回路1 0 0 2は、固体撮像装置1 0 0 1からの信号を処理して得られる画像データを出力する。フレームメモリ1 0 0 3は、DSP回路1 0 0 2により処理された画像データを、フレーム単位で一時的

に保持する。

- [0179] 表示部 1004 は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、固体撮像装置 1001 で撮像された動画又は静止画を表示する。記録部 1005 は、固体撮像装置 1001 で撮像された動画又は静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。
- [0180] 操作部 1006 は、ユーザによる操作に従い、電子機器 1000 が有する各種の機能についての操作指令を出力する。電源部 1007 は、DSP回路 1002、フレームメモリ 1003、表示部 1004、記録部 1005、及び、操作部 1006 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。
- [0181] 電子機器 1000 は、以上のように構成される。本技術は、以上説明したように、固体撮像装置 1001 に適用される。具体的には、CMOSイメージセンサ 10 (図 2) 又は CMOS イメージセンサ 20 (図 5) は、固体撮像装置 1001 に適用することができる。固体撮像装置 1001 に本技術を適用することで、各共有画素 131 (共有画素 231) で行われる FD 加算が、AD 変換の際に得られる加算トリガ信号 (AT) に応じて行われるため、AD 変換の処理時間を短縮して、より高速に読み出しを行うことができる。
- [0182] <6. イメージセンサの使用例>
- [0183] 図 9 は、本技術を適用した固体撮像装置の使用例を示す図である。
- [0184] CMOS イメージセンサ 10 又は CMOS イメージセンサ 20 は、例えば、以下のように、可視光や、赤外光、紫外光、X 線等の光をセンシングする様々なケースに使用することができる。すなわち、図 9 に示すように、鑑賞の用に供される画像を撮影する鑑賞の分野だけでなく、例えば、交通の分野、家電の分野、医療・ヘルスケアの分野、セキュリティの分野、美容の分野、スポーツの分野、又は、農業の分野などにおいて用いられる装置でも、CMOS イメージセンサ 10 又は CMOS イメージセンサ 20 を使用することができる。
- [0185] 具体的には、鑑賞の分野において、例えば、デジタルカメラやスマートフ

オン、カメラ機能付きの携帯電話機等の、鑑賞の用に供される画像を撮影するための装置（例えば、図8の電子機器1000）で、CMOSイメージセンサ10又はCMOSイメージセンサ20を使用することができる。

[0186] 交通の分野において、例えば、自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置で、CMOSイメージセンサ10又はCMOSイメージセンサ20を使用することができる。

[0187] 家電の分野において、例えば、ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、テレビ受像機や冷蔵庫、エアコンディショナ等の家電に供される装置で、CMOSイメージセンサ10又はCMOSイメージセンサ20を使用することができる。また、医療・ヘルスケアの分野において、例えば、内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置で、CMOSイメージセンサ10又はCMOSイメージセンサ20を使用することができる。

[0188] セキュリティの分野において、例えば、防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置で、CMOSイメージセンサ10又はCMOSイメージセンサ20を使用することができる。また、美容の分野において、例えば、肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置で、CMOSイメージセンサ10又はCMOSイメージセンサ20を使用することができる。

[0189] スポーツの分野において、例えば、スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置で、CMOSイメージセンサ10又はCMOSイメージセンサ20を使用することができる。また、農業の分野において、例えば、畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置で、CMOSイメージセンサ10又はCMOSイメージセンサ20を使用することができる。

[0190] なお、本技術の実施の形態は、上述した実施の形態に限定されるものでは

なく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0191] また、本技術は、以下のような構成をとることができる。

[0192] (1)

光電変換部を有する画素が行列状に2次元配置され、当該画素の行列状の配置に対して列ごとに列信号線が配線される画素アレイ部と、

前記列信号線を介して出力される信号を、アナログ信号からデジタル信号に変換するAD変換部と

を備え、

複数の前記画素の前記光電変換部に対して、前記光電変換部で検出される電荷を電圧に変換するための電荷電圧変換部を共有することで、所定の数の画素を単位とした画素共有がなされ、

前記AD変換部において、AD変換の対象の共有画素を構成する第1の画素と第2の画素のうち、前記第1の画素の第1の光電変換部で検出された第1の電荷に応じたデジタル信号が確定したとき、当該共有画素の電荷電圧変換部では、前記第1の画素の第1の光電変換部からの第1の電荷と、前記第2の画素の第2の光電変換部からの第2の電荷とを加算する

固体撮像装置。

(2)

前記AD変換部によるAD変換の方式は、相関二重サンプリング(CDS: Correlated Double Sampling)を用いたカラムAD方式であって、

前記AD変換部において、前記第1の画素のD相の読み出し時に、前記列信号線を介して入力される信号の信号電圧と、外部からの参照電圧とが交差するタイミングで、前記電荷電圧変換部では、前記第1の電荷と前記第2の電荷とを加算する

前記(1)に記載の固体撮像装置。

(3)

前記信号電圧と前記参照電圧とが交差するタイミングに応じた加算トリガ信号を生成するトリガ生成部をさらに備え、

前記電荷電圧変換部では、前記加算トリガ信号に応じて、前記第 1 の電荷と前記第 2 の電荷とを加算する

前記（2）に記載の固体撮像装置。

（4）

前記列信号線に接続される前記共有画素ごとに、前記電荷電圧変換部での前記第 1 の電荷と前記第 2 の電荷との加算のタイミングが異なる

前記（2）又は（3）に記載の固体撮像装置。

（5）

前記AD変換部において、前記信号電圧と比較される前記参照電圧は、1 種類のランプ波から得られる

前記（2）乃至（4）のいずれかに記載の固体撮像装置。

（6）

前記AD変換部において、前記信号電圧と比較される前記参照電圧は、複数種類のランプ波から得られる

前記（2）乃至（4）のいずれかに記載の固体撮像装置。

（7）

前記AD変換部において、P相の読み出し時と、前記第 1 の画素のD相の読み出し時には、第 1 のランプ波が用いられ、前記第 1 の画素と前記第 2 の画素のD相の読み出し時には、前記第 1 のランプ波と異なる第 2 のランプ波が用いられる

前記（6）に記載の固体撮像装置。

（8）

光電変換部を有する画素が行列状に 2 次元配置され、当該画素の行列状の配置に対して列ごとに列信号線が配線される画素アレイ部と、

前記列信号線を介して出力される信号を、アナログ信号からデジタル信号に変換するAD変換部と

を備え、

複数の前記画素の前記光電変換部に対して、前記光電変換部で検出される

電荷を電圧に変換するための電荷電圧変換部を共有することで、所定の数の画素を単位とした画素共有がなされ、

前記AD変換部において、AD変換の対象の共有画素を構成する第1の画素と第2の画素のうち、前記第1の画素の第1の光電変換部で検出された第1の電荷に応じたデジタル信号が確定したとき、当該共有画素の電荷電圧変換部では、前記第1の画素の第1の光電変換部からの第1の電荷と、前記第2の画素の第2の光電変換部からの第2の電荷とを加算する

固体撮像装置

を搭載した電子機器。

符号の説明

[0193] 10, 20 CMOSイメージセンサ, 101, 201 制御部, 102, 202 画素アレイ部, 103, 203 垂直走査部, 104, 204 比較部, 105, 205 DAC, 106, 206 カウンタ部, 107, 207 水平走査部, 108, 208 AD変換部, 131, 231 共有画素, 132A, 232A 第1の画素, 132B, 232B 第2の画素, 132C, 232C 第3の画素, 132D, 232D 第4の画素, 141, 241 フォトダイオード, 142, 242 転送トランジスタ, 143, 243 転送トランジスタ, 144, 244 転送トランジスタ, 145, 245 フローティングディフュージョン, 146, 246 リセットトランジスタ, 147, 247 増幅トランジスタ, 148, 248 選択トランジスタ, 151, 251 比較器, 152, 252 加算トリガ信号生成部, 161, 261 カウンタ, 162, 262 復元部, 1000 電子機器, 1001 固体撮像装置

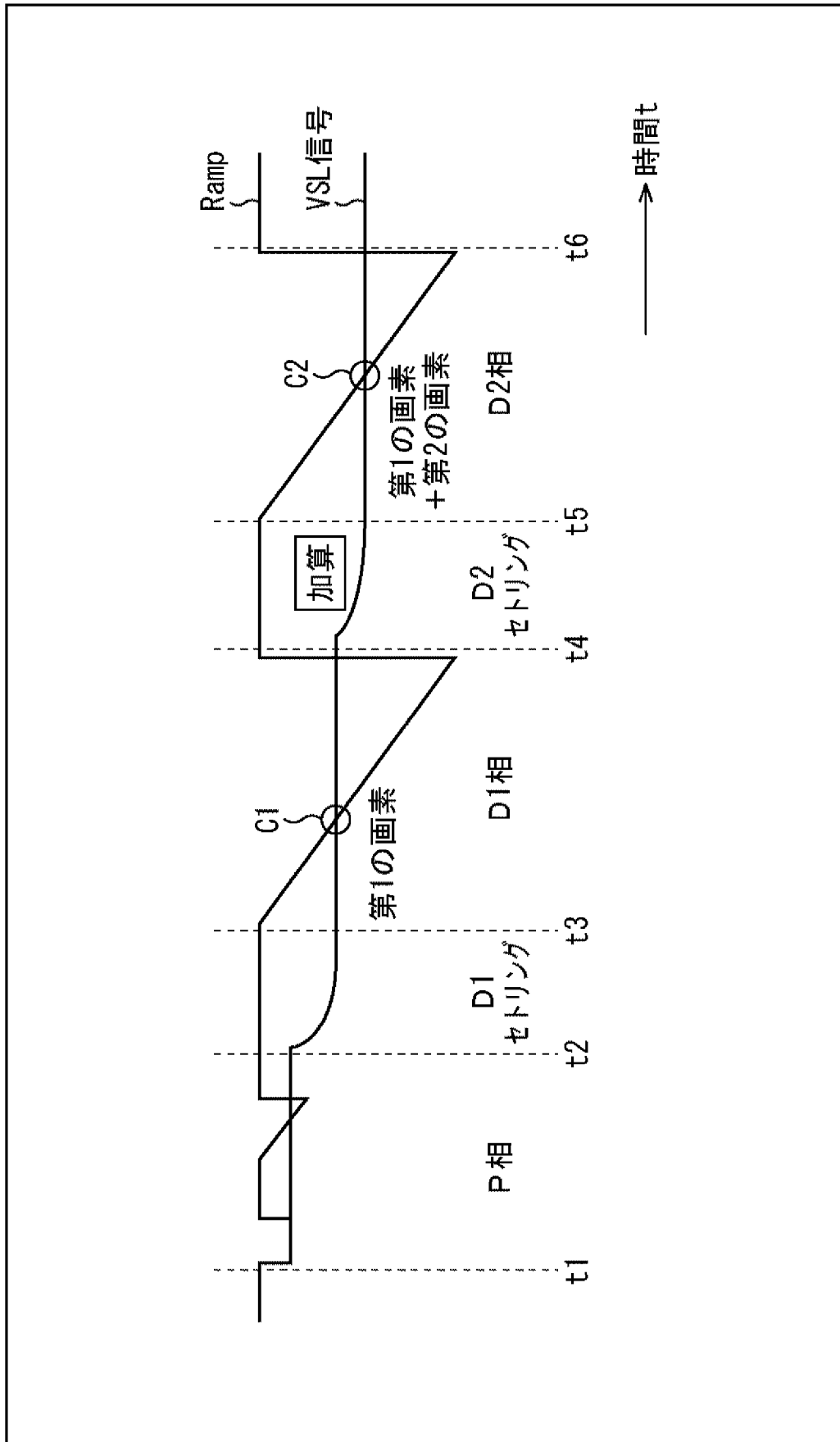
請求の範囲

- [請求項1] 光電変換部を有する画素が行列状に2次元配置され、当該画素の行
列状の配置に対して列ごとに列信号線が配線される画素アレイ部と、
前記列信号線を介して出力される信号を、アナログ信号からデジタル
信号に変換するAD変換部と
を備え、
複数の前記画素の前記光電変換部に対して、前記光電変換部で検出
される電荷を電圧に変換するための電荷電圧変換部を共有することで
、所定の数 of 画素を単位とした画素共有がなされ、
前記AD変換部において、AD変換の対象の共有画素を構成する第1の
画素と第2の画素のうち、前記第1の画素の第1の光電変換部で検出
された第1の電荷に応じたデジタル信号が確定したとき、当該共有画
素の電荷電圧変換部では、前記第1の画素の第1の光電変換部からの
第1の電荷と、前記第2の画素の第2の光電変換部からの第2の電荷
とを加算する
固体撮像装置。
- [請求項2] 前記AD変換部によるAD変換の方式は、相関二重サンプリング（CDS
: Correlated Double Sampling）を用いたカラムAD方式であって、
前記AD変換部において、前記第1の画素のD相の読み出し時に、前
記列信号線を介して入力される信号の信号電圧と、外部からの参照電
圧とが交差するタイミングで、前記電荷電圧変換部では、前記第1の
電荷と前記第2の電荷とを加算する
請求項1に記載の固体撮像装置。
- [請求項3] 前記信号電圧と前記参照電圧とが交差するタイミングに応じた加算
トリガ信号を生成するトリガ生成部をさらに備え、
前記電荷電圧変換部では、前記加算トリガ信号に応じて、前記第1
の電荷と前記第2の電荷とを加算する
請求項2に記載の固体撮像装置。

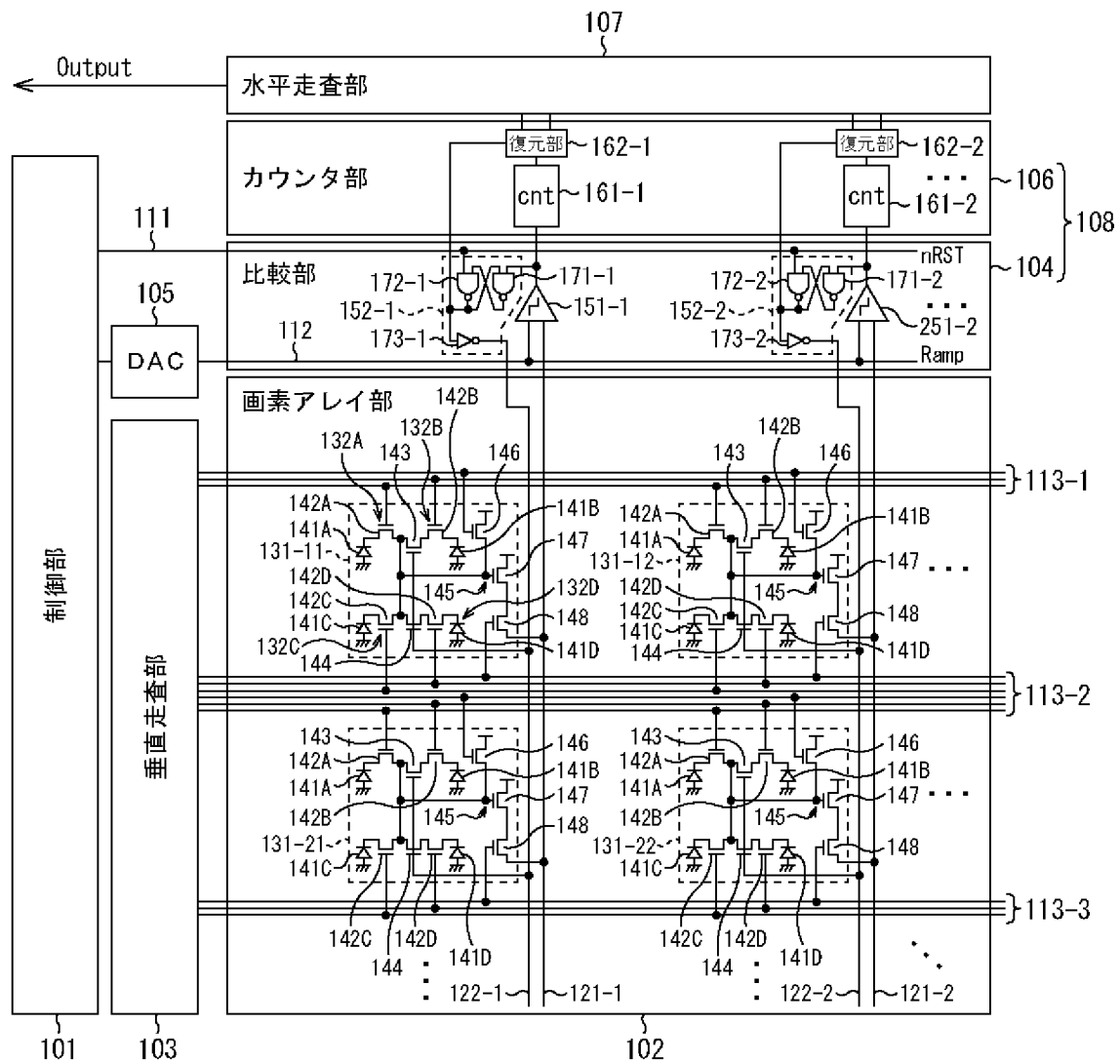
- [請求項4] 前記列信号線に接続される前記共有画素ごとに、前記電荷電圧変換部での前記第1の電荷と前記第2の電荷との加算のタイミングが異なる
- 請求項2に記載の固体撮像装置。
- [請求項5] 前記AD変換部において、前記信号電圧と比較される前記参照電圧は、1種類のランプ波から得られる
- 請求項4に記載の固体撮像装置。
- [請求項6] 前記AD変換部において、前記信号電圧と比較される前記参照電圧は、複数種類のランプ波から得られる
- 請求項4に記載の固体撮像装置。
- [請求項7] 前記AD変換部において、P相の読み出し時と、前記第1の画素のD相の読み出し時には、第1のランプ波が用いられ、前記第1の画素と前記第2の画素のD相の読み出し時には、前記第1のランプ波と異なる第2のランプ波が用いられる
- 請求項6に記載の固体撮像装置。
- [請求項8] 光電変換部を有する画素が行列状に2次元配置され、当該画素の行列表の配置に対して列ごとに列信号線が配線される画素アレイ部と、
- 前記列信号線を介して出力される信号を、アナログ信号からデジタル信号に変換するAD変換部と
- を備え、
- 複数の前記画素の前記光電変換部に対して、前記光電変換部で検出される電荷を電圧に変換するための電荷電圧変換部を共有することで、所定の数 of 画素を単位とした画素共有がなされ、
- 前記AD変換部において、AD変換の対象の共有画素を構成する第1の画素と第2の画素のうち、前記第1の画素の第1の光電変換部で検出された第1の電荷に応じたデジタル信号が確定したとき、当該共有画素の電荷電圧変換部では、前記第1の画素の第1の光電変換部からの第1の電荷と、前記第2の画素の第2の光電変換部からの第2の電荷

とを加算する
固体撮像装置
を搭載した電子機器。

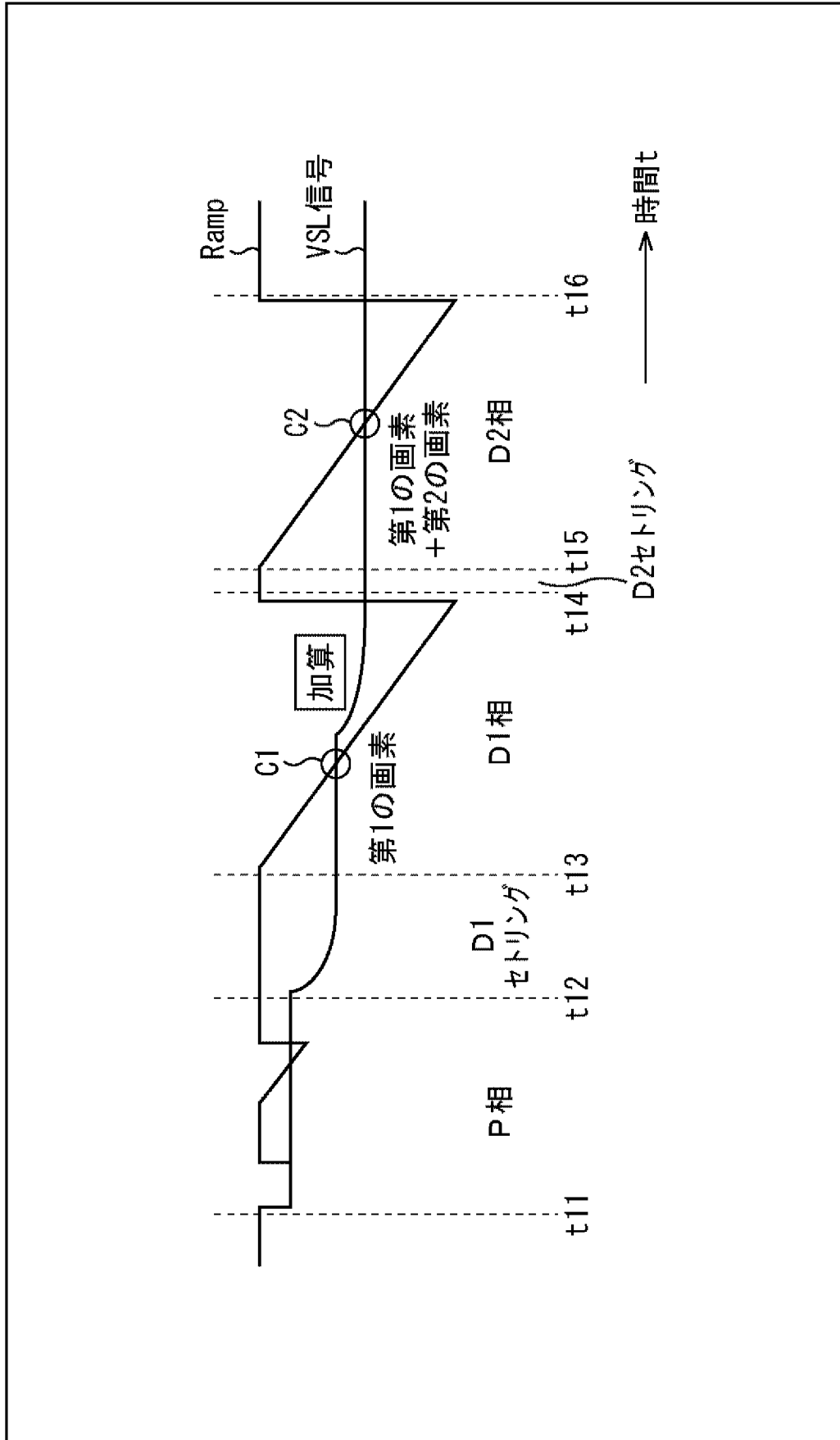
[図1]
FIG. 1



[図2]
FIG. 2



[図3]
FIG. 3



[図4]
FIG. 4

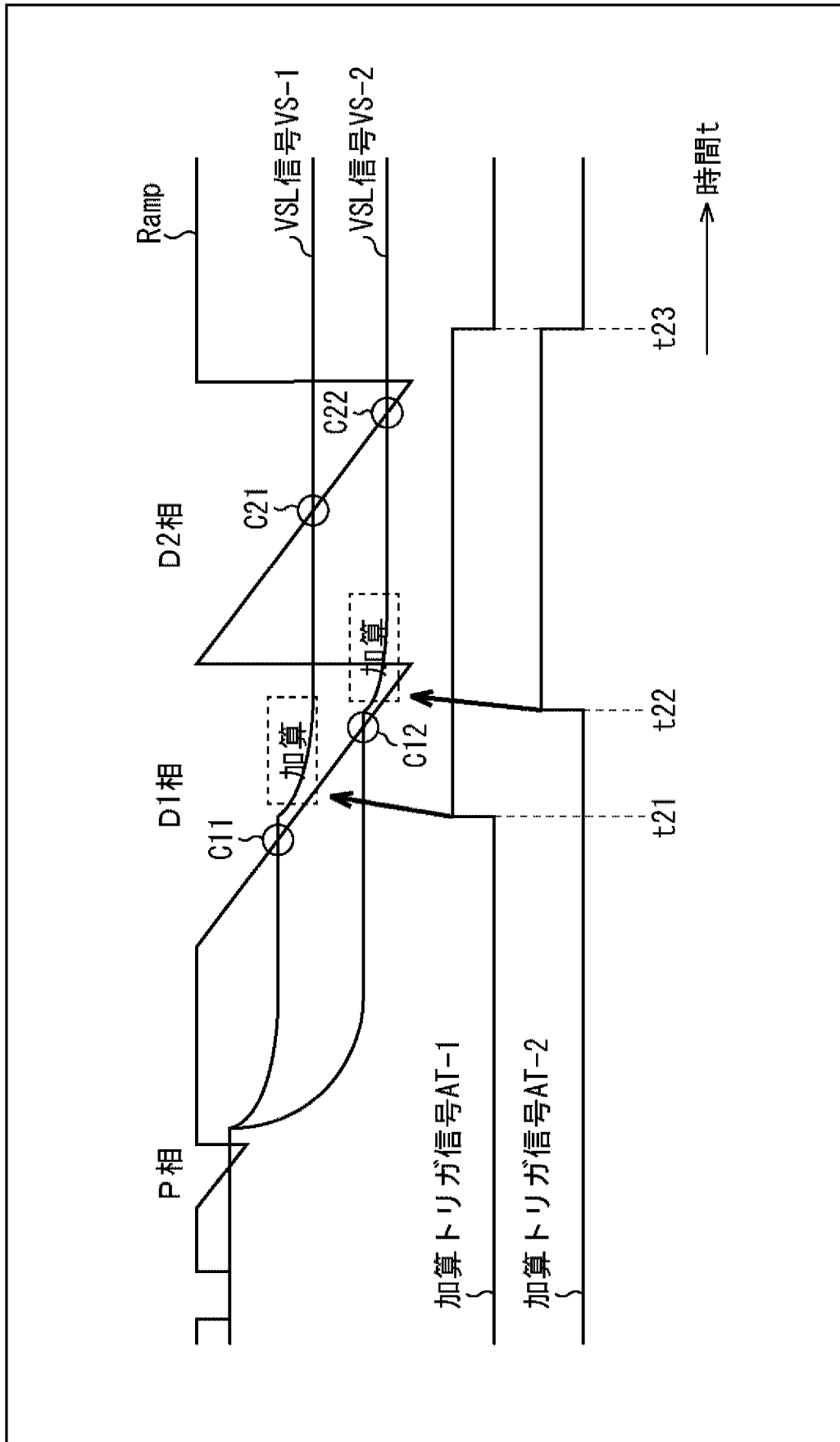
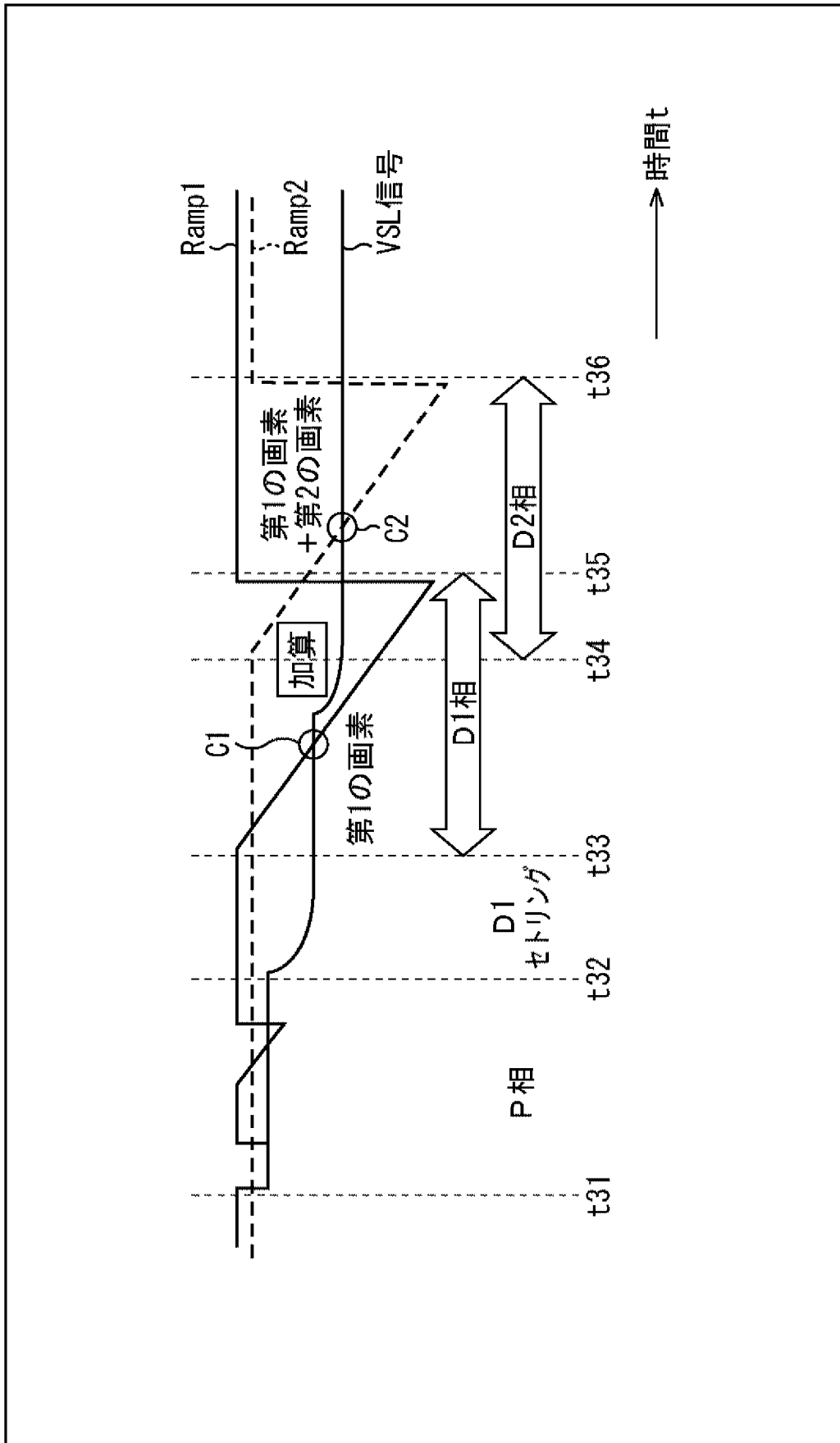
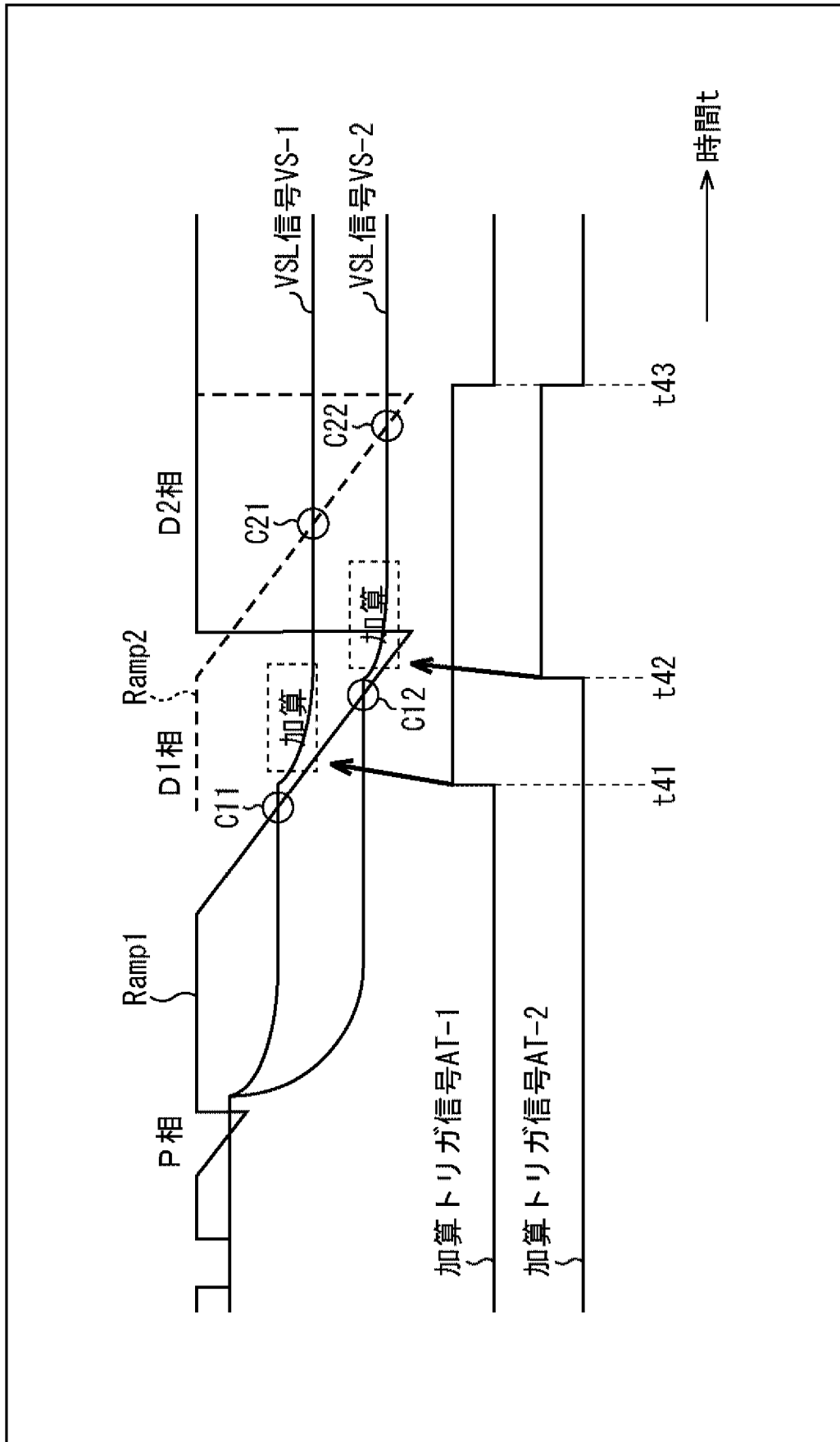


FIG. 5

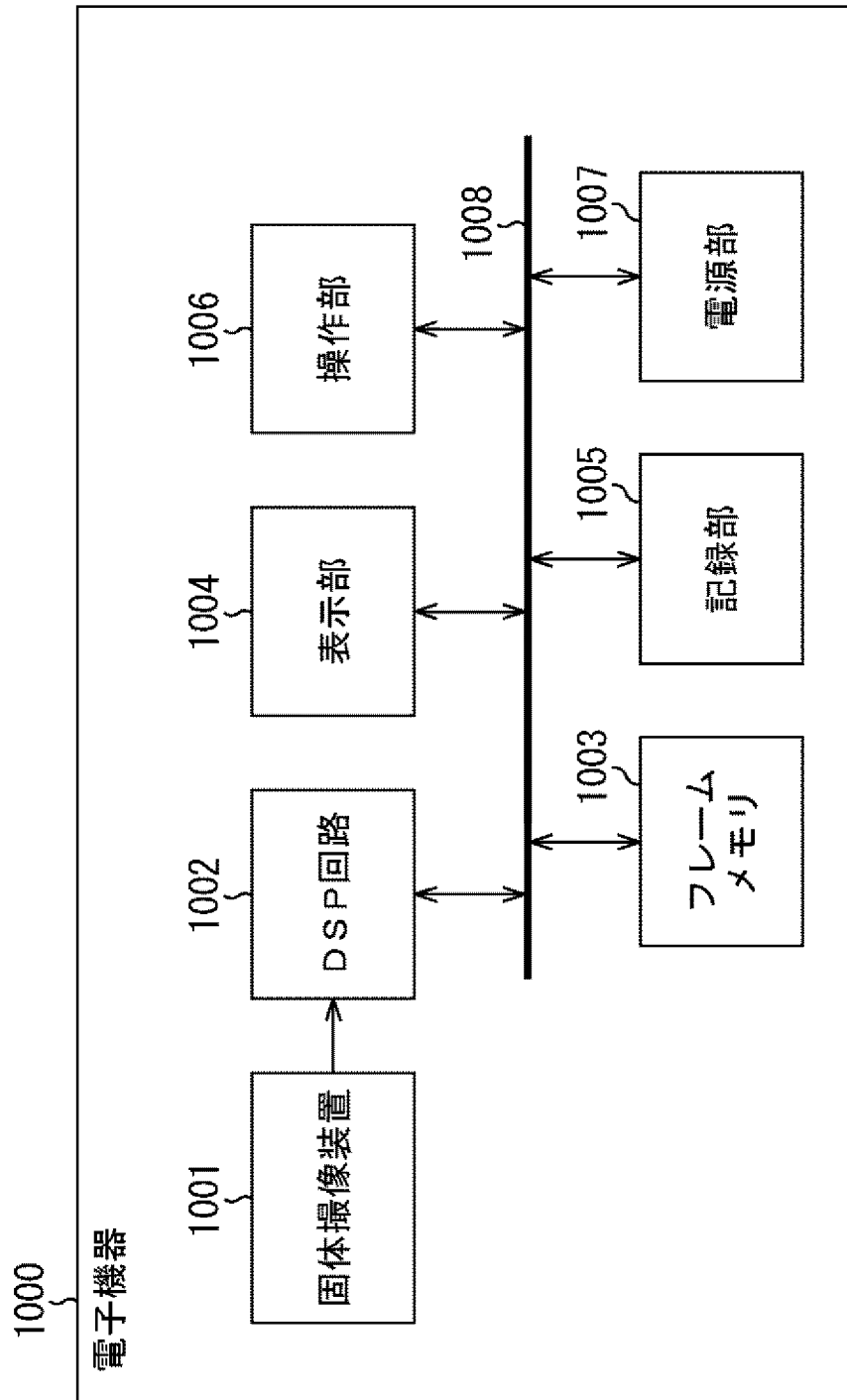


[図6]
FIG. 6

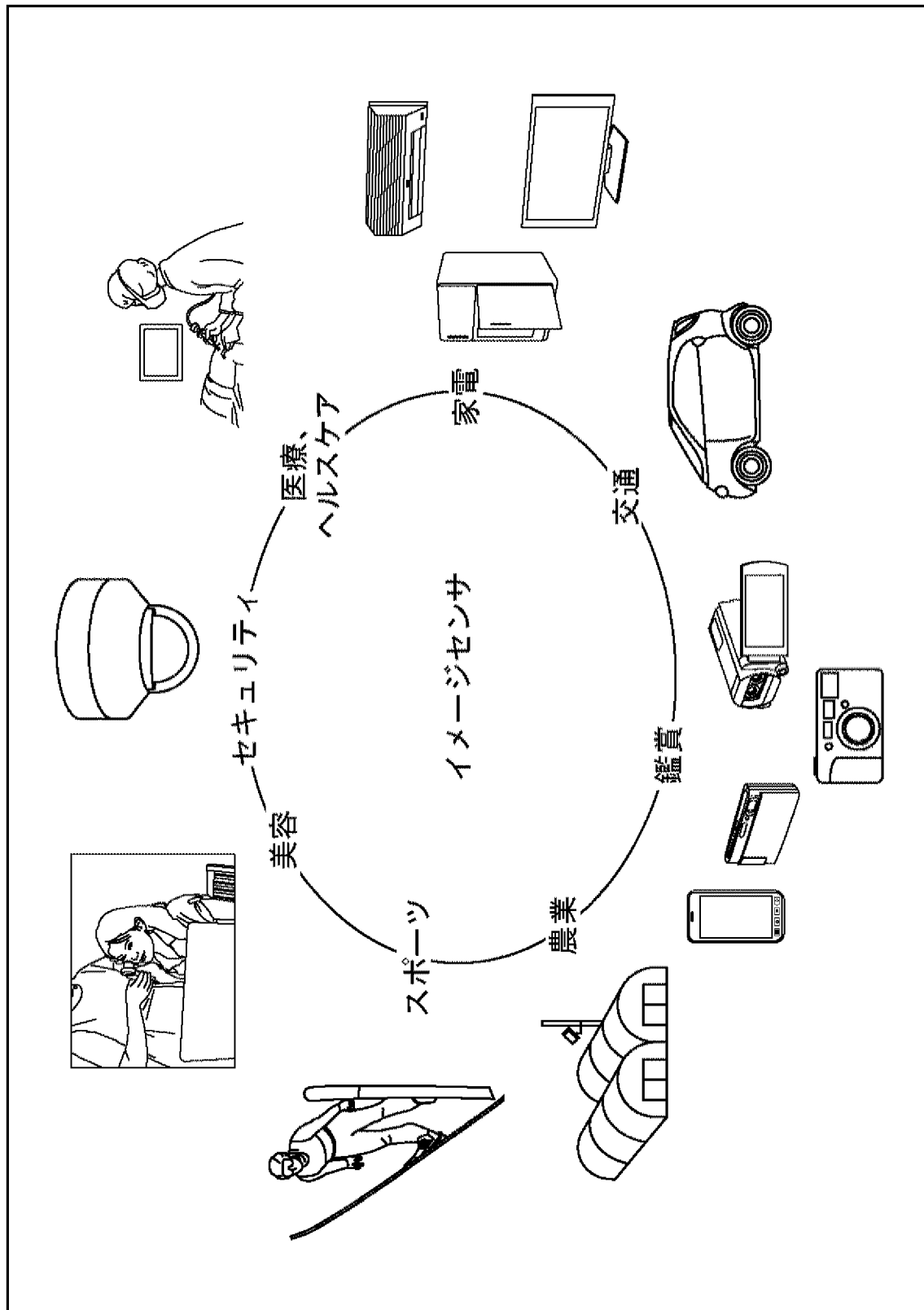


[図7]
FIG. 7

[図8]
FIG. 8



[図9]
FIG. 9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/005649

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/378 (2011.01) i, H04N5/347 (2011.01) i, H04N5/3745 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/378, H04N5/347, H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2016/129408 A1 (SONY CORP.) 18 August 2016, paragraphs [0021], [0035]-[0036], [0048]-[0049], [0113]-[0114], [0194]-[0195], fig. 7-9 & TW 201630411 A	1-5, 8 6-7
Y	JP 2014-135645 A (CANON INC.) 24 July 2014, paragraph [0027], fig. 1-2, 4 (Family: none)	6-7
A	JP 2016-15695 A (CANON INC.) 28 January 2016, entire text, all drawings (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 April 2018 (24.04.2018)

Date of mailing of the international search report
01 May 2018 (01.05.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/378(2011.01)i, H04N5/347(2011.01)i, H04N5/3745(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/378, H04N5/347, H04N5/3745

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	WO 2016/129408 A1（ソニー株式会社） 2016.08.18, 段落[0021], [0035]-[0036], [0048]-[0049] , [0113]-[0114], [0194]-[0195], 図7-9 & TW 201630411 A	1-5, 8 6-7
Y	JP 2014-135645 A（キヤノン株式会社） 2014.07.24, 段落[0027], 図1-2, 4 (ファミリーなし)	6-7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

24.04.2018

国際調査報告の発送日

01.05.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

粕谷 満成

5 V

5587

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-15695 A (キヤノン株式会社) 2016.01.28, 全文, 全図 (ファミリーなし)	1-8