



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0134522
(43) 공개일자 2013년12월10일

(51) 국제특허분류(Int. Cl.)
H03K 19/0175 (2006.01) H03K 17/14 (2006.01)
(21) 출원번호 10-2012-0058096
(22) 출원일자 2012년05월31일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
권대한
서울특별시 노원구 상계6.7동 상계주공4단지아파트 410-305
김철우
서울특별시 성북구 길음1동 삼성래미안3차아파트 605-1301
(뒷면에 계속)
(74) 대리인
김선중

전체 청구항 수 : 총 28 항

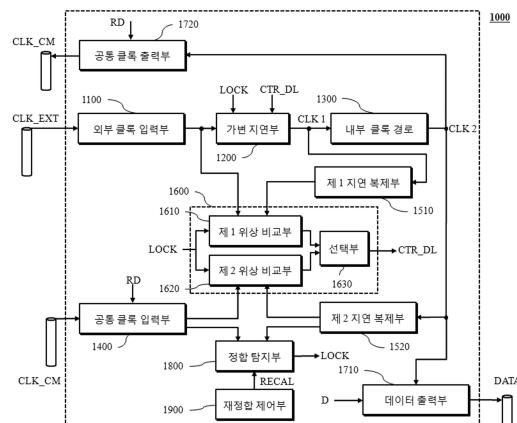
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 내장된 다수의 내장 반도체 장치로부터 출력 데이터가 겹치지 않고 정상적으로 출력되도록 데이터 출력 타이밍을 조정하는 기능을 수행하는 멀티 칩 패키지 형태의 반도체 장치에 관한 것이다.

본 발명에 의한 반도체 장치는 외부 클록 신호를 지연 고정하여 생성한 공통 클록 신호를 출력하는 제 1 내장 반도체 장치 및 공통 클록 신호를 입력받는 공통 클록 입력부와 제 1 내장 반도체 장치로부터 공통 클록 신호가 전달되는 동안의 지연량을 반영하여 내부 클록 신호를 생성하는 내부 클록 생성부를 포함하는 제 2 내장 반도체 장치를 포함하되, 제 2 내장 반도체 장치는 제 1 내장 반도체 장치에서 출력되는 공통 클록 신호와 상기 내부 클록 신호의 위상 정합 여부에 따라 상기 내부 클록 생성부를 제어하는 정합 탐지부 및 온도 변화에 따라 상기 정합 탐지부를 제어하는 재정합 제어부를 포함한다.

대표도 - 도7



(72) 발명자

이현우

경기도 이천시 부발읍 신하6리 삼익아파트 104동
804호

임수빈

서울특별시 동대문구 용두동 138-147 프로방스빌
407호

특허청구의 범위

청구항 1

외부 클록 신호를 지연 고정하여 생성한 공통 클록 신호를 출력하는 제 1 내장 반도체 장치 및

상기 제 1 내장 반도체 장치로부터 전달된 공통 클록 신호를 입력받는 공통 클록 입력부와 상기 제 1 내장 반도체 장치로부터 상기 공통 클록 신호가 전달되는 동안의 지연량을 반영하여 외부에서 전달된 상기 외부 클록 신호로부터 내부 클록 신호를 생성하는 내부 클록 생성부를 포함하는 제 2 내장 반도체 장치를 포함하되,

제 2 내장 반도체 장치는

상기 제 1 내장 반도체 장치에서 출력되는 공통 클록 신호와 상기 내부 클록 신호의 위상 정합 여부에 따라 상기 내부 클록 생성부를 제어하는 정합 탐지부; 및

온도 변화에 따라 상기 정합 탐지부를 제어하는 재정합 제어부

를 포함하는 반도체 장치.

청구항 2

청구항 1에 있어서, 상기 제 1 내장 반도체 장치는 상기 공통 클록 신호에 동기하여 자신의 데이터를 출력하는 데이터 출력부를 더 포함하는 반도체 장치.

청구항 3

청구항 1에 있어서, 상기 제 2 내장 반도체 장치는 상기 내부 클록 신호에 동기하여 자신의 데이터를 출력하는 데이터 출력부를 더 포함하는 반도체 장치.

청구항 4

청구항 1에 있어서, 상기 내부 클록 생성부는

외부 클록 신호를 지연하여 내부 클록 신호를 생성하는 지연부 및

상기 제 1 내장 반도체 장치에서 출력되는 공통 클록 신호와 상기 내부 클록 신호의 위상 정합 여부에 따라 상기 지연부를 제어하는 지연 제어부

를 포함하는 반도체 장치.

청구항 5

청구항 4에 있어서, 상기 지연 제어부는

상기 내부 클록 신호를 상기 지연량만큼 지연시키는 지연 복제부 및

상기 공통 클록 입력부의 출력의 위상과 상기 지연 복제부의 출력의 위상을 비교하여 출력하는 위상 비교부

를 포함하는 반도체 장치.

청구항 6

청구항 4에 있어서, 상기 정합 탐지부의 출력이 활성화되면 상기 지연부는 그 지연량을 고정하는 반도체 장치.

청구항 7

청구항 6에 있어서, 상기 정합 탐지부의 출력이 활성화되면 상기 지연 제어부는 비활성화되는 반도체 장치.

청구항 8

청구항 7에 있어서, 상기 재정합 제어부의 출력이 활성화되면 상기 정합 탐지부의 출력이 비활성화되는 반도체 장치.

청구항 9

청구항 1에 있어서, 상기 재정합 제어부는
온도 변화를 감지하여 출력하는 온도 변화 감지부 및
상기 온도 변화에 따라 다른 주기를 갖는 제어 신호를 출력하는 재정합 신호 생성부를 포함하는 반도체 장치.

청구항 10

청구항 9에 있어서, 상기 온도 변화 감지부는
일정 주기마다 온도를 샘플링하여 저장하는 제 1 저장부;
이전에 샘플링된 온도를 저장하는 제 2 저장부; 및
상기 제 1 저장부와 상기 제 2 저장부에 저장된 온도의 차이를 구하는 온도차 생성부를 포함하는 반도체 장치.

청구항 11

청구항 9에 있어서, 상기 재정합 신호 생성부는 상기 온도 변화 감지부의 출력에 따라 주기가 다른 다수의 신호 중 하나를 선택하여 출력하는 반도체 장치.

청구항 12

청구항 1에 있어서,
상기 공통 클록 신호는 상기 제 1 및 제 2 내장 반도체 장치를 관통하여 형성된 TSV를 통해 전달되는 반도체 장치.

청구항 13

청구항 1에 있어서, 상기 제 1 및 제 2 내장 반도체 장치에 읽기 명령을 제공하고 상기 읽기 명령에 따라 상기 제 1 및 제 2 내장 반도체 장치로부터 출력되는 데이터를 수신하는 중앙 처리 장치를 더 포함하는 반도체 장치.

청구항 14

다수의 내장 반도체 장치를 포함하되, 상기 다수의 내장 반도체 장치 각각은
공통 클록 신호를 외부로 출력하는 공통 클록 출력부;
외부로부터 상기 공통 클록 신호를 입력받는 공통 클록 입력부;
읽기 명령에 따라 상기 외부에 출력된 공통 클록 신호가 상기 공통 클록 입력부로 전달되어 오는 동안의 지연량을 선택적으로 반영하여 내부 클록 신호를 생성하는 내부 클록 생성부;
상기 외부에 출력된 공통 클록 신호와 상기 내부 클록 신호의 위상 정합 여부에 따라 상기 내부 클록 생성부를 제어하는 정합 탐지부; 및
온도 변화에 따라 상기 정합 탐지부를 제어하는 재정합 제어부를 포함하는 반도체 장치.

청구항 15

청구항 14에 있어서, 상기 다수의 내장 반도체 장치 각각은 상기 내부 클록에 동기하여 자신의 데이터를 출력하는 데이터 출력부를 더 포함하는 반도체 장치.

청구항 16

청구항 14에 있어서, 상기 공통 클록 출력부는 상기 다수의 내장 반도체 장치 중 데이터가 가장 먼저 출력되는

내장 반도체 장치에서만 활성화되고 나머지 내장 반도체 장치에서는 비활성화되는 반도체 장치.

청구항 17

청구항 16에 있어서, 상기 공통 클록 입력부는 상기 다수의 내장 반도체 장치 중 데이터가 가장 먼저 출력되는 내장 반도체 장치에서만 비활성화되고 나머지 내장 반도체 장치에서는 활성화되는 반도체 장치.

청구항 18

청구항 14에 있어서, 상기 내부 클록 생성부는

외부 클록 신호를 지연하여 내부 클록 신호를 생성하는 지연부 및

읽기 명령에 따라 상기 외부에 출력된 공통 클록 신호가 상기 공통 클록 입력부로 전달되어 오는 동안의 지연량의 반영 여부를 선택하여 상기 지연부를 제어하는 지연 제어부

를 포함하는 반도체 장치.

청구항 19

청구항 18에 있어서, 상기 지연 제어부는

상기 외부 클록 신호의 위상과 상기 내부 클록 신호의 위상을 비교하여 출력하는 제 1 위상 비교부;

상기 내부 클록 신호를 상기 지연량만큼 지연시키는 제 2 지연 복제부 및

상기 공통 클록 입력부의 출력의 위상과 상기 지연 복제부의 출력의 위상을 비교하여 출력하는 제 2 위상 비교부

상기 읽기 명령에 따라 상기 제 1 위상 비교부 또는 상기 제 2 위상 비교부의 출력을 선택하여 상기 지연부에 제공하는 선택부

를 포함하는 반도체 장치.

청구항 20

청구항 19에 있어서, 상기 선택부는

읽기 명령이 비활성화되면 상기 제 1 위상 비교부의 출력을 선택하고 읽기 명령이 활성화되면 상기 제 2 위상 비교부의 출력을 선택하는 반도체 장치.

청구항 21

청구항 18에 있어서, 상기 정합 탐지부의 출력이 활성화되면 상기 지연부는 그 지연량을 고정하는 반도체 장치.

청구항 22

청구항 21에 있어서, 상기 정합 탐지부의 출력이 활성화되면 상기 지연 제어부는 비활성화되는 반도체 장치.

청구항 23

청구항 21에 있어서, 상기 재정합 제어부의 출력이 활성화되면 상기 정합 탐지부의 출력이 비활성화 되는 반도체 장치.

청구항 24

청구항 14에 있어서, 상기 재정합 제어부는

온도 변화를 감지하여 출력하는 온도 변화 감지부 및

상기 온도 변화에 따라 다른 주기를 갖는 제어 신호를 출력하는 재정합 신호 생성부

를 포함하는 반도체 장치.

청구항 25

청구항 24에 있어서, 상기 온도 변화 감지부는

일정 주기마다 온도를 샘플링하여 저장하는 제 1 저장부;

이전에 샘플링된 온도를 저장하는 제 2 저장부; 및

상기 제 1 저장부와 상기 제 2 저장부에 저장된 온도의 차이를 구하는 온도차 생성부를 포함하는 반도체 장치.

청구항 26

청구항 24에 있어서, 상기 재정합 신호 생성부는 상기 온도 변화 감지부의 출력에 따라 주기가 다른 다수의 신호 중 하나를 선택하여 출력하는 반도체 장치.

청구항 27

청구항 14에 있어서,

상기 공통 클록 신호는 상기 다수의 내장 반도체 장치를 관통하여 형성된 TSV를 통해 전달되는 반도체 장치.

청구항 28

청구항 14에 있어서, 상기 다수의 내장 반도체 장치에 읽기 명령을 제공하고 상기 읽기 명령에 따라 상기 다수의 내장 반도체 장치로부터 출력되는 데이터를 수신하는 중앙 처리 장치를 더 포함하는 반도체 장치.

명세서

기술분야

[0001] 본 발명은 반도체 장치에 관한 것으로서 보다 구체적으로 다수의 반도체 장치가 하나로 패키징 된 멀티 칩 패키지 형태의 반도체 장치에 관한 것이다. 보다 구체적으로 본 발명은 멀티 칩 패키지 내의 다수의 내장 반도체 장치로부터의 출력 타이밍을 조정할 수 있는 반도체 장치에 관한 것이다. 보다 구체적으로 본 발명은 타이밍 조정이 완료된 경우 조정 동작을 중지할 수 있는 반도체 장치에 관한 것이다. 보다 구체적으로 본 발명은 온도 변화에 따라 중지된 타이밍 조정 동작을 재개할 수 있는 반도체 장치에 관한 것이다.

배경기술

[0002] 다수의 반도체 장치를 하나로 패키징하는 멀티 칩 패키지 형태의 반도체 장치가 개발되고 있다. 또한 하나의 패키지 내에 다수의 내장 반도체 장치를 수직으로 적층하고 TSV(Thru Silicon Via)를 통해 이들 사이에서 신호를 전달하는 형태의 반도체 장치가 개발되고 있다.

[0003] 도 1은 종래의 멀티 칩 패키지 형태의 반도체 장치에 내장되는 반도체 장치들을 나타내는 블록도이다. 멀티 칩 패키지 내에는 제 1 내지 제 3 내장 반도체 장치가 포함된다. 제 1 내지 제 3 내장 반도체 장치는 읽기 명령(미도시)과 외부 클록(CLK_EXT) 신호를 수신하고 이에 따라 데이터(DATA)를 출력한다. 이들 신호는 TSV를 통해 전달된다.

[0004] 도 2는 외부 클록(CLK_EXT)과 제 1 내지 제 3 반도체 장치로부터 출력되는 데이터(DATA)의 타이밍도를 나타낸다. 타이밍도에서 각 숫자는 대응하는 내장 반도체 장치로부터 데이터가 출력되는 구간을 나타낸다.

[0005] 정상적인 경우(DATA1) 제 1 내지 제 3 내장 반도체 장치로부터의 출력은 서로 중첩되지 않도록 정상적으로 출력되어야 한다. 그러나 비정상적인 경우(DATA2) 예를 들어 제 2 내장 반도체 장치로부터 데이터 출력이 완료되기 전에 제 3 내장 반도체 장치로부터도 데이터가 출력되어(점선 부분) 데이터가 충돌함을 알 수 있다.

[0006] 이러한 현상은 멀티 칩 패키지 형태의 반도체 장치의 신뢰성을 떨어뜨리는 요인이 된다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 내장된 다수의 내장 반도체 장치로부터 출력 데이터가 겹치지 않고 정상적으로 출력되도록 데이터 출

력 타이밍을 조정하는 기능을 수행하는 멀티 칩 패키지 형태의 반도체 장치를 제공하는 것을 목적으로 한다.

[0008] 본 발명은 데이터 출력 타이밍 조정이 완료되면 조정 기능을 정지하여 전력 소모를 줄일 수 있는 멀티 칩 패키지 형태의 반도체 장치를 제공하는 것을 목적으로 한다.

[0009] 본 발명은 온도 변화를 감지하여 데이터 출력 조정 기능을 재개할 수 있는 멀티 칩 패키지 형태의 반도체 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0010] 본 발명에 의한 반도체 장치는 외부 클록 신호를 지연 고정하여 생성한 공통 클록 신호를 출력하는 제 1 내장 반도체 장치 및 공통 클록 신호를 입력받는 공통 클록 입력부와 제 1 내장 반도체 장치로부터 공통 클록 신호가 전달되는 동안의 지연량을 반영하여 내부 클록 신호를 생성하는 내부 클록 생성부를 포함하는 제 2 내장 반도체 장치를 포함하되, 제 2 내장 반도체 장치는 제 1 내장 반도체 장치에서 출력되는 공통 클록 신호와 내부 클록 신호의 위상 정합 여부에 따라 내부 클록 생성부를 제어하는 정합 탐지부 및 온도 변화에 따라 정합 탐지부를 제어하는 재정합 제어부를 포함한다.

[0011] 본 발명에 의한 반도체 장치에서 제 1 내장 반도체 장치는 공통 클록 신호에 동기하여 자신의 데이터를 출력하는 데이터 출력부를 더 포함한다.

[0012] 본 발명에 의한 반도체 장치에서 제 2 내장 반도체 장치는 내부 클록 신호에 동기하여 자신의 데이터를 출력하는 데이터 출력부를 더 포함한다.

[0013] 본 발명에 의한 반도체 장치에서 내부 클록 생성부는 외부 클록 신호를 지연하여 내부 클록 신호를 생성하는 지연부 및 제 1 내장 반도체 장치에서 출력되는 공통 클록 신호와 내부 클록 신호의 위상 정합 여부에 따라 지연부를 제어하는 지연 제어부를 포함한다.

[0014] 본 발명에 의한 반도체 장치에서 지연 제어부는 내부 클록 신호를 지연량만큼 지연시키는 지연 복제부 및 공통 클록 입력부의 출력의 위상과 지연 복제부의 출력의 위상을 비교하여 출력하는 위상 비교부를 포함한다.

[0015] 본 발명에 의한 반도체 장치에서 정합 탐지부의 출력이 활성화되면 지연부는 그 지연량을 고정한다.

[0016] 본 발명에 의한 반도체 장치에서 정합 탐지부의 출력이 활성화되면 지연 제어부는 비활성화된다.

[0017] 본 발명에 의한 반도체 장치에서 재정합 제어부의 출력이 활성화되면 정합 탐지부의 출력이 비활성화된다.

[0018] 본 발명에 의한 반도체 장치에서 재정합 제어부는 온도 변화를 감지하여 출력하는 온도 변화 감지부 및 온도 변화에 따라 다른 주기를 갖는 제어 신호를 출력하는 재정합 신호 생성부를 포함한다.

[0019] 본 발명에 의한 반도체 장치에서 온도 변화 감지부는 일정 주기마다 온도를 샘플링하여 저장하는 제 1 저장부, 이전에 샘플링된 온도를 저장하는 제 2 저장부 및 제 1 저장부와 제 2 저장부에 저장된 온도의 차이를 구하는 온도차 생성부를 포함한다.

[0020] 본 발명에 의한 반도체 장치에서 재정합 신호 생성부는 온도 변화 감지부의 출력에 따라 주기가 다른 다수의 신호 중 하나를 선택하여 출력한다.

[0021] 본 발명에 의한 반도체 장치에서 공통 클록 신호는 제 1 및 제 2 내장 반도체 장치를 관통하여 형성된 TSV를 통해 전달된다.

[0022] 본 발명에 의한 반도체 장치는 제 1 및 제 2 내장 반도체 장치에 읽기 명령을 제공하고 읽기 명령에 따라 제 1 및 제 2 내장 반도체 장치로부터 출력되는 데이터를 수신하는 중앙 처리 장치를 더 포함한다.

[0023] 본 발명에 의한 반도체 장치는 다수의 내장 반도체 장치를 포함하되, 다수의 내장 반도체 장치 각각은 공통 클록 신호를 외부로 출력하는 공통 클록 출력부, 외부로부터 공통 클록 신호를 입력받는 공통 클록 입력부, 읽기 명령에 따라 외부에 출력된 공통 클록 신호가 공통 클록 입력부로 전달되어 오는 동안의 지연량을 선택적으로 반영하여 내부 클록 신호를 생성하는 내부 클록 생성부, 외부에 출력된 공통 클록 신호와 내부 클록 신호의 위상 정합 여부에 따라 내부 클록 생성부를 제어하는 정합 탐지부 및 온도 변화에 따라 정합 탐지부를 제어하는 재정합 제어부를 포함한다.

[0024] 본 발명에 의한 반도체 장치에서 다수의 내장 반도체 장치 각각은 내부 클록에 동기하여 자신의 데이터를 출력하는 데이터 출력부를 더 포함한다.

- [0025] 본 발명에 의한 반도체 장치에서 공통 클럭 출력부는 다수의 내장 반도체 장치 중 데이터가 가장 먼저 출력되는 내장 반도체 장치에서만 활성화되고 나머지 내장 반도체 장치에서는 비활성화된다.
- [0026] 본 발명에 의한 반도체 장치에서 공통 클럭 입력부는 다수의 내장 반도체 장치 중 데이터가 가장 먼저 출력되는 내장 반도체 장치에서만 비활성화되고 나머지 내장 반도체 장치에서는 활성화된다.
- [0027] 본 발명에 의한 반도체 장치에서 내부 클럭 생성부는 외부 클럭 신호를 지연하여 내부 클럭 신호를 생성하는 지연부 및 읽기 명령에 따라 외부에 출력된 공통 클럭 신호가 공통 클럭 입력부로 전달되어 오는 동안의 지연량을 반영할지 여부를 선택하여 지연부를 제어하는 지연 제어부를 포함한다.
- [0028] 본 발명에 의한 반도체 장치에서 지연 제어부는 외부 클럭 신호의 위상과 내부 클럭 신호의 위상을 비교하여 출력하는 제 1 위상 비교부, 내부 클럭 신호를 지연량만큼 지연시키는 제 2 지연 복제부 및 공통 클럭 입력부의 출력의 위상과 지연 복제부의 출력의 위상을 비교하여 출력하는 제 2 위상 비교부, 읽기 명령에 따라 제 1 위상 비교부 또는 제 2 위상 비교부의 출력을 선택하여 지연부에 제공하는 선택부를 포함한다.
- [0029] 본 발명에 의한 반도체 장치에서 선택부는 읽기 명령이 비활성화되면 제 1 위상 비교부의 출력을 선택하고 읽기 명령이 활성화되면 제 2 위상 비교부의 출력을 선택한다.
- [0030] 본 발명에 의한 반도체 장치에서 공통 클럭 신호는 다수의 내장 반도체 장치를 관통하여 형성된 TSV를 통해 전달된다.
- [0031] 본 발명에 의한 반도체 장치는 다수의 내장 반도체 장치에 읽기 명령을 제공하고 읽기 명령에 따라 다수의 내장 반도체 장치로부터 출력되는 데이터를 수신하는 중앙 처리 장치를 더 포함한다.

발명의 효과

- [0032] 본 발명에 의한 반도체 장치는 공통 클럭 신호를 이용한 데이터 출력 조정 기능을 통해 다수의 내장 반도체 장치에서 출력되는 데이터가 서로 겹치지 않도록 출력됨으로써 반도체 장치의 신뢰성을 높일 수 있다.
- [0033] 본 발명에 의한 반도체 장치는 데이터 출력이 조정된 경우 조정 기능을 중지하도록 하여 전력 소모를 줄일 수 있다.
- [0034] 본 발명에 의한 반도체 장치는 데이터 출력 조정 기능이 중지된 경우에도 온도 변화에 따라 데이터 출력 조정 기능을 재개하도록 함으로써 반도체 장치의 신뢰성을 더욱 향상시킬 수 있다.

도면의 간단한 설명

- [0035] 도 1은 종래 기술에 의한 멀티 칩 패키지 형태의 반도체 장치의 블록도.
- 도 2는 종래 기술의 문제점을 설명하는 타이밍도.
- 도 3은 본 발명에 의한 멀티 칩 패키지 형태의 반도체 장치의 블록도.
- 도 4는 본 발명의 일 실시예에 의한 반도체 장치에 내장되는 제 1 내장 반도체 장치의 블록도.
- 도 5는 본 발명의 일 실시예에 의한 반도체 장치에 내장되는 제 2 내장 반도체 장치의 블록도.
- 도 6은 도 5의 재정합 제어부의 블록도.
- 도 7은 본 발명의 다른 실시예에 의한 반도체 장치에 내장되는 내장 반도체 장치의 블록도.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하에서는 첨부한 도면을 참고하여 본 발명의 실시예를 통해 본 발명의 내용을 개시한다. 그러나 이하의 설명은 설명을 위해 개시되는 것일 뿐 권리범위를 한정하기 위한 것은 아니다.
- [0037] 도 3은 본 발명에 의한 멀티 칩 패키지 형태의 반도체 장치를 나타내는 블록도이다.
- [0038] 본 발명에 의한 반도체 장치는 공통 클럭 신호(CLK_CM)를 사용함으로써 데이터(DATA) 출력 조정 기능을 수행한다. 도시된 블록도에서 본 발명에 의한 반도체 장치는 제 1 내지 제 3 내장 반도체 장치(100 ~ 300)를 포함한다. 반도체 장치에 내장되는 내장 반도체 장치의 개수는 실시예에 따라 달라질 수 있다.
- [0039] 일부 실시예에서 제 1 내지 제 3 내장 반도체 장치(100 ~ 300)는 수직으로 적층되고 각 내장 반도체 장치(100 ~

300) 사이에서 신호를 전달하기 위해 TSV(Thru-Silicon Via)가 사용될 수 있다. 이 경우 외부 클록 신호(CLK_EXT), 공통 클록 신호(CLK_CM) 및 데이터(DATA)는 각각 TSV를 통해 전달될 수 있다. 도 1에서 TSV는 원기둥으로 표시되었으며 이하의 도면들에서도 마찬가지이다.

- [0040] 다른 실시예들에서는 내장 반도체 장치들이 수직으로 적층되지 않고 다른 형태로 배치될 수 있으며 클록 또는 데이터 신호의 전달을 위해 TSV가 아닌 다른 형태의 도전 라인이 사용될 수도 있다.
- [0041] 일부 실시예에서 본 발명에 의한 반도체 장치는 제 1 내지 제 3 내장 반도체 장치(100, 200, 300)에 읽기 명령 및/또는 외부 클록 신호(CLK_EXT)를 제공하고, 제 1 내지 제 3 반도체 장치로부터 데이터(DATA)를 수신하는 중앙 처리 장치(미도시)를 더 포함할 수 있다.
- [0042] 도시된 실시예에서 공통 클록 신호(CLK_CM)는 제 1 내장 반도체 장치(100)에서 출력되어 제 2 및 제 3 내장 반도체 장치(200, 300)에 제공되어 각 내장 반도체 장치에서 데이터(DATA) 출력 타이밍을 조정하는데 사용된다. 구체적인 데이터 타이밍 조정 기능에 대해서는 이하에서 상세히 살펴보기로 한다.
- [0043] 도 4는 본 발명의 일 실시예에 의한 제 1 내장 반도체 장치(100)를 나타내는 블록도이다.
- [0044] 제 1 내장 반도체 장치(100)는 외부 클럭 신호(CLK_EX)를 입력받는 외부 클록 입력부(110), 입력된 외부 클록 신호로부터 내부 클록 신호(CLK1)를 생성하는 공통 클록 생성부(120), 공통 클록 생성부(120)에서 생성된 내부 클록 신호(CLK1)가 전달되는 공통 클록 경로(130), 공통 클록 경로(140)를 통해 전달된 내부 클록 신호(CLK 2)를 공통 클록 신호(CLK_CM)로서 외부에 출력하는 공통 클록 출력부(140), 전달된 내부 클록 신호(CLK 2)에 따라 자신의 데이터(D1)를 동기하여 출력하는 데이터 출력부(150)를 포함한다.
- [0045] 공통 클록 생성부(120)는 외부 클록 입력부(110)를 통해 입력된 외부 클록 신호로부터 내부 클록 신호(CLK1)를 생성한다. 일부 실시예에서 공통 클록 생성부(120)는 지연 고정 루프(DLL)로 구현될 수 있다. 예를 들어 공통 클록 생성부(120)는 외부 클록 입력부(110)의 출력을 지연시키는 가변 지연부(미도시), 공통 클록 경로(130)를 복제하여 가변 지연부(미도시)의 출력을 지연하는 지연 복제부(미도시), 외부 클록 입력부(110)의 출력과 지연 복제부(미도시)의 출력의 위상차에 따라 가변 지연부(미도시)의 지연량을 제어하는 위상 비교부(미도시)를 포함하는 지연 고정 루프로 구현될 수 있다.
- [0046] 도 4에서 공통 클록 신호(CLK_CM)는 내부 클록 신호(CLK1, CLK2)가 다른 가공이 없이 외부로 출력되는 것에 불과하므로 실질적으로 동일한 신호이다. 특히 공통 클록 출력부(140)에서의 지연은 무시할 수 있을 정도로 작으므로 내부 클록 신호(CLK2)와 공통 클록 신호(CLK_CM)는 실질적으로 동일하다. 따라서 도 4에서 제 1 내장 반도체 장치(100)는 공통 클록 신호(CLK_CM)에 따라 자신의 데이터(D1)를 출력하는 것으로 볼 수 있다.
- [0047] 도 4에서 외부 클록 입력부(110), 공통 클록 생성부(120), 공통 클록 출력부(140), 데이터 출력부(150) 각각은 통상의 기술자가 공지된 기술로부터 용이하게 구현할 수 있다. 따라서 이들의 구체적인 구현예에 대해서는 설명을 생략한다.
- [0048] 도 5는 본 발명의 일 실시예에 의한 반도체 장치에 포함되는 제 2 내장 반도체 장치(200)를 나타내는 블록도이다.
- [0049] 제 2 내장 반도체 장치(200)는 외부 클록 신호(CLK_EXT)를 입력받는 외부 클록 입력부(210), 입력된 외부 클록 신호를 지연하여 내부 클록 신호(CLK1)를 생성하는 가변 지연부(220), 내부 클록 신호(CLK1)가 내부 클록 경로(230)를 통해 전달된 내부 클록 신호(CLK2)에 자신의 데이터(D2)를 동기화하여 출력하는 데이터 출력부(270)를 포함한다.
- [0050] 또한 제 2 내장 반도체 장치(200)는 제 1 내장 반도체 장치(도 4의 100)에서 출력된 공통 클록 신호(CLK_CM)를 입력받는 공통 클록 입력부(240), 공통 클록 신호(CLK_CM)가 전달되는 동안의 지연량만큼 내부 클록 경로(230)를 통해 전달된 내부 클록 신호(CLK2)를 지연시키는 지연 복제부(250)를 포함한다. 즉 지연 복제부(250)는 제 1 내장 반도체 장치(100)로부터 제 2 내장 반도체 장치(200)로 공통 클록 신호(CLK_CM)가 전달되는 동안의 지연을 반영한다.
- [0051] 또한 제 2 내장 반도체 장치(200)는 공통 클록 입력부(240)를 통해 입력된 공통 클록 신호와 지연 복제부(250)를 통과한 내부 클록 신호(CLK2)의 위상차를 나타내는 제어신호(CTR_DL)에 따라 가변 지연부(220)를 제어하는 위상 비교부(260)를 포함한다.
- [0052] 본 실시예는 내부 클록(CLK2)에 공통 클록 신호(CLK_CM)의 전달 과정에서의 지연량이 반영된 신호와 공통 클록

입력부(240)를 통해 입력된 공통 클록 신호(CLK_CM)의 위상차가 이상적으로는 0이 되도록 제어하게 된다. 즉, 내부 클록 신호(CLK2)는 제 1 내장 반도체 장치(100)로부터 제 2 내장 반도체 장치(200)까지 공통 클록 신호(CLK_CM)가 전달되는 동안의 지연에 의한 오차가 제거된 신호가 되도록 제어된다.

- [0053] 따라서 제 1 내장 반도체 장치(100)가 자신의 데이터(D1)를 출력할 때 사용하는 공통 클록 신호(CLK_CM)와 제 2 내장 반도체 장치(200)가 자신의 데이터(D2)를 출력할 때 사용하는 내부 클록 신호(CLK2)는 위상이 동일하게 되고 이에 따라 제 1 내장 반도체 장치(100)에서 출력되는 데이터와 제 2 내장 반도체 장치(200)에서 출력되는 데이터는 서로 겹치지 않게 된다.
- [0054] 또한 제 2 내장 반도체 장치(200)는 공통 클록 입력부(240)를 통해 입력된 공통 클록 신호와 지연 복제부(250)를 통과한 내부 클록 신호(CLK2)의 위상이 정합되었는지 여부를 판단하여 위상 정합 탐지 신호(LOCK)를 출력하는 정합 탐지부(280)를 포함한다.
- [0055] 위상 정합 여부는 두 신호의 위상차가 일정 범위 이내인지 여부에 따라 판단할 수 있다. 이때 판단 기준이 되는 수치는 실시예에 따라 달라질 수 있다. 예를 들어 일 실시예에서 클록 주파수가 166MHz일 때 위상차가 20ps이내이면 위상이 정합된 것으로 볼 수 있다.
- [0056] 정합 탐지부(280)는 위상 정합 탐지 신호(LOCK)에 따라 가변 지연부(220)를 제어한다. 예를 들어 위상 정합 탐지 신호(LOCK)가 활성화되면 가변 지연부(220)는 지연량을 고정시키고 위상 정합 탐지 신호(LOCK)가 비활성화되면 가변 지연부(220)는 위상 비교부(260)에서 출력된 제어 신호(CTR_DL)에 따라 지연량을 가변 제어할 수 있다.
- [0057] 일 실시예에서 가변 지연부(220)는 다수의 지연소자(미도시)를 포함할 수 있고 다수의 지연소자(미도시)가 직렬로 연결되는 개수를 조절함으로써 지연량을 조절할 수 있다. 지연량을 조절하기 위하여 스위치를 제어하는 과정에서 전력의 소모가 발생하므로 지연량의 고정을 통해 지연량을 제어하는데 필요한 전력의 소모를 방지할 수 있다.
- [0058] 위상 정합 탐지 신호(LOCK)가 활성화되는 경우 불필요한 전력의 낭비를 추가로 방지하기 위하여 위상 비교에 필요한 동작을 중지시킬 수 있다. 예를 들어 위상 정합 탐지 신호(LOCK)가 활성화되는 경우 공통 클록 입력부(240), 지연 복제부(250), 위상 비교부(260)의 동작을 중지시킬 수 있다. 다른 실시예에서는 재가동에 필요한 시간을 고려하여 이들 중 일부 또는 전부의 동작을 중지시키지 않을 수도 있다.
- [0059] 제 2 내장 반도체 장치(200)는 재정합 제어부(290)를 포함한다. 반도체 장치의 동작 환경, 예를 들어 온도, 이변하는 경우 트랜지스터의 특성이 변하여 결과적으로 전술한 두 클록 신호의 위상차가 달라질 수 있다. 이에 대처하기 위해 재정합 제어부(290)는 재정합 제어신호(RECAL)를 출력하여 정합 탐지부(280)를 제어한다.
- [0060] 재정합 제어신호(RECAL)가 활성화되면 정합 탐지부(280)는 위상 정합 탐지 신호(LOCK)를 비활성화한다. 이에 따라 가변 지연부(220)의 지연량은 위상 비교부(260)에서 출력된 제어 신호(CTR_DL)에 따라 다시 조정될 수 있다. 위상 정합 탐지 신호(LOCK)가 활성화되면서 동작이 중지된 구성이 있는 경우 그 구성은 위상 정합 탐지 신호(LOCK)가 비활성화되면서 동작을 재개하도록 제어되어야 한다.
- [0061] 도 5에서 외부 클록 입력부(210), 가변 지연부(220), 지연 복제부(250), 공통 클록 입력부(240), 데이터 출력부(270), 정합 탐지부(280) 각각은 통상의 기술자가 공지된 기술로부터 용이하게 구현할 수 있다. 따라서 이들의 구체적인 구현예에 대해서는 설명을 생략한다.
- [0062] 도 6은 도 5의 재정합 제어부(290)의 일 실시예를 나타내는 블록도이다. 본 실시예에서 재정합 제어부(290)는 온도 변화 감지부(291)와 재정합 제어신호 생성부(292)를 포함한다.
- [0063] 온도 변화 감지부(291)는 온도센서로부터 일정한 주기로 온도 정보를 입력받는 제 1 저장부, 이전에 입력된 온도 정보를 저장하는 제 2 저장부 및 제 1 저장부와 제 2 저장부에 저장된 온도 정보로부터 온도차 신호(TD)를 생성하여 출력하는 온도차 생성부를 포함한다. 제 1 저장부와 제 2 저장부는 예를 들어 플립플롭을 이용하여 구현할 수 있고 온도차 생성부는 감산기를 사용하여 구현할 수 있다.
- [0064] 재정합 제어신호 생성부(292)는 온도차 신호(TD)에 따라 주기가 다른 다수의 신호 중 하나를 선택하여 재정합 제어신호(RECAL)로서 출력한다. 제 1 내지 제 4 신호 발생부는 각각 주기가 다른 신호를 생성하는데 각 신호는 펄스 형태일 수 있다. 예를 들어 각 신호 발생부는 클록(CLK) 신호를 카운팅하고 일정한 개수가 카운팅 될 때마다 펄스 신호를 발생시킬 수 있다. 선택부는 온도차(TD)가 큰 경우에는 주기가 짧은 신호를 선택하도록 하고 온도차(TD)가 작은 경우에는 주기가 긴 신호를 선택하도록 설정되는 것이 바람직하다.

- [0065] 제 3 내장 반도체 장치(도 3의 300)는 제 2 내장 반도체 장치(200)의 구성과 기능이 동일하다. 다만 제 3 내장 반도체 장치에 포함되는 지연 복제부는 공통 클록 신호(CLK_CM)가 제 1 내장 반도체 장치로부터 제 3 내장 반도체 장치까지 전달되는 동안의 지연을 반영하는 점에서 그 지연량은 제 2 내장 반도체 장치(200)에 포함되는 지연 복제부(250)의 지연량과 다르게 설정될 수 있다.
- [0066] 도 4 및 도 5를 참조하여 설명한 본 발명의 일 실시예는 공통 클록 신호(CLK_CM)를 발생시키는 내장 반도체 장치가 제 1 내장 반도체 장치(100)로 고정되는 경우이다. 이는 반도체 장치에서 출력되는 데이터가 언제나 제 1 내장 반도체 장치(100)에서 먼저 출력되기 시작하는 경우에 바람직하다.
- [0067] 도 7은 본 발명의 다른 실시예에 의한 멀티 칩 패키지 형태의 반도체 장치에 내장되는 내장 반도체 장치(1000)의 블록도를 나타낸다.
- [0068] 본 실시예에서 다수의 내장 반도체 장치 각각은 모두 동일한 구성을 가진다. 다만 다수의 내장 반도체 중 어느 하나에서 공통 클록 신호를 출력하고 나머지 내장 반도체 장치가 이를 이용하는 점은 도 4 및 도 5에 도시된 실시예와 동일하다.
- [0069] 도 7에 도시된 실시예는 다수의 내장 반도체 장치들 중 데이터가 먼저 출력되는 내장 반도체 장치가 임의로 바뀌는 경우에 적절하다. 즉 다수의 내장 반도체 장치 중 데이터가 먼저 출력되는 내장 반도체 장치에서 공통 클록 신호를 생성하고 나머지 내장 반도체 장치들은 이를 수신하도록 설정할 수 있다. 이하 구체적으로 구성 및 동작을 살펴본다.
- [0070] 본 실시예에 의한 내장 반도체 장치(1000)는 외부 클록 신호(CLK_EXT)를 입력받는 외부 클록 입력부(1100), 입력된 외부 클록 신호를 지연하여 내부 클록 신호(CLK1)를 생성하는 가변 지연부(1200), 내부 클록 경로(1300)를 통해 전달되는 내부 클록 신호(CLK2)에 자신의 데이터(D)를 동기하여 출력하는 데이터 출력부(1710), 읽기 명령(RD)에 응답하여 내부 클록 신호(CLK2)를 공통 클록 신호(CLK_CM)로서 출력하는 공통 클록 출력부(1720), 읽기 명령(RD)에 응답하여 공통 클록 신호(CLK_CM)를 입력받는 공통 클록 입력부(1400)를 포함한다.
- [0071] 또한 내장 반도체 장치(1000)는 제 1 지연 복제부(1510), 제 2 지연 복제부(1520) 및 지연 제어부(1600)를 포함한다.
- [0072] 제 1 지연 복제부(1510)는 내부 클록 경로(1300)를 통한 전달 과정에서의 지연을 복제한다. 또한 제 2 지연 복제부(1520)는 공통 클록 신호(CLK_CM)가 출력되는 내장 반도체 장치로부터 공통 클록 신호(CLK_CM)가 입력되는 내장 반도체 장치까지의 전달 과정에서 공통 클록 신호(CLK_CM)의 지연을 복제한다. 따라서 제 2 지연 복제부(1520)가 복제하는 지연량은 내장 반도체 장치(1000)에 따라 다를 수 있다.
- [0073] 지연 제어부(1600)는 제 1 위상 비교부(1610)와 제 2 위상 비교부(1620)의 비교 결과 중 하나를 선택하여 지연 제어 신호(CTR_DL)를 출력하는 선택부(1630)를 포함한다. 지연 제어 신호(CTR_DL)는 가변 지연부(1200)의 지연량을 제어한다.
- [0074] 제 1 위상 비교부(1610)는 입력된 외부 클록 신호와 제 1 지연 복제부(1510)를 통과한 내부 클록 신호의 위상을 비교한다. 즉 제 1 위상 비교부(1610)의 출력이 선택되어 가변 지연부(1200)가 제어되는 경우 이는 외부 클록 신호(CLK_EXT)가 지연 제어 루프를 통해 내부 클록 신호(CLK1)를 생성하는 것으로 이해할 수 있다.
- [0075] 제 2 위상 비교부(1620)는 입력된 공통 클록 신호와 제 2 지연 복제부(1520)를 통과한 내부 클록 신호(CLK2)의 위상을 비교한다. 즉, 제 2 위상 비교부(1620)의 출력이 선택되어 가변 지연부(1200)가 제어되는 경우 내부 클록 신호(CLK2)의 위상은 공통 클록 신호(CLK_CM)가 출력되는 내장 반도체 장치에서의 공통 클록 신호(CLK_CM)의 위상과 동일하게 제어된다.
- [0076] 선택부(1630)는 읽기 명령(RD)에 따라 제 1 위상 비교부(1610)와 제 2 위상 비교부(1620)의 출력을 선택하여 출력한다. 즉 읽기 명령(RD)이 비활성화되면 제 1 위상 비교부(1610)의 출력을 선택하고 읽기 명령(RD)이 활성화되면 제 2 위상 비교부(1620)의 출력을 선택한다.
- [0077] 다만 데이터가 먼저 출력되는 내장 반도체 장치(1000)는 기준이 되는 공통 클록 신호(CLK_CM)를 출력할 뿐 이를 사용하지는 않으므로 읽기 명령(RD)에 관계없이 선택부(1630)는 제 1 위상 비교부(1610)의 출력만을 선택하는 것이 바람직하다. 따라서 이 내장 반도체 장치가 자신의 데이터를 동기화하는데 사용하는 내부 클록 신호(CLK2)와 공통 클록 신호(CLK_CM)는 위상차를 무시할 수 있는 실질적으로 동일한 신호이다.
- [0078] 데이터가 나중에 출력되는 내장 반도체 장치(1000)는 읽기 명령이 활성화되기 전에 제 1 위상 비교부(1610)의

제어에 따라 내부 클록 신호를 생성하고 있다가 읽기 명령(RD)이 활성화된 이후에는 제 2 위상 비교부(1620)의 제어에 따라 내부 클록(CLK2)의 위상을 제어하게 된다.

[0079] 정합 탐지부(1800)와 재정합 제어부(1900)의 구성 및 동작은 도 5 및 도 6에 도시된 정합 탐지부(280), 재정합 제어부(290)의 구성 및 동작과 동일하므로 반복된 설명은 생략한다. 다만 정합 탐지부(1800)와 재정합 제어부(1900)는 읽기 명령이 인가된 이후에 동작하도록 제어될 수 있다.

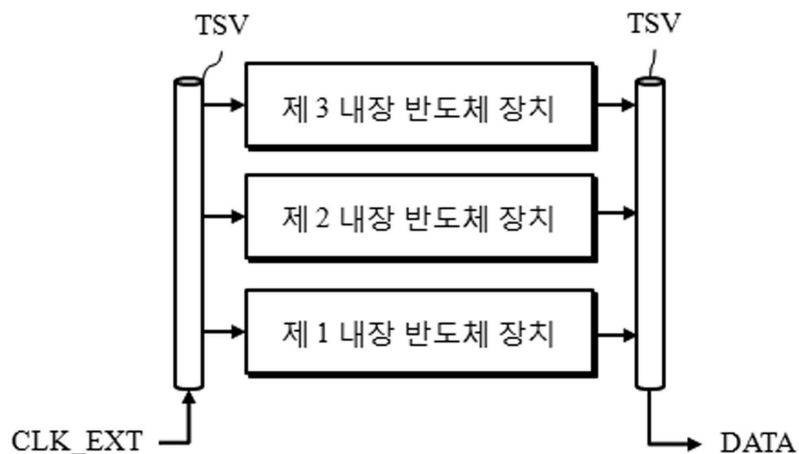
[0080] 이상과 같이 도면을 참조하여 본 발명의 다양한 실시예를 설명함으로써 본 발명을 개시하였다. 본 발명의 권리 범위는 특허청구범위에 의하여 정해지는 것이므로 이상에서 설명한 실시예로 본 발명의 권리범위가 한정되는 것은 아니다. 따라서 청구범위로부터 통상의 기술자가 용이하게 수정 또는 변경하여 도출할 수 있는 균등물 또한 본 발명의 범위에 포함되는 것으로 보아야 한다.

부호의 설명

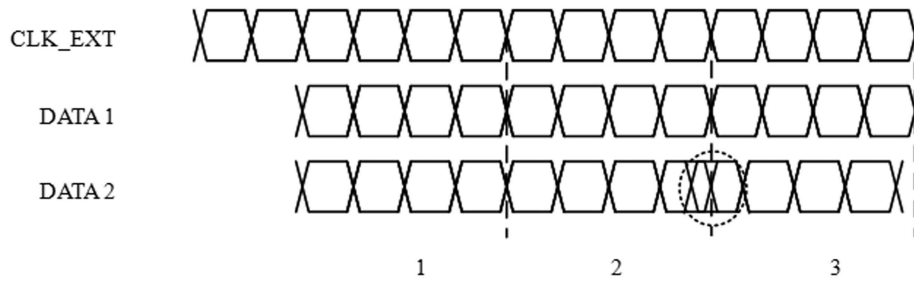
[0081] 100, 200, 300, 1000: 내장 반도체 장치
110, 210, 1100: 외부 클록 입력부
240, 1400, 공통 클록 입력부
150, 270, 1710: 데이터 출력부
220, 1200: 가변 지연부
260 : 위상 비교부
1600: 지연 제어부
1610: 제 1 위상 비교부
1620: 제 2 위상 비교부
1630: 선택부
280, 1800: 정합 탐지부
290, 1900: 재정합 제어부

도면

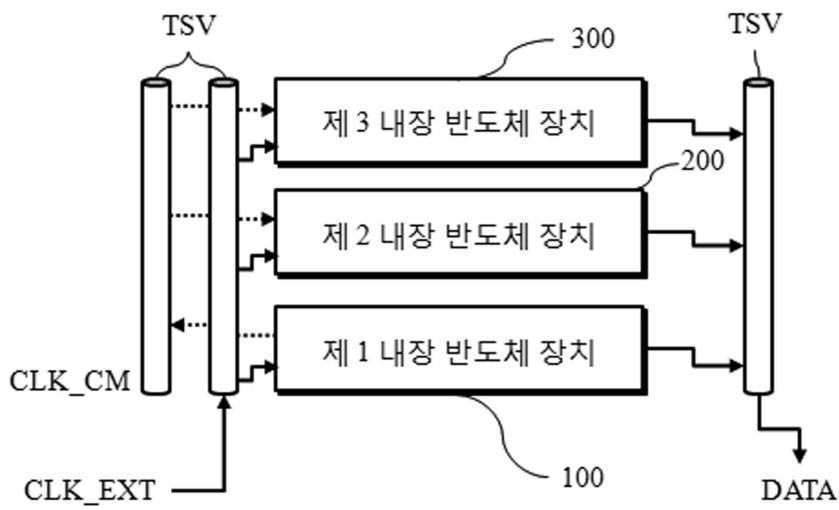
도면1



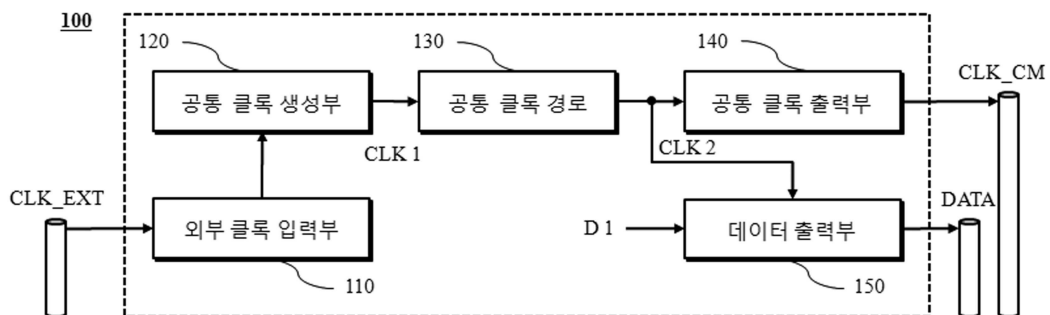
도면2



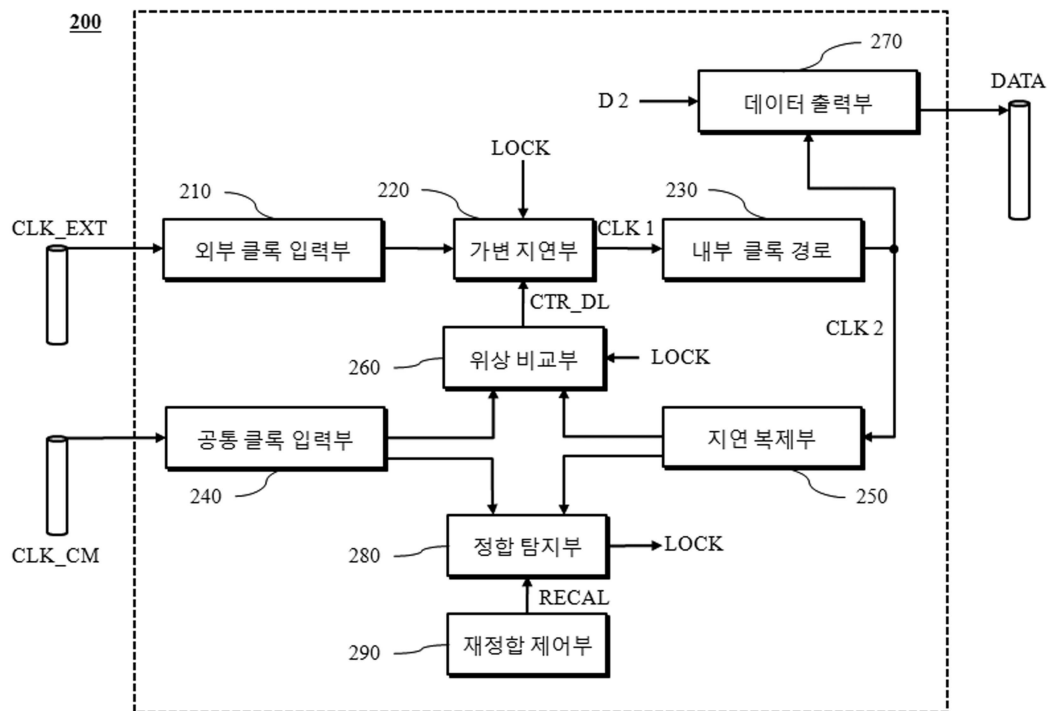
도면3



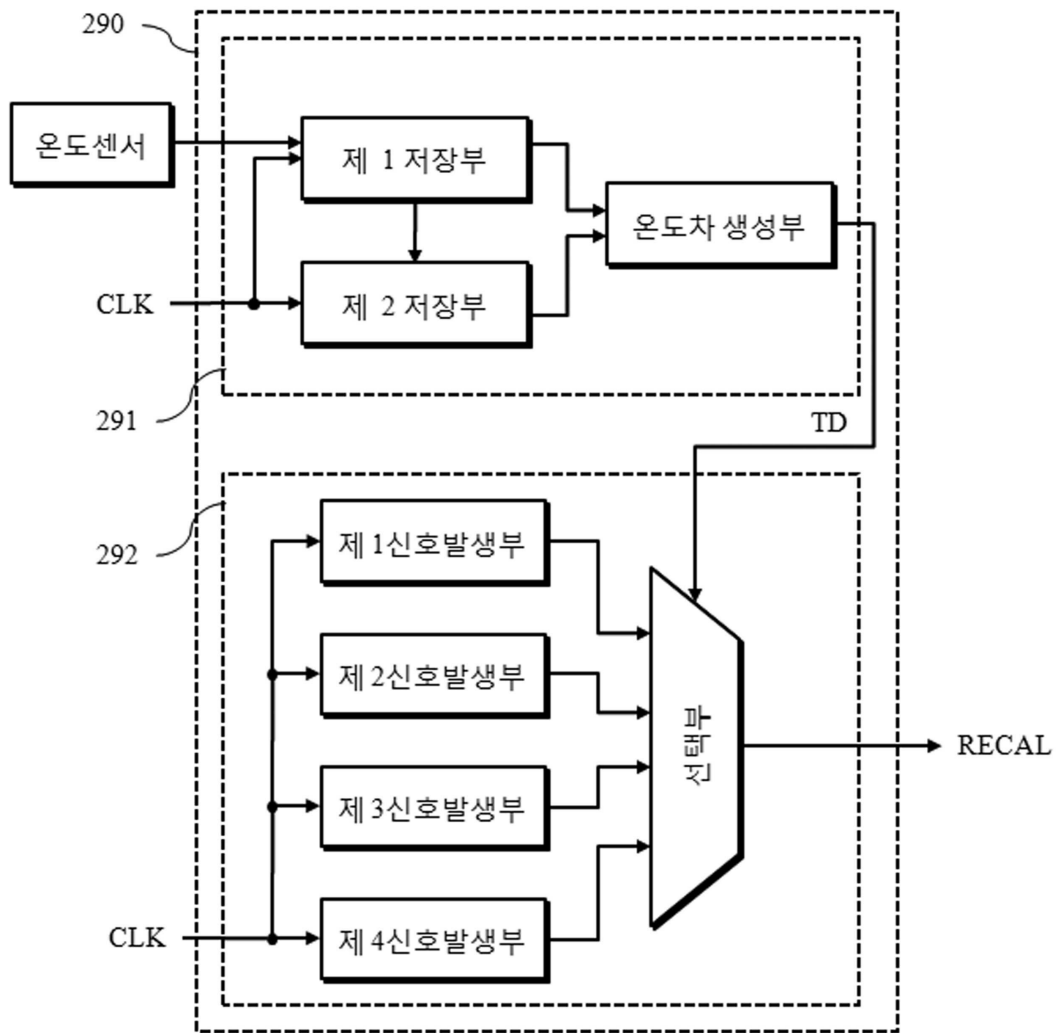
도면4



도면5



도면6



도면7

