



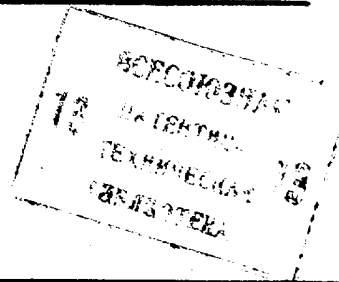
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1185332** **A**

(51)4 G 06 F 9/22

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3722096/24-24
(22) 03.04.84
(46) 15.10.85. Бюл. № 38
(72) И.Б.Шапиро и Л.А.Шумилов
(53) 681.325(088.8)
(56) Авторское свидетельство СССР
№ 717773, кл. G 06 F 15/00, 1977.
Авторское свидетельство СССР
№ 955061, кл. G 06 F 9/22, 1981.

(54)(57) 1. МИКРОПРОГРАММНОЕ УСТРОЙСТВО УПРАВЛЕНИЯ, содержащее блок памяти микрокоманд, регистр адреса, регистр микрокоманд и блок управления, причем синхровход блока управления является синхровходом устройства, первая группа выходов регистра адреса соединена с группой адресных входов блока памяти микрокоманд, выход которого соединен с информационным входом регистра микрокоманд, выход кода операции которого является выходом устройства, первый выход блока управления соединен с входом записи регистра микрокоманд, отличающееся тем, что, с целью повышения быстродействия, оно дополнительно содержит блок анализа условий, регистр условий и блок формирования адреса, а блок управления содержит три триггера, элемент ИЛИ и два элемента И, причем группа информационных входов регистра условий соединена с первой группой входов блока анализа условий и подключена к группе входов условий устройства, синхровход устройства подключен к входу записи регистра условий, группа выходов которого соединена с второй группой входов блока анализа условий и первой группой

информационных входов блока формирования адреса, вторая группа информационных входов которого соединена с первой группой выходов регистра адреса, вторая группа выходов которого соединена с третьей группой информационных входов блока формирования адреса и третьей группой входов блока анализа условий, четвертая группа входов которого соединена с группой выходов поля анализируемых условий регистра микрокоманд и четвертой группой информационных входов блока формирования адреса, выход которого соединен с информационным входом регистра адреса, счетные входы первого и второго триггеров соединены с первыми входами первого и второго элементов И и подключены к синхровходу блока управления, выход первого элемента И является вторым выходом блока управления и соединен со счетным входом третьего триггера и входом записи регистра адреса, выход второго элемента И является первым выходом блока управления, единичный выход третьего триггера является третьим выходом блока управления и соединен с информационным входом второго триггера и синхровходом блока формирования адреса, первый вход элемента ИЛИ является первым входом управления режимом блока управления и соединен с первым выходом блока анализа условий, второй вход элемента ИЛИ является вторым входом управления режимом блока управления и соединен с вторым выходом блока анализа условий и входом установки в "1" третьего триггера, информационный вход которого

(19) **SU** (11) **1185332** **A**

подключен к шине нулевого потенциала, выход элемента ИЛИ соединен с входами установки в "1" первого и второго триггеров, нулевые выходы которых соединены соответственно с вторыми входами первого и второго элементов И, информационный вход первого триггера подключен к шине нулевого потенциала.

2. Устройство по п. 1, отличающееся тем, что блок анализа условий содержит группу из N элементов ИСКЛЮЧАЮЩЕЕ ИЛИ (где N - количество анализируемых условий), две группы из N элементов И и два элемента ИЛИ, причем первые и вторые входы N элементов ИСКЛЮЧАЮЩЕЕ ИЛИ группы подключены соответственно к первой и второй группам входов блока, первые входы N элементов И первой и второй групп подключены соответственно к третьей и четвертой группам входов блока, выход i -го элемента ИСКЛЮЧАЮЩЕЕ ИЛИ группы ($i = \overline{1, N}$) соединен с вторыми входами i -х элементов И первой и второй групп, выходы N элементов И первой и второй групп соединены соответственно с входами первого и второго элементов ИЛИ, выходы которых подключены соответственно к первому и второму выходам блока.

3. Устройство по п. 1, отличающееся тем, что блок формирования адреса содержит две группы из N элементов И, группу из N элементов ИЛИ, элемент НЕ и ассоциативную память, причем синхровход блока подключен к первым входам N элементов И первой группы, к входу синхронизации ассоциативной памяти и через элемент НЕ - к первым входам N элементов И второй группы, вторые входы N элементов И первой и второй групп подключены к первой группе информационных входов блока, первая группа адресных входов ассоциативной памяти подключена к второй группе информационных входов блока, третьи входы N элементов И второй группы подключены к третьей группе информационных входов блока, третьи входы N элементов И первой группы подключены к четвертой группе информационных входов блока, третьи входы N элементов И первой группы подключены к четвертой группе информационных входов блока, выходы i -х элементов И первой и второй групп соединены соответственно с первым и вторым входами i -го элемента ИЛИ группы, выходы N элементов ИЛИ подключены к второй группе адресных входов ассоциативной памяти, выход которой является выходом блока.

1

Изобретение относится к вычислительной технике и может быть использовано в цифровых вычислительных системах, а также в терминальной аппаратуре.

Цель изобретения - повышение быстродействия.

На фиг. 1 изображена функциональная схема микропрограммного устройства управления; на фиг. 2 - функциональная схема блока анализа условий; на фиг. 3 - функциональная схема блока управления; на фиг. 4 - временные диаграммы работы блока управления; на фиг. 5 - функциональная 10 схема блока формирования адреса; на фиг. 6 - фрагмент граф-схемы микропрограммы, реализуемой предлага-

2

емым устройством; на фиг. 7 - таблица содержимого ассоциативного запоминающего устройства, входящего в блок формирования адреса.

5

Устройство содержит регистр 1 адреса, блок 2 памяти микрокоманд, регистр 3 микрокоманд, регистр 4 условий, блок 5 формирования адреса, блок 6 анализа условий, блок 7 управления, группу 8 входов условий, синхровход 9, выход 10, второй 11, первый 12 и третий 13 выходы блока 7 управления, первую 14 и вторую 15 группы выходов регистра 1 адреса, группу 16 выходов поля анализируемых условий регистра 3 микрокоманд, группу 17 выходов регистра 4 усло-

вий и первый 18₁ и второй 18₂ выходы блока 6 анализа.

Блок 6 анализа условий (фиг. 2) имеет группу элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 19, первую 20 и вторую 21 группы элементов И и два элемента ИЛИ 22 и 23.

Блок 7 управления (фиг. 3) состоит из элемента ИЛИ 24, первого 25, второго 26 и третьего 27 триггеров и первого 28 и второго 29 элементов И.

Блок 5 формирования адреса (фиг. 5) содержит элемент НЕ 30, первую 31 и вторую 32 группы элементов И, группу элементов ИЛИ 33 и ассоциативную память 34 (АП), состоящую из двух частей: ассоциативной и информационной (Майоров С.А., Новиков Г.И. Структура электронных вычислительных машин. - Л.: "Машиностроение", 1979, с. 363, 364).

Алгоритм работы АП следующий:

поиск в ассоциативной части по содержимому поискового входа, при обнаружении совпадений со словом, записанным в ассоциативной части, соответствующий индикатор слова устанавливается в состояние "0", чтение слова, записанного в информационной части, индикатор которого установлен в состояние "0".

Считанное слово записывается в регистр 1 адреса.

Объединение выходов группы элементов ИЛИ 33, выхода 14 регистра 1 адреса и выхода 13 блока 7 управления представляет собой полный поисковый вход ассоциативного запоминающего устройства.

В ассоциативной части АП 34 условно выделены три поля:

поле I - для хранения адресов микрокоманд блоков 2 микрокоманд,

поле II - для хранения значений логических условий,

поле III - для хранения значения управляющего сигнала с выхода 13 блока 7 управления.

В информационной части АП 34 условно выделено два поля:

поле IV - для хранения адресов микрокоманд блока 2 памяти, которые должны быть считаны в следующем такте работы устройства;

поле V - для хранения кодов масок микрокоманд, адреса которых указаны в поле IV.

Сигнал с выхода 14 регистра 1 адреса опрашивает поле I, сигнал с выхода группы элементов ИЛИ 33 - поле II, а сигнал с выхода 13 блока 7 управления - поле III. Если выход 13 блока 7 управления находится в состоянии "0", то код на выходе группы элементов ИЛИ 33 содержит "0" в тех разрядах, которые соответствуют логическим условиям, не влияющим на выбор пути выполнения микропрограммы из МК, адрес которой записан в регистре 1 адреса. При наличии "1" на выходе 13 блока 7 управления, код на выходе группы элементов ИЛИ 33 содержит "0" в тех разрядах, которые соответствуют логическим условиям, не влияющим на выбор пути выполнения микропрограммы из МК, записанной в регистре 3 микрокоманд.

Микропрограммное устройство управления при выполнении фрагмента микропрограммы, граф-схема которой приведена на фиг. 6 работает следующим образом.

Каждую МК микропрограммы идентифицируют адресом А, по которому она записана в блоке 2 памяти. Размещение фрагмента микропрограммы в АП 34 приведено на фиг. 7.

Пусть в 1-м такте работы устройства выполняется МК А1 (в регистре 3 микрокоманды находятся коды операции и маски МК, записанной в блоке 2 памяти по адресу А1), считывается МК А3 (в регистре 1 адреса находится код адреса А3), а в регистре 4 условий записан код условия 101, сформированный по значениям логических условий, поступивших на группу 8 входов устройства в предыдущем такте. В этом случае при отсутствии "1" на выходе 13 блока 7 управления на выходах группы элементов ИЛИ 33 формируется код 001. При этом в АП 34 вырабатывается сигнал совпадения с содержанием ассоциативной части 8-й ячейки (см. фиг. 7) и содержимое информационной части 8-й ячейки АП 34 поступает на выход блока 5 формирования адреса. Таким образом в 1-м такте в блоке 5 формирования адреса формируется код адреса и код маски МК А6.

Возможны три случая выполнения микропрограммы, которым соответствуют три режима работы микропрограммного устройства управления.

I режим соответствует случаю, когда в течение такта работы устройства не происходит изменения логических условий, влияющих на выбор пути выполнения микропрограммы из МК, выполняемой в данном такте, и МК, считываемой в данном такте из блока 2 памяти. Условием работы устройства в I режиме в данном случае является неизменность логических условий $X1=1$, $X2=0$, $X3=1$ в течение 1-го такта. При этом на выходе блока 6 анализа условий сохраняется код 00 и в следующем такте на выходах 11 и 12 блока 7 управления вырабатывается синхроимпульс. Во втором такте на выход 10 устройства поступает операционная часть МК 3, из блока 2 микрокоманд считывается МК А6, а на выходе блока 5 формирования адреса формируется адрес А10. Таким образом в I режиме работы устройства обеспечивается полное совмещение процессов выполнения, считывания и формирования адреса МК. При этом на выполнение двух следующих друг за другом МК (А1, А3, А3, А6) затрачивается два такта. При выполнении линейных участков микропрограммы устройство всегда работает в I режиме, поскольку в этом случае логические условия не влияют на траекторию микропрограммы.

II режим соответствует случаю, когда в течение текущего такта изменяются значения логических условий, влияющих на выбор пути выполнения микропрограммы из МК, считываемой в данном такте из блока 2 микрокоманд, а значения логических условий, влияющих на выбор пути выполнения микропрограммы из МК, которая выполняется в текущем такте (код операционной части которой присутствует на выходе 10 устройства), остаются неизменными. В данном случае устройство переходит во II режим работы, если в течение 1-го такта значения логических условий $X1$ и $X2$ остаются неизменными ($X1=1$; $X2=0$), а значение $X3$ меняется ($X3=0$). В этом случае после МК А3 в микропрограмме должна выполняться МК А5. Поэтому во 2-м такте работы устройства в блоке 5 формирования адреса формируется адрес А5. Это происходит следующим образом. На вы-

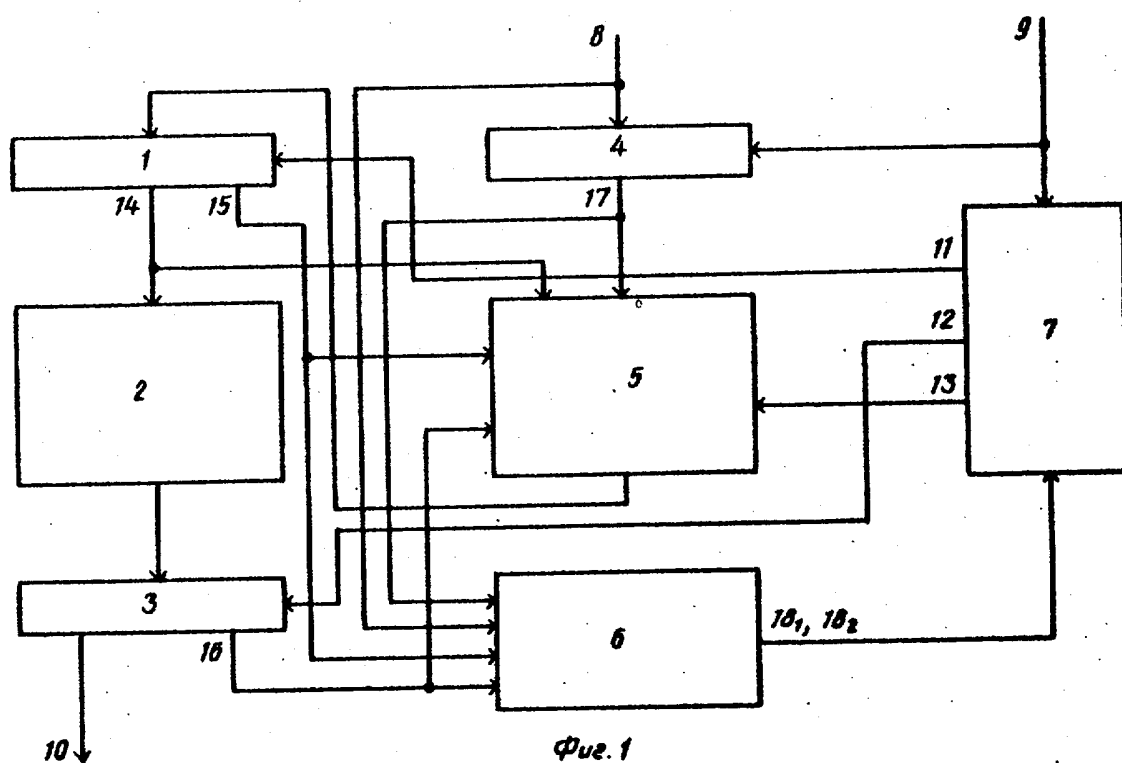
ходе блоков анализа условий вырабатывается код 01 (фиг. 2). При этом во 2-м такте с выхода 11 блока 7 управления на синхровходы регистра 1 адреса и регистра 3 микрокоманд не поступают синхроимпульсы (фиг. 4). На вход блока 5 формирования адреса поступают код адрес А3, код условия 100, сигнал "0" с выхода 13 блока 7 управления. В этом случае на выходах группы элементов ИЛИ 33 формируется код 000, а на выходе блока 5 формирования адреса - коды адреса и маски МК А5 (см. фиг. 7). В регистре 1 адреса во 2-м такте по-прежнему находится код адреса А3, а в регистре 3 коды операции и маски МК А1. В 3-м такте работы на выход 10 устройства поступает операционная часть МК А3, из блока 2 памяти считывается МК А5, в блоке 5 формирования адреса вырабатывается МК А9. Таким образом, на выполнение двух следующих друг за другом МК А1, А3 затрачивается три такта (один дополнительный такт).

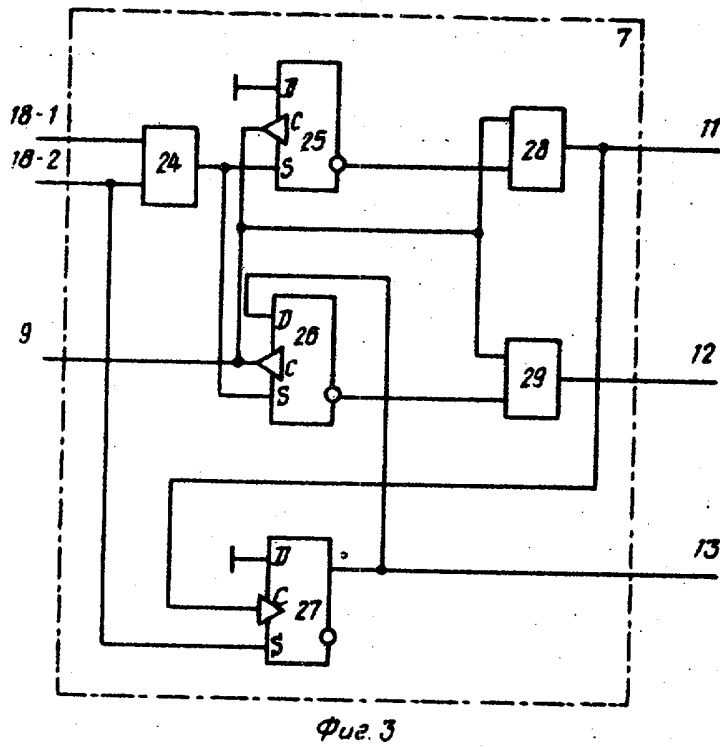
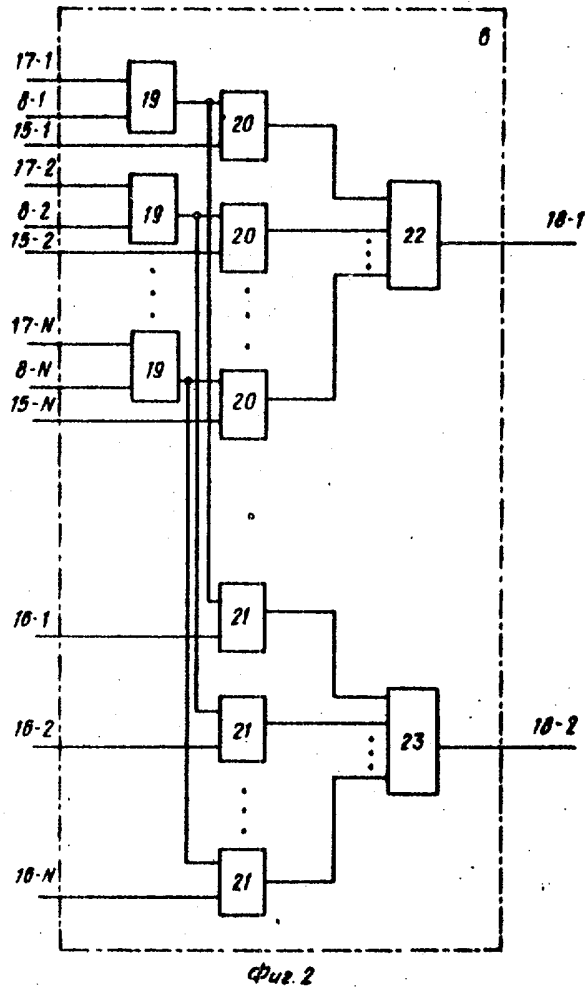
III режим соответствует случаю, когда в текущем такте работы происходит изменение значений логических условий, влияющих на выбор пути выполнения микропрограммы из МК, которая выполняется в текущем такте (код операционной части которой поступает на выход 10 устройства).

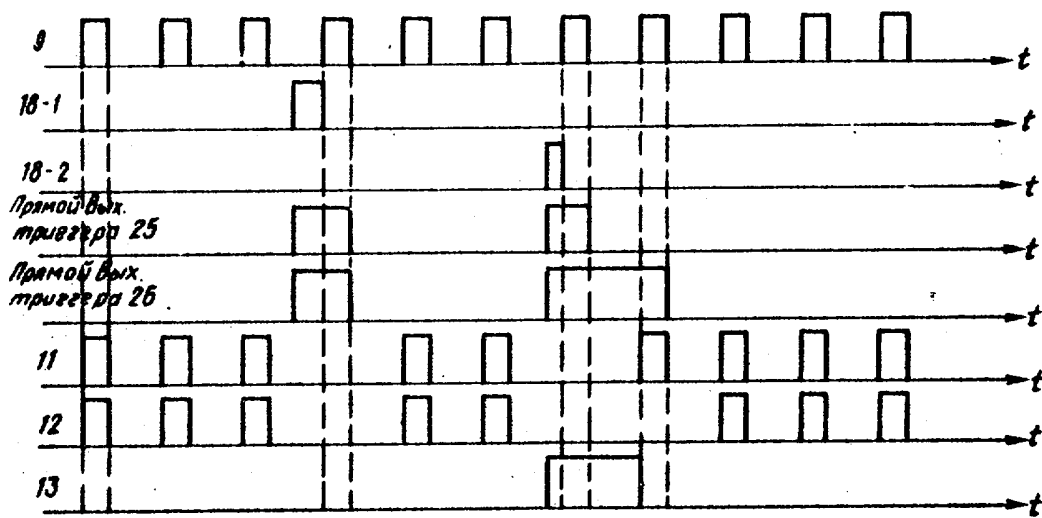
В примере устройство переходит в III режим работы, если в течение 1-го такта изменились значения $X1$ или $X2$. Пусть в 1-м такте меняется значение $X1$. В этом случае значения логических условий в конце 1-го такта следующие: $X1=0$; $X2=0$; $X3=1$. При этих значениях логических условий после МК А1 в микропрограмме следует МК А2. Поэтому в течение 2-го такта работы устройства в блоке 5 формирования адреса вырабатывается адрес А2, а в течение 3-го такта МК А2 считывается из блока 2 памяти. Это происходит следующим образом. На выходе блока 6 анализа условий вырабатывается код 10 (фиг. 2). Во 2-м и 3-м тактах работы устройства на синхровход регистра 3 микрокоманд с выхода 12 блока 7 управления не поступают синхроимпульсы, во 2-м такте работы синхроимпульсы с выхода 11 блока 7 управ-

ления не поступают также на синхровход регистра 1 адреса, кроме того, во 2-м такте работы устройства на выходе 13 блока 7 управления формируется сигнал "1" (фиг. 4). При этом во 2-м такте на вход блока 5 формирования адреса поступают код адреса АЗ, код условия 001, сигнал "1" с выхода 13 блока 7 управления. В этом случае на выходах группы элементов ИЛИ 33 формируется код 000, а на выходе блока 5 формирования адреса - коды адреса и маски МК А2 (см. фиг. 7). В 3-м такте МК А2 считывается из блока 2 памяти, в бло-

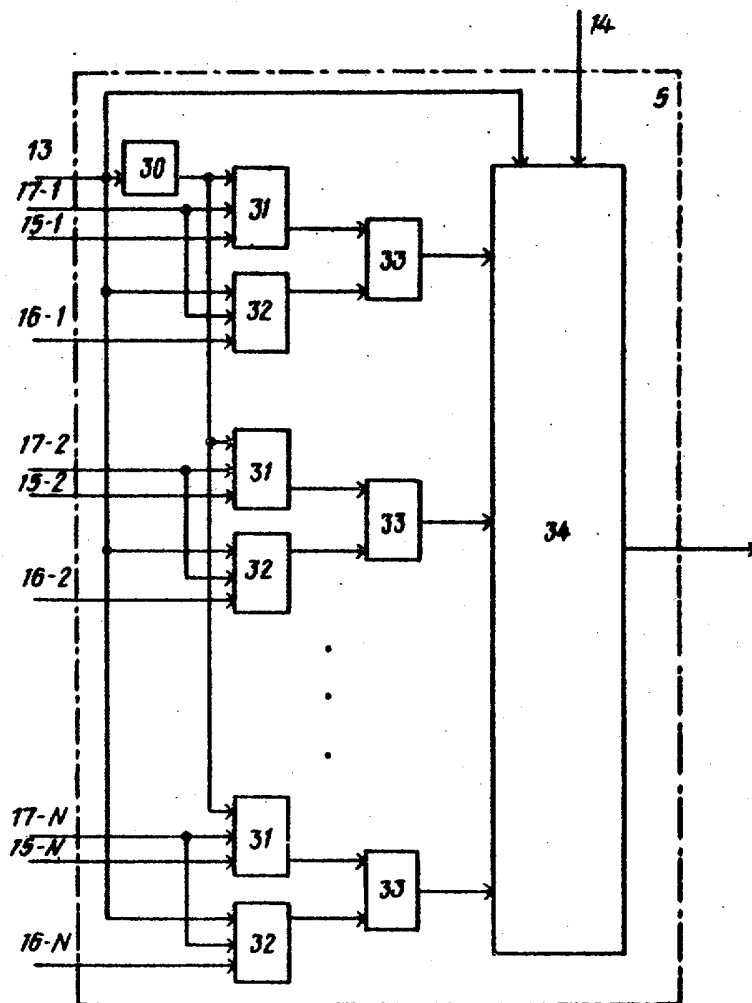
ке 5 формирования адреса вырабатывается адрес А7 (фиг. 7), а на выходе 10 устройства по-прежнему находится код операционной части МК А1. В 4-м такте на выход 10 устройства поступает код операционной части МК А2. При этом из блока 2 памяти считывается МК А7, а в блоке 5 формирования адреса вырабатывается адрес А9. Таким образом, в III режиме работы на выполнение двух следующих друг за другом МК (А1, А2) затрачивается четыре такта (два дополнительных такта).



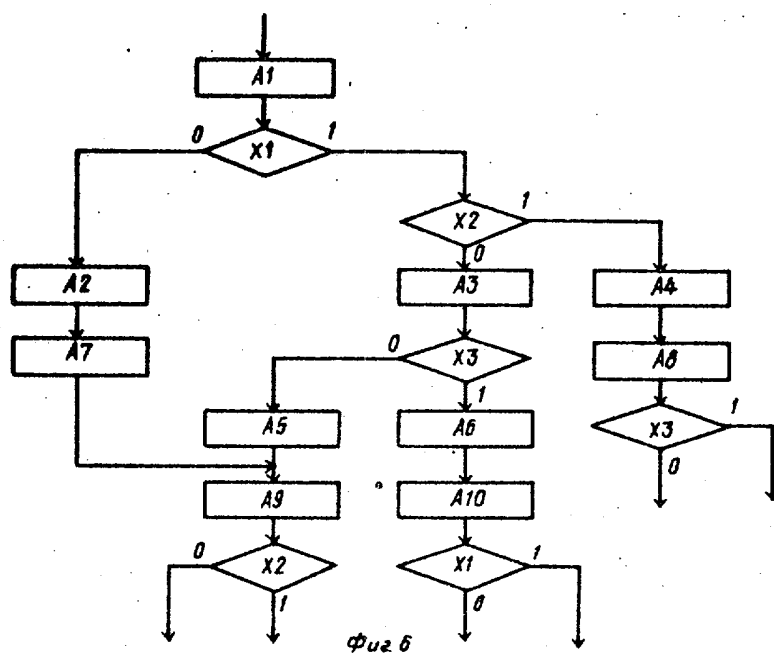




Фиг. 4



Фиг. 5



N машин	I	II			III	IV	V		
	Ав.	Под лопаточеских условий			Вит. 15 блока 7	Ав.	Под маски Ав.		
		X1	X2	X3			X1	X2	X3
1	A1	0	0	0	0	A2	0	0	0
2	A1	0	1	0	0	A2	0	0	0
3	A1	1	0	0	0	A3	0	0	1
4	A1	1	1	0	0	A4	0	0	0
5	A2	0	0	0	0	A7	0	1	0
6	A2	1	0	0	1	A3	0	0	1
7	A2	1	1	0	1	A4	0	0	0
8	A3	0	0	1	0	A6	0	0	0
9	A3	0	0	0	0	A5	0	0	0
10	A3	0	0	0	1	A2	0	0	0
11	A3	1	1	0	1	A4	0	0	0
12	A4	0	0	0	0	A8	0	0	1
13	A4	0	0	0	1	A2	0	0	0
14	A4	1	0	0	1	A3	0	0	1
15	A5	0	0	0	0	A9	0	1	0
16	A5	0	0	1	1	A6	0	0	0
17	A6	0	0	0	0	A10	1	0	0
18	A6	0	0	0	1	A5	0	0	0
19	A7	0	0	0	0	A9	0	1	0