

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 10 月 13 日 (13.10.2016)



(10) 国际公布号
WO 2016/161901 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01) G11C 19/28 (2006.01)
- (21) 国际申请号: PCT/CN2016/077263
- (22) 国际申请日: 2016 年 3 月 24 日 (24.03.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
2015101664146 2015 年 4 月 9 日 (09.04.2015) CN
- (71) 申请人: 北京大学深圳研究生院 (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。
- (72) 发明人: 张盛东 (ZHANG, Shengdong); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。 胡治晋 (HU, Zhijin); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。 廖聪维 (LIAO, Congwei); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。 李君梅 (LI, Junmei); 中

国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。 李文杰 (LI, Wenjie); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。 曹世杰 (CAO, Shijie); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。

(74) 代理人: 深圳鼎合诚知识产权代理有限公司 (DHC IP ATTORNEYS); 中国广东省深圳福田区金田路与福华路交汇处现代国际大厦 2201, Guangdong 518048 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: SHIFT REGISTER ADAPTABLE TO NEGATIVE THRESHOLD VOLTAGE AND UNIT THEREOF

(54) 发明名称: 一种可适应负阈值电压的移位寄存器及其单元

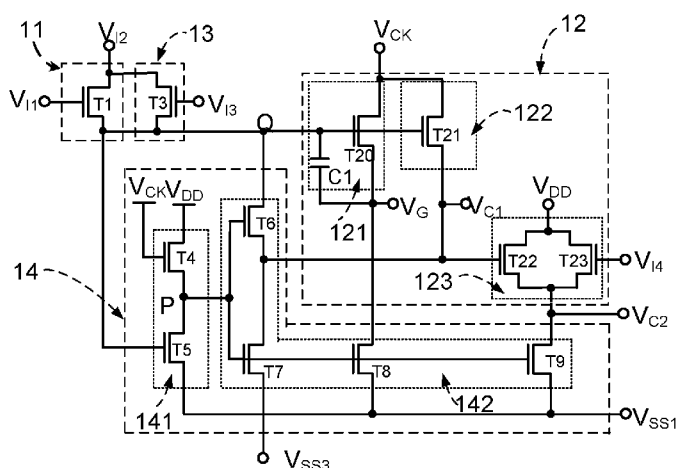


图 5

(57) Abstract: A shift register adaptable to a negative threshold voltage and unit thereof. The shift register comprises a plurality of cascaded shift register units. The shift register units comprise: a charging module (11), a driving module (12), a discharging module (13) and a low power level maintaining module (14). By suppressing electricity leakage of the transistor of the shift register at a pre-charging stage, a pull-up stage and a low power level maintaining stage of operation processing, the shift register and unit thereof enable a circuit to continue to operate normally even when a threshold voltage of a transistor is a negative value, and have a simple circuit, low power consumption and low costs.

(57) 摘要: 一种可适应负阈值电压的移位寄存器及其单元。移位寄存器包括若干级级联的移位寄存器单元, 移位寄存器单元包括: 充电模块 (11), 驱动模块 (12), 放电模块 (13), 以及低电平维持模块 (14)。本移位寄存器及其单元, 通过抑制移位寄存器在工作过程的预充阶段、上拉阶段以及低电平维持阶段的晶体管漏电流, 使电路即使在当晶体管的阈值电压为负值时仍然可以正常工作, 具有电路简单、低功耗、低成本的优点。



WO 2016/161901 A1



(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ,

CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种可适应负阈值电压的移位寄存器及其单元

技术领域

本申请涉及平板显示领域，尤其涉及移位寄存器领域。

背景技术

近年来，集成显示驱动电路成为平板显示技术的研究热点。所谓集成显示驱动电路是指将栅极驱动电路和数据驱动电路等外围电路以薄膜晶体管（TFT）的形式与像素薄膜晶体管一起制作于显示面板上，从而可以减少外围驱动芯片的数量及其压封程序、降低成本，此外还能使得显示器外围更加纤薄，使显示器模组更加紧凑，机械和电学可靠性得以增强。

随着显示器向着高帧频、高分辨率、更窄边框的方向发展，对集成显示驱动电路的工作频率、电路面积也提出了更高的要求。传统的氢化非晶硅薄膜晶体管技术一方面受限于低迁移率而很难满足电路高频工作的需要，另一方面电路面积往往较大。低温多晶硅薄膜晶体管则由于器件成本较高，而且存在器件特性不均匀的特点，很难满足大尺寸显示的需求。近年来，以氧化铟镓锌薄膜晶体管（IGZO-TFT）为代表的氧化物薄膜晶体管技术由于具有迁移率高、器件特性均匀、成本较低等优势而备受关注。在基于氧化物薄膜晶体管的集成显示驱动电路中，移位寄存器作为非常重要的模块电路，得到了广泛的研究。

然而，由于氧化物薄膜晶体管制作工艺的原因，现有的氧化物薄膜晶体管的阈值电压往往偏负，这会导致移位寄存器中的一些晶体管无法正常关断而产生漏电。晶体管的漏电不仅增大了电路的功耗，严重时还会导致电路的失效。为了使得移位寄存器电路能够适应负的阈值电压，现有的电路设计中通过增加低电位源、多套时钟信号、采用反馈结构和浮栅结构等方式来抑制电路漏电，但是仍然存在电路复杂、成本较高和功耗较大等问题。因此，如何在有效地抑制移位寄存器电路的漏电，使移位寄存器电路能够在晶体管为负阈值电压时正常工作的同时，还降低功耗、节约成本，成为一个极具研究价值的问题。

发明内容

根据本申请的第一方面，本申请提供一种移位寄存器单元，包括：
时钟信号输入端，用于输入时钟信号（ V_{CK} ）；
第一脉冲信号输入端，用于输入第一脉冲信号（ V_{I1} ）；
第二脉冲信号输入端，用于输入第二脉冲信号（ V_{I2} ）；
第三脉冲信号输入端，用于输入第三脉冲信号（ V_{I3} ）；
扫描信号输出端，用于输出扫描信号（ V_G ）；

高电平端 (V_{DD}), 用于输入高电平 (V_H);

第一低电平端 (V_{SS1}), 用于输入第一低电平 (V_{L1});

第二低电平端 (V_{SS2}), 用于输入第二低电平 (V_{L2});

第三低电平端 (V_{SS3}), 用于输入第三低电平 (V_{L3});

驱动模块 (12), 包括驱动控制端 (Q) 和第一驱动子模块 (121);
所述第一驱动子模块 (121) 连接于所述驱动控制端 (Q)、时钟信号输入端和扫描信号输出端之间, 用于当驱动控制端 (Q) 为高电平时将时钟信号 (V_{CK}) 传输至扫描信号输出端;

充电模块 (11), 连接于所述第一脉冲信号输入端、第二脉冲信号输入端和驱动控制端 (Q) 之间, 用于当第一脉冲信号输入端 (I1) 和第二脉冲信号输入端 (I2) 为高电平时将驱动控制端 (Q) 充电至高电平;

放电模块 (13), 连接于所述第二脉冲信号输入端、第三脉冲信号输入端和驱动控制端 (Q) 之间, 用于当第二脉冲信号输入端为低电平且第三脉冲信号输入端为高电平时将驱动控制端 (Q) 放电至低电平;

低电平维持模块 (14), 包括维持控制端 (P)、维持控制子模块 (141) 和维持子模块 (142); 维持控制子模块 (141) 连接于所述时钟信号输入端、高电平端 (V_{DD})、第二低电平端 (V_{SS2}) 和维持控制端 (P) 之间; 所述维持子模块 (142) 连接于所述驱动控制端 (Q)、第一低电平端 (V_{SS1})、第三低电平端 (V_{SS3}) 和维持控制端 (P) 之间; 维持控制子模块 (141) 用于当驱动控制端 (Q) 为低电平时控制维持子模块 (142) 将扫描信号 (V_G) 维持至第一低电平 (V_{L1});

所述时钟信号 (V_{CK})、第一脉冲信号 (V_{I1})、第二脉冲信号 (V_{I2})、第三脉冲信号 (V_{I3})、高电平 (V_H)、第一低电平 (V_{L1})、第二低电平 (V_{L2}) 和第三低电平 (V_{L3}) 被配置为:

所述时钟信号一个周期内包括先到来的时钟信号的低电平 (V_{L0}) 和后到来的高电平 (V_H); 所述时钟信号 (V_{CK}) 的低电平 (V_{L0}) $\geq$ 第一低电平 (V_{L1}) $>$ 第二低电平 (V_{L2}) $>$ 第三低电平 (V_{L3}), 或者, 时钟信号 (V_{CK}) 的低电平 (V_{L0}) $>$ 第一低电平 (V_{L1}) = 第二低电平 (V_{L2}) $>$ 第三低电平 (V_{L3});

所述第一脉冲信号 (V_{I1}) 的高电平位于时钟信号 (V_{CK}) 的第一时钟周期的低电平时段内; 所述维持子模块 (142) 在时钟信号 (V_{CK}) 的第一时钟周期的低电平时段和高电平时段内分别接受一低电平 (V_{L0}) 和高电平 (V_H), 以配合维持控制端 (P) 使驱动控制端 (Q) 不漏电; 第二脉冲信号 (V_{I2}) 的高电平的上升沿超前于第一脉冲信号 (V_{I1}) 的高电平的下降沿, 第二脉冲信号 (V_{I2}) 的高电平的下降沿滞后于第一脉冲信号 (V_{I1}) 的高电平的下降沿且超前于时钟信号 (V_{CK}) 第二时钟周期的高电平的上升沿, 第三脉冲信号 (V_{I3}) 的上升沿也超前于时钟信号

(V_{CK})的第二时钟周期的高电平的上升沿。

进一步地,所述驱动模块(12)还包括第二驱动子模块(122)和用于输出第一传递信号(V_{C1})的第一传递信号输出端;所述第二驱动子模块(122)连接于所述驱动控制端(Q)、时钟信号输入端和第一传递信号输出端之间,用于当驱动控制端(Q)为高电平时将时钟信号(V_{CK})传输至第一传递信号输出端。

进一步地,所述驱动模块(12)还包括第三驱动子模块(123),其中第三驱动子模块(123)有两种结构:

第一种结构中,驱动模块(12)还包括第四脉冲信号输入端和用于输出第二传递信号(V_{C2})的第二传递信号输出端;所述第四脉冲信号输入端,用于输入第四脉冲信号(V_{I4}),其中第四脉冲信号(V_{I4})的高电平滞后于第一脉冲信号(V_{I1})的高电平一个时钟周期;所述第二传递信号输出端,用于输出第二传递信号(V_{C2});所述第三驱动子模块(123)连接于第四脉冲信号输入端、第一传递信号输出端、第二传递信号输出端和高电平端(V_{DD})之间,用于当第四脉冲信号(V_{I4})或第一传递信号(V_{C1})为高电平时将高电平端(V_{DD})的电压传输至第二传递信号输出端;

第二种结构中,驱动模块(12)也包括用于输出第二传递信号(V_{C2})的第二传递信号输出端;所述第三驱动子模块连接于所述驱动控制端(Q)、第二传递信号输出端和高电平端(V_{DD})之间,用于当驱动控制端(Q)为高电平时将高电平端(V_{DD})的电压传输至第二传递信号输出端。

进一步地,所述维持子模块(142)还与第一传递信号输出端、第二传递信号输出端相连;所述第一传递信号输出端还用于给维持子模块(142)在时钟信号(V_{CK})的第一时钟周期的低电平时段和高电平时段内分别提供一低电平(V_{L0})和高电平(V_H),以配合维持控制端(P)使驱动控制端(Q)不漏电;

所述维持控制子模块(141)还用于当驱动控制端(Q)为低电平时控制维持子模块(142)将第一传递信号(V_{C1})、第二传递信号(V_{C2})分别维持至第三低电平(V_{L3})、第一低电平(V_{L1})。

根据本申请的第二方面,本申请提供一种移位寄存器,包括上面的移位寄存器单元,还包括第一时钟线(CK_1)、第二时钟线(CK_2)、第三时钟线(CK_3)、第四时钟线(CK_4)、第一公共低电平线(SS_1)、第二公共低电平线(SS_2)、第三公共低电平线(SS_3)和公共高电平线;

所述第一公共低电平线(SS_1)、第二公共低电平线(SS_2)、第三公共低电平线(SS_3)和公共高电平线分别连接于所有移位寄存器单元的第一低电平端(V_{SS1})、第二低电平端(V_{SS2})、第三低电平端(V_{SS3})

和高电平端 (V_{DD});

第 $4i+1$ 级移位寄存器单元的时钟信号输入端连接于第一时钟线 (CK_1);

第 $4i+2$ 级移位寄存器单元的时钟信号输入端连接于第二时钟线 (CK_2), 其中第二时钟线 (CK_2) 输出的时钟信号的高电平滞后于第一时钟线 (CK_1) 的四分之一一个时钟周期;

第 $4i+3$ 级移位寄存器单元的时钟信号输入端连接于第三时钟线 (CK_3), 其中第三时钟线 (CK_3) 输出的时钟信号的高电平滞后于第二时钟线 (CK_2) 的四分之一一个时钟周期;

第 $4i+4$ 级移位寄存器单元的时钟信号输入端连接于第四时钟线 (CK_4), 其中第四时钟线 (CK_4) 输出的时钟信号的高电平滞后于第三时钟线 (CK_3) 的四分之一一个时钟周期;

第 n 级移位寄存器单元的第一脉冲信号输入端连接于第 $n-2$ 级移位寄存器单元的第一传递信号输出端;

第 n 级移位寄存器单元的第二脉冲信号输入端连接于第 $n-2$ 级移位寄存器单元的第二传递信号输出端;

第 n 级移位寄存器单元的第三脉冲信号输入端连接于第 $n+3$ 级移位寄存器单元的第一传递信号输出端;

第 n 级移位寄存器单元的第四脉冲信号输入端连接于第 $n+2$ 级移位寄存器单元的第一传递信号输出端;

其中, N 为大于 3 的整数, n 为大于 0 且小于或等于 N 的整数, i 为非负整数。

通过对充电模块、放电模块和低电平维持模块的设计, 使得本申请的移位寄存器及其单元在晶体管的阈值为负时, 仍能工作, 且漏电小、功耗较低。同时, 由于移位寄存器单元只需要一个时钟信号输入端, 因此不需要额外的时钟信号输入端, 电路结构简单, 成本较低。

附图说明

- 图 1 为本申请实施例一中的一种移位寄存器单元的电路结构图;
- 图 2 为本申请实施例一中的移位寄存器单元的一种工作时序图;
- 图 3 为本申请实施例二中的一种移位寄存器单元的电路结构图;
- 图 4 为本申请实施例二中的移位寄存器单元的一种工作时序图;
- 图 5 为本申请实施例三中的一种移位寄存器单元的电路结构图;
- 图 6 为本申请实施例三中的移位寄存器单元的一种工作时序图;
- 图 7 为本申请实施例四中的一种移位寄存器单元的电路结构图;
- 图 8 为本申请实施例四中的移位寄存器单元的一种工作时序图;
- 图 9 为本申请实施例五中的一种移位寄存器单元的电路结构图;
- 图 10 为本申请实施例五中的移位寄存器单元的一种工作时序图;

图 11 为本申请实施例六中的一种移位寄存器单元的电路结构图；
图 12 为本申请实施例六中的移位寄存器单元的一种工作时序图；
图 13 为本申请实施例七中的一种移位寄存器的电路结构图；
图 14 为本申请实施例七中的移位寄存器的一种工作时序图；
图 15 为本申请实施例七中的移位寄存器的一种仿真波形图；
图 16 为本申请实施例八中的一种移位寄存器的电路结构图；
图 17 为本申请实施例八中的移位寄存器的一种工作时序图；
图 18 为本申请实施例八中的移位寄存器的一种仿真波形图；
图 19 为本申请实施例九中的一种移位寄存器的电路结构图；
图 20 为本申请实施例十中的一种移位寄存器的电路结构图。

具体实施方式

下面通过具体实施方式结合附图对本申请作进一步详细说明。

首先对本申请中用到的术语进行解释。

本申请中的晶体管为三端子晶体管，其三个端子为控制极、第一极和第二极；当晶体管为双极型晶体管时，控制极是指双极型晶体管的基极，第一极是指双极型晶体管的集电极或发射极，对应的第二极就是指双极型晶体管的发射极或集电极；当晶体管为场效应晶体管时，控制极是指场效应晶体管的栅极，第一极是指场效应晶体管的漏极或源极，对应的第二极就是指场效应晶体管的源极或漏极。

显示器中的晶体管通常为场效应晶体管，下面不妨以晶体管为 N 沟道场效应晶体管为例对电路进行说明，相应地，此时晶体管的控制极指栅极，第一极指漏极，第二极指源极；当然，在其他实施例中晶体管也可以是其他类型的场效应晶体管或双极型晶体管。

实施例 1:

请参考图 1，本实施例为一种移位寄存器单元，包括

时钟信号输入端，用于输入时钟信号 V_{CK} ；

第一脉冲信号输入端，用于输入第一脉冲信号 V_{I1} ；

第二脉冲信号输入端，用于输入第二脉冲信号 V_{I2} ；

第三脉冲信号输入端，用于输入第三脉冲信号 V_{I3} ；

扫描信号输出端，用于输出扫描信号 V_G ；

高电平端 V_{DD} ，用于输入高电平 V_H ；

第一低电平端 V_{SS1} ，用于输入第一低电平 V_{L1} ；

第二低电平端 V_{SS2} ，用于输入第二低电平 V_{L2} ；

第三低电平端 V_{SS3} ，用于输入第三低电平 V_{L3} 。

驱动模块 12，包括驱动控制端 Q 和第一驱动子模块 121；第一驱动子模块 121 连接于所述驱动控制端 Q、时钟信号输入端和扫描信号输出

端之间,用于当驱动控制端 Q 为高电平时将时钟信号 V_{CK} 传输至扫描信号输出端。具体地,第一驱动子模块 121 包括第二十晶体管 T20 和第一电容 C1;第二十晶体管 T20 的控制极连接于驱动控制端 Q,第一极连接于时钟信号输入端,第二极连接于扫描信号输出端;第一电容 C1 连接于驱动控制端 Q 与扫描信号输出端之间。因此,当驱动控制端 Q 的电压为高电平时,第二十晶体管 T20 导通,将时钟信号 V_{CK} 传输至扫描信号输出端。

充电模块 11,连接于第一脉冲信号输入端、第二脉冲信号输入端和驱动控制端 Q 之间,用于当第一脉冲信号输入端和第二脉冲信号输入端同时为高电平时将驱动控制端 Q 充电至高电平。具体地,充电模块 11 包括第一晶体管 T1;第一晶体管 T1 的控制极连接于第一脉冲信号输入端,第一极连接于第二脉冲信号输入端,第二极连接于驱动控制端 Q。因此,当第一脉冲信号 V_{I1} 为高电平时,第一晶体管 T1 导通,若此时第二脉冲信号 V_{I2} 也为高电平,则驱动控制端 Q 被充电。

放电模块 13,连接于第二脉冲信号输入端、第三脉冲信号输入端和驱动控制端 Q 之间,用于当第二脉冲信号输入端为低电平且第三脉冲信号输入端为高电平时将驱动控制端 Q 放电至低电平。具体地,放电模块 13 包括第三晶体管 T3;第三晶体管 T3 的控制极连接于第三脉冲信号输入端,第一极连接于第二脉冲信号输入端,第二极连接于驱动控制端 Q。因此,当第三脉冲信号 V_{I3} 为高电平时,第三晶体管 T3 导通,若此时第二脉冲信号 V_{I2} 为低电平,则驱动控制端 Q 被放电。

低电平维持模块 14,用于在非选通时间维持扫描信号 V_G 为低电平,其包括维持控制端 P、维持控制子模块 141 和维持子模块 142。维持控制子模块 141 连接于时钟信号输入端、高电平端 V_{DD} 、第二低电平端 V_{SS2} 和维持控制端 P 之间;具体地,维持控制子模块 141 包括第四晶体管 T4 和第五晶体管 T5;第四晶体管 T4 的控制极连接于所述时钟信号输入端,第一极连接于高电平端 V_{DD} ,第二极连接于维持控制端 P;第五晶体管 T5 的控制极连接于驱动控制端 Q,第一极连接于维持控制端 P,第二极连接于第二低电平端 V_{SS2} 。维持子模块 142 连接于所述驱动控制端 Q、第一低电平端 V_{SS1} 、第三低电平端 V_{SS3} 和维持控制端 P 之间;具体地,维持子模块 142 包括第六晶体管 T6、第七晶体管 T7 和第八晶体管 T8;第六晶体管 T6、第七晶体管 T7 和第八晶体管 T8 的控制极共同连接于所述维持控制端 P;第六晶体管 T6 的第一极连接于驱动控制端 Q,第二极连接于第七晶体管 T7 的第一极;第七晶体管 T7 的第二极连接于第三低电平端 V_{SS3} ;第八晶体管 T8 的第一极连接于扫描信号输出端,第二极连接于第一低电平端 V_{SS1} 。维持控制子模块 141 用于当驱动控制端 Q 为低电平时控制维持子模块 142 将扫描信号 V_G 维持至第一低电平 V_{L1} 。

本实施例的移位寄存器单元，各输入信号的一种配置为：

时钟信号 V_{CK} 的一个时钟周期包括先到来的时钟信号 V_{CK} 的低电平 V_{L0} 和后到来的高电平 V_H ；时钟信号 V_{CK} 的低电平 $V_{L0} \geq$ 第一低电平 $V_{L1} >$ 第二低电平 $V_{L2} >$ 第三低电平 V_{L3} ，或者，时钟信号 V_{CK} 的低电平 $V_{L0} >$ 第一低电平 $V_{L1} =$ 第二低电平 $V_{L2} >$ 第三低电平 V_{L3} ；第一脉冲信号 V_{I1} 的高电平位于时钟信号 V_{CK} 的第一时钟周期的低电平时段内；维持子模块 142 在时钟信号 V_{CK} 的第一时钟周期的低电平时段和高电平时段内分别接受一低电平 V_{L0} 和高电平 V_H ，以配合维持控制端 P 使驱动控制端 Q 不漏电；第二脉冲信号 V_{I2} 的高电平的上升沿超前于第一脉冲信号 V_{I1} 的高电平的下降沿，第二脉冲信号 V_{I2} 的高电平的下降沿滞后于第一脉冲信号 V_{I1} 的高电平的下降沿且超前于时钟信号 V_{CK} 第二时钟周期的高电平的上升沿，第三脉冲信号 V_{L3} 的上升沿也超前于时钟信号 V_{CK} 的第二时钟周期的高电平的上升沿。这里时钟信号 V_{CK} 的第一时钟周期，可以是时钟信号 V_{CK} 的任一时钟周期，相应地，第二时钟周期就是第一时钟周期的下一时钟周期。

请参考图 2，为本实施例中移位寄存器单元的一种工作时序图。

在此工作时序图中，时钟信号 V_{CK} 可为周期是 T 的方波信号且占空比为 50%。时钟信号 V_{CK} 的低电平 $V_{L0} >$ 第一低电平 $V_{L1} >$ 第二低电平 $V_{L2} >$ 第三低电平 V_{L3} 。第一脉冲信号 V_{I1} 的高电平比时钟信号 V_{CK} 的一个高电平超前半个时钟周期；第六晶体管 T6 的第二极在时钟信号 V_{CK} 的此高电平时段内、此高电平之前的低电平时段内分别接受一高电平 V_H 和低电平 V_{L0} ，以配合维持控制端 P 使驱动控制端 Q 不漏电；第二脉冲信号 V_{I2} 的高电平持续时间是第一脉冲信号 V_{I1} 高电平的两倍，且第二脉冲信号 V_{I2} 的高电平的上升沿同步于第一脉冲信号 V_{I1} 的高电平的上升沿，下降沿滞后于第一脉冲信号 V_{I1} 的高电平的下降沿。第三脉冲信号 V_{L3} 的高电平滞后于第一脉冲信号 V_{I1} 的高电平四分之五个时钟周期。

本实施例中移位寄存器单元的工作过程分为四个阶段：预充阶段 P1，上拉阶段 P2，下拉阶段 P3 以及低电平维持阶段 P4，下面结合图 1 和图 2，详细介绍本实施例中移位寄存器单元的一种工作过程。

A. 预充阶段 P1

预充阶段 P1 是指本级移位寄存器单元处于选通阶段，驱动控制端 Q 被充电到高电平的过程。

在 t_1 时刻，时钟信号 V_{CK} 为低电平 V_{L0} ，第一脉冲信号 V_{I1} 和第二脉冲信号 V_{I2} 同时上升为高电平。因此第一晶体管 T1 导通，驱动控制端 Q 被充电至高电平，高电平的大小为 $V_H - V_{TH1}$ 和 V_H 中较小的值即 $\min(V_H - V_{TH1}, V_H)$ ，其中 V_{TH1} 为第一晶体管 T1 的阈值电压。驱动控制端 Q 被充电至高电平，因此第二晶体管 T20 导通，将扫描信号输出端的

电压放电至时钟信号 V_{CK} 的低电平 V_{L0} 。

另一方面,时钟信号 V_{CK} 为低电平 V_{L0} ,因此第四晶体管 T4 被关断;驱动控制端 Q 为高电平,因此第五晶体管 T5 导通;第四晶体管 T4 被关断和第五晶体管 T5 导通,因此维持控制端 P 的电位下拉至第二低电平 V_{L2} 。

对于第六晶体管 T6,其第二极在时钟信号 V_{CK} 的低电平时段内接收一低电平 V_{L0} ,因此 $V_{GS}=V_{L2}-V_{L0}<0$,当第六晶体管 T6 的阈值电压 V_{TH6} 为正时,其被可靠地关断;当第六晶体管 T6 的阈值电压 V_{TH6} 为负时,只需 $V_{GS}=V_{L2}-V_{L0}<V_{TH6}$,第六晶体管 T6 仍被可靠地关断。尽管此时第七晶体管 T7 的 $V_{GS}=V_{L2}-V_{L3}>0$,其处于弱导通状态,但由于第六晶体管 T6 被可靠地关断,驱动控制端 Q 不会通过晶体管 T6 和晶体管 T7 漏电。

综上所述,在预充阶段 P1,驱动控制端 Q 被充电到高电平 $\min(V_H-V_{TH1}, V_H)$,且驱动控制端 Q 的漏电可以得到抑制。

B.上拉阶段 P2

上拉阶段 P2 是指本级移位寄存器单元处于选通阶段,扫描信号输出端被充电至高电平的过程。

在 t_2 时刻,第一脉冲信号 V_{I1} 的电压下降为 V_{L0} ,第一晶体管 T1 被关断,但驱动控制端 Q 仍然为高电平,因此第二十晶体管 T20 仍然导通。在 t_2 时刻,时钟信号 V_{CK} 的电压由 V_{L0} 上升为 V_H ,并通过导通的第二十晶体管 T20 对扫描信号输出端进行快速的充电。具体地,在此过程中,随着扫描信号 V_G 的电压上升,驱动控制端 Q 的电压也被抬高到更高的电压,而驱动控制端 Q 的电压被抬高又反过来增大了第二十晶体管 T20 的驱动能力,使得扫描信号 V_G 的电压得以快速的上升至高电平 V_H 。

上述驱动控制端 Q 的电压被抬升的过程被称为自举。一般来说,在驱动控制端 Q 自举的过程中,驱动控制端 Q 应当保持浮空状态,这样才能被自举到较高的电压,换言之,驱动控制端 Q 若漏电则会严重影响 Q 的自举电压的大小,从而削弱第二十晶体管 T20 的驱动能力,进而导致扫描信号 V_G 的上升时间延迟增大,甚至电路失效,尤其是在当电路中晶体管的阈值电压为负值时更容易出现这种情况。而在在本实施例中移位寄存器单元的上拉阶段 P2 即 t_2 到 t_3 时刻,驱动控制端 Q 不会通过第一晶体管 T1 和第三晶体管 T3 漏电:第二脉冲信号 V_{I2} 的电压仍保持为高电平且第一脉冲信号 V_{I1} 和第三脉冲信号 V_{I3} 为低电平,因此第一晶体管 T1 和第三晶体管 T3 被可靠地关断;驱动控制端 Q 也不会通过第七晶体管 T7 和第六晶体管 T6 漏电:虽然时钟信号 V_{CK} 的电压为高电平 V_H ,因此第四晶体管 T4 导通,但驱动控制端 Q 自举到更高的电平,从而第五晶体管 T5 导通且驱动力要远大于第四晶体管 T4,所以维持控制

端 P 的电位仍然为第二低电平 V_{L2} ——为了进一步保证第五晶体管 T5 的驱动力大于第四晶体管 T4 的驱动力，在设计过程中，第五晶体管 T5 的宽度可以设计为远大于第四晶体管 T4 的宽度。在时钟信号 V_{CK} 的此高电平时段内，第六晶体管 T6 的第二极接受一高电平 V_H 的输入，故对于第六晶体管 T6， $V_{GS}=V_{L2}-V_H < V_{TH6}$ ，所以其被可靠地关断，驱动控制端 Q 不会通过晶体管 T6 和晶体管 T7 漏电。

综上所述，驱动控制端 Q 不会漏电，从而驱动控制端 Q 可以顺利自举，进而又保证了第二十晶体管 T20 保持较大的驱动能力。

需要注意的是，对于第八晶体管 T8， $V_{GS}=V_{L2}-V_{L1} < 0$ ，当其阈值电压 V_{TH8} 为正时，第八晶体管 T8 被可靠地关断，扫描信号输出端不会通过第八晶体管 T8 漏电，当其阈值电压 V_{TH8} 为负时，第八晶体管 T8 有可能会处于弱导通状态，但由于第二十晶体管 T20 拥有较大的驱动能力，因此第八晶体管 T8 的微弱漏电不会显著的影响到扫描信号 V_G 的上升过程。当然，对于第八晶体管 T8，如果 $V_{GS}=V_{L2}-V_{L1} < V_{TH8}$ ，则第八晶体管 T8 可靠地被关断，电路的功耗会进一步降低，扫描信号 V_G 的上升延迟也可以进一步的减小。

C. 下拉阶段 P3

下拉阶段 P3 指的是驱动控制端 Q 和扫描信号 V_G 的电压被下拉至低电平的过程。

在 t_3 时刻，时钟信号 V_{CK} 由高电平 V_H 下降为 V_{L0} ，此时驱动控制端 Q 的电压仍然为很高的电平，第二十晶体管 T20 仍然保持导通，因此扫描信号输出端通过第二十晶体管 T20 被快速的放电至 V_{L0} 。在此过程中，随着扫描信号输出端的电压不断下降，驱动控制端 Q 的电压也在不断地下降，当扫描信号 V_G 的电压为 V_{L0} 时，驱动控制端 Q 的电压也下降为 t_1 时刻的预充电电压 $\min(V_H - V_{TH1}, V_H)$ 。

在 t_4 时刻，第三脉冲信号 V_{I3} 上升为高电平 V_H ，因此第三晶体管 T3 导通，而此时第二脉冲信号 V_{I2} 已经下降为低电平 V_{L1} ，所以驱动控制端 Q 的电压下拉至第一低电平 V_{L1} 。

在 t_5 时刻，时钟信号 V_{CK} 由低电平 V_{L0} 上升为高电平 V_H 。第四晶体管 T4 导通，高电平端 V_{DD} 通过导通的第四晶体管 T4 对维持控制端 P 进行充电，将维持控制端 P 的电压充电至高电平，高电平电压的大小为 $V_H - V_{TH4}$ 与 V_H 中较小的值。 V_{TH4} 为第四晶体管的阈值电压，此时，第六晶体管 T6、第七晶体管 T7 和第八晶体管 T8 导通。驱动控制端 Q 的电压被下拉至第三低电平 V_{L3} ，而扫描信号 V_G 的电压被下拉至第一低电平 V_{L1} 。

D. 低电平维持阶段 P4

低电平维持阶段 P4 指的是本级移位寄存器单元进入非选通状态，

扫描信号输出端 G 输出的扫描信号 V_G 的电位必须维持在低电平，以避免与扫描信号输出端 G 相连的显示器像素中的开关晶体管误导通，导致图像信息写入错误。

在 t_5 时刻以后，随着时钟信号 V_G 的高电平周期性地到来，第四晶体管 T4 被周期性的导通，高电平端 V_{DD} 通过第四晶体管 T4 不断地对维持控制端 P 进行充电，因此第六晶体管 T6、第七晶体管 T7 和第八晶体管 T8 也时刻保持导通状态，从而维持扫描信号 V_G 为低电平。

值得注意的是，在低电平维持阶段 P4，由于第二十晶体管 T20 的控制极和第一极之间存在寄生电容 C_{GD20} ，当时钟信号 V_{CK} 由低电平 V_{L0} 跳变到高电平 V_H 时，会在驱动控制端 Q 产生一个耦合电压 ΔV_Q ，该现象称为时钟馈通效应。耦合电压 ΔV_Q 的大小可以表示为： $\Delta V_Q = C_{GD20} * (V_H - V_{L0}) / C_Q$ ；其中 C_Q 为驱动控制端 Q 的总电容。当 ΔV_Q 大于第二十晶体管 T20 的阈值电压 V_{TH20} 时，会导致第二十晶体管 T20 开启，时钟信号 V_{CK} 就会对扫描信号输出端 G 充电，从而导致扫描信号输出端 G 产生较大的噪声电压，并且增大了电路的功耗。对第二十晶体管 T20 而言，其控制极的电压为 $V_{L3} + \Delta V_Q$ ，其第二极电压为 V_{L1} ，当 $V_{L3} + \Delta V_Q - V_{L1} < V_{TH20}$ 时，第二十晶体管 T20 可以被完全关断，不仅可以抑制时钟馈通效应减小扫描信号 V_G 的输出噪声，还可以抑制第二十晶体管 T20 的漏电，降低电路的功耗；对第五晶体管 T5 而言，其控制极的电压为 $V_{L3} + \Delta V_Q$ ，其第二极的电压为 V_{L2} 。当 $V_{L3} + \Delta V_Q - V_{L2} < V_{TH5}$ 时，第五晶体管 T5 可以被可靠地关断。因此，维持控制端 P 通过第五晶体管 T5 的漏电得到了抑制，不仅可以减低电路的功耗，而且使得 P 端的电压可以稳定的维持在高电平，保证低电平维持模块正常的工作。

本实施例的移位寄存器单元通过抑制电路工作的预充阶段、上拉阶段、下拉阶段以及低电平维持阶段中的晶体管的漏电，不仅可以使得移位寄存器单元在晶体管的阈值电压为负值时正常的工作，而且能够降低电路的功耗。

实施例 2:

请参考图 3，为本实施例二公开的另一种移位寄存器单元的电路结构图。与实施一不同的是，本实施例中的移位寄存器单元中的第一低电平端 V_{SS1} 与第二低电平端 V_{SS2} 为同一低电平端。

为便于叙述，第一低电平端 V_{SS1} 与第二低电平端 V_{SS2} 为同一低电平端，此低电平端为第一低电平端 V_{SS1} ，用于输入第一低电平 V_{L1} 。

请参考图 4，为本实施例移位寄存器单元的一种工作时序图，其中时钟信号 V_{CK} 的低电平 $V_{L0} \geq$ 第一低电平 $V_{L1} >$ 第三低电平 V_{L3} 。本实施例中移位寄存器单元的工作过程与实施例一中的移位寄存器单元基本相

同，在此不再赘述。

本实施例所示的移位寄存器单元同实施例一所示的移位寄存器单元相比，其优势在于：减少了一路低电平输入，电路结构得到进一步简化。

实施例 3:

请参考图 5，在实施例二的基础上，本实施例中驱动模块 12 还包括第二驱动子模块 122、第三驱动子模块 123、第一传递信号输出端、第二传递信号输出端和第四脉冲信号输入端，其中其中第一传递信号输出端，用于输出第一传递信号 V_{C1} ；第二传递信号输出端，用于输出第二传递信号 V_{C2} ；第四脉冲信号输入端，用于输入第四脉冲信号 V_{I4} 。

第二驱动子模块 122 连接于驱动控制端 Q、时钟信号输入端和第一传递信号输出端之间，用于当驱动控制端 Q 为高电平时将时钟信号 V_{CK} 传输至第一传递信号输出端。具体地，第二驱动子模块 122 包括第二十一晶体管 T21；第二十一晶体管 T21 的控制极连接于驱动控制端 Q，第一极连接于时钟信号输入端，第二极连接于第一传递信号输出端。

第三驱动子模块 123 连接于第四脉冲信号输入端、第一传递信号输出端、第二传递信号输出端和高电平端 V_{DD} 之间，用于当第四脉冲信号 V_{I4} 或第一传递信号 V_{C1} 为高电平时将高电平端 V_{DD} 的电压传输至第二传递信号输出端；具体地，第三驱动子模块 123 包括第二十二晶体管 T22 和第二十三晶体管 T23；第二十二晶体管 T22 的控制极连接于第一传递信号输出端；第二十三晶体管 T23 的控制极连接于第四脉冲信号输入端；第二十二晶体管 T22 和第二十三晶体管 T23 的第一极都连接于高电平端 V_{DD} ，第二极都连接于第二传递信号输出端。

由于驱动模块 12 增加了第二驱动子模块 122 和第三驱动子模块 123，相应地，在实施例一的基础上，低电平维持模块 14 中的维持子模块 12 还与第一传递信号输出端、第二传递信号输出端相连；第一传递信号输出端还用于给维持子模块 142 在时钟信号 V_{CK} 的第一时钟周期的低电平时段和高电平时段内分别提供一低电平 V_{L0} 和高电平 V_H ，以配合维持控制端 P 使驱动控制端 Q 不漏电；而维持控制子模块 141 还用于当驱动控制端 Q 为低电平时控制维持子模块 142 将第一传递信号 V_{C1} 、第二传递信号 V_{C2} 分别维持至第三低电平 V_{L3} 、第一低电平 V_{L1} ；具体地，维持子模块 142 包括第六晶体管 T6、第七晶体管 T7、第八晶体管 T8 和第九晶体管 T9；第六晶体管 T6、第七晶体管 T7、第八晶体管 T8 和第九晶体管 T9 的控制极共同连接于所述维持控制端 P；第六晶体管 T6 的第一极连接于驱动控制端 Q，第二极连接于第七晶体管 T7 的第一极并共同连接于所述第一传递信号输出端；在这里第六晶体管 T6 的第二极和第七晶体管 T7 的第一极共同连接于第一传递信号输出端，一方面，此

种结构使第一传递信号输出端在寄存器单元非选通时段被维持为低电平, 另一方面, 在寄存器单元选通阶段, 第一传递信号输出端起到了给维持子模块 142 在时钟信号 V_{CK} 的第一时钟周期的低电平时段和高电平时段内分别提供一低电平 V_{L0} 和高电平 V_H , 以配合维持控制端 P 使驱动控制端 Q 不漏电的作用; 第七晶体管 T7 的第二极连接于第二低电平端 V_{SS3} ; 第八晶体管 T8 的第一极连接于扫描信号输出端 G, 第二极连接于第一低电平端 V_{SS1} ; 第九晶体管 T9 的第一极连接于第二传递信号输出端, 第二极连接于第一低电平端 V_{SS1} 。

请参考图 6, 为本实施例中移位寄存器单元的一种工作时序图。

在本实施例中, $V_{L0} > V_{L1} > V_{L3}$; 第一脉冲信号 V_{I1} 的高电平比时钟信号 V_{CK} 的一个高电平超前半个时钟周期; 第二脉冲信号 V_{I2} 的高电平持续时间是第一脉冲信号 V_{I1} 高电平的两倍, 且第二脉冲信号 V_{I2} 的高电平的上升沿同步于第一脉冲信号 V_{I1} 的高电平的上升沿, 下降沿滞后于第一脉冲信号 V_{I1} 的高电平的下降沿; 第三脉冲信号 V_{L3} 的高电平滞后于第一脉冲信号 V_{I1} 的高电平四分之五个时钟周期; 第四脉冲信号 V_{I4} 的高电平滞后于第一脉冲信号 V_{I1} 的高电平一个时钟周期。

下面详细介绍本实施例中移位寄存器单元的工作过程。

A. 预充阶段 P1

预充阶段 P1 是指本级移位寄存器单元处于选通阶段, 驱动控制端 Q 被充电至高电平的过程。

在 t_1 时刻, 时钟信号 V_{CK} 为低电平 V_{L0} , 第一脉冲信号 V_{I1} 和第二脉冲信号 V_{I2} 同时上升为高电平。因此第一晶体管 T1 导通, 驱动控制端 Q 被充电至高电平, 高电平的大小为 $V_H - V_{TH1}$ 和 V_H 中较小的值即 $\min(V_H - V_{TH1}, V_H)$, 其中 V_{TH1} 为第一晶体管 T1 的阈值电压。驱动控制端 Q 被充电至高电平, 因此第二十晶体管 T20 和第二十一晶体管 T21 导通, 将扫描信号输出端和第一传递信号输出端的电压放电至时钟信号 V_{CK} 的低电平 V_{L0} 。

另一方面, 时钟信号 V_{CK} 为低电平 V_{L0} , 因此第四晶体管 T4 被关断; 驱动控制端 Q 为高电平, 因此第五晶体管 T5 导通; 第四晶体管 T4 被关断和第五晶体管 T5 导通, 因此维持控制端 P 的电位下拉至第一低电平 V_{L1} 。

对于第六晶体管 T6, $V_{GS} = V_{L1} - V_{L0} < 0$, 当第六晶体管 T6 的阈值电压 V_{TH6} 为正时, 其被可靠地关断; 当第六晶体管 T6 的阈值电压 V_{TH6} 为负时, 只需 $V_{GS} = V_{L1} - V_{L0} < V_{TH6}$, 第六晶体管 T6 仍被可靠地关断。尽管此时第七晶体管 T7 的 $V_{GS} = V_{L1} - V_{L3} > 0$, 其处于弱导通状态, 但由于第六晶体管 T6 被可靠地关断, 驱动控制端 Q 不会通过晶体管 T6 和晶体管 T7 漏电。

综上所述, 在预充阶段 P1, 驱动控制端 Q 被充电到高电平 $\text{Min}(V_H - V_{TH1}, V_H)$, 且驱动控制端 Q 的漏电可以得到抑制。

B. 上拉阶段 P2

上拉阶段 P2 是指本级移位寄存器单元处于选通阶段, 扫描信号输出端和第一传递信号输出端被充电至高电平的过程。

在 t_2 时刻, 第一脉冲信号 V_{I1} 的电压下降为 V_{L0} , 第一晶体管 T1 被关断, 但驱动控制端 Q 仍然为高电平, 因此第二十晶体管 T20 和第二十一晶体管 T21 仍然导通。在 t_2 时刻, 时钟信号 V_{CK} 的电压由 V_{L0} 上升为 V_H , 并通过导通的第二十晶体管 T20 对扫描信号输出端进行快速的充电, 通过导通的第二十一晶体管 T21 对第一传递信号输出端进行快速的充电。具体地, 在此过程中, 随着扫描信号 V_G 的电压上升, 驱动控制端 Q 的电压也被抬高到更高的电压, 而驱动控制端 Q 的电压被抬高又反过来增大了第二十晶体管 T20 和第二十一晶体管 T21 的驱动能力, 使得扫描信号 V_G 的电压得以快速的上升至高电平 V_H 。随着第一传递信号 V_{C1} 电压的上升, 第二十二晶体管 T22 导通, 高电平端 V_{DD} 通过导通的第二十二晶体管 T22 对第二传递信号输出端充电, 第二传递信号 V_{C2} 的电压被充电至 $V_H - V_{TH22}$ 和 V_H 的较小数值 $\text{Min}(V_H - V_{TH22}, V_H)$, 其中 V_{TH22} 为第二十二晶体管 T22 的阈值电压。

上述驱动控制端 Q 的电压被抬升的过程被称为自举。一般来说, 在驱动控制端 Q 自举的过程中, 驱动控制端 Q 应当保持浮空状态, 这样才能被自举到较高的电压, 换言之, 驱动控制端 Q 若漏电则会严重影响 Q 的自举电压的大小, 从而削弱第二十晶体管 T20 和第二十一晶体管 T21 的驱动能力, 进而导致扫描信号 V_G 的上升时间延迟增大, 甚至电路失效, 尤其是在当电路中晶体管的阈值电压为负值时更容易出现这种情况。而在在本实施例中移位寄存器单元的上拉阶段 P2 即 t_2 到 t_3 时刻, 驱动控制端 Q 不会通过第一晶体管 T1 和第三晶体管 T3 漏电: 第二脉冲信号 V_{I2} 的电压仍保持为高电平且第一脉冲信号 V_{I1} 和第三脉冲信号 V_{I3} 为低电平, 因此第一晶体管 T1 和第三晶体管 T3 被可靠地关断; 驱动控制端 Q 也不会通过第七晶体管 T7 和第六晶体管 T6 漏电: 虽然时钟信号 V_{CK} 的电压为高电平 V_H , 因此第四晶体管 T4 导通, 但驱动控制端 Q 自举到更高的电平, 从而第五晶体管 T5 导通且驱动力要远大于第四晶体管 T4, 所以维持控制端 P 的电位仍然为第一低电平 V_{L1} , 因此对于第六晶体管 T6, $V_{GS} = V_{L1} - V_H$, V_{GS} 远小于零, 所以其被可靠地关断, 驱动控制端 Q 不会通过晶体管 T6 和晶体管 T7 漏电。

综上所述, 驱动控制端 Q 不会漏电, 从而驱动控制端 Q 可以顺利自举, 进而又保证了第二十晶体管 T20 保持较大的驱动能力。

需要注意的是, 当阈值电压为负时, 第七晶体管 T7、第八晶体管

T8 和第九晶体管 T9 会处于弱导通状态,但是由于第二十晶体管 T20、第二十一晶体管 T21 和第二十二晶体管 T22 有较大的驱动能力,因此第七晶体管 T7、第八晶体管 T8 和第九晶体管 T9 的微弱漏电不会显著地影响到扫描信号 V_G 、第一传递信号 V_{C1} 和每行二传递信号 V_{C2} 的上升过程。

C. 下拉阶段 P3

下拉阶段 P3 指的是驱动控制端 Q、扫描信号 V_G 、第一传递信号 V_{C1} 的电压被下拉至低电平的过程。

在 t_3 时刻,时钟信号 V_{CK} 由高电平 V_H 下降为 V_{L0} ,此时驱动控制端 Q 的电压仍然为很高的电平,第二十晶体管 T20 和第二十一晶体管 T21 仍然保持导通,因此扫描信号输出端和第一传递信号输出端分别通过第二十晶体管 T20、第二十一晶体管 T21 被快速的放电至 V_{L0} 。在此过程中,随着扫描信号输出端的电压不断下降,驱动控制端 Q 的电压也在不断地下降,当扫描信号 V_G 的电压为 V_{L0} 时,驱动控制端 Q 的电压也下降为 t_1 时刻的预充电电压 $\min(V_H - V_{TH1}, V_H)$ 。第一传递信号 V_{C1} 的电压被放电至 V_{L0} ,第二十二晶体管 T22 被关断,但是第四脉冲信号 V_{I4} 上升为高电平,因此第二十三晶体管 T23 导通,高电平端 V_{DD} 继续通过导通的晶体管 T23 对第二传递信号输出端充电,因此第二传递信号 V_{C2} 保持为高电平。

在 t_4 时刻,第三脉冲信号 V_{I3} 上升为高电平 V_H ,因此第三晶体管 T3 导通,而此时第二脉冲信号 V_{I2} 已经下降为低电平 V_{L1} ,所以驱动控制端 Q 的电压下拉至第一低电平 V_{L1} 。

在 t_5 时刻,时钟信号 V_{CK} 由低电平 V_{L0} 上升为高电平 V_H 。第四晶体管 T4 导通,高电平端 V_{DD} 通过导通的第四晶体管 T4 对维持控制端 P 进行充电,将维持控制端 P 的电压充电至高电平,高电平电压的大小为 $V_H - V_{TH4}$ 与 V_H 中较小的值。 V_{TH4} 为第四晶体管的阈值电压,此时,第六晶体管 T6、第七晶体管 T7、第八晶体管 T8 和第九晶体管 T9 导通。驱动控制端 Q 和第一传递信号 V_{C1} 的电压被下拉至第三低电平 V_{L3} ,而扫描信号 V_G 和第二传递信号 V_{C2} 的电压被下拉至第一低电平 V_{L1} 。

D. 低电平维持阶段 P4

低电平维持阶段 P4 指的是本级移位寄存器单元进入非选通状态,扫描信号输出端 G 输出的扫描信号 V_G 的电位维持在低电平,以避免与扫描信号输出端 G 相连的显示器像素中的开关晶体管误导通,导致图像信息写入错误;第一传递信号 V_{C1} 和第二传递信号 V_{C2} 的电压维持在相应的低电平,以避免与本级移位寄存器单元相级联的前后级移位寄存器单元产生错误的输入。

在 t_5 时刻以后,随着时钟信号 V_G 的高电平周期性地到来,第四晶

晶体管 T4 被周期性的导通, 高电平端 V_{DD} 通过第四晶体管 T4 不断地对维持控制端 P 进行充电, 因此第六晶体管 T6、第七晶体管 T7、第八晶体管 T8 和第九晶体管 T9 也时刻保持导通状态, 从而维持扫描信号 V_G 、第一传递信号 V_{C1} 和第二传递信号 V_{C2} 的电压为相应的低电平。

值得注意的是, 在低电平维持阶段 P4, 由于第二十晶体管 T20 的控制极和第一极之间存在寄生电容 C_{GD20} , 当时钟信号 V_{CK} 由低电平 V_{L0} 跳变到高电平 V_H 时, 会在驱动控制端 Q 产生一个耦合电压 ΔV_Q , 该现象称为时钟馈通效应。耦合电压 ΔV_Q 的大小可以表示为: $\Delta V_Q = C_{GD20} \cdot (V_H - V_{L0}) / C_Q$; 其中 C_Q 为驱动控制端 Q 的总电容。当 ΔV_Q 大于第二十晶体管 T20 的阈值电压 V_{TH20} 时, 会导致第二十晶体管 T20 开启, 时钟信号 V_{CK} 就会对扫描信号输出端 G 充电, 从而导致扫描信号输出端 G 产生较大的噪声电压, 并且增大了电路的功耗。对第二十晶体管 T20 而言, 其控制极的电压为 $V_{L3} + \Delta V_Q$, 其第二极电压为 V_{L1} , 当 $V_{L3} + \Delta V_Q - V_{L1} < V_{TH20}$ 时, 第二十晶体管 T20 可以被完全关断, 不仅可以抑制时钟馈通效应减小扫描信号 V_G 的输出噪声, 还可以抑制第二十晶体管 T20 的漏电, 降低电路的功耗; 类似地, 对于第二十一晶体管 T21, 当 $V_{L3} + \Delta V_Q - V_{L1} < V_{TH21}$ 时, 可以减小第一传递信号的输出噪声, 并且抑制晶体管 T21 的漏电。

对于第二传递信号输出端而言, 时钟馈通效应相对较小。对于第二十二晶体管 T22 和第二十三晶体管 T23, 其控制极电压为 V_{L3} , 其第二极电压为 V_{L1} , 当 $V_{L3} - V_{L1} < V_{TH22}$ 或者 $V_{L3} - V_{L1} < V_{TH23}$ 时, 第二十二晶体管 T22 和第二十三晶体管 T23 可以被可靠地关断, 其漏电得到抑制。

对第五晶体管 T5 而言, 其控制极的电压为 $V_{L3} + \Delta V_Q$, 其第二极的电压为 V_{L1} 。当 $V_{L3} + \Delta V_Q - V_{L1} < V_{TH5}$ 时, 第五晶体管 T5 可以被可靠地关断。因此, 维持控制端 P 通过第五晶体管 T5 的漏电得到了抑制, 不仅可以减低电路的功耗, 而且使得 P 端的电压可以稳定的维持在高电平, 保证低电平维持模块正常的工作。

本实施例的移位寄存器单元通过抑制电路工作的预充阶段、上拉阶段、下拉阶段以及低电平维持阶段中的晶体管的漏电, 不仅可以使得移位寄存器单元在晶体管的阈值电压为负值时正常的工作, 而且能够降低电路的功耗。

实施例 4:

请参考图 7, 为本实施例公开的一种移位寄存器单元的电路结构图, 与实施例三不同的是: 本实施例中, 移位寄存器单元还包括第二低电平端 V_{SS2} , 用于输入第二低电平 V_{L2} , 其中 $V_{L0} \geq V_{L1} > V_{L2} > V_{L3}$ 。

具体地, 与实施例三相比, 第五晶体管 T5 不是连接到第一低电平

端 V_{SS1} 而是连接到第二低电平端 V_{SS2} 。

请参考图 8，为本实施例中移位寄存器单元的一种工作时序图，本实施例中移位寄存器单元的工作过程与实施例三中的移位寄存器基本相同，在此不再赘述。需要注意的是，当时钟信号 V_{CK} 的低电平 V_{L0} 与第一低电平 V_{L1} 相等时，本实施例的移位寄存器单元的扫描信号 V_G 只有一个固定的低电平。

与实施例三相经，本实施例的移位寄存器单元的功耗可以进一步降低，原因如下：在上拉阶段 P2，维持控制端 P 的电压被下拉至第二低电平 V_{L2} 。对与第八晶体管 T8 和第九晶体管 T9，其控制极的电压为 V_{L2} ，其第二极的电压为 V_{L1} ，当第八晶体管 T8 的 $V_{GS}=V_{L2}-V_{L1}<V_{TH8}$ 且第九晶体管 T9 的 $V_{GS}=V_{L2}-V_{L1}<V_{TH9}$ 时，第八晶体管 T8 和第九晶体管 T9 被可靠地关断。因此在上拉阶段 P2，电路的功耗进一步降低，扫描信号 V_G 和第二传递信号 V_{C2} 的上升延迟可以进一步地减小。

因此，本实施例所示的移位寄存器单元与实施例三所示的移位寄存器单元相比，增加了一个低电平端 V_{SS2} ，但电路的功耗得到了进一步地降低，电路的输出延迟得到了优化。

实施例 5:

请参考图 9，为本实施例五公开的一种移位寄存器单元的电路结构图，与实施例三不同的是：

本实施例中，第三驱动子模块 123 连接于驱动控制端 Q、高电平端 V_{DD} 和第二传递信号输出端之间，用于当驱动控制端 Q 为高电平时将高电平端 V_{DD} 的电压传输至第二传递信号输出端；具体地，第三驱动子模块 123 包括第二十二晶体管 T22；第二十二晶体管 T22 的控制极连接于驱动控制端 Q，第一极连接于高电平端 V_{DD} ，第二极连接于第二传递信号输出端。

请参考图 10，为本实施例的移位寄存器单元的一种工作时序图。本实施例中第二脉冲信号 V_{I2} 的脉冲宽度为第一脉冲信号 V_{I1} 的 3 倍，在第一脉冲信号 V_{I1} 的高电平上升沿到来之前，第二脉冲信号 V_{I2} 已经上升到高电平，而第二脉冲信号 V_{I2} 的下降沿仍然滞后于第一脉冲信号 V_{I1} 的下降沿。因此，在预充阶段 P1 之前，第二脉冲信号 V_{I2} 已经上升为高电平，这时第一晶体管 T1 和第三晶体管 T3 可能处于弱导通并对驱动控制端 Q 产生微弱的充电，但是由于此时第六晶体管 T6 和第七晶体管 T7 保持强导通，因此第一晶体管 T1 和第三晶体管 T3 的漏电不会显著地影响到驱动控制端 Q 的电压，也不会影响电路正常的四个工作阶段——预充阶段 P1、上拉阶段 P2、下拉阶段 P3 和低电平维持阶段 P4。

对于第二传递信号 V_{C2} ，当驱动控制端 Q 的电压上升到高电平时，

第二十二晶体管 T22 导通，高电平端 V_{DD} 通过导通的第二十二晶体管 T22 对第二传递信号输出端进行充电，从而使第二传递信号 V_{C2} 上升为高电平。

本实施例所示的移位寄存器单元与实施例三所示的移位寄存器单元相经，其优势在于：减少了一路脉冲信号，且电路结构得到进一步简化。

实施例 6:

请参照图 11，为本实施例六公开的一种移位寄存器单元的电路结构图，与实施例五不同的是：本实施例中，移位寄存器单元还包括第二低电平端 V_{SS2} ，用于输入第二低电平 V_{L2} ，其中 $V_{L0} \geq V_{L1} > V_{L2} > V_{L3}$ 。具体地，与实施例五相比，第五晶体管 T5 不是连接到第一低电平端 V_{SS1} 而是连接到第二低电平端 V_{SS2} 。

请参考图 12，为本实施例中移位寄存器单元的一种工作时序图，本实施例中移位寄存器单元的工作过程与实施例五中的移位寄存器基本相同，在此不再赘述。

因此，本实施例所示的移位寄存器单元与实施例五所示的移位寄存器单元相比，增加了一个低电平端 V_{SS2} ，但电路的功耗得到了进一步地降低，电路的输出延迟得到了优化。

实施例 7:

请参考图 13，本实施例公开了一种移位寄存器，包括 N 级级联的上述实施例三所示的移位寄存器单元、第一时钟线 CK_1 、第二时钟线 CK_2 、第三时钟线 CK_3 、第四时钟线 CK_4 、第一公共低电平线 SS_1 、第三公共低电平线 SS_3 和公共高电平线。

第一公共低电平线 SS_1 、第三公共低电平线 SS_3 和公共高电平线分别连接于所有移位寄存器单元的第一低电平端 V_{SS1} 、第三低电平端 V_{SS3} 和高电平端 V_{DD} 。

第一时钟线 CK_1 、第二时钟线 CK_2 、第三时钟线 CK_3 和第四时钟线 CK_4 提供四相交叠时钟信号，相邻两根时钟线输出的时钟信号的高电平交叠时钟周期的四分之一，具体地：

第 $4i+1$ 级移位寄存器单元的时钟信号输入端连接于第一时钟线 CK_1 ；

第 $4i+2$ 级移位寄存器单元的时钟信号输入端连接于第二时钟线 CK_2 ，其中第二时钟线 CK_2 输出的时钟信号的高电平滞后于第一时钟线 CK_1 的四分之一一个时钟周期；

第 $4i+3$ 级移位寄存器单元的时钟信号输入端连接于第三时钟线 CK_3 ，其中第三时钟线 CK_3 输出的时钟信号的高电平滞后于第二时钟线

CK₂的四分之一一个时钟周期;

第 $4i+4$ 级移位寄存器单元的时钟信号输入端连接于第四时钟线 CK₄, 其中第四时钟线 CK₄ 输出的时钟信号的高电平滞后于第三时钟线 CK₃ 的四分之一一个时钟周期。

级联的移位寄存器单元的连接方式如下:

第 n 级移位寄存器单元的第一脉冲信号输入端连接于第 $n-2$ 级移位寄存器单元的第一传递信号输出端;

第 n 级移位寄存器单元的第二脉冲信号输入端连接于第 $n-2$ 级移位寄存器单元的第二传递信号输出端;

第 n 级移位寄存器单元的第三脉冲信号输入端连接于第 $n+3$ 级移位寄存器单元的第一传递信号输出端;

第 n 级移位寄存器单元的第四脉冲信号输入端连接于第 $n+2$ 级移位寄存器单元的第一传递信号输出端;

其中, N 为大于 3 的整数, n 为大于 0 且小于或等于 N 的整数, i 为非负整数。

请参照图 14, 为本实施例所示移位寄存器的一种工作时序图。图中 $V_{G(n-2)}$ 、 $V_{G(n-1)}$ 、 $V_{G(n)}$ 和 $V_{G(n+1)}$ 分别为第 $n-2$ 、第 $n-1$ 、第 n 和第 $n+1$ 级移位寄存器单元输出的扫描信号 V_G , 可以看到, 相邻两级移位寄存器单元输出的扫描信号 V_G 互相交叠半个脉冲宽度。

请参照图 15, 为本实施例所示移位寄存器的一种仿真波形图, 横坐标为时间, 纵坐标为各级移位寄存器单元输出的扫描信号 V_G 的电压。其中, 不妨令电路中所有晶体管的阈值电压 V_{TH} 为 $-4V$, 高电平 V_H 、时钟信号 V_{CK} 的低电平 V_{L0} 、第一低电平 V_{L1} 、第三低电平 V_{L3} 的值分别为: $28V$ 、 $-6V$ 、 $-9V$ 、 $-15V$ 。由图 15 可以看出, 在晶体管阈值电压为负值时, 本实施例所示的移位寄存器仍然能够正常工作。

本移位寄存器, 每一级的移位寄存器单元的扫描信号输出端可与显示面板的栅极扫描线相连, 为显示面板的一行像素单元提供栅极扫描信号。

实施例 8:

请参考图 16, 为本实施例八公开的一种移位寄存器, 与实施例七不同的是, 本实施例包括 N 级级联的上述实施例四而非实施例三所示的移位寄存器单元。相应地, 本实施例的移位寄存器, 还包括第二公共低电平线 SS_2 , 其连接于所有移位寄存器单元的第二低电平端 V_{SS2} 。

请参照图 17, 为本实施例所示移位寄存器的一种工作时序图。由于本移位寄存器中的移位寄存器单元包括三个低电平端且 $V_{L0} \geq V_{L1} > V_{L2} > V_{L3}$, 因此当 $V_{L0}=V_{L1}$ 时, 各级移位寄存器单元的扫描信号 V_G 只有一

个低电平 V_{L0} 。

请参照图 18，为本实施例所示的移位寄存器的一种仿真波形图，横坐标为时间，纵坐标为各级移位寄存器单元输出的扫描信号 V_G 的电压。其中，不妨令电路中所有晶体管的阈值电压 V_{TH} 为 $-4V$ ，高电平 V_H 、时钟 CK 的低电平 V_{L0} 、第一低电平 V_{L1} 、第二低电平 V_{L2} 、第三低电平 V_{L3} 的值分别为： $28V$ 、 $-6V$ 、 $-6V$ 、 $-9V$ 、 $-15V$ 。由图 18 可以看出，在晶体管阈值电压为负值时，本实施例所示的移位寄存器仍然能够正常工作。需要注意的是，本实施例所示移位寄存器输出的各个扫描信号均具有唯一的低电平，其值为 $-6V$ 。

实施例 9:

请参考图 19，为本实施例九公开的一种移位寄存器，与实施例七不同的是，本实施例包括 N 级级联的上述实施例五而非实施例三所示的移位寄存器单元；相应地，本实施例中各级联的移位寄存器单元的连接方式如下：

第 n 级移位寄存器单元的第一脉冲信号输入端连接于第 $n-2$ 级移位寄存器单元的第一传递信号输出端；

第 n 级移位寄存器单元的第二脉冲信号输入端连接于第 $n-2$ 级移位寄存器单元的第二传递信号输出端；

第 n 级移位寄存器单元的第三脉冲信号输入端连接于第 $n+3$ 级移位寄存器单元的第一传递信号输出端。

与实施例七不同的是，本实施例中各级联的移位寄存器单元不需要配置第四脉冲信号输入端的连接方式，因为本实施例中的移位寄存器单元没有第四脉冲信号输入端。

本实施例所示的移位寄存器的一种工作时序图和一种仿真波形图与实施例七的移位寄存器的相同，具体请分别参见图 14 和图 15，在此不再赘述。

实施例 10:

请参考图 20，为本实施例十公开的一种移位寄存器，与实施例九不同的是，本实施例包括 N 级级联的上述实施例六而非实施例五所示的移位寄存器单元；相应地，本实施例的移位寄存器，还包括第二公共低电平线 SS_2 ，其连接于所有移位寄存器单元的第二低电平端 V_{SS2} 。

本实施例所示的移位寄存器的一种工作时序图和一种仿真波形图与实施例八的移位寄存器的相同，具体请分别参见图 17 和图 18，在此不再赘述。

以上应用了具体个例对本发明进行阐述，只是用于帮助理解本发明，

并不用以限制本发明。对于本领域的一般技术人员，依据本发明的思想，可以对上述具体实施方式的变化。

权 利 要 求

1. 一种移位寄存器单元，其特征在于，包括：

时钟信号输入端，用于输入时钟信号 (V_{CK})；

第一脉冲信号输入端，用于输入第一脉冲信号 (V_{I1})；

第二脉冲信号输入端，用于输入第二脉冲信号 (V_{I2})；

第三脉冲信号输入端，用于输入第三脉冲信号 (V_{I3})；

扫描信号输出端，用于输出扫描信号 (V_G)；

高电平端 (V_{DD})，用于输入高电平 (V_H)；

第一低电平端 (V_{SS1})，用于输入第一低电平 (V_{L1})；

第二低电平端 (V_{SS2})，用于输入第二低电平 (V_{L2})；

第三低电平端 (V_{SS3})，用于输入第三低电平 (V_{L3})；

驱动模块 (12)，包括驱动控制端 (Q) 和第一驱动子模块 (121)；

所述第一驱动子模块 (121) 连接于所述驱动控制端 (Q)、时钟信号输入端和扫描信号输出端之间，用于当驱动控制端 (Q) 为高电平时将时钟信号 (V_{CK}) 传输至扫描信号输出端；

充电模块 (11)，连接于所述第一脉冲信号输入端、第二脉冲信号输入端和驱动控制端 (Q) 之间，用于当第一脉冲信号输入端和第二脉冲信号输入端为高电平时将驱动控制端 (Q) 充电至高电平；

放电模块 (13)，连接于所述第二脉冲信号输入端、第三脉冲信号输入端和驱动控制端 (Q) 之间，用于当第二脉冲信号输入端为低电平且第三脉冲信号输入端为高电平时将驱动控制端 (Q) 放电至低电平；

低电平维持模块 (14)，包括维持控制端 (P)、维持控制子模块 (141) 和维持子模块 (142)；维持控制子模块 (141) 连接于所述时钟信号输入端、高电平端 (V_{DD})、第二低电平端 (V_{SS2}) 和维持控制端 (P) 之间；所述维持子模块 (142) 连接于所述驱动控制端 (Q)、第一低电平端 (V_{SS1})、第三低电平端 (V_{SS3}) 和维持控制端 (P) 之间；维持控制子模块 (141) 用于当驱动控制端 (Q) 为低电平时控制维持子模块 (142) 将扫描信号 (V_G) 维持至第一低电平 (V_{L1})；

所述时钟信号 (V_{CK})、第一脉冲信号 (V_{I1})、第二脉冲信号 (V_{I2})、第三脉冲信号 (V_{I3})、高电平 (V_H)、第一低电平 (V_{L1})、第二低电平 (V_{L2}) 和第三低电平 (V_{L3}) 被配置为：

所述时钟信号 (V_{CK}) 一个周期内包括先到来的时钟信号的低电平 (V_{L0}) 和后到来的高电平 (V_H)；所述时钟信号 (V_{CK}) 的低电平 (V_{L0}) $\geq$ 第一低电平 (V_{L1}) $>$ 第二低电平 (V_{L2}) $>$ 第三低电平 (V_{L3})，或者，时钟信号 (V_{CK}) 的低电平 (V_{L0}) $>$ 第一低电平 (V_{L1}) = 第二低电平 (V_{L2}) $>$ 第三低电平 (V_{L3})；

所述第一脉冲信号 (V_{I1}) 的高电平位于时钟信号 (V_{CK}) 的第一时

钟周期的低电平时段内；所述维持子模块（142）在时钟信号（ V_{CK} ）的第一时钟周期的低电平时段和高电平时段内分别接受一低电平（ V_{L0} ）和高电平（ V_H ），以配合维持控制端（P）使驱动控制端（Q）不漏电；第二脉冲信号（ V_{I2} ）的高电平的上升沿超前于第一脉冲信号（ V_{I1} ）的高电平的下降沿，第二脉冲信号（ V_{I2} ）的高电平的下降沿滞后于第一脉冲信号（ V_{I1} ）的高电平的下降沿且超前于时钟信号（ V_{CK} ）第二时钟周期的高电平的上升沿，第三脉冲信号（ V_{I3} ）的上升沿也超前于时钟信号（ V_{CK} ）的第二时钟周期的高电平的上升沿。

2. 如权利要求1所述的移位寄存器单元，其特征在于，所述驱动模块（12）还包括：

第二驱动子模块（122）和用于输出第一传递信号（ V_{C1} ）的第一传递信号输出端；所述第二驱动子模块（122）连接于所述驱动控制端（Q）、时钟信号输入端和第一传递信号输出端之间，用于当驱动控制端（Q）为高电平时将时钟信号（ V_{CK} ）传输至第一传递信号输出端。

3. 如权利要求2所述的移位寄存器单元，其特征在于：所述第二驱动子模块（122）包括第二十一晶体管（T21），其中所述第二十一晶体管（T21）的控制极连接于所述驱动控制端（Q），第一极连接于时钟信号输入端，第二极连接于第一传递信号输出端。

4. 如权利要求2所述的移位寄存器单元，其特征在于，所述驱动模块（12）还包括：

第三驱动子模块（123）、第四脉冲信号输入端和用于输出第二传递信号（ V_{C2} ）的第二传递信号输出端；所述第四脉冲信号输入端，用于输入第四脉冲信号（ V_{I4} ），其中第四脉冲信号（ V_{I4} ）的高电平滞后于第一脉冲信号（ V_{I1} ）的高电平一个时钟周期；所述第二传递信号输出端，用于输出第二传递信号（ V_{C2} ）；所述第三驱动子模块（123）连接于第四脉冲信号输入端、第一传递信号输出端、第二传递信号输出端和高电平端（ V_{DD} ）之间，用于当第四脉冲信号（ V_{I4} ）或第一传递信号（ V_{C1} ）为高电平时将高电平端（ V_{DD} ）的电压传输至第二传递信号输出端。

5. 如权利要求4所述的移位寄存器单元，其特征在于：所述第三驱动子模块（123）包括第二十二晶体管（T22）和第二十三晶体管（T23）；其中所述第二十二晶体管（T22）的控制极连接于所述第一传递信号输出端；所述第二十三晶体管（T23）的控制极连接于第四脉冲信号输入端；所述第二十二晶体管（T22）和第二十三晶体管（T23）的第一极都连接于高电平端（ V_{DD} ），第二极都连接于第二传递信号输出端。

6. 如权利要求2所述的移位寄存器单元，其特征在于，所述驱动模块（12）还包括：

第三驱动子模块（123）和用于输出第二传递信号（ V_{C2} ）的第二传

递信号输出端；所述第三驱动子模块连接于所述驱动控制端（Q）、第二传递信号输出端和高电平端（ V_{DD} ）之间，用于当驱动控制端（Q）为高电平时将高电平端（ V_{DD} ）的电压传输至第二传递信号输出端。

7. 如权利要求6所述的移位寄存器单元，其特征在于：所述第三驱动子模块（123）包括第二十二晶体管（T22），其中所述第二十二晶体管（T22）的控制极连接于所述驱动控制端（Q），第一极连接于高电平端（ V_{DD} ），第二极连接于第二传递信号输出端。

8. 如权利要求4至7中任一项所述的移位寄存器单元，其特征在于：所述维持子模块（142）还与第一传递信号输出端、第二传递信号输出端相连；

所述第一传递信号输出端还用于给维持子模块（142）在时钟信号（ V_{CK} ）的第一时钟周期的低电平时段和高电平时段内分别提供一低电平（ V_{L0} ）和高电平（ V_H ），以配合维持控制端（P）使驱动控制端（Q）不漏电；

所述维持控制子模块（141）还用于当驱动控制端（Q）为低电平时控制维持子模块（142）将第一传递信号（ V_{C1} ）、第二传递信号（ V_{C2} ）分别维持至第三低电平（ V_{L3} ）、第一低电平（ V_{L1} ）。

9. 如权利要求8所述的移位寄存器单元，其特征在于：

所述维持控制子模块（141）包括第四晶体管（T4）和第五晶体管（T5）；所述第四晶体管（T4）的控制极连接于所述时钟信号输入端，第一极连接于高电平端（ V_{DD} ），第二极连接于维持控制端（P）；所述第五晶体管（T5）的控制极连接于驱动控制端（Q），第一极连接于维持控制端（P），第二极连接于第二低电平端（ V_{SS2} ）；

所述维持子模块（142）包括第六晶体管（T6）、第七晶体管（T7）、第八晶体管（T8）和第九晶体管（T9）；所述第六晶体管（T6）、第七晶体管（T7）、第八晶体管（T8）和第九晶体管（T9）的控制极共同连接于所述维持控制端（P）；所述第六晶体管（T6）的第一极连接于驱动控制端（Q），第二极连接于第七晶体管（T7）的第一极并共同连接于所述第一传递信号输出端；第七晶体管（T7）的第二极连接于第二低电平端（ V_{SS3} ）；所述第八晶体管（T8）的第一极连接于扫描信号输出端（G），第二极连接于第一低电平端（ V_{SS1} ）；所述第九晶体管（T9）的第一极连接于第二传递信号输出端，第二极连接于第一低电平端（ V_{SS1} ）。

10. 如权利要求1或8所述的移位寄存器单元，其特征在于：

所述充电模块（11）包括第一晶体管（T1）；所述第一晶体管（T1）的控制极连接于所述第一脉冲信号输入端，第一极连接于第二脉冲信号输入端，第二极连接于驱动控制端（Q）；

所述放电模块（13）包括第三晶体管（T3）；所述第三晶体管（T3）

的控制极连接于所述第三脉冲信号输入端, 第一极连接于第二脉冲信号输入端, 第二极连接于驱动控制端 (Q);

所述第一驱动子模块 (121) 包括第二十晶体管 (T20) 和第一电容 (C1); 所述第二十晶体管 (T20) 的控制极连接于所述驱动控制端 (Q), 第一极连接于时钟信号输入端, 第二极连接于扫描信号输出端 (G); 所述第一电容 (C1) 连接于所述驱动控制端 (Q) 与扫描信号输出端之间。

11. 如权利要求 1 所述的移位寄存器单元, 其特征在于:

所述维持控制子模块 (141) 包括第四晶体管 (T4) 和第五晶体管 (T5); 所述第四晶体管 (T4) 的控制极连接于所述时钟信号输入端, 第一极连接于高电平端 (V_{DD}), 第二极连接于维持控制端 (P); 所述第五晶体管 (T5) 的控制极连接于驱动控制端 (Q), 第一极连接于维持控制端 (P), 第二极连接于第二低电平端 (V_{SS2});

所述维持子模块 (142) 包括第六晶体管 (T6)、第七晶体管 (T7) 和第八晶体管 (T8); 所述第六晶体管 (T6)、第七晶体管 (T7) 和第八晶体管 (T8) 的控制极共同连接于所述维持控制端 (P); 第六晶体管 (T6) 的第一极连接于驱动控制端 (Q), 第二极连接于第七晶体管 (T7) 的第一极, 所述第六晶体管 (T6) 的第二极还在所述时钟信号 (V_{CK}) 的第一时钟周期的低电平时段和高电平时段内分别接受一低电平 (V_{L0}) 和高电平 (V_H), 以配合维持控制端 (P) 使驱动控制端 (Q) 不漏电; 第七晶体管 (T7) 的第二极连接于第三低电平端 (V_{SS3}); 第八晶体管 (T8) 的第一极连接于扫描信号输出端, 第二极连接于第一低电平端 (V_{SS1})。

12. 如权利要求 1、9 或 11 所述的移位寄存器单元, 其特征在于: 所述第一低电平端 (V_{SS1}) 和第二低电平端 (V_{SS2}) 为同一低电平端。

13. 一种移位寄存器, 其特征在于, 包括 N 级级联的如权利要求 4 或 5 所述的移位寄存器单元、第一时钟线 (CK_1)、第二时钟线 (CK_2)、第三时钟线 (CK_3)、第四时钟线 (CK_4)、第一公共低电平线 (SS_1)、第二公共低电平线 (SS_2)、第三公共低电平线 (SS_3) 和公共高电平线;

所述第一公共低电平线 (SS_1)、第二公共低电平线 (SS_2)、第三公共低电平线 (SS_3) 和公共高电平线分别连接于所有移位寄存器单元的第一低电平端 (V_{SS1})、第二低电平端 (V_{SS2})、第三低电平端 (V_{SS3}) 和高电平端 (V_{DD});

第 $4i+1$ 级移位寄存器单元的时钟信号输入端连接于第一时钟线 (CK_1);

第 $4i+2$ 级移位寄存器单元的时钟信号输入端连接于第二时钟线 (CK_2), 其中第二时钟线 (CK_2) 输出的时钟信号的高电平滞后于第一时钟线 (CK_1) 的四分之一的一个时钟周期;

第 $4i+3$ 级移位寄存器单元的时钟信号输入端连接于第三时钟线

(CK₃), 其中第三时钟线 (CK₃) 输出的时钟信号的高电平滞后于第二时钟线 (CK₂) 的四分之一一个时钟周期;

第 $4i+4$ 级移位寄存器单元的时钟信号输入端连接于第四时钟线 (CK₄), 其中第四时钟线 (CK₄) 输出的时钟信号的高电平滞后于第三时钟线 (CK₃) 的四分之一一个时钟周期;

第 n 级移位寄存器单元的第一脉冲信号输入端连接于第 $n-2$ 级移位寄存器单元的第一传递信号输出端;

第 n 级移位寄存器单元的第二脉冲信号输入端连接于第 $n-2$ 级移位寄存器单元的第二传递信号输出端;

第 n 级移位寄存器单元的第三脉冲信号输入端连接于第 $n+3$ 级移位寄存器单元的第一传递信号输出端;

第 n 级移位寄存器单元的第四脉冲信号输入端连接于第 $n+2$ 级移位寄存器单元的第一传递信号输出端;

其中, N 为大于 3 的整数, n 为大于 0 且小于或等于 N 的整数, i 为非负整数。

14. 一种移位寄存器, 其特征在于, 包括 N 级级联的如权利要求 6 或 7 所述的移位寄存器单元、第一时钟线 (CK₁)、第二时钟线 (CK₂)、第三时钟线 (CK₃)、第四时钟线 (CK₄)、第一公共低电平线 (SS₁)、第二公共低电平线 (SS₂)、第三公共低电平线 (SS₃) 和公共高电平线;

所述第一公共低电平线 (SS₁)、第二公共低电平线 (SS₂)、第三公共低电平线 (SS₃) 和公共高电平线分别连接于所有移位寄存器单元的第一低电平端 (V_{SS1})、第二低电平端 (V_{SS2})、第三低电平端 (V_{SS3}) 和高电平端 (V_{DD});

第 $4i+1$ 级移位寄存器单元的时钟信号输入端连接于第一时钟线 (CK₁);

第 $4i+2$ 级移位寄存器单元的时钟信号输入端连接于第二时钟线 (CK₂), 其中第二时钟线 (CK₂) 输出的时钟信号的高电平滞后于第一时钟线 (CK₁) 的四分之一一个时钟周期;

第 $4i+3$ 级移位寄存器单元的时钟信号输入端连接于第三时钟线 (CK₃), 其中第三时钟线 (CK₃) 输出的时钟信号的高电平滞后于第二时钟线 (CK₂) 的四分之一一个时钟周期;

第 $4i+4$ 级移位寄存器单元的时钟信号输入端连接于第四时钟线 (CK₄), 其中第四时钟线 (CK₄) 输出的时钟信号的高电平滞后于第三时钟线 (CK₃) 的四分之一一个时钟周期;

第 n 级移位寄存器单元的第一脉冲信号输入端连接于第 $n-2$ 级移位寄存器单元的第一传递信号输出端;

第 n 级移位寄存器单元的第二脉冲信号输入端连接于第 $n-2$ 级移位

寄存器单元的第二传递信号输出端；

第 n 级移位寄存器单元的第三脉冲信号输入端连接于第 $n+3$ 级移位寄存器单元的第一传递信号输出端；

其中， N 为大于 3 的整数， n 为大于 0 且小于或等于 N 的整数， i 为非负整数。

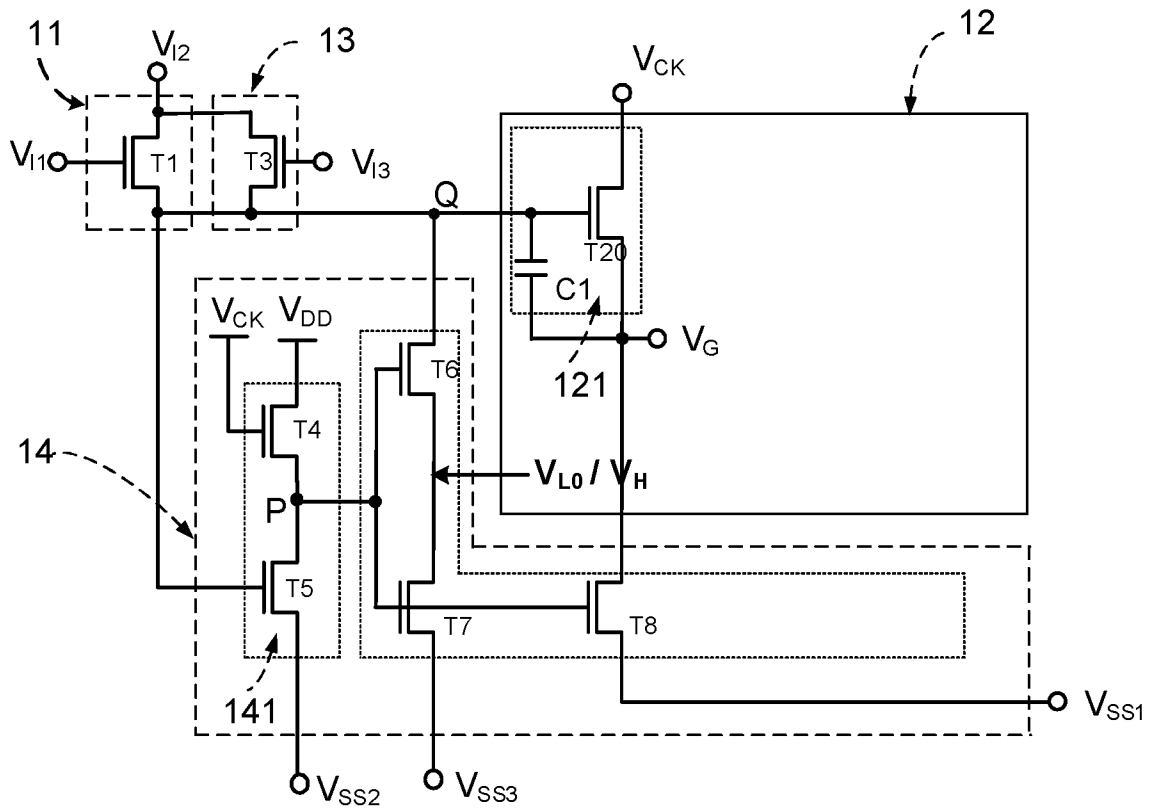


图 1

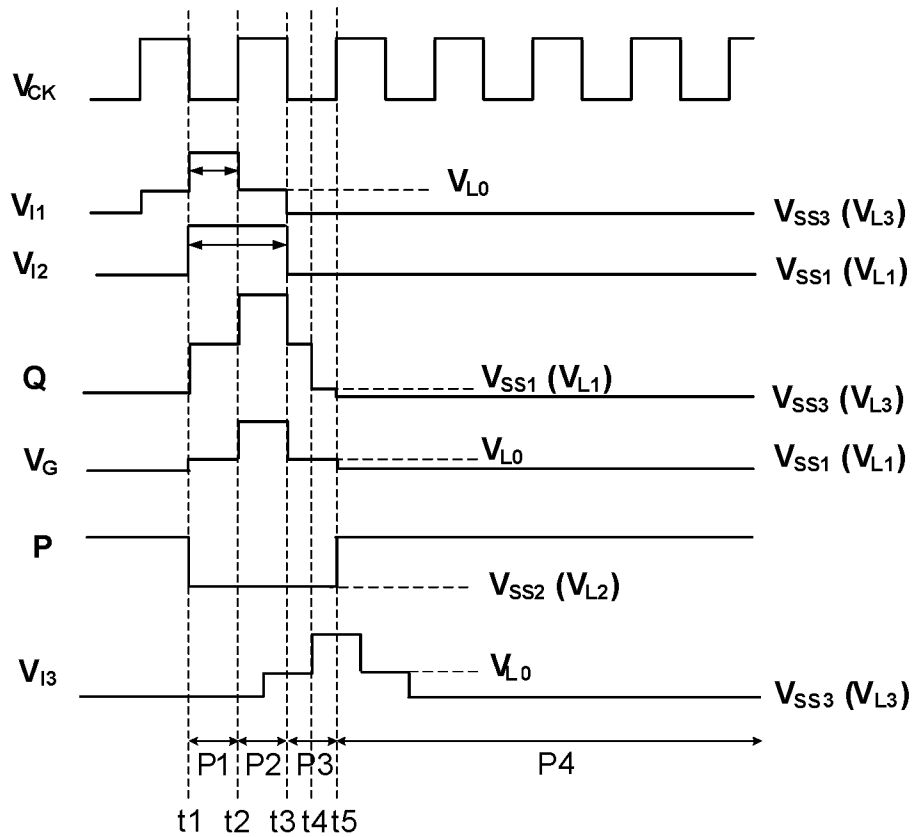


图 2

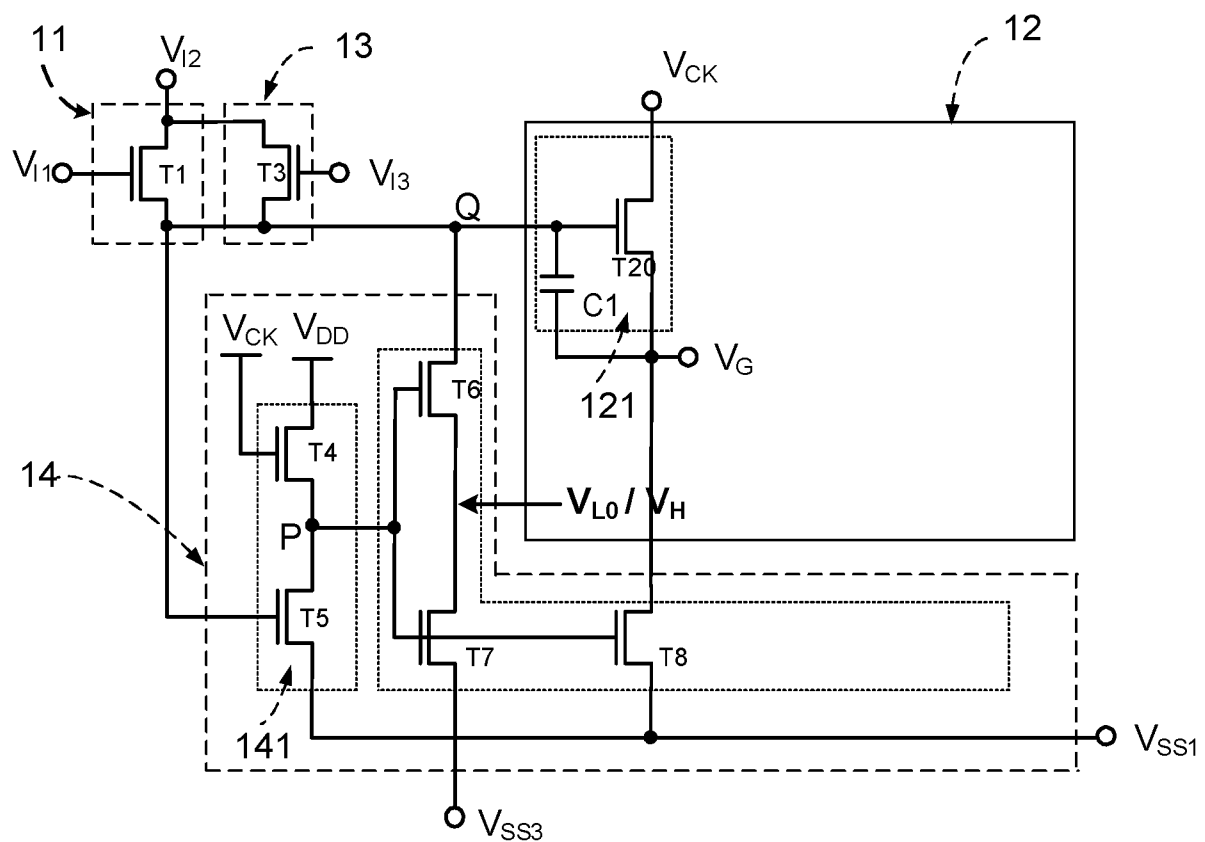


图 3

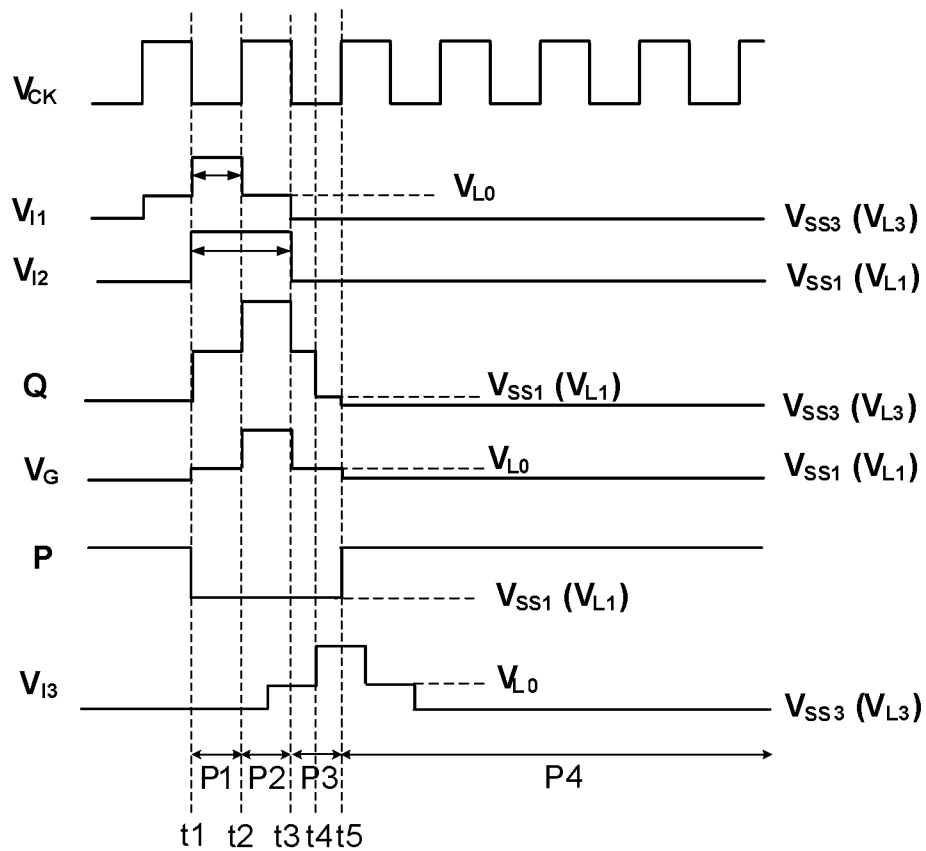


图 4

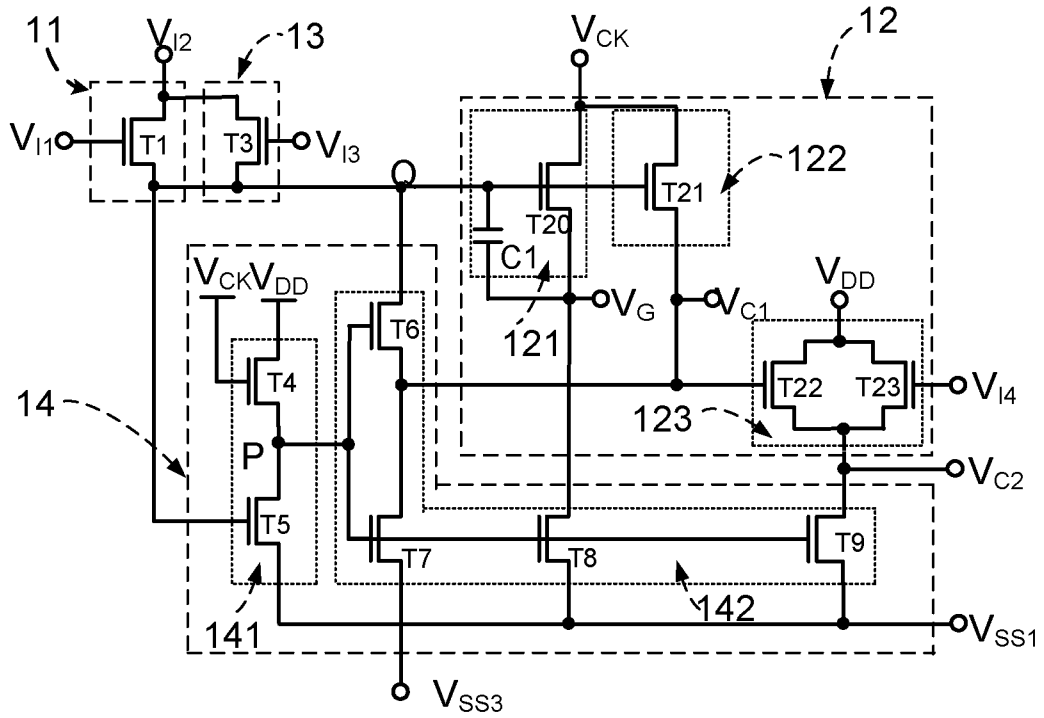


图 5

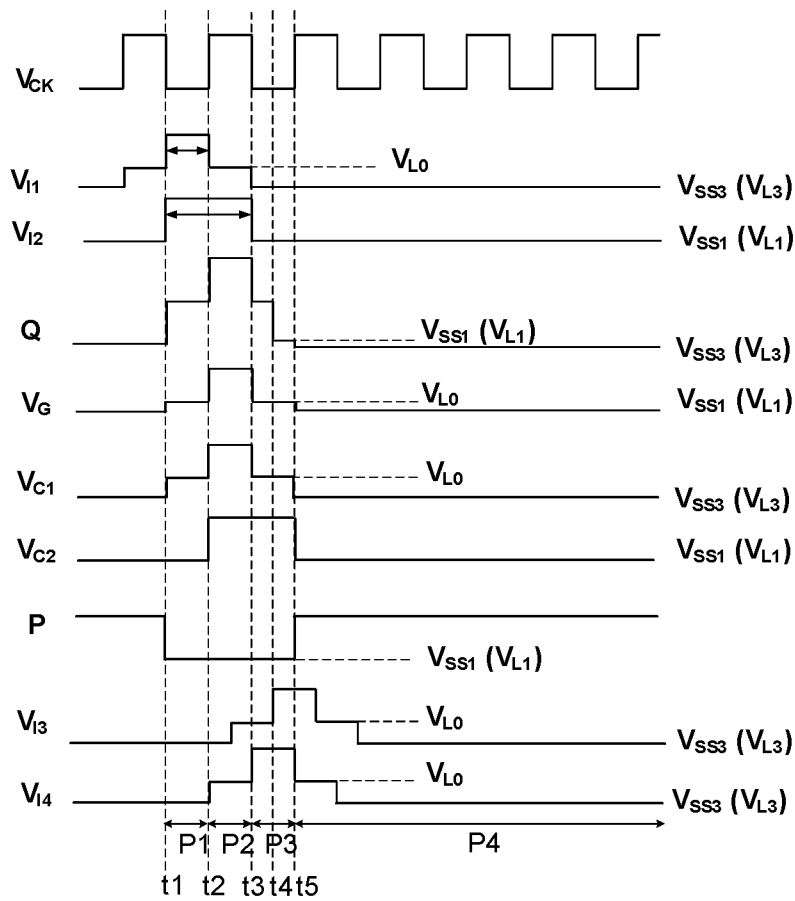


图 6

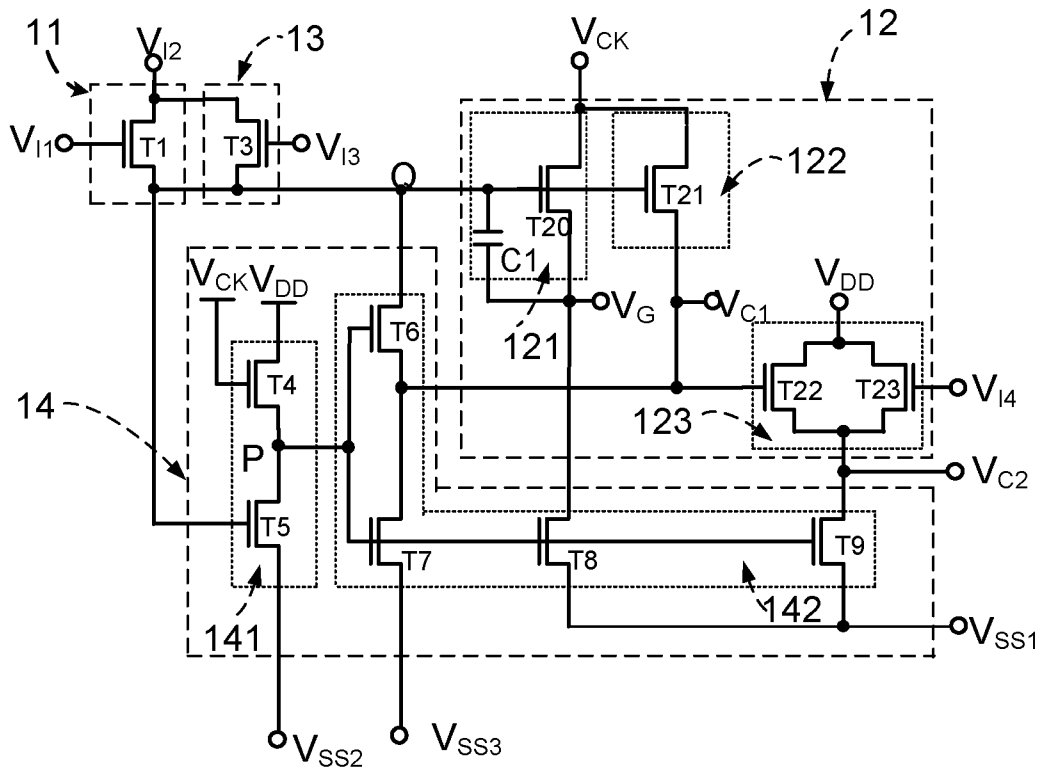


图 7

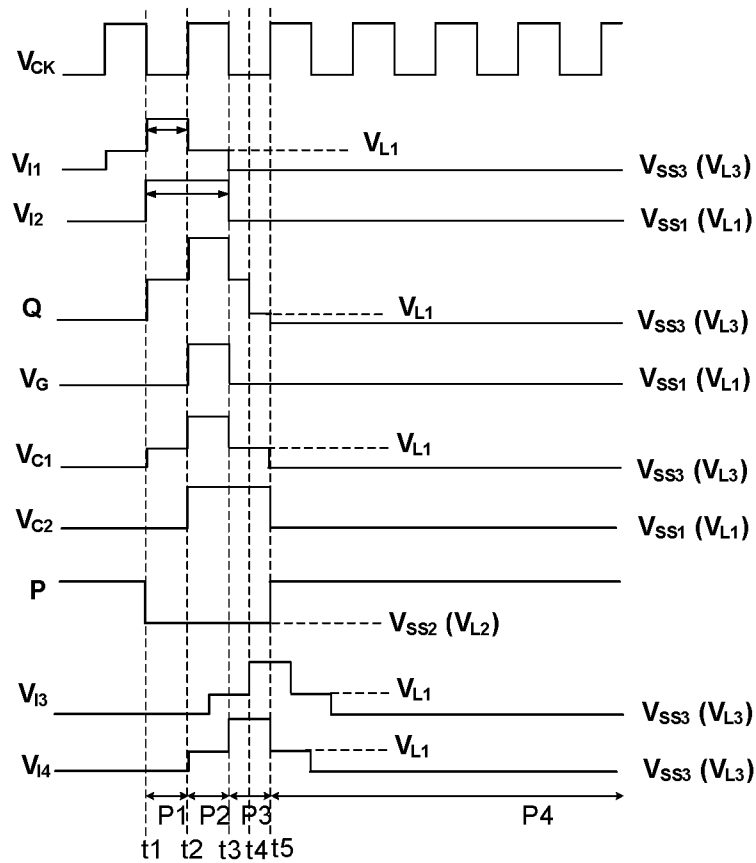


图 8

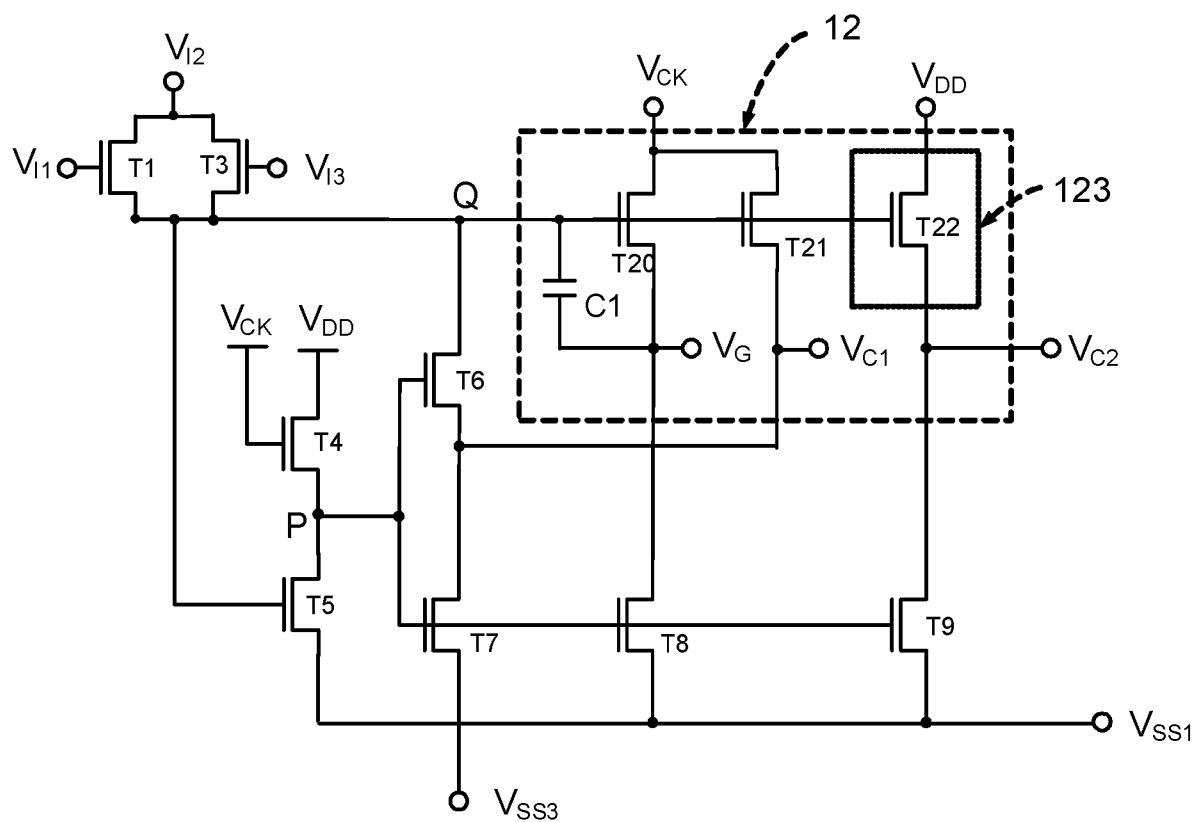


图 9

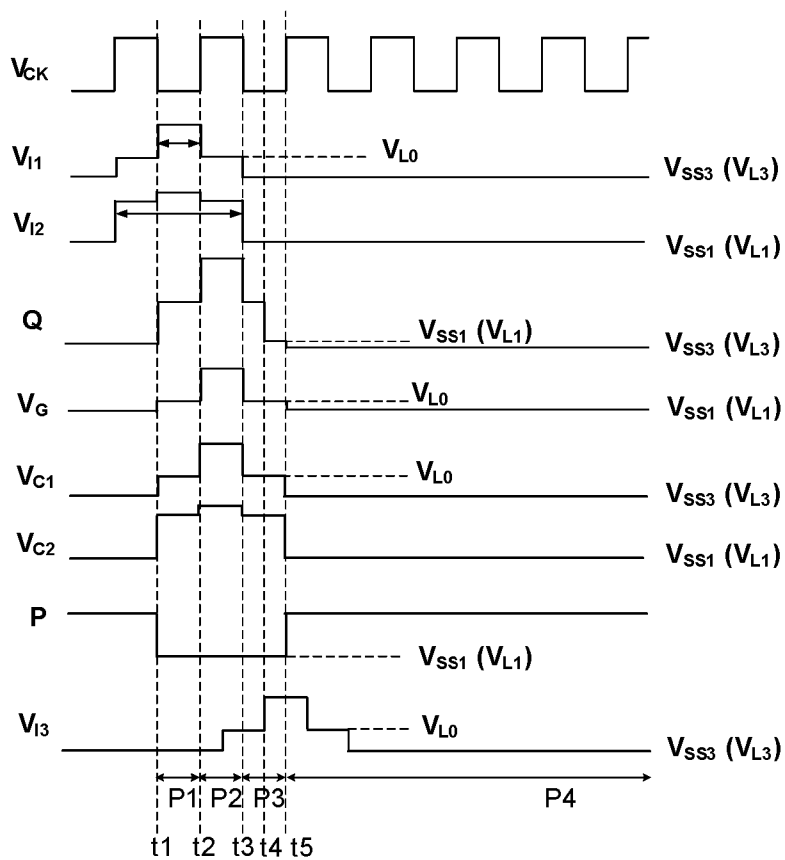


图 10

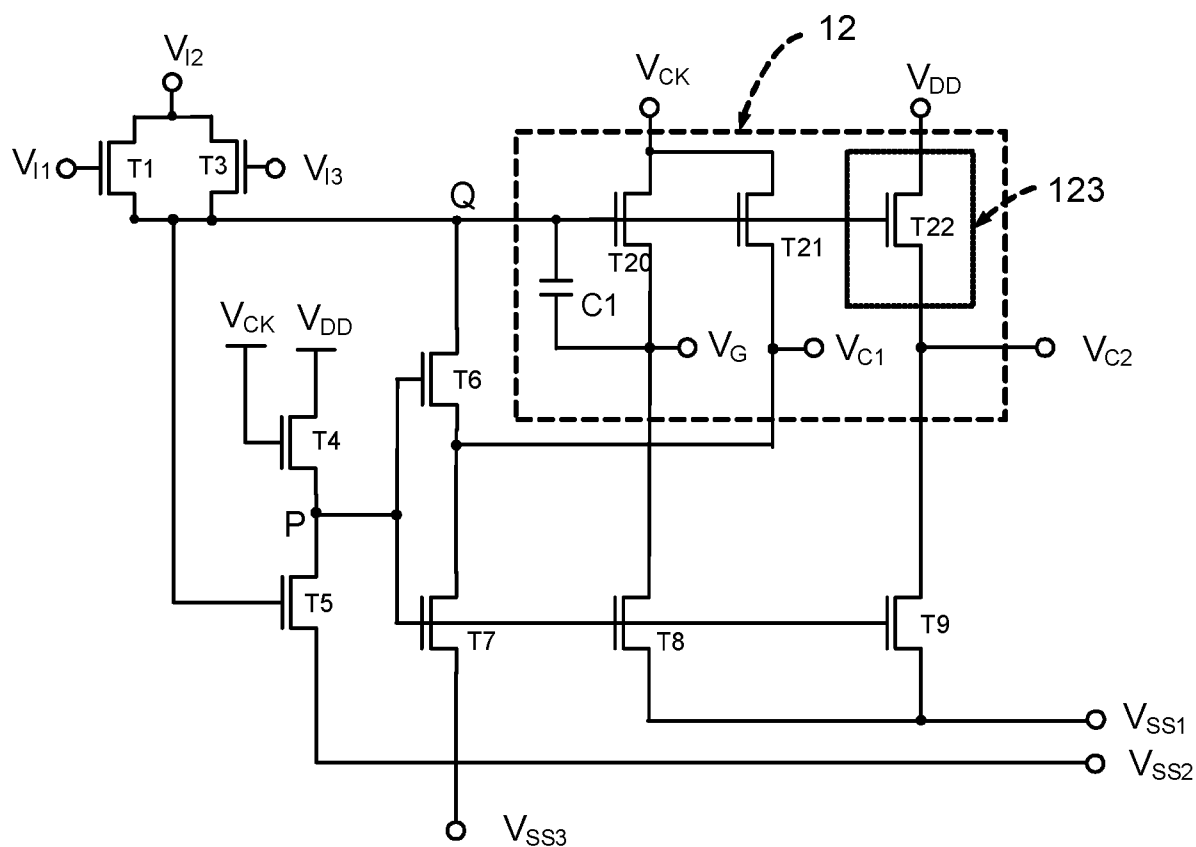


图 11

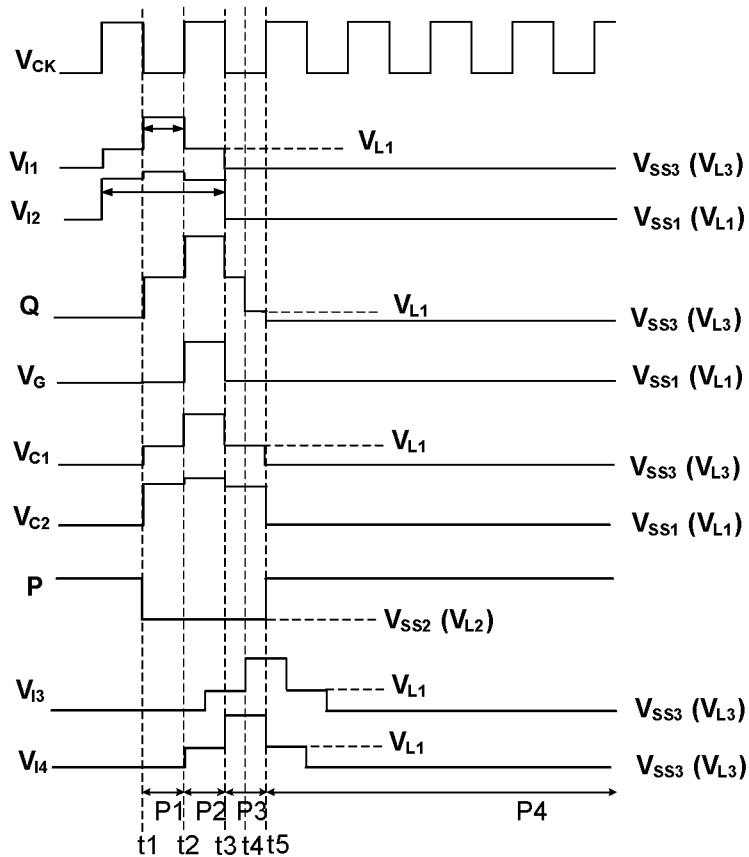


图 12

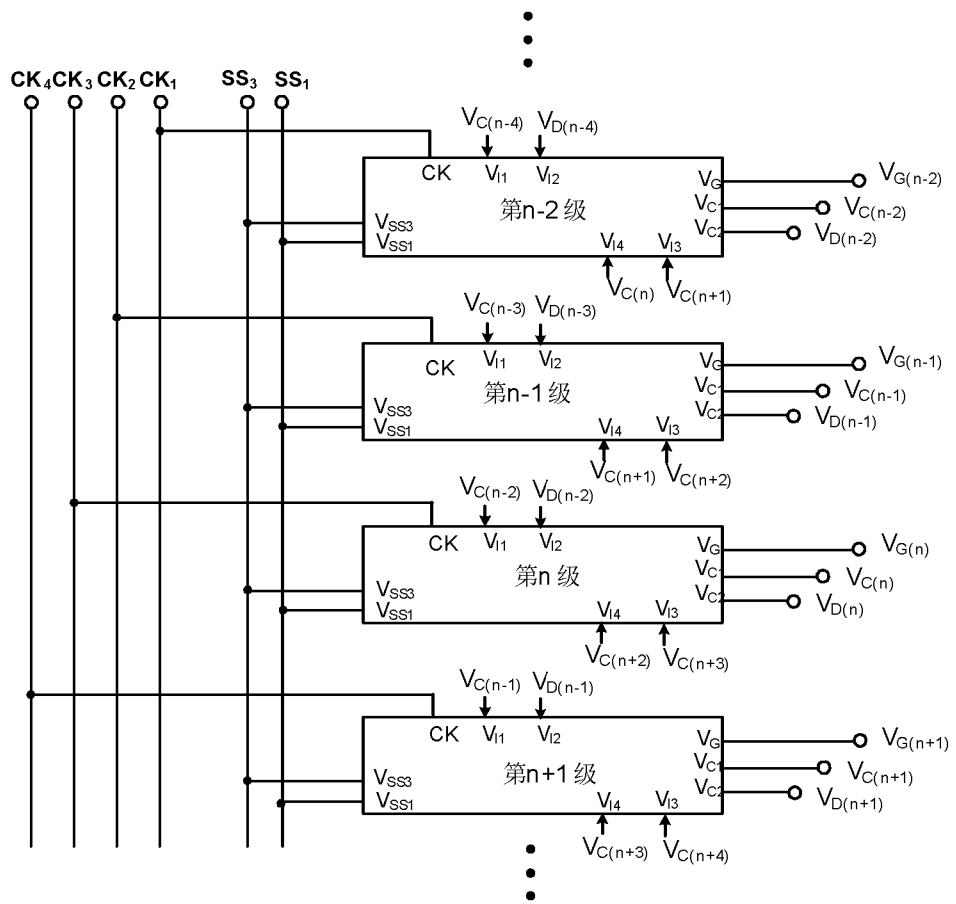


图 13

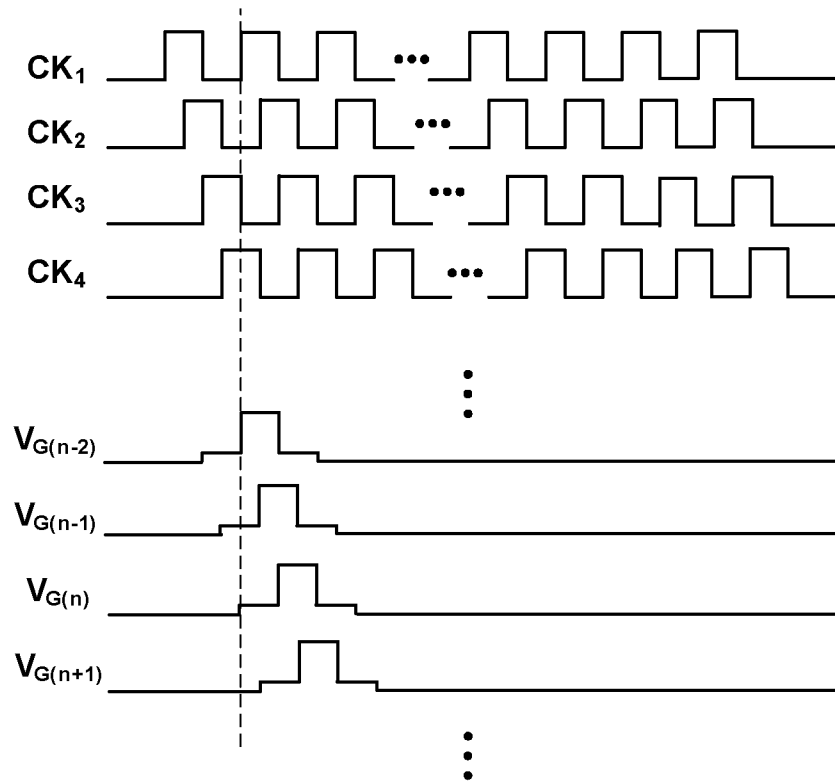


图 14

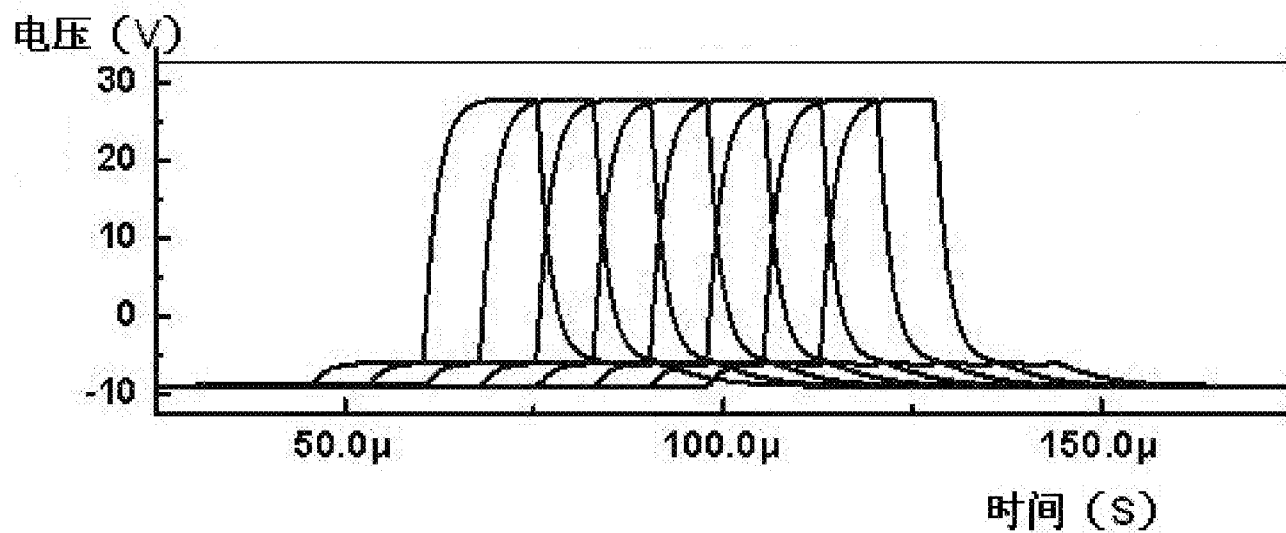


图 15

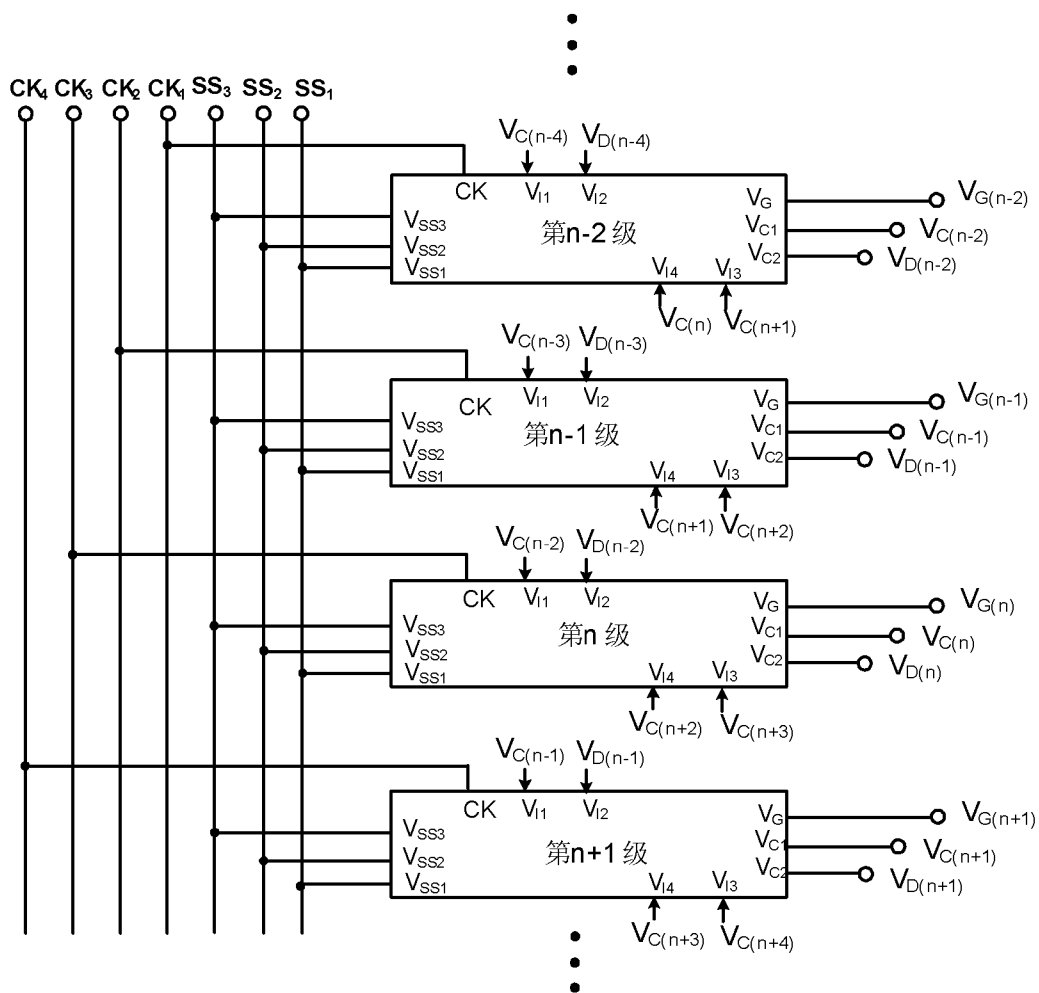


图 16

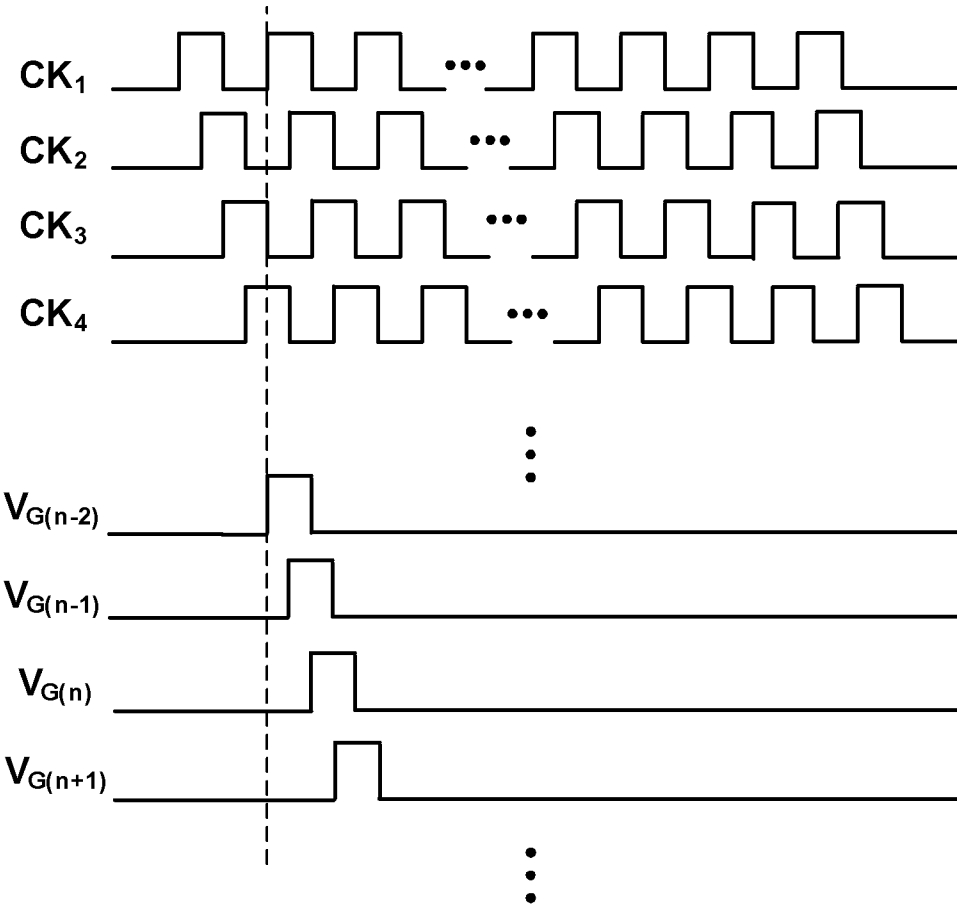


图 17

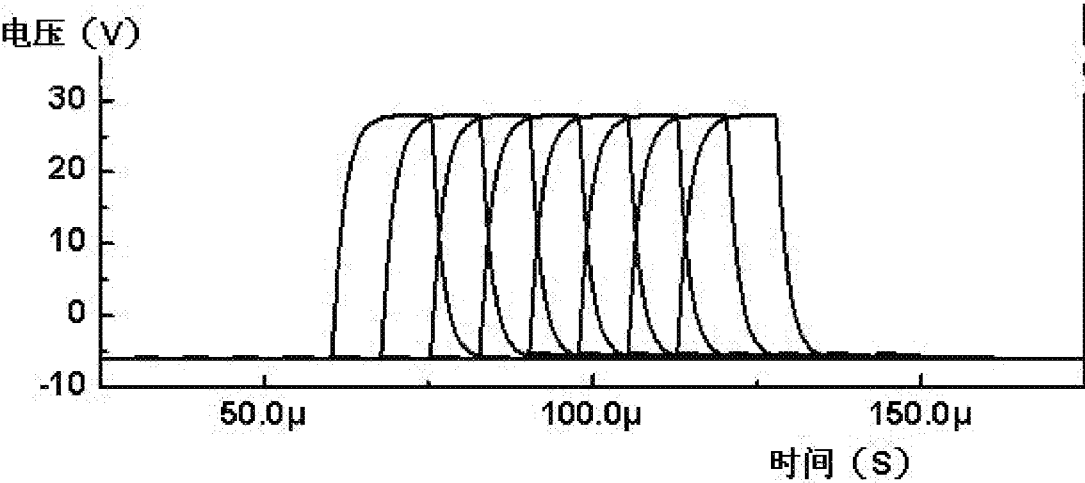


图 18

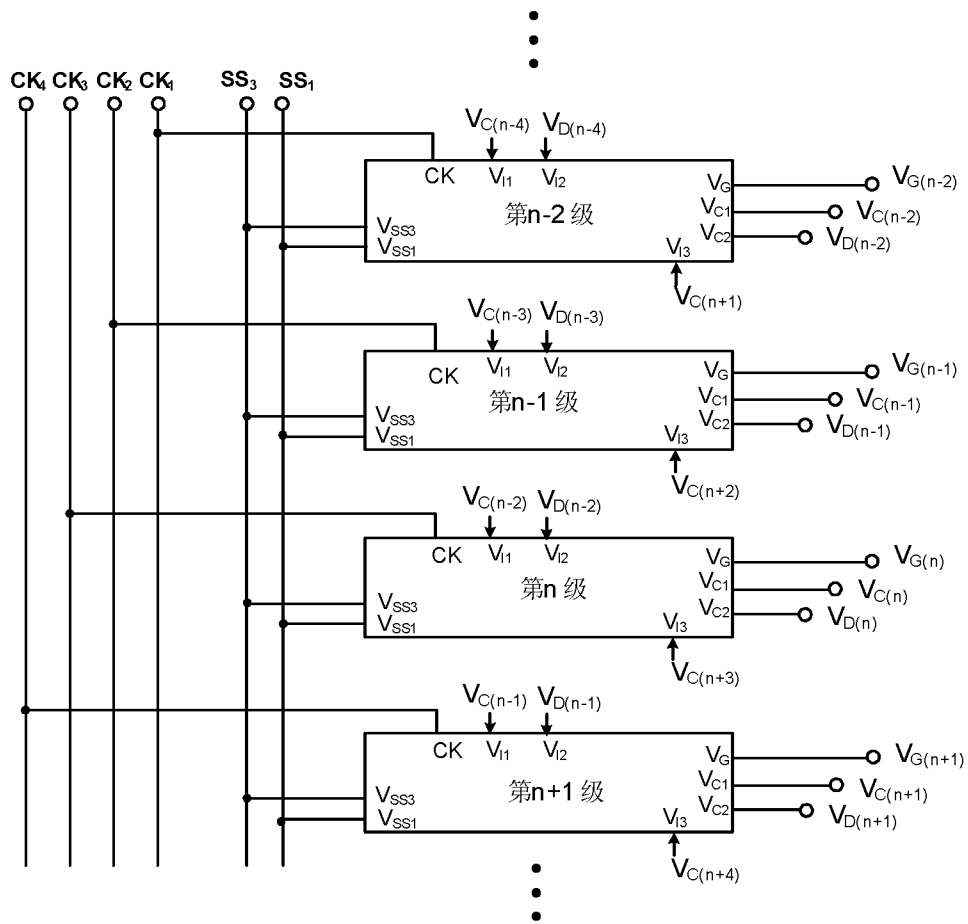


图 19

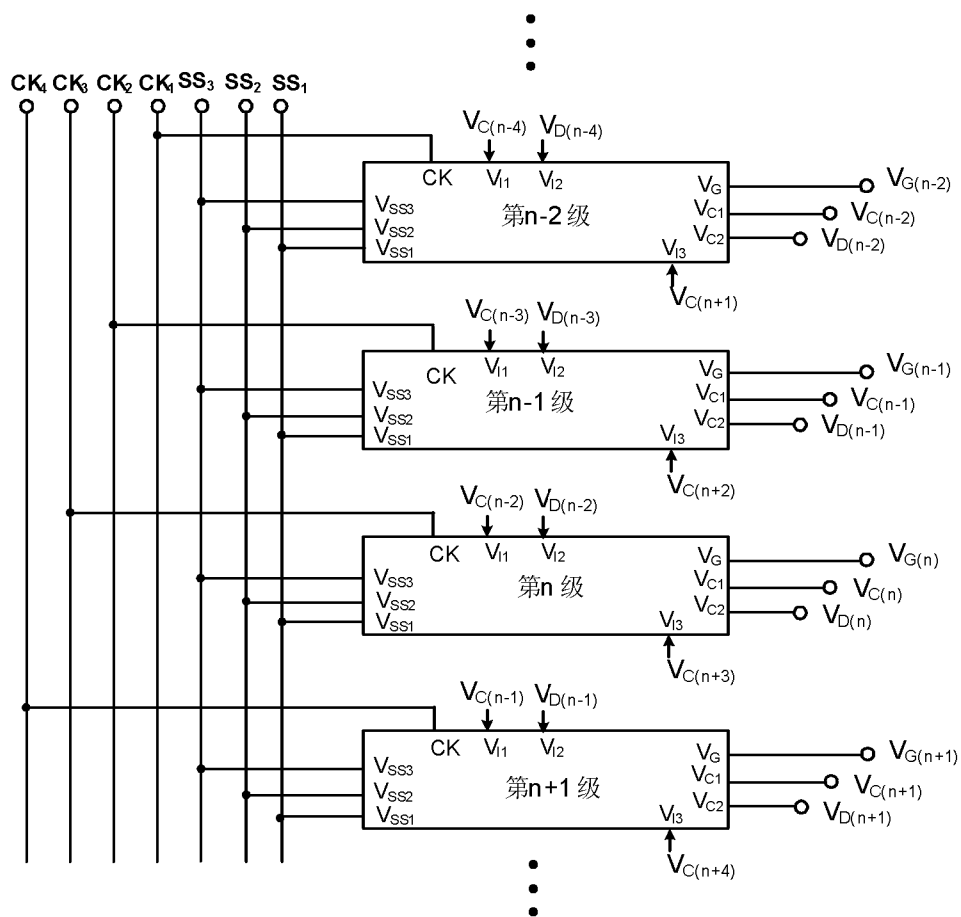


图 20

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/077263

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i; G11C19/28 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3; G11C19

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; VEN: shift, register, clock, signal, charge, discharge, maintain, hold, keep, pulse, impulse

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN103617775A (UNIV PEKING SHENZHEN GRAD SCHO) 5 March 2013 (05.03.2014) description, paragraphs [0054]-[0133], and figures 1-8	1-14
A	CN 102779478 A (BOE TECHNOLOGY GROUP CO., LTD.) 14 November 2012 (14.11.2012) the whole document	1-14
A	CN103077689A (UNIV PEKING SHENZHEN GRAD SCHO) 1 May 2013 (01.05.2013) the whole document	1-14
A	US2009175405A1 (AU OPTRONICS CORP.) 9 July 2009 (09.07.2009) the whole document	1-14
PX	CN 104809973 A (UNIV PEKING SHENZHEN GRAD SCHO) 29 July 2015 (29.07.2015) the whole document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

Date of the actual completion of the international search 22 June 2016	Date of mailing of the international search report 1 July 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LI, Yuan Telephone No. (86-10) 62085846

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/077263

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103617775 A	05 March 2014	CN 103617775 B	30 December 2015
CN 102779478 A	14 November 2012	EP 2838079 A1	18 February 2015
		WO 2013152604 A1	17 October 2013
		EP 2838079 A4	25 November 2015
		CB 202677790 U	16 January 2013
		CN 102779478 B	27 May 2015
		KR 101613000 B1	15 April 2016
		US 2014093028 A1	03 April 2014
		US 9177666 B2	03 November 2015
		JP 2015518625 A	02 July 2015
		KR 20130139328 A	20 December 2013
CN 103077689 A	01 May 2013	CN 103077689 B	03 June 2015
US 2009175405 A1	09 July 2009	TW 200931427 A	16 July 2009
		US 7792237 B2	07 September 2010
		TWI 334144 B	01 December 2010
CN 104809973 A	29 July 2015	None	

国际检索报告

国际申请号

PCT/CN2016/077263

A. 主题的分类

G09G 3/20(2006.01)i; G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3, G11C19

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;VEN:移位, 寄存器, 时钟, 信号, 充电, 放电, 维持, 脉冲, shift, register, clock, signal, charge, discharge, maintain, hold, keep, pulse, impulse

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103617775 A (北京大学深圳研究生院) 2014年 3月 5日 (2014 - 03 - 05) 说明书【0054】-【0133】段, 附图1-8)	1-14
A	CN 102779478 A (京东方科技集团股份有限公司) 2012年 11月 14日 (2012 - 11 - 14) 全文	1-14
A	CN 103077689 A (北京大学深圳研究生院) 2013年 5月 1日 (2013 - 05 - 01) 全文	1-14
A	US 2009175405 A1 (AU OPTRONICS CORP) 2009年 7月 9日 (2009 - 07 - 09) 全文	1-14
PX	CN 104809973 A (北京大学深圳研究生院) 2015年 7月 29日 (2015 - 07 - 29) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 6月 22日

国际检索报告邮寄日期

2016年 7月 1日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

李原

传真号 (86-10)62019451

电话号码 (86-10)62085846

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/077263

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103617775	A	2014年 3月 5日	CN	103617775	B	2015年 12月 30日
CN	102779478	A	2012年 11月 14日	EP	2838079	A1	2015年 2月 18日
				WO	2013152604	A1	2013年 10月 17日
				EP	2838079	A4	2015年 11月 25日
				CN	202677790	U	2013年 1月 16日
				CN	102779478	B	2015年 5月 27日
				KR	101613000	B1	2016年 4月 15日
				US	2014093028	A1	2014年 4月 3日
				US	9177666	B2	2015年 11月 3日
				JP	2015518625	A	2015年 7月 2日
				KR	20130139328	A	2013年 12月 20日
CN	103077689	A	2013年 5月 1日	CN	103077689	B	2015年 6月 3日
US	2009175405	A1	2009年 7月 9日	TW	200931427	A	2009年 7月 16日
				US	7792237	B2	2010年 9月 7日
				TW	I334144	B	2010年 12月 1日
CN	104809973	A	2015年 7月 29日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)