



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년05월30일
(11) 등록번호 10-1862823
(24) 등록일자 2018년05월24일

- (51) 국제특허분류(Int. Cl.)
G11C 11/4063 (2006.01) G11C 11/405 (2006.01)
G11C 11/4096 (2015.01) H01L 29/786 (2006.01)
- (21) 출원번호 10-2012-7022538
(22) 출원일자(국제) 2011년01월13일
심사청구일자 2016년01월12일
(85) 번역문제출일자 2012년08월28일
(65) 공개번호 10-2012-0125320
(43) 공개일자 2012년11월14일
(86) 국제출원번호 PCT/JP2011/050908
(87) 국제공개번호 WO 2011/096277
국제공개일자 2011년08월11일
- (30) 우선권주장
JP-P-2010-024886 2010년02월05일 일본(JP)
- (56) 선행기술조사문헌
JP63268184 A*
KR100127293 B1*
*는 심사관에 의하여 인용된 문헌
- (73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
카와에 다이스케
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
- (74) 대리인
황의만

전체 청구항 수 : 총 6 항

심사관 : 손윤식

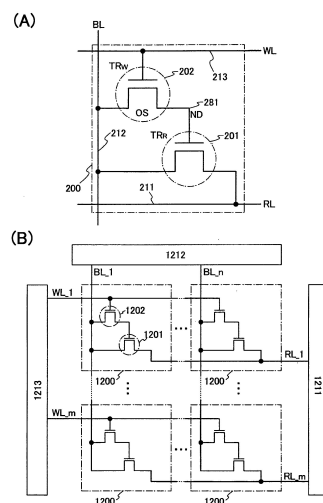
(54) 발명의 명칭 반도체 장치 및 반도체 장치의 구동 방법

(57) 요약

전유 면적이 작고, 고집적화, 대기억 용량화가 가능한 반도체 장치를 제공한다.

쓰기용 트랜지스터와 읽기용 트랜지스터에서, 공통의 비트선을 사용함으로써, 단위 메모리셀 당 배선수를 삭감한다. 정보의 쓰기는, 쓰기용 트랜지스터를 온 상태로 함으로써, 쓰기용 트랜지스터의 소스 전극 또는 드레인 전극의 한쪽과, 읽기용 트랜지스터의 게이트 전극이 전기적으로 접속된 노드에 비트선의 전위를 공급하고, 그 후, 쓰기용 트랜지스터를 오프 상태로 함으로써, 노드에 소정량의 전하를 유지시킨다. 정보의 읽기는, 읽기용 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽과 접속된 읽기 신호선에, 소정의 읽기용 전위를 공급하고, 그 후, 비트선의 전위를 검출함으로써 이루어진다.

대표도 - 도1



명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

반도체 장치로서,

제 1 트랜지스터;

상기 제 1 트랜지스터 위의 절연층;

상기 절연층 위의 제 2 트랜지스터;

제 1 배선;

제 2 배선;

제 3 배선; 및

도전층을 포함하고,

상기 제 1 트랜지스터의 게이트는 상기 도전층에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 배선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스와 상기 드레인 중 다른 한쪽은 상기 제 2 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 3 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 도전층에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 2 배선에 전기적으로 접속되는 , 반도체 장치.

청구항 5

반도체 장치로서,

제 1 트랜지스터;

상기 제 1 트랜지스터 위의 절연층;

상기 절연층 위의 제 2 트랜지스터;

제 1 배선;

제 2 배선;

제 3 배선; 및

도전층을 포함하고,

상기 제 1 트랜지스터의 게이트는 상기 도전층에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 배선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스와 상기 드레인 중 다른 한쪽은 상기 제 2 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 3 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 도전층에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스와 상기 드레인 중 다른 한쪽은 상기 제 2 배선에 전기적으로 접속되고,

상기 제 1 트랜지스터는 실리콘을 포함하고,

상기 제 2 트랜지스터는 산화물 반도체를 포함하는, 반도체 장치.

청구항 6

제 4 항 또는 제 5 항에 있어서,

상기 제 2 트랜지스터의 오프 전류는, 상기 제 1 트랜지스터의 오프 전류보다 낮은, 반도체 장치.

청구항 7

제 4 항 또는 제 5 항에 있어서,

상기 제 1 트랜지스터의 스위칭 속도는, 상기 제 2 트랜지스터의 스위칭 속도보다 빠른, 반도체 장치.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

제 5 항에 있어서,

상기 산화물 반도체는 In 및 Ga를 포함하는, 반도체 장치.

청구항 13

제 5 항에 있어서,

상기 산화물 반도체는 In, Ga 및 Zn을 포함하는, 반도체 장치.

발명의 설명

기술 분야

[0001] 개시하는 발명은, 반도체 소자를 이용한 반도체 장치 및 그 제작 방법, 및 반도체 장치의 구동 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자를 이용한 기억 장치는, 전력의 공급이 없어지면 기억 내용을 잃게 되는 휘발성과, 전력의 공급이 없어지더라도 기억 내용은 유지되는 불휘발성으로 크게 나뉜다.

[0003] 휘발성 기억 장치의 대표적인 예로는, DRAM(Dynamic Random Access Memory)이 있다. DRAM은, 기억 소자를 구성하는 트랜지스터를 선택하여 캐패시터(용량 소자)에 전하를 축적함으로써, 정보를 기억한다.

[0004] 상기 원리에서, DRAM에서는, 정보를 읽으면 캐패시터의 전하는 잃게 되므로, 정보의 읽기 때마다, 다시 쓰기 동작이 필요하게 된다. 또한, 기억 소자를 구성하는 트랜지스터에는 리크 전류가 존재하고, 트랜지스터가 선택되어 있지 않은 상황에서도 전하가 유출, 또는 유입되므로, 데이터(정보)의 유지 기간이 짧다. 이로써, 소정의 주기로 다시 쓰기 동작(리프레쉬 동작)이 필요하고, 소비 전력을 충분히 저감하는 것이 곤란하다. 또한, 전력의 공급이 없어지면 기억 내용을 잃게 되므로, 장기간의 기억의 유지에는, 자성 재료나 광학 재료를 이용한 별도의 기억 장치가 필요하게 된다.

[0005] 휘발성 기억 장치의 다른 예로는 SRAM(Static Random Access Memory)이 있다. SRAM은, 플립플롭 등의 회로를 이용하여 기억 내용을 유지하므로, 리프레쉬 동작이 불필요하고, 이 점에서는 DRAM보다 유리하다. 그러나, 플립플롭 등의 회로를 이용하므로, 기억 용량당 단위가 높아진다는 문제가 있다. 또한, 전력의 공급이 없어지면 기억 내용을 잃게 된다는 점에 대해서는, DRAM과 동일하다.

[0006] 불휘발성 기억 장치의 대표예로는, 플래쉬 메모리가 있다. 플래쉬 메모리는, 트랜지스터의 게이트 전극과 채널 형성 영역의 사이에 플로팅 게이트를 갖고, 이 플로팅 게이트에 전하를 유지시킴으로써 기억을 하므로, 데이터의 유지 기간은 매우 길고(반영구적), 휘발성 기억 장치에서 필요한 리프레쉬 동작이 불필요하다는 이점을 갖는다(예를 들어, 특허문헌 1 참조).

[0007] 그러나, 쓰기를 할 때 생기는 터널 전류에 의해 기억 소자를 구성하는 게이트 절연층이 열화하므로, 소정 횟수의 쓰기에 의해 기억 소자가 기능하지 않게 된다는 문제가 생긴다. 이 문제의 영향을 완화하기 위해, 예를 들어, 각 기억 소자의 쓰기 횟수를 균일화하는 수법이 채용될 수 있으나, 이를 실현하기 위해서는, 복잡한 주변 회로가 필요하게 된다. 그리고, 이와 같은 수법을 채용하여도, 근본적인 수명의 문제가 해결되는 것은 아니다. 즉, 플래쉬 메모리는, 정보의 다시 쓰기 빈도가 높은 용도로는 부적합하다.

[0008] 또한, 플로팅 게이트에 전하를 유지시키기 위해, 또는, 이 전하를 제거하기 위해서는, 높은 전압이 필요하고, 또한, 이를 위한 회로도 필요하다. 또한, 전하의 유지, 또는 제거의 동작에는 비교적 긴 시간을 필요로 하고, 쓰기, 제거의 고속화가 용이하지 않다는 문제도 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 일본국 특개소 57-105889호 공보

발명의 내용

해결하려는 과제

[0010] 상기 문제를 감안하여, 개시하는 발명의 일 양태에서는, 전력이 공급되지 않는 상태에서도 기억 내용의 유지가

가능하고, 또한, 쓰기 횟수에도 제한이 없는, 새로운 구조의 반도체 장치를 제공하는 것을 목적의 하나로 한다.

[0011] 고집적화, 대기억 용량화가 가능한 반도체 장치를 제공하는 것을 목적의 하나로 한다.

[0012] 동작이 안정적이고, 신뢰성이 높은 반도체 장치를 제공하는 것을 목적의 하나로 한다.

[0013] 고속 동작이 가능한 반도체 장치를 제공하는 것을 목적의 하나로 한다.

[0014] 소비 전력이 저감된 반도체 장치를 제공하는 것을 목적의 하나로 한다.

[0015] 본 명세서에서 개시하는 발명의 일 양태는, 상기 과제 of 적어도 하나를 해결한다.

과제의 해결 수단

[0016] 본 발명의 일 양태는, 읽기용 트랜지스터와, 산화물 반도체를 갖는 쓰기용 트랜지스터를 포함하는 불휘발성의 메모리셀과, 읽기 신호선과, 비트선과, 워드선을 갖고, 읽기용 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽은, 읽기 신호선과 전기적으로 접속되고, 쓰기용 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽과, 읽기용 트랜지스터의 게이트 전극은 전기적으로 접속되고, 읽기용 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 한쪽과, 쓰기용 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 한쪽은, 비트선에 전기적으로 접속되고, 쓰기용 트랜지스터의 게이트 전극은, 워드선과 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 장치이다.

[0017] 본 발명의 일 양태는, 제 1 트랜지스터와, 제 2 트랜지스터를 포함하는 불휘발성의 메모리셀과, 제 1 배선과, 제 2 배선과, 제 3 배선을 갖고, 제 1 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽은, 제 1 배선에 전기적으로 접속되고, 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽과, 제 1 트랜지스터의 게이트 전극은 전기적으로 접속되고, 제 1 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 한쪽과, 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 한쪽은, 제 2 배선에 전기적으로 접속되고, 제 2 트랜지스터의 게이트 전극은, 제 3 배선과 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 장치이다.

[0018] 또한, 상기 반도체 장치에서, 쓰기용 트랜지스터, 또는 제 2 트랜지스터에, 산화물 반도체를 갖는 트랜지스터를 이용함으로써, 리프레쉬 동작의 빈도를 매우 낮게 하는 것이 가능해진다.

[0019] 또한, 상기 반도체 장치에서, 쓰기용 트랜지스터, 또는 제 2 트랜지스터의 오프 전류는, 읽기용 트랜지스터 또는 제 1 트랜지스터의 오프 전류보다 낮은 것이 바람직하다.

[0020] 또한, 상기 반도체 장치에서, 제 2 트랜지스터는, 에너지갭이 3eV보다 큰 재료를 포함하여 구성되는 것이 바람직하다.

[0021] 또한, 상기 반도체 장치에서, 제 1 트랜지스터의 스위칭 속도는, 제 2 트랜지스터의 스위칭 속도보다 큰 것이 바람직하다.

[0022] 또한, 상기 반도체 장치에서, 제 1 트랜지스터가 오프 상태일 때, 제 2 트랜지스터를 온 상태로 하고, 제 2 트랜지스터를 통하여, 제 2 배선에 공급된 하이 레벨 전위 또는 로우 레벨 전위를, 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽과 제 1 트랜지스터의 게이트 전극이 접속된 노드에 공급하고, 제 2 트랜지스터를 오프 상태로 함으로써, 노드에 소정량의 전하를 유지시킴으로써 정보의 쓰기를 행한다.

[0023] 또한, 상기 반도체 장치에서, 제 2 트랜지스터가 오프 상태일 때, 제 2 배선을 제 2 전위가 되도록, 제 2 배선에 전하를 공급(프리 차지)하고, 이어서, 제 1 배선에 읽기용의 전위인 제 1 전위를 공급하고, 제 2 배선의 전위를 검출함으로써 노드에 유지된 정보의 읽기를 행한다.

[0024] 한편, 본 명세서 등에서, 불휘발성의 반도체 장치란, 전력이 공급되지 않는 상태에서도, 일정 기간 이상(적어도 1×10^4 초 이상, 바람직하게는 1×10^6 초 이상) 정보를 유지 가능한 반도체 장치를 말한다.

[0025] 한편, 본 명세서 등에서 '상(위)'나 '하(아래)'의 용어는, 구성 요소의 위치 관계가 '바로 위 또는 '바로 아래'인 것을 한정하는 것이 아니다. 예를 들어, '게이트 절연층 위의 게이트 전극'이라는 표현인 경우, 게이트 절연층과 게이트 전극 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.

[0026] 또한, 본 명세서 등에서 '전극'이나 '배선'의 용어는, 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어, '전극'은 '배선'의 일부로 이용되는 경우가 있으며, 그 반대 또한 동일하다. 또한, '전극'이나

'배선'의 용어는, 복수의 '전극'이나 '배선'이 일체가 되어 형성되어 있는 경우 등도 포함한다.

- [0027] 또한, '소스'나 '드레인'의 기능은, 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화하는 경우 등에는 바뀌는 경우가 있다. 따라서, 본 명세서에서는, '소스'나 '드레인'의 용어는, 바꾸어 이용할 수 있는 것으로 한다.
- [0028] 또한, 본 명세서 등에서, '전기적으로 접속'에는 '어떠한 전기적 작용을 갖는 것'을 통해 접속되어 있는 경우가 포함된다. 여기서, '어떠한 전기적 작용을 갖는 것'은, 접속 대상 사이에서의 전기 신호의 수신을 가능하게 하는 것이면, 특별히 제한을 받지 않는다.
- [0029] 예를 들어, '어떠한 전기적 작용을 갖는 것'에는, 전극이나 배선을 비롯하여, 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 캐패시터, 그 외 각종 기능을 갖는 소자 등이 포함된다.

발명의 효과

- [0030] 본 발명의 일 양태에 의하면, 반도체 장치의 전유 면적을 삭감할 수 있으므로, 고집적화, 대기억 용량화가 가능한 반도체 장치를 제공할 수 있다.
- [0031] 정보의 쓰기에 높은 전압을 필요로 하지 않으므로, 게이트 절연층의 열화라는 문제가 생기기 어렵고, 다시 쓰기 가능 횟수나 신뢰성이 비약적으로 향상된다.
- [0032] 트랜지스터의 온 상태, 오프 상태에 따라, 정보의 쓰기가 이루어지고, 정보를 제거하기 위한 동작도 불필요하므로, 고속의 동작도 용이하게 실현할 수 있다.
- [0033] 산화물 반도체를 이용한 트랜지스터를 메모리셀에 적용함으로써, 매우 장기에 걸쳐 기억한 정보를 유지하는 것이 가능해진다. 즉, 리프레쉬 동작이 불필요해지거나, 또는, 리프레쉬 동작의 빈도를 매우 낮게 하는 것이 가능해지므로, 반도체 장치의 소비 전력을 저감할 수 있다. 또한, 전력의 공급이 없는 경우에도, 장기간에 걸쳐 기억 내용을 유지하는 것이 가능해진다.
- [0034] 산화물 반도체를 이용한 트랜지스터와, 고속 동작 가능한 산화물 반도체 이외의 재료를 이용한 트랜지스터를 조합하여 이용함으로써, 고속 동작이 요구되는 각종 회로(논리 회로, 구동 회로 등)를 적절히 실현하는 것이 가능하다.

도면의 간단한 설명

- [0035] 도 1은, 반도체 장치의 회로도이다.
- 도 2는, 반도체 장치의 동작에 관한 타이밍 차트이다.
- 도 3은, 반도체 장치의 회로도이다.
- 도 4는, 반도체 장치의 단면도 및 평면도이다.
- 도 5는, 반도체 장치의 제작 공정에 관한 단면도이다.
- 도 6은, 반도체 장치의 제작 공정에 관한 단면도이다.
- 도 7은, 반도체 장치의 단면도 및 평면도이다.
- 도 8은, 반도체 장치의 제작 공정에 관한 단면도이다.
- 도 9는, 반도체 장치의 단면도 및 평면도이다.
- 도 10은, 반도체 장치의 제작 공정에 관한 단면도이다.
- 도 11은, 반도체 장치의 제작 공정에 관한 단면도이다.
- 도 12는, 반도체 장치를 이용한 전자 기기를 설명하기 위한 도면이다.
- 도 13은, 산화물 반도체를 이용한 트랜지스터의 특성을 나타낸 도면이다.

도 14은, 산화물 반도체를 이용한 트랜지스터의 특성 평가용 회로도이다.

도 15는, 산화물 반도체를 이용한 트랜지스터의 특성 평가용 타이밍 차트이다.

도 16은, 산화물 반도체를 이용한 트랜지스터의 특성을 나타낸 도면이다.

도 17은, 산화물 반도체를 이용한 트랜지스터의 특성을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 본 발명의 실시형태의 일 예에 대해, 도면을 이용하여 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 취지 및 그 범위에서 벗어나는 일 없이 그 형태 및 상세한 내용을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 나타낸 실시형태의 기재 내용에 한정되어 해석되어서는 안 된다.
- [0037] 트랜지스터는 반도체 소자의 일종으로, 전류나 전압의 증폭이나, 도통 또는 비도통을 제어하는 스위칭 동작 등을 실현할 수 있다. 본 명세서에서의 트랜지스터는, IGFET(Insulated Gate Field Effect Transistor)나 박막 트랜지스터(TFT:Thin Film Transistor)를 포함한다.
- [0038] 한편, 도면 등에서 나타낸 각 구성의, 위치, 크기, 범위 등은, 이해를 돕기 위해, 실제 위치, 크기, 범위 등을 표시하지 않는 경우가 있다. 따라서, 개시하는 발명은, 반드시, 도면 등에 개시된 위치, 크기, 범위 등에 한정되지 않는다. 또한, 회로도에서는, 산화물 반도체를 이용한 트랜지스터임을 나타내기 위해, OS 부호를 함께 표기하는 경우가 있다.
- [0039] 한편, 본 명세서 등에서의 '제 1', '제 2', '제 3' 등의 서수는, 구성 요소의 혼동을 피하기 위해 부여한 것으로, 수적으로 한정하는 것이 아님을 밝혀둔다.
- [0040] (실시형태 1)
- [0041] 본 실시형태에서는, 개시하는 발명의 일 양태에 관한 반도체 장치의 회로 구성 및 그 동작에 대해, 도 1 내지 도 3을 참조하여 설명한다. 본 실시형태에서는, 트랜지스터에 n형 트랜지스터(n채널형 트랜지스터)를 이용하는 경우에 대해 설명한다.
- [0042] 도 1(A)에, 본 실시형태에서 개시하는 반도체 장치의 회로 구성을 나타낸다. 도 1(A)에 나타낸 반도체 장치는, 제 1 트랜지스터(201)와, 제 2 트랜지스터(202)를 포함하는 불휘발성의 메모리셀(200)을 갖는다. 도 1(A)에서, 제 1 배선(211)(읽기 신호선(RL)이라고도 함)과, 제 1 트랜지스터(201)(TR_R 이라고도 함)의 소스 전극 또는 드레인 전극 중 한쪽은, 전기적으로 접속되어 있다. 제 2 트랜지스터(202)(트랜지스터(TR_W)라고도 함)의 소스 전극 또는 드레인 전극 중 한쪽과, 제 1 트랜지스터(201)의 게이트 전극은, 전기적으로 접속되어 있다. 제 2 배선(212)(비트선(BL)이라고도 함)과, 제 1 트랜지스터(201)의 소스 전극 또는 드레인 전극 중 다른 한쪽과, 제 2 트랜지스터(202)의 소스 전극 또는 드레인 전극 중 다른 한쪽은, 전기적으로 접속되어 있다. 제 3 배선(213)(워드선(WL)이라고도 함)과, 제 2 트랜지스터(202)의 게이트 전극은, 전기적으로 접속되어 있다. 제 1 트랜지스터(201)는 읽기용 트랜지스터로 기능하고, 제 2 트랜지스터(202)는 쓰기용 트랜지스터로 기능한다. 도 1(A)에 나타낸 반도체 장치는, 1개의 메모리셀에 3개의 배선이 접속되는 3 단자형의 반도체 장치이다.
- [0043] 쓰기용의 제 2 트랜지스터(202)의 오프 전류는, 사용 시의 온도(예를 들어, 25℃)에서 $100\text{zA}(1 \times 10^{-19}\text{A})$ 이하, 바람직하게는 $10\text{zA}(1 \times 10^{-20}\text{A})$ 이하, 더욱 바람직하게는, $1\text{zA}(1 \times 10^{-21}\text{A})$ 이하인 것이 바람직하다. 통상의 실리콘 반도체에서는, 상기와 같이 낮은 오프 전류를 얻기는 곤란하나, 산화물 반도체는, 에너지갭이 3.0~3.5eV로 크고, 산화물 반도체를 적절한 조건에서 가공하여 얻어진 트랜지스터에서는 달성할 수 있다. 이로써, 쓰기용 트랜지스터로, 산화물 반도체를 포함하는 트랜지스터를 이용하는 것이 바람직하다.
- [0044] 나아가 산화물 반도체를 포함하는 트랜지스터는 서브 스레숄드 스윙값(S 값)이 작고, 이 트랜지스터를 쓰기용 트랜지스터로 이용함으로써, 메모리셀로의 쓰기 펄스의 상승을 매우 급격하게 할 수 있다.
- [0045] 본 실시형태에서는, 쓰기용의 제 2 트랜지스터(202)에, 산화물 반도체를 이용한 트랜지스터를 적용한다. 산화물 반도체를 이용한 트랜지스터는, 오프 상태에서의 소스와 드레인 간의 리크 전류(오프 전류)가 매우 작다는 특징을 갖는다. 따라서, 제 2 트랜지스터(202)를 오프 상태로 함으로써, 제 2 트랜지스터(202)의 소스 전극 또

는 드레인 전극 중 한쪽과, 제 1 트랜지스터(201)의 게이트 전극과 이 전기적으로 접속된 노드(281)(노드(ND)라고도 함)의 전하를 매우 장시간에 걸쳐 유지하는 것이 가능해진다.

[0046] 읽기용의 제 1 트랜지스터(201)로는, 읽기 속도를 높이기 위해, 고속으로 동작하는 트랜지스터를 이용하는 것이 바람직하다. 예를 들어, 읽기용 트랜지스터로 스위칭 속도가 1나노초 이하의 트랜지스터를 이용하는 것이 바람직하다.

[0047] 제 1 트랜지스터(201)에는, 제 2 트랜지스터(202)만큼의 오프 전류의 제한은 없으며, 메모리셀의 동작 속도를 고속화하기 위해, 제 2 트랜지스터(202)보다 스위칭 속도가 빠른(예를 들어, 전계 효과 이동도의 값이 큰) 트랜지스터를 이용할 수 있다. 즉, 제 1 트랜지스터(201)에는, 산화물 반도체 이외의 반도체 재료를 이용한 트랜지스터를 적용할 수 있다. 한편, 선택하는 반도체 재료에 따라서는, 제 1 트랜지스터(201)의 오프 전류는 제 2 트랜지스터(202)의 오프 전류보다 높아질 수 있다. 제 1 트랜지스터(201)에 이용하는 반도체 재료로는, 예를 들어, 실리콘, 게르마늄, 실리콘 게르마늄, 탄화 실리콘, 또는 갈륨 비소 등을 이용할 수 있다. 그 외에, 유기 반도체 재료 등을 이용하여도 좋다. 이와 같은 반도체 재료를 이용한 제 1 트랜지스터(201)는, 충분한 고속 동작이 가능하므로, 기억한 정보의 읽기 등을 고속으로 행하는 것이 가능하다. 즉, 반도체 장치의 고속 동작이 실현된다.

[0048] 한편, 제 2 트랜지스터(202)가 오프 상태인 경우, 노드(281)는 절연체 중에 매설된(이른바, 부유 상태) 것으로 볼 수 있고, 노드(281)에는 전하가 유지된다. 즉, 노드(281)는, 불휘발성 메모리 소자로 이용되는 플로팅 게이트형 트랜지스터의 플로팅 게이트와 동등한 작용을 나타낸다. 산화물 반도체를 이용한 제 2 트랜지스터(202)의 오프 전류는, 실리콘 반도체 등으로 형성되는 트랜지스터의 10만 분의 1 이하이므로, 제 2 트랜지스터(202)의 리크에 의한, 노드(281)에 축적되는 전하의 소실을 무시하는 것이 가능하다. 즉, 산화물 반도체를 이용한 제 2 트랜지스터(202)에 의해, 불휘발성의 메모리셀을 실현하는 것이 가능하다.

[0049] 또한, 제 2 트랜지스터(202)의 오프 전류가 예를 들어 실질적으로 0이면, 종래의 DRAM에서 필요로 한 리프레쉬 동작이 불필요해지거나, 또는, 리프레쉬 동작의 빈도를 매우 낮게 (예를 들어, 1개월 내지 1년에 한 번 정도)하는 것이 가능해 지고, 반도체 장치의 소비 전력을 충분히 저감할 수 있다.

[0050] 또한, 본 실시형태에서 개시하는 반도체 장치는, 메모리셀로의 정보의 다시 쓰기에 의해 직접적으로 정보를 다시 쓰는 것이 가능하다. 이로써 플래시 메모리 등에서 필요로 하는 제거 동작이 불필요하고, 제거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다. 즉, 반도체 장치의 고속 동작이 실현된다. 또한, 종래의 플로팅 게이트형 트랜지스터에서 쓰기나 제거 시에 필요로 하는 높은 전압을 필요로 하지 않으므로, 반도체 장치의 소비 전력을 더욱 저감할 수 있다.

[0051] 이어서, 메모리셀(200)로의 정보의 쓰기 (다시 쓰기) 동작에 대해 설명한다. 우선, 쓰기 대상으로 선택된 메모리셀(200)에 접속하는 제 3 배선(213)(워드선(WL))의 전위를, 쓰기용 트랜지스터인 제 2 트랜지스터(202)가 온 상태가 되는 전위로 하여, 제 2 트랜지스터(202)를 온 상태로 한다. 여기서는, 제 3 배선(213)에 하이 레벨 전위(V_{WLH})가 공급된다. 이에 따라, 선택된 메모리셀(200)에 접속하는 제 2 배선(212)(비트선(BL))의 전위가 노드(281)(노드(ND))에 공급된다. 여기서는, 로우 레벨 전위(V_{BLL}), 또는 하이 레벨 전위(V_{BLH})가 공급된다. 그 후, 제 3 배선(213)의 전위를, 제 2 트랜지스터(202)가 오프 상태가 되는 전위로 하여, 제 2 트랜지스터(202)를 오프 상태로 함으로써, 노드(281)가 부유 상태가 되므로, 노드(281)에는 소정의 전하가 유지된 채의 상태가 된다. 이상과 같이, 노드(281)에 소정량의 전하를 축적 및 유지시킴으로써, 메모리셀(200)에 정보를 기억시킬 수 있다 (쓰기 모드).

[0052] 이때, 읽기용 트랜지스터인 제 1 트랜지스터(201)가 항상 오프 상태가 되어 있는 것이 중요하다. 만일, 노드(281)에 V_{BLH} , 또는 V_{BLL} 이 공급되었을 때, 제 1 트랜지스터(201)가 온 상태가 되면, 제 1 트랜지스터(201)를 통해 제 1 배선(211)(읽기 신호선(RL))과, 제 2 배선(212)이 도통 상태가 된다. 이렇게 되면, 제 1 배선(211)의 전위가 제 2 배선(212)의 전위와 간섭하게 되므로, 올바른 정보가 노드(281)에 공급되지 않게 된다.

[0053] 제 1 배선(211)에는, 로우 레벨 전위(V_{RLH}), 또는 하이 레벨 전위(V_{RLH})가 공급되나, 쓰기 동작 시는 항상 하이 레벨 전위(V_{RLH})가 공급된다. 제 1 트랜지스터(201)의 역치 전압을 V_{th1} 로 하면, 쓰기 동작 시에 제 1 트랜지스터(201)가 오프 상태를 유지하기 위해, V_{BLH} , V_{RLH} , 및 V_{th1} 을 식 1을 만족하는 관계로 한다.

- [0054] [식 1]
- [0055] $V_{BLH}-V_{RLH}<V_{th1}\dots$ 식 1
- [0056] 또한, 노드(281)에 V_{BLH} 가 쓰여진 비선택 메모리셀이 있을 때, 이 비선택 메모리셀과 제 2 배선(212)을 공용하고 있는 다른 메모리셀이 선택되고, 선택 메모리셀에 V_{BLL} 을 기입하기 위해, 제 2 배선(212)에 V_{BLL} 이 공급되는 경우가 있다. 이때, 이 비선택 메모리셀의 제 1 트랜지스터(201)가 오프 상태를 유지하기 위해, V_{BLH} , V_{BLL} , 및 V_{th1} 을 식 2를 만족하는 관계로 한다. 식 2는, 비트선에 공급되는 하이 레벨 전위와 로우 레벨 전위의 전위차를, 제 1 트랜지스터(201)의 역치 전압 미만으로 할 필요가 있음을 나타내고 있다.
- [0057] [식 2]
- [0058] $V_{BLH}-V_{BLL}<V_{th1}\dots$ 식 2
- [0059] 본 실시형태에서 나타낸 반도체 장치는, 플로팅 게이트형 트랜지스터와 같이 쓰기(다시 쓰기) 시에 게이트 절연막(터널 절연막) 중을 전하가 이동하는 것이 아니라, 제 2 트랜지스터(202)의 스위칭 동작에 의해 전하의 이동이 일어나므로, 원리적인 쓰기 횟수의 제한이 존재하지 않고, 다시 쓰기 내성이 매우 높다. 또한, 플로팅 게이트형 트랜지스터에서 쓰거나 제거 시에 필요했던 고전압도 불필요해지므로, 반도체 장치의 저전력화를 실현할 수 있다.
- [0060] 다음으로, 메모리셀에 기억된 정보를 읽는 읽기 동작에 대해 설명한다. 우선, 제 3 배선(213)의 전위를, 쓰기용 트랜지스터인 제 2 트랜지스터(202)가 오프 상태가 되는 전위로 하여, 제 2 트랜지스터(202)를 오프 상태로 한다. 여기서는, 제 3 배선(213)에 로우 레벨 전위(V_{RL})가 공급된다. 이어서, 제 2 배선(212)에 전하를 공급하고(프리 차지), 제 2 배선(212)의 전위를 V_{BLH} 로 한다. 이어서, 읽기 대상 메모리셀의 제 1 배선(211)에, 읽기 전위로 로우 레벨 전위(V_{RL})를 공급하고, 이때의 제 2 배선(212)의 전위를 검출함으로써, 메모리셀에 기억된 정보를 읽을 수 있다(읽기 모드). 한편, 프리 차지에 의해 제 2 배선(212)에 공급하는 전위는, 이 전위와 노드(281)로 유지되는 전위와의 전위차가 V_{th1} 보다 작고, 또한, 읽기 전위와 다른 전위이면, 이에 한정되지 않는다.
- [0061] 제 1 배선(211)의 로우 레벨 전위(V_{RL})는, 식 3 및 식 4를 만족하도록 설정한다.
- [0062] [식 3]
- [0063] $V_{BLH}-V_{RL}>V_{th1}\dots$ 식 3
- [0064] [식 4]
- [0065] $V_{BLL}-V_{RL}<V_{th1}\dots$ 식 4
- [0066] 즉, 식 3은, 노드(281)에 V_{BLH} 가 유지되어 있는 경우에, 제 1 배선(211)에 V_{RL} 이 공급되면, 제 1 트랜지스터(201)의 게이트 전극과, 제 1 배선(211)이 접속되어 있는 소스 전극 또는 드레인 전극 중 한쪽과의 전위차가, 역치 전압보다 커지고, 제 1 트랜지스터(201)가 온 상태가 되는 것을 나타내고 있다. 제 1 트랜지스터(201)가 온 상태가 되면, 제 1 트랜지스터(201)를 통해 제 1 배선(211)의 로우 레벨 전위(V_{RL})가 제 2 배선(212)에 공급된다.
- [0067] 또한, 식 4는, 노드(281)에 V_{BLL} 이 유지되어 있는 경우에, 제 1 배선(211)에 V_{RL} 이 공급되어도, 제 1 트랜지스터(201)의 게이트 전극과, 제 1 배선(211)이 접속되어 있는 소스 전극 또는 드레인 전극 중 한쪽과의 전위차가 역치 전압 미만이므로, 제 1 트랜지스터(201)는 오프 상태 그대로인 것을 나타내고 있다. 즉, 제 2 배선(212)의 전위는, 프리 차지된 전위(여기서는 V_{BLH}) 그대로가 된다.
- [0068] 또한, 식 3 및 식 4에서, 읽기 전위인 로우 레벨 전위(V_{RL})의 설정 범위를, 식 5로 구할 수 있다.
- [0069] [식 5]

- [0070] $V_{BLL}-V_{th1}<V_{RLL}<V_{BLH}-V_{th1}\dots$ 식 5
- [0071] 또한, 읽기 전위인 V_{RLL} 은, 식 6을 만족하도록 설정하면 적합하다.
- [0072] [식 6]
- [0073] $V_{RLL}=(V_{BLH}+V_{BLL})/2-V_{th1}\dots$ 식 6
- [0074] 또한, 제 3 배선(213)(워드선(WL))에는, 제 2 트랜지스터(202)를 온 상태로 하는 하이 레벨 전위(V_{WLH}), 또는 제 2 트랜지스터(202)를 오프 상태로 하는 로우 레벨 전위(V_{WLL})가 공급된다. 제 2 트랜지스터(202)의 역치 전압을 V_{th2} 로 하면, 하이 레벨 전위(V_{WLH})는 식 7을, 로우 레벨 전위(V_{WLL})는 식 8을 만족하도록 결정된다.
- [0075] [식 7]
- [0076] $V_{WLH}>V_{th2}+V_{BLH}\dots$ 식 7
- [0077] [식 8]
- [0078] $V_{WLL}<V_{th2}+V_{BLL}\dots$ 식 8
- [0079] 한편, 읽기 모드에서 제 1 배선(211)에 로우 레벨 전위(V_{RLL})가 공급되면, 제 1 배선(211)에 접속되어 있는 다른 메모리셀 중, 노드(281)가 V_{BLH} 가 되어 있는 메모리셀의 제 1 트랜지스터(201)도 온 상태가 되나, 노드(281)는 부유 상태이므로, 노드(281)로 유지된 전하는 유지된 상태가 된다.
- [0080] 여기서, 상기 3 단자형의 반도체 장치에서의 쓰기 모드, 및 읽기 모드의 동작에 대해, 도 2에 나타난 타이밍 차트를 이용하여, 보다 구체적으로 설명한다. 도 2에 나타난 타이밍 차트는, 도면에 나타난 각 부위의 전위 또는 상태의 시간 변화를 나타낸다. 도 2에서는, TR_W 및 TR_R 의 역치 전압을 모두 2V로 하고, V_{WLH} 의 전위를 4V로 하고, V_{WLL} 의 전위를 0V로 하고, V_{BLH} 의 전위를 1V로 하고, V_{BLL} 의 전위를 0V로 하고, V_{RLH} 의 전위를 1V로 하고, V_{RLL} 의 전위를 -1.5V로 하고, 읽기 모드 시에 비트선에 공급된 프리 차지 전압을 V_{BLH} 로 한 예를 나타낸다.
- [0081] 도 2(A)는, 쓰기 모드의 동작을 설명하는 타이밍 차트이다. 여기서, 노드(ND)에 하이 레벨 전위(V_{BLH})를 유지시키는 동작에 대해 설명한다. 우선, 제 1 동작으로, 워드선(WL)의 전위를 V_{WLH} 로 하고, 트랜지스터(TR_W)를 온 상태로 한다. 다음으로, 제 2 동작으로, 비트선(BL)의 전위를 V_{BLH} 로 하면, 트랜지스터(TR_W)를 통해, 노드(ND)에 V_{BLH} 가 공급된다. 다음으로, 제 3 동작으로, 워드선(WL)의 전위를 V_{WLL} 로 하고, 트랜지스터(TR_W)를 오프 상태로 한다. 노드(ND)에 공급된 전하는, 트랜지스터(TR_W)가 오프 상태가 되어도 유지된다.
- [0082] 단, 트랜지스터(TR_W)가 오프 상태가 되기 전에, 비트선(BL)의 전위가 변동하게 되면, 노드(ND)의 전위가 올바르게 유지되지 않을 가능성이 있다. 비트선(BL)의 전위를 변동시키는 경우는, 트랜지스터(TR_W)를 오프 상태로 하여 행할 필요가 있다. 제 3 동작 이후에, 비트선(BL)의 전위가 변동하여도, 노드(ND)에 공급된 전하는 유지된 상태가 된다.
- [0083] 또한, 제 1 동작과, 제 2 동작은, 순서를 바꾸어 행하는 것이 가능하다.
- [0084] 또한, 쓰기 모드 중에는, 읽기 신호선(RL)의 전위를 항상 V_{RLH} 로 하고, 트랜지스터(TR_R)를 항상 오프 상태로 한다. 여기서는 V_{RLH} 를 1V로 하고, V_{BLH} 의 전위를 1V로 하고, V_{BLL} 의 전위를 0V로 하므로, 상기 식 1을 만족하고, 트랜지스터(TR_R)가 오프 상태가 된다.
- [0085] 한편, 노드(ND)에 로우 레벨 전위(V_{BLL})를 유지시키는 동작은, 도 2(A) 중의 V_{BLH} 와 V_{BLL} 을 서로 치환함으로써 설명할 수 있다.
- [0086] 도 2(B)는, 읽기 모드의 동작을 설명하는 타이밍 차트이다. 여기서, 노드(ND)에 하이 레벨 전위(V_{BLH})가 유지되어 있는 경우의 동작에 대해 설명한다. 우선, 제 1 동작으로, 워드선(WL)의 전위를 V_{WLL} 로 하고, 트랜지스터(TR_W)를 오프 상태로 한다. 다음으로, 제 2 동작으로, 비트선(BL)에 전하를 공급하고(프리 차지), V_{RLL} 과 다른

전위로 한다. 여기서는, 비트선(BL)의 전위가 $V_{BLH}(1V)$ 가 되도록 프리 차지한다. 다음으로, 제 3 동작으로, 읽기 신호선(RL)의 전위를 V_{RL} 로 한다. 여기서는, V_{BLH} 의 전위를 1V로 하고, V_{RL} 의 전위를 -1.5V로 하므로, 상기 식 3을 만족하고, 트랜지스터(TR_R)가 온 상태가 된다. 트랜지스터(TR_R)가 온 상태가 되면, 트랜지스터(TR_R)를 통해, 비트선(BL)에 V_{RL} 이 공급된다.

- [0087] 노드(ND)에 로우 레벨 전위(V_{BL})가 유지되어 있는 경우는, 식 3은 만족하지 않고, 식 4를 만족하므로, 비트선(BL)에 V_{RL} 이 공급되지 않고, 프리 차지에 의해 설정된 전위, 여기서는 V_{BLH} 의 상태가 된다. 이와 같이, 읽기 신호선(RL)의 전위를 V_{RL} 로 했을 때의, 비트선(BL)의 전위를 검출함으로써, 노드(ND)에 유지되어 있는 정보를 읽을 수 있다.
- [0088] 노드(ND)에 유지되어 있는 전하는, 읽기 모드의 동작 중, 및 읽기 모드 후에도 영향을 받지 않으며, 쓰기 모드에 의해 새로운 전하에 다시 쓰여질 때까지 유지된다. 트랜지스터(TR_W)는 산화물 반도체를 이용한 오프 전류가 매우 작은 트랜지스터이므로, 노드(ND)의 전하를 매우 장시간에 걸쳐 유지하는 것이 가능해진다.
- [0089] 한편, 이른바 플래쉬 메모리에서는, 컨트롤 게이트의 전위의 영향이, 인접하는 셀의 플로팅 게이트에 미치는 것을 막기 위해, 셀과 셀 사이의 간격을 어느 정도 유지할 필요가 생긴다. 이것은, 반도체 장치의 고집적화를 저해하는 요인의 하나이다. 그리고 이 요인은, 고전계를 걸어 터널 전류를 발생시킨다고 하는 플래쉬 메모리의 근본적인 원리에 기인하는 것이다.
- [0090] 또한, 플래쉬 메모리의 상기 원리에 의해, 게이트 절연막의 열화가 진행되고, 다시 쓰기 횟수의 한계(10000회 정도)라는 별도의 문제도 생긴다.
- [0091] 개시하는 발명에 관한 반도체 장치는, 산화물 반도체를 이용한 트랜지스터의 스위칭에 의해 동작하고, 상기과 같은 터널 전류에 의한 전하 주입의 원리를 이용하지 않는다. 즉, 플래쉬 메모리와 같은, 전하를 주입하기 위한 고전계가 불필요하다. 이에 따라, 인접 셀에 대한, 컨트롤 게이트에 의한 고전계의 영향을 고려할 필요가 없으므로, 고집적화가 용이해진다.
- [0092] 또한, 터널 전류에 의한 전하의 주입을 이용하지 않으므로, 메모리셀의 열화의 원인이 존재하지 않는다. 즉, 플래쉬 메모리와 비교하여 높은 내구성 및 신뢰성을 갖게 된다.
- [0093] 또한, 고전계가 불필요하고, 대형의 주변 회로(승압 회로 등)가 불필요한 점도, 플래쉬 메모리에 대한 장점이다.
- [0094] 한편, 상기 설명은, 전자를 다수 캐리어로 하는 n형 트랜지스터(n채널형 트랜지스터)를 이용하는 경우에 대한 것이나, n형 트랜지스터 대신, 정공을 다수 캐리어로 하는 p형 트랜지스터를 이용할 수 있다는 것은 당연하다. 트랜지스터를 p형 트랜지스터로 구성하는 경우는, 상기 동작 원리를 감안하여, 각 배선에 공급하는 전위를 결정하면 된다.
- [0095] 도 1(B)에, 도 1(A)에 나타낸 반도체 장치를 이용한, $m \times n$ 비트의 기억 용량을 갖는 반도체 장치의 회로도의 일 예를 나타낸다. 도 1(B)은, 메모리셀(1200)이 병렬로 접속된, 이른바 NOR형의 반도체 장치의 회로도이다.
- [0096] 도 1(B)에 나타낸 반도체 장치는, m개의 워드선(WL), 및 m개의 읽기 신호선(RL)과, n개의 비트선(BL)과, 복수의 메모리셀(1200)이 세로 m개(행) \times 가로 n개(열)(m, n은 자연수)의 매트릭스형으로 배치된 메모리셀 어레이와, 제 1 구동 회로(1211)와, 제 2 구동 회로(1212)와, 제 3 구동 회로(1213) 등의 주변 회로에 의해 구성되어 있다. 여기서, 메모리셀(1200)로는, 도 1(A)에 나타낸 구성이 적용된다.
- [0097] 즉, 각 메모리셀(1200)은, 읽기용 트랜지스터로 기능하는 제 1 트랜지스터(1201), 쓰기용 트랜지스터로 기능하는 제 2 트랜지스터(1202)를 갖는다. 제 1 트랜지스터(1201)의 게이트 전극과, 제 2 트랜지스터(1202)의 소스 전극 또는 드레인 전극 중 한쪽은 전기적으로 접속되고, 읽기 신호선(RL)과, 제 1 트랜지스터(1201)의 소스 전극 또는 드레인 전극 중 한쪽은 전기적으로 접속되고, 비트선(BL)과, 제 1 트랜지스터(1201)의 소스 전극 또는 드레인 전극 중 다른 한쪽과, 제 2 트랜지스터(1202)의 소스 전극 또는 드레인 전극 중 다른 한쪽은 전기적으로 접속되고, 워드선(WL)과, 제 2 트랜지스터(1202)의 게이트 전극은 접속되어 있다.
- [0098] 또한, i행j열의 메모리셀(1200)(i, j)(i는 1 이상 m 이하의 정수, j는 1 이상 n 이하의 정수)은, 읽기 신호선(RL)(i), 비트선(BL)(j), 워드선(WL)(i), 에 각각 접속되어 있다.

- [0099] 비트선(BL)은, 제 2 구동 회로(1212)와 접속되어 있고, 읽기 신호선(RL)은 제 1 구동 회로(1211)와 접속되어 있고, 워드선(WL)은, 제 3 구동 회로(1213)와 접속되어 있다. 한편, 여기서는, 제 2 구동 회로(1212), 제 1 구동 회로(1211), 제 3 구동 회로(1213)가 각각 독립되어 형성되어 있으나, 어느 하나, 또는 복수의 기능을 갖는 디코더를 이용하여도 좋다.
- [0100] 한편, 상기 설명은, 전자를 다수 캐리어로 하는 n형 트랜지스터(n채널형 트랜지스터)를 이용하는 경우에 대한 것이나, n형 트랜지스터 대신, 정공을 다수 캐리어로 하는 p형 트랜지스터를 이용할 수 있다는 것은 당연하다. 트랜지스터를 p형 트랜지스터로 구성하는 경우는, 상기 동작 원리를 감안하여, 각 배선에 공급하는 전위를 결정하면 된다.
- [0101] 본 실시형태에서 개시하는 반도체 장치는, 동작 원리상, DRAM에서 필수가 되는 캐패시터를 이용하지 않는 구성이므로, 단위 메모리셀 당 면적이 삭감 가능해 지고, 고집적화가 가능해진다. 나아가, 쓰기용 트랜지스터와 읽기용 트랜지스터에서 공통의 비트선(BL)을 사용함으로써, 단위 메모리셀 당 배선 수를 삭감할 수 있다. 이로써, 추가적인, 단위 메모리셀 당 면적 삭감 및 메모리셀의 고집적화가 가능해진다. 예를 들어, 최소 가공 치수를 F로 하여, 메모리셀이 차지하는 면적을 $15F^2 \sim 25F^2$ 로 하는 것이 가능해진다.
- [0102] 한편, 상기에서는, 산화물 반도체를 이용하여 오프 전류가 적은 쓰기용 트랜지스터를 실현하였으나, 개시하는 발명은 이에 한정되지 않는다. 산화물 반도체와 동등한 오프 전류 특성을 실현할 수 있는 재료, 예를 들어, 탄화 실리콘을 비롯한 와이드갭 재료($E_g > 3\text{eV}$) 등을 적용하여도 좋다.
- [0103] 한편, 본 실시형태에 나타난 구성, 방법 등은, 다른 실시형태에 나타난 구성, 방법 등과 적절히 조합하여 이용할 수 있다.
- [0104] 도 3에, 메모리셀에 기억되어 있는 데이터를 읽기 위한, 읽기 회로의 개략을 나타낸다. 이 읽기 회로는, 트랜지스터와 센스 앰프 회로를 갖는다.
- [0105] 읽기 시에는, 단자(A)는 읽기를 하는 메모리셀이 접속된 비트선(BL)에 접속된다. 또한, 트랜지스터의 게이트 전극에는 바이어스 전위(V_{bias})가 인가되고, 단자(A)의 전위가 제어된다.
- [0106] 센스 앰프 회로는, 단자(A)의 전위가 참조 전위(V_{ref})(예를 들어, 0V)보다 높으면 하이 데이터를 출력하고, 단자(A)의 전위가 참조 전위(V_{ref})보다 낮으면 로우 데이터를 출력한다. 우선, 트랜지스터를 온 상태로 하여, 단자(A)에 접속된 비트선(BL)에 V_{BLH} 의 전위를 프리 차지한다. 다음으로, 읽기를 행하는 메모리셀을 읽기 모드로 하고, 단자(A)에 접속된 비트선(BL)의 전위를, 참조 전위(V_{ref})와 비교하면, 메모리셀에 기억된 정보에 따라, 하이 데이터 또는 로우 데이터를 출력한다.
- [0107] 이와 같이, 읽기 회로를 이용함으로써, 메모리셀에 기억되어 있는 데이터를 읽을 수 있다. 한편, 본 실시형태의 읽기 회로는 일 예이다. 다른 공지의 회로를 이용하여도 좋다.
- [0108] 본 실시형태에 나타난 구성, 방법 등은, 다른 실시형태에 나타난 구성, 방법 등과 적절히 조합하여 이용할 수 있다.
- [0109] (실시형태 2)
- [0110] 본 실시형태에서는, 개시하는 발명의 일 양태에 관한 반도체 장치의 구성 및 그 제작 방법에 대해, 도 4 내지 도 6을 참조하여 설명한다.
- [0111] <반도체 장치의 단면 구성 및 평면 구성>
- [0112] 도 4는, 반도체 장치의 구성의 일 예이다. 도 4(A)에는, 반도체 장치의 단면을, 도 4(B)에는, 반도체 장치의 평면을, 각각 나타낸다. 여기서, 도 4(A)는, 도 4(B)의 A1-A2 및 B1-B2에서의 단면에 상당한다. 도 4(A) 및 도 4(B)에 나타난 반도체 장치는, 산화물 반도체 이외의 반도체 재료를 이용한 트랜지스터(101)와, 산화물 반도체를 이용한 트랜지스터(102)를 갖는 것이다. 산화물 반도체 이외의 반도체 재료를 이용한 트랜지스터는, 고속 동작이 용이하다. 한편으로, 산화물 반도체를 이용한 트랜지스터는, 그 특성에 의해 장시간의 전하 유지를 가능하게 한다. 한편, 트랜지스터(101)는 읽기용 트랜지스터(TR_R)로 기능하고, 트랜지스터(102)는 쓰기용 트랜지스터(TR_W)로 기능한다.

- [0113] 한편, 상기 트랜지스터는, 모두 n채널형 트랜지스터인 것으로 설명하였으나, p채널형 트랜지스터를 이용할 수 있다는 것은 당연하다. 또한, 반도체 장치의 구체적인 구성을 여기서 나타내는 것으로 한정할 필요는 없다.
- [0114] 도 4에서의 트랜지스터(101)는, 반도체 재료(예를 들어, 실리콘 등)를 포함하는 기판(100)에 형성된 채널 형성 영역(116)과, 채널 형성 영역(116)을 끼우도록 형성된 불순물 영역(114) 및 고농도 불순물 영역(120)(이들을 합쳐서 단순히 불순물 영역이라고도 함)과, 채널 형성 영역(116) 위에 형성된 게이트 절연층(108)과, 게이트 절연층(108) 위에 형성된 게이트 전극(110)과, 불순물 영역과 전기적으로 접속하는 소스 전극 또는 드레인 전극(130a), 및 소스 전극 또는 드레인 전극(130b)을 갖는다. 또한, 소스 전극 또는 드레인 전극(130a), 및 소스 전극 또는 드레인 전극(130b) 위에는, 배선(142c), 및 배선(142d)을 갖는다.
- [0115] 여기서, 게이트 전극(110)의 측면에는 측벽 절연층(118)이 형성되어 있다. 또한, 기판(100)의, 표면에 수직인 방향에서 보았을 때 측벽 절연층(118)과 겹치지 않는 영역에는, 고농도 불순물 영역(120), 및 고농도 불순물 영역(120)에 접하는 금속 화합물 영역(124)이 존재한다. 또한, 기판(100) 위에는 트랜지스터(101)를 둘러싸도록 소자 분리 절연층(106)이 형성되어 있고, 트랜지스터(101)를 덮도록, 층간 절연층(126) 및 층간 절연층(128)이 형성되어 있다. 소스 전극 또는 드레인 전극(130a), 및 소스 전극 또는 드레인 전극(130b)은, 층간 절연층(126) 및 층간 절연층(128)에 형성된 개구를 통해, 금속 화합물 영역(124)과 전기적으로 접속되어 있다. 즉, 소스 전극 또는 드레인 전극(130a), 및 소스 전극 또는 드레인 전극(130b)은, 금속 화합물 영역(124)을 통해 고농도 불순물 영역(120) 및 불순물 영역(114)과 전기적으로 접속되어 있다. 또한, 전극(130c)은, 층간 절연층(126) 및 층간 절연층(128)에 형성된 개구를 통해, 게이트 전극(110)과 전기적으로 접속되어 있다. 한편, 트랜지스터(101)의 집적화 등을 위해, 측벽 절연층(118)이 형성되지 않는 경우도 있다.
- [0116] 도 4에서의 트랜지스터(102)는, 층간 절연층(128) 위에 형성된 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b)과, 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b)과 전기적으로 접속되어 있는 산화물 반도체층(144)과, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b), 산화물 반도체층(144)을 덮는 게이트 절연층(146)과, 게이트 절연층(146) 위에 산화물 반도체층(144)과 중첩하도록 형성된 게이트 전극(148)과, 를 갖는다.
- [0117] 여기서, 산화물 반도체층(144)은 수소 등의 불순물이 충분히 제거됨으로써, 또는, 충분한 산소가 공급됨으로써, 고순도화되어 있는 것이 바람직하다. 구체적으로는, 예를 들어, 산화물 반도체층(144)의 수소 농도는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다. 한편, 상기 산화물 반도체층(144) 중의 수소 농도는, 이차이온질량분석법(SIMS: Secondary Ion Mass Spectroscopy)으로 측정된 것이다.
- [0118] 이와 같이, 수소 농도가 충분히 저감되어 고순도화되고, 충분한 산소의 공급에 의해 산소 결핍에 기인하는 에너지 갭 중의 결함 준위가 저감된 산화물 반도체층(144)에서는, 캐리어 밀도가 $1 \times 10^{12} / \text{cm}^3$ 미만, 바람직하게는, $1 \times 10^{11} / \text{cm}^3$ 미만, 더욱 바람직하게는 $1.45 \times 10^{10} / \text{cm}^3$ 미만이 된다. 예를 들어, 실온(25℃)에서의 오프 전류(여기서는, 단위 채널 폭(1μm) 당 값)는, $100 \text{ zA}/\mu\text{m}$ (1zA(zepto 암페어)는 $1 \times 10^{-21} \text{ A}$) 이하, 바람직하게는, $10 \text{ zA}/\mu\text{m}$ 이하가 된다. 또한, 85℃에서는, $100 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-19} \text{ A}/\mu\text{m}$) 이하, 바람직하게는 $10 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-20} \text{ A}/\mu\text{m}$) 이하가 된다. 이와 같이, i형화(진성화) 또는 실질적으로 i형화된 산화물 반도체를 이용함으로써, 매우 우수한 오프 전류 특성의 트랜지스터(102)를 얻을 수 있다.
- [0119] 한편, 도 4의 트랜지스터(102)에서는, 산화물 반도체층(144)이 섬 모양으로 가공되지 않으므로, 가공 시의 에칭에 의한 산화물 반도체층(144)의 오염을 방지할 수 있다.
- [0120] 한편, 트랜지스터(102)에서, 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b)의 단부는, 테이퍼 형상인 것이 바람직하다. 여기서, 테이퍼각은, 예를 들어, 30° 이상 60° 이하로 한다. 한편, 테이퍼각이란, 테이퍼 형상을 갖는 층(예를 들어, 소스 전극 또는 드레인 전극(142a))을, 그 단면(기판의 표면과 직교하는 면)에 수직인 방향에서 관찰했을 때, 이 층의 측면과 저면이 이루는 경사각을 나타낸다. 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)의 단부를 테이퍼 형상으로 함으로써, 산화물 반도체층(144)의 피복성을 향상하고, 단절단을 방지할 수 있다.
- [0121] 또한, 트랜지스터(102)의 위에는, 층간 절연층(150)이 형성되어 있고, 층간 절연층(150) 위에는 층간 절연층(152)이 형성되어 있다.

- [0122] <반도체 장치의 제작 방법>
- [0123] 다음으로, 상기 반도체 장치의 제작 방법의 일 예에 대해 설명한다. 이하에서는, 우선 트랜지스터(101)의 제작 방법에 대해 도 5를 참조하여 설명하고, 그 후, 트랜지스터(102)의 제작 방법에 대해 도 6을 참조하여 설명한다.
- [0124] <트랜지스터(101)의 제작 방법>
- [0125] 우선, 반도체 재료를 포함하는 기판(100)을 준비한다(도 5(A) 참조). 반도체 재료를 포함하는 기판(100)으로는, 실리콘이나 탄화 실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수 있다. 여기서는, 반도체 재료를 포함하는 기판(100)으로, 단결정 실리콘 기판을 이용하는 경우의 일 예에 대해 나타내는 것으로 한다. 한편, 일반적으로 'SOI 기판'이란 절연 표면 위에 실리콘 반도체층이 형성된 구성의 기판을 말하나, 본 명세서 등에서는, 절연 표면 위에 실리콘 이외의 재료로 이루어진 반도체층이 형성된 구성의 기판도 포함하는 개념으로 이용한다. 즉, 'SOI 기판'이 갖는 반도체층은, 실리콘 반도체층에 한정되지 않는다. 또한, SOI 기판에는, 유리 기판 등의 절연 기판 위에 절연층을 통하여 반도체층이 형성된 구성의 것이 포함되는 것으로 한다.
- [0126] 기판(100) 위에는, 소자 분리 절연층을 형성하기 위한 마스크가 되는 보호층(105)을 형성한다(도 5(A) 참조). 보호층(105)으로는, 예를 들어, 산화 실리콘이나 질화 실리콘, 산질화 실리콘 등을 재료로 하는 절연층을 이용할 수 있다. 한편, 이 공정 전후에서, 트랜지스터의 역치 전압을 제어하기 위해, n형의 도전성을 부여하는 불순물 원소나 p형의 도전성을 부여하는 불순물 원소를 기판(100)에 첨가하여도 좋다. 반도체 재료가 실리콘인 경우, n형의 도전성을 부여하는 불순물로는, 예를 들어, 인이나 비소 등을 이용할 수 있다. 또한, p형의 도전성을 부여하는 불순물로는, 예를 들어, 붕소, 알루미늄, 갈륨 등을 이용할 수 있다.
- [0127] 다음으로, 상기 보호층(105)을 마스크로 에칭하고, 보호층(105)으로 덮여 있지 않은 영역(노출되어 있는 영역)의, 기판(100)의 일부를 제거한다. 이에 따라 다른 반도체 영역과 분리된 반도체 영역(104)이 형성된다(도 5(B) 참조). 이 에칭에는, 건식 에칭을 이용하는 것이 적합하나, 습식 에칭을 이용하여도 좋다. 에칭 가스나 에칭액에 대해서는 피에칭 재료에 따라 적절히 선택할 수 있다.
- [0128] 다음으로, 반도체 영역(104)을 덮도록 절연층을 형성하고, 반도체 영역(104)에 중첩하는 영역의 절연층을 선택적으로 제거함으로써, 소자 분리 절연층(106)을 형성한다(도 5(B) 참조). 이 절연층은, 산화 실리콘이나 질화 실리콘, 산질화 실리콘 등을 이용하여 형성된다. 절연층의 제거 방법으로는, CMP 등의 연마 처리나 에칭 처리 등이 있으나, 그 중 어느 하나를 이용하여도 좋다. 한편, 반도체 영역(104)의 형성 후, 또는, 소자 분리 절연층(106)의 형성 후에는, 상기 보호층(105)을 제거한다.
- [0129] 다음으로, 반도체 영역(104) 위에 절연층을 형성하고, 이 절연층 위에 도전 재료를 포함하는 층을 형성한다.
- [0130] 절연층은 후의 게이트 절연층이 되는 것으로, CVD법이나 스퍼터링법 등을 이용하여 얻어지는 산화 실리콘, 산질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈, 산화 이트륨, 하프늄 실리케이트(HfSi_xO_y ($x>0$, $y>0$)), 질소가 첨가된 하프늄 실리케이트(HfSi_xO_y ($x>0$, $y>0$)), 질소가 첨가된 하프늄 알루미늄에이트(HfAl_xO_y ($x>0$, $y>0$)) 등을 포함하는 막의 단층 구조 또는 적층 구조로 하면 된다. 그 외에, 고밀도 플라즈마 처리나 열산화 처리에 의해, 반도체 영역(104)의 표면을 산화, 또는 질화함으로써, 상기 절연층을 형성하여도 좋다. 고밀도 플라즈마 처리는, 예를 들어, He, Ar, Kr, Xe 등의 희가스와, 산소, 산화 질소, 암모니아, 질소, 수소 등의 혼합 가스를 이용하여 행할 수 있다. 또한, 절연층의 두께는, 예를 들어, 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 할 수 있다.
- [0131] 도전 재료를 포함하는 층은, 알루미늄이나 구리, 티탄, 탄탈, 텅스텐 등의 금속 재료를 이용하여 형성할 수 있다. 또한, 다결정 실리콘 등의 반도체 재료를 이용하여, 도전 재료를 포함하는 층을 형성하여도 좋다. 형성 방법도 특별히 한정되지 않으며, 증착법, CVD법, 스퍼터링법, 스펀코팅법 등의 각종 성막 방법을 이용할 수 있다. 한편, 본 실시형태에서는, 도전 재료를 포함하는 층을, 금속 재료를 이용하여 형성하는 경우의 일 예에 대해 나타내는 것으로 한다.
- [0132] 그 후, 절연층 및 도전 재료를 포함하는 층을 선택적으로 에칭하여, 게이트 절연층(108), 게이트 전극(110)을 형성한다(도 5(C) 참조).
- [0133] 다음으로, 게이트 전극(110)을 덮는 절연층(112)을 형성한다(도 5(C) 참조). 그리고, 반도체 영역(104)에 인

(P)이나 비소(As) 등을 첨가하여, 얇은 접합 깊이의 불순물 영역(114)을 형성한다(도 5(C) 참조). 한편, 여기서 n형 트랜지스터를 형성하기 위해 인이나 비소를 첨가하였으나, p형 트랜지스터를 형성하는 경우에는, 붕소(B)나 알루미늄(Al) 등의 불순물 원소를 첨가하면 된다. 상기 불순물 영역(114)의 형성에 의해, 반도체 영역(104)의 게이트 절연층(108) 하부에는, 채널 형성 영역(116)이 형성된다(도 5(C) 참조). 여기서, 첨가하는 불순물의 농도는 적절히 설정할 수 있으나, 반도체 소자가 고도로 미세화되는 경우에는, 그 농도를 높게 하는 것이 바람직하다. 또한, 여기서는, 절연층(112)을 형성한 후에 불순물 영역(114)을 형성하는 공정을 채용하였으나, 불순물 영역(114)을 형성한 후에 절연층(112)을 형성하는 공정으로 하여도 좋다.

[0134] 다음으로, 측벽 절연층(118)을 형성한다(도 5(D) 참조). 측벽 절연층(118)은, 절연층(112)을 덮도록 절연층을 형성한 후에, 이 절연층에 이방성이 높은 에칭 처리를 함으로써, 자기 정합적으로 형성할 수 있다. 또한, 이때, 절연층(112)을 부분적으로 에칭하여, 게이트 전극(110)의 상면과, 불순물 영역(114)의 상면을 노출시키는 것이 좋다. 한편, 측벽 절연층(118)은, 고집적화 등의 목적을 위해 형성되지 않는 경우도 있다.

[0135] 다음으로, 게이트 전극(110), 불순물 영역(114), 측벽 절연층(118) 등을 덮도록, 절연층을 형성한다. 그리고, 불순물 영역(114)의 일부 영역에 인(P)이나 비소(As) 등을 첨가하여, 불순물 영역(114)과 접하는 고농도 불순물 영역(120)을 형성한다(도 5(E) 참조). 그 후, 상기 절연층을 제거하고, 게이트 전극(110), 측벽 절연층(118), 고농도 불순물 영역(120) 등을 덮도록 금속층(122)을 형성한다(도 5(E) 참조). 이 금속층(122)은, 진공 증착법이나 스퍼터링법, 스펀코팅법 등의 각종 성막 방법을 이용하여 형성할 수 있다. 금속층(122)은, 반도체 영역(104)을 구성하는 반도체 재료와 반응함으로써 저저항의 금속 화합물 이 되는 금속 재료를 이용하여 형성하는 것이 바람직하다. 이와 같은 금속 재료로는, 예를 들어, 티탄, 탄탈, 텅스텐, 니켈, 코발트, 백금 등이 있다.

[0136] 다음으로, 열처리를 실시하여, 상기 금속층(122)과 반도체 재료를 반응시킨다. 이에 따라, 고농도 불순물 영역(120)에 접하는 금속 화합물 영역(124)이 형성된다(도 5(F) 참조). 한편, 게이트 전극(110)으로 다결정 실리콘 등을 이용하는 경우에는, 게이트 전극(110)의 금속층(122)과 접촉하는 부분에도, 금속 화합물 영역이 형성되게 된다.

[0137] 상기 열처리로는, 예를 들어, 플래쉬 램프의 조사에 의한 열처리를 이용할 수 있다. 물론, 그 외 열처리 방법을 이용하여도 좋으나, 금속 화합물의 형성에 관한 화학 반응의 제어성을 향상시키기 위해서는, 매우 단시간의 열처리를 실현할 수 있는 방법을 이용하는 것이 바람직하다. 한편, 상기 금속 화합물 영역은, 금속 재료와 반도체 재료의 반응에 의해 형성되는 것으로, 충분히 도전성이 높아진 영역이다. 이 금속 화합물 영역을 형성함으로써, 전기 저항을 충분히 저감하고, 소자 특성을 향상시킬 수 있다. 한편, 금속 화합물 영역(124)을 형성한 후에는, 금속층(122)은 제거한다.

[0138] 다음으로, 상기 공정에 의해 형성된 각 구성을 덮도록, 층간 절연층(126), 층간 절연층(128)을 형성한다(도 5(G) 참조). 층간 절연층(126)이나 층간 절연층(128)은, 산화 실리콘, 산질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈 등의 무기 절연 재료를 포함하는 재료를 이용하여 형성할 수 있다. 또한, 폴리이미드, 아크릴 수지 등의 유기 절연 재료를 이용하여 형성하는 것도 가능하다. 한편, 여기서는, 층간 절연층(126)과 층간 절연층(128)의 적층 구조로 하였으나, 개시하는 발명의 일 양태는 이에 한정되지 않는다. 1층으로 하여도 좋으며, 3층 이상의 적층 구조로 하여도 좋다. 층간 절연층(128)의 형성 후에는, 그 표면을, CMP나 에칭 처리 등에 의해 평탄화해 두는 것이 바람직하다.

[0139] 그 후, 상기 층간 절연층에, 금속 화합물 영역(124)에까지 달하는 개구를 형성하고, 이 개구에, 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)을 형성한다(도 5(H) 참조). 소스 전극 또는 드레인 전극(130a)이나 소스 전극 또는 드레인 전극(130b)은, 예를 들어, 개구를 포함하는 영역에 PVD법이나 CVD법 등을 이용하여 도전층을 형성한 후, 에칭 처리나 CMP 등의 방법을 이용하여, 상기 도전층의 일부를 제거함으로써 형성할 수 있다.

[0140] 보다 구체적으로는, 예를 들어, 개구를 포함하는 영역에 PVD법에 의해 티탄막을 얇게 형성하고, CVD법에 의해 질화 티탄막을 얇게 형성한 후에, 개구에 매입되도록 텅스텐막을 형성하는 방법을 적용할 수 있다. 여기서, PVD법에 의해 형성되는 티탄막은, 피형성면의 산화막(자연 산화막 등)을 환원하고, 하부 전극 등(여기서는 금속 화합물 영역(124))과의 접촉 저항을 저감시키는 기능을 갖는다. 또한, 그 후에 형성되는 질화 티탄막은, 도전성 재료의 확산을 억제하는 배리어 기능을 구비한다. 또한, 티탄이나, 질화 티탄 등에 의한 배리어 막을 형성한 후에, 도금법에 의해 구리막을 형성하여도 좋다.

[0141] 한편, 상기 도전층의 일부를 제거하여 소스 전극 또는 드레인 전극(130a)이나 소스 전극 또는 드레인 전극

(130b)을 형성할 때에는, 그 표면이 평탄해지도록 가공하는 것이 바람직하다. 예를 들어, 개구를 포함하는 영역에 티탄막이나 질화 티탄막을 얇게 형성한 후에, 개구에 매입되도록 텅스텐막을 형성하는 경우에는, 그 후의 CMP에 의해, 불필요한 텅스텐, 티탄, 질화 티탄 등을 제거하면서, 그 표면의 평탄성을 향상시킬 수 있다. 이와 같이, 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)을 포함하는 표면의 요철을 저감하고, 평탄성을 향상시킴으로써, 후의 공정에서 형성되는 전극, 배선, 절연층, 반도체층 등의 피복성을 양호한 것으로 할 수 있다.

[0142] 한편, 여기서는, 금속 화합물 영역(124)과 접촉하는 소스 전극 또는 드레인 전극(130a)이나 소스 전극 또는 드레인 전극(130b)만을 나타냈으나, 이 공정에서, 게이트 전극(110)과 접촉하는 전극 등을 맞추어 형성할 수 있다. 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)으로 이용할 수 있는 재료에 대해 특별히 한정되지 않으며, 각종 도전 재료를 이용할 수 있다. 예를 들어, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 도전성 재료를 이용할 수 있다. 또한, 후에 이루어지는 열처리를 고려하여, 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)은, 열처리에 견딜 수 있는 정도의 내열성을 갖는 재료를 이용하여 형성하는 것이 바람직하다.

[0143] 이상에 의해, 반도체 재료를 포함하는 기관(100)을 이용한 트랜지스터(101)가 형성된다(도 5(H) 참조). 산화물 반도체 이외의 반도체 재료를 이용한 트랜지스터(101)는, 고속 동작이 가능하다.

[0144] 한편, 상기 공정 후에는, 추가로 전극이나 배선, 절연층 등을 형성하여도 좋다. 배선의 구조로, 층간 절연층 및 도전층의 적층 구조로 이루어진 다층 배선 구조를 채용함으로써, 고도로 집적화한 반도체 장치를 제공할 수 있다.

[0145] <트랜지스터(102)의 제작 방법>

[0146] 다음으로, 도 6을 이용하여, 층간 절연층(128) 위에 트랜지스터(102)를 제작하는 공정에 대해 설명한다. 한편, 도 6은, 층간 절연층(128) 위의 각종 전극이나, 트랜지스터(102) 등의 제작 공정을 나타낸 것이므로, 트랜지스터(101) 등에 대해서는 생략하였다.

[0147] 우선, 층간 절연층(128) 위에 도전층을 형성하고, 이 도전층을 선택적으로 에칭하여, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)을 형성한다(도 6(A) 참조).

[0148] 도전층은, 스퍼터링법 등의 PVD법이나, 플라즈마 CVD법 등의 CVD법을 이용하여 형성할 수 있다. 또한, 도전층의 재료로는, 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 텅스텐에서 선택된 원소나, 상기 원소를 성분으로 하는 합금 등을 이용할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨 중 어느 하나이거나, 또는 이들을 복수 조합한 재료를 이용하여도 좋다. 또한, 알루미늄에, 티탄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐에서 선택된 원소, 또는 이들을 복수 조합한 재료를 이용하여도 좋다.

[0149] 도전층은, 단층 구조이어도 좋으며, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 티탄막이나 질화 티탄막의 단층 구조, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막이 적층된 2층 구조, 질화 티탄막 위에 티탄막이 적층된 2층 구조, 티탄막과 알루미늄막과 티탄막이 적층된 3층 구조 등을 들 수 있다. 한편, 도전층을, 티탄막이나 질화 티탄막의 단층 구조로 하는 경우에는, 테이퍼 형상을 갖는 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b)으로의 가공이 용이하다는 장점이 있다.

[0150] 또한, 도전층은, 도전성 금속 산화물을 이용하여 형성하여도 좋다. 도전성 금속 산화물로는 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화인듐 산화주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO로 약기하는 경우가 있다), 산화인듐 산화아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$), 또는, 이들 금속 산화물 재료에 실리콘 또는 산화 실리콘을 함유시킨 것을 이용할 수 있다.

[0151] 도전층의 에칭은, 형성되는 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b)의 단부가, 테이퍼 형상이 되도록 행하는 것이 바람직하다. 여기서, 테이퍼각은, 예를 들어, 30° 이상 60° 이하인 것이 바람직하다. 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)의 단부를 테이퍼 형상이 되도록 에칭함으로써, 후에 형성되는 게이트 절연층(146)의 피복성을 향상하고, 단절단을 방지할 수 있다.

[0152] 트랜지스터의 채널 길이(L)는, 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b)의 하단부와와의 간격에 의해 결정된다. 한편, 채널 길이(L)가 25nm 미만인 트랜지스터를 형성하는 경우에 이용하는

마스크 형성의 노광을 할 때에는, 수nm~수10nm로 파장이 짧은 초자외선(Extreme Ultraviolet)을 이용하는 것이 바람직하다. 초자외선에 의한 노광은, 해상도가 높고 초점 심도도 크다. 따라서, 후에 형성되는 트랜지스터의 채널 길이(L)를, 10nm 이상 1000nm(1 μ m) 이하로 하는 것도 가능하고, 회로의 동작 속도를 높일 수 있다. 또한, 미세화에 의해, 반도체 장치의 소비 전력을 저감하는 것도 가능하다.

- [0153] 한편, 층간 절연층(128) 위에는, 하지로 기능하는 절연층을 형성하여도 좋다. 이 절연층은, PVD법이나 CVD법 등을 이용하여 형성할 수 있다.
- [0154] 또한, 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b)의 위에는, 절연층을 형성하여도 좋다. 이 절연층을 형성함으로써, 후에 형성되는 게이트 전극과, 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b) 사이의 기생 용량을 저감하는 것이 가능하다.
- [0155] 다음으로, 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b)을 덮도록, 산화물 반도체층(144)을 형성한다(도 6(B) 참조).
- [0156] 산화물 반도체층(144)은, 사원계 금속 산화물인 In-Sn-Ga-Zn-O계나, 삼원계 금속 산화물인 In-Ga-Zn-O계, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계나, 이원계 금속 산화물인 In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, Zn-Mg-O계, Sn-Mg-O계, In-Mg-O계, In-Ga-O계나, 일원계 금속 산화물인 In-O계, Sn-O계, Zn-O계 등의 산화물 반도체를 이용하여 형성할 수 있다.
- [0157] 산화물 반도체층(144)은, 바람직하게는 In을 함유하는 산화물 반도체, 더욱 바람직하게는, In 및 Ga를 함유하는 산화물 반도체이다. 산화물 반도체층(144)을 I형(진성)으로 하므로써, 이후 행하는 탈수화 처리 또는 탈수소화 처리는 유효하다.
- [0158] 그 중에서도, In-Ga-Zn-O계의 산화물 반도체 재료는, 무전계 시의 저항이 충분히 높고 오프 전류를 충분히 작게 하는 것이 가능하고, 또한, 전계 효과 이동도도 높으므로, 반도체 장치에 이용하는 반도체 재료로는 적합하다.
- [0159] In-Ga-Zn-O계의 산화물 반도체 재료의 대표예로는, InGaO₃(ZnO)_m(m>0)로 표기되는 것이 있다. 또한, Ga 대신 M을 이용하여, InMO₃(ZnO)_m(m>0)과 같이 표기되는 산화물 반도체 재료가 있다. 여기서, M은, 갈륨(Ga), 알루미늄(Al), 철(Fe), 니켈(Ni), 망간(Mn), 코발트(Co) 등에서 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 예를 들어, M으로는, Ga, Ga 및 Al, Ga 및 Fe, Ga 및 Ni, Ga 및 Mn, Ga 및 Co 등을 적용할 수 있다. 한편, 상기 조성은 결정 구조에서 도출되는 것으로, 단순히 예에 지나지 않음을 밝혀 둔다.
- [0160] 산화물 반도체층(144)을 스퍼터링법으로 제작하기 위한 타겟으로는, In:Ga:Zn=1:x:y(x는 0 이상, y는 0.5 이상 5 이하)의 조성식으로 나타내는 것을 이용하는 것이 적합하다. 예를 들어, In₂O₃:Ga₂O₃:ZnO=1:1:1[mol비], In₂O₃:Ga₂O₃:ZnO=1:1:2[mol비], In₂O₃:Ga₂O₃:ZnO=2:2:1[mol비], 또는 In₂O₃:Ga₂O₃:ZnO=1:1:4[mol비]의 조성비를 갖는 타겟 등을 이용할 수도 있다. 또한, In₂O₃:Ga₂O₃:ZnO=2:0:1[mol비]의 조성비를 갖는 타겟을 이용할 수도 있다.
- [0161] 본 실시형태에서는, 비정질 구조의 산화물 반도체층(144)을, In-Ga-Zn-O계의 금속 산화물 타겟을 이용하는 스퍼터링법에 의해 형성하는 것으로 한다.
- [0162] 금속 산화물 타겟 중의 금속 산화물의 상대 밀도는 80% 이상, 바람직하게는 95% 이상, 더욱 바람직하게는 99.9% 이상이다. 상대 밀도가 높은 금속 산화물 타겟을 이용함으로써, 치밀한 구조의 산화물 반도체층(144)을 형성하는 것이 가능하다.
- [0163] 산화물 반도체층(144)을 형성할 때 이용하는 스퍼터링 가스는, 회가스(대표적으로는 아르곤), 산소, 또는, 회가스(대표적으로는 아르곤)와 산소의 혼합 가스로 하는 것이 적합하다. 또한, 수소, 물, 수산기, 수소화물 등의 불순물이, 농도 1ppm 이하(바람직하게는 농도 10ppb 이하)까지 제거된 고순도 가스를 이용하는 것이 적합하다.
- [0164] 산화물 반도체층(144)의 형성 시에는, 예를 들어, 감압 상태로 유지된 처리실 내에 피처리물을 유지하고, 피처리물의 온도가 100℃ 이상 550℃ 미만, 바람직하게는 200℃ 이상 400℃ 이하가 되도록 피처리물에 열을 가한다. 또는, 산화물 반도체층(144) 형성 시의 피처리물의 온도는, 실온으로 하여도 좋다. 그리고, 처리실 내의 수분을 제거하면서, 수소나 물 등이 제거된 스퍼터링 가스를 도입하고, 상기 타겟을 이용하여 산화물 반도체층(144)을 형성한다. 피처리물에 열을 가하면서 산화물 반도체층(144)을 형성함으로써, 산화물 반도체층(144)에 포함되는 불순물을 저감할 수 있다. 또한, 스퍼터링에 의한 손상을 경감할 수 있다. 처리실 내의 수분을 제거하

기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티탄 승화 펌프 등을 이용할 수 있다. 또한, 터보 펌프에 콜드 트랩을 구비한 것을 이용하여도 좋다. 크라이오 펌프 등을 이용하여 배기함으로써, 처리실에서 수소나 물 등을 제거할 수 있으므로, 산화물 반도체층(144)에 포함되는 불순물 농도를 저감할 수 있다.

[0165] 산화물 반도체층(144)의 형성 조건으로는, 예를 들어, 피처리물과 타겟 사이의 거리가 170mm, 압력이 0.4Pa, 직류(DC) 전력이 0.5kW, 분위기가 산소(산소 100%) 분위기, 또는 아르곤(아르곤 100%) 분위기, 또는 산소와 아르곤의 혼합 분위기, 등의 조건을 적용할 수 있다. 한편, 펄스 직류(DC) 전원을 이용하면, 성막 시에 발생하는 가루형 물질(파티클, 먼지라고도 한다)을 저감할 수 있고, 막후 분포도 균일해지므로 바람직하다. 산화물 반도체층(144)의 두께는, 1nm 이상 50nm 이하, 바람직하게는 1nm 이상 30nm 이하, 더욱 바람직하게는 1nm 이상 10nm 이하로 한다. 이와 같은 두께의 산화물 반도체층(144)을 이용함으로써, 미세화에 따른 단채널 효과를 억제하는 것이 가능하다. 단, 적용하는 산화물 반도체 재료나, 반도체 장치의 용도 등에 따라 적절한 두께는 다르므로, 그 두께는, 이용하는 재료나 용도 등에 따라 선택할 수도 있다.

[0166] 한편, 산화물 반도체층(144)을 스퍼터링법에 의해 형성하기 전에는, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 하고, 형성 표면(예를 들어 층간 절연층(128)의 표면)의 부착물을 제거하는 것이 적합하다. 여기서, 역스퍼터링이란, 통상의 스퍼터링에서는, 스퍼터링 타겟에 이온을 충돌시키던 것을, 반대로, 처리 표면에 이온을 충돌시킴으로써 그 표면을 개질하는 방법을 말한다. 처리 표면에 이온을 충돌시키는 방법으로는, 아르곤 분위기 하에서 처리 표면 측에 고주파 전압을 인가하여, 피처리물 부근에 플라즈마를 생성하는 방법 등이 있다. 한편, 아르곤 분위기 대신 질소, 헬륨, 산소 등에 의한 분위기를 적용하여도 좋다.

[0167] 그 후, 산화물 반도체층(144)에 대해, 열처리(제 1 열처리)를 하는 것이 바람직하다. 이 제 1 열처리에 의해 산화물 반도체층(144) 중의, 과잉의 수소(물이나 수산기를 포함)를 제거하고, 산화물 반도체층의 구조를 정돈하고, 에너지갭 중의 결함 준위를 저감할 수 있다. 제 1 열처리의 온도는, 예를 들어, 300℃ 이상 550℃ 미만, 또는 400℃ 이상 500℃ 이하로 한다.

[0168] 열처리는, 예를 들어, 저항 발열체 등을 이용한 전기로에 피처리물을 도입하고, 질소 분위기 하, 450℃, 1 시간의 조건에서 행할 수 있다. 이 동안, 산화물 반도체층(144)은 대기에 접촉하지 않도록 하여, 물이나 수소의 혼입이 발생하지 않도록 한다.

[0169] 열처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도, 또는 열복사에 의해, 피처리물을 가열하는 장치를 이용하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는, 할로젠 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프에서 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 이용하여 열처리를 행하는 장치이다. 가스로는, 아르곤 등의 회가스, 또는 질소와 같은, 열처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다.

[0170] 예를 들어, 제 1 열처리로, 가열된 불활성 가스 분위기 중에 피처리물을 투입하고, 수 분간 가열한 후, 이 불활성 가스 분위기에서 피처리물을 꺼내는 GRTA 처리를 행하여도 좋다. GRTA 처리를 이용하면 단시간에 고온 열처리가 가능해진다. 또한, 피처리물의 내열 온도를 넘는 온도 조건에도 적용이 가능해진다. 한편, 처리 중에, 불활성 가스를, 산소를 포함하는 가스로 전환하여도 좋다. 산소를 포함하는 분위기에서 제 1 열처리를 행함으로써, 산소 결손에 기인하는 에너지갭 중의 결함 준위를 저감할 수 있기 때문이다.

[0171] 한편, 불활성 가스 분위기로는, 질소, 또는 회가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기로써, 물, 수소 등이 포함되지 않는 분위기를 적용하는 것이 바람직하다. 예를 들어, 열처리 장치에 도입하는 질소나, 헬륨, 네온, 아르곤 등의 회가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 한다.

[0172] 어떠한 경우든, 제 1 열처리에 의해 불순물을 저감하고, i형(진성 반도체) 또는 i형에 무한대로 가까운 산화물 반도체층(144)을 형성함으로써, 매우 우수한 특성의 트랜지스터를 실현할 수 있다.

[0173] 한편, 상기 열처리(제 1 열처리)에는 수소나 물 등을 제거하는 효과가 있으므로, 이 열처리를, 탈수화 처리나, 탈수소화 처리 등으로 부를 수도 있다. 이 탈수화 처리나, 탈수소화 처리는, 산화물 반도체층의 형성 후나 게이트 절연층의 형성 후, 게이트 전극의 형성 후, 등의 타이밍에서 행하는 것도 가능하다. 또한, 이와 같은 탈수화 처리, 탈수소화 처리는, 1회에 한정되지 않고 복수 회 행하여도 좋다.

- [0174] 다음으로, 산화물 반도체층(144)에 접하는 게이트 절연층(146)을 형성한다(도 6(C) 참조). 게이트 절연층(146)은, CVD법이나 스퍼터링법 등을 이용하여 형성할 수 있다. 또한, 게이트 절연층(146)은, 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 탄탈, 산화 하프늄, 산화 이트륨, 하프늄 실리케이트(HfSi_xO_y ($x>0$, $y>0$)), 질소가 첨가된 하프늄 실리케이트(HfSi_xO_y ($x>0$, $y>0$)), 질소가 첨가된 하프늄 알루미늄에이트(HfAl_xO_y ($x>0$, $y>0$)), 등을 포함하도록 형성하는 것이 적합하다. 게이트 절연층(146)은, 단층 구조로 하여도 좋으며, 적층 구조로 하여도 좋다. 또한, 그 두께는 특별히 한정되지 않으나, 반도체 장치를 미세화하는 경우에는, 트랜지스터의 동작을 확보하기 위해 얇게 하는 것이 바람직하다. 예를 들어, 산화 실리콘을 이용하는 경우에는, 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 할 수 있다.
- [0175] 상기와 같이, 게이트 절연층을 얇게 하면, 터널 효과 등에 기인하는 게이트 리크가 문제가 된다. 게이트 리크 문제를 해소하기 위해서는, 게이트 절연층(146)에, 산화 하프늄, 산화 탄탈, 산화 이트륨, 하프늄 실리케이트(HfSi_xO_y ($x>0$, $y>0$)), 질소가 첨가된 하프늄 실리케이트(HfSi_xO_y ($x>0$, $y>0$)), 질소가 첨가된 하프늄 알루미늄에이트(HfAl_xO_y ($x>0$, $y>0$)), 등의 고유전율(하이-k) 재료를 이용하면 된다. 하이-k 재료를 게이트 절연층(146)에 이용함으로써, 전기적 특성을 확보하면서, 게이트 리크를 억제하기 위해 막후를 크게 하는 것이 가능해진다. 한편, 하이-k 재료를 포함하는 막과, 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄 등의 어느 하나를 포함하는 막과의 적층 구조로 하여도 좋다.
- [0176] 게이트 절연층(146)의 형성 후에는, 불활성 가스 분위기 하, 또는 산소 분위기 하에서 제 2 열처리를 행하는 것이 바람직하다. 열처리의 온도는, 200℃ 이상 450℃ 이하, 바람직하게는 250℃ 이상 350℃ 이하이다. 예를 들어, 질소 분위기 하에서 250℃, 1시간의 열처리를 하면 된다. 제 2 열처리를 함으로써, 트랜지스터의 전기적 특성의 편차를 경감할 수 있다. 또한, 게이트 절연층(146)이 산소를 포함하는 경우, 산화물 반도체층(144)에 산소를 공급하고, 이 산화물 반도체층(144)의 산소 결함을 보충하여, i형(진성 반도체) 또는 i형에 무한대로 가까운 산화물 반도체층을 형성할 수도 있다.
- [0177] 한편, 본 실시형태에서는, 게이트 절연층(146)의 형성 후에 제 2 열처리를 하였으나, 제 2 열처리의 타이밍은 이에 특별히 한정되지 않는다. 예를 들어, 게이트 전극의 형성 후에 제 2 열처리를 행하여도 좋다. 또한, 제 1 열처리에 이어서 제 2 열처리를 행하여도 좋으며, 제 1 열처리에 제 2 열처리를 병행하여도 좋으며, 제 2 열처리에 제 1 열처리를 병행하여도 좋다.
- [0178] 다음으로, 게이트 절연층(146) 위에서 산화물 반도체층(144)과 중첩하는 영역에 게이트 전극(148)을 형성한다(도 6(D) 참조). 게이트 전극(148)은, 게이트 절연층(146) 위에 도전층을 형성한 후에, 이 도전층을 선택적으로 에칭함으로써 형성할 수 있다. 게이트 전극(148)이 되는 도전층은, 스퍼터링법 등의 PVD법이나, 플라즈마 CVD법 등의 CVD법을 이용하여 형성할 수 있다. 자세한 내용은, 소스 전극 또는 드레인 전극(142a) 등의 경우와 마찬가지로, 이들 기재를 참조할 수 있다.
- [0179] 다음으로, 게이트 절연층(146), 게이트 전극(148) 위에, 층간 절연층(150) 및 층간 절연층(152)을 형성한다(도 6(E) 참조). 층간 절연층(150) 및 층간 절연층(152)은, PVD법이나 CVD법 등을 이용하여 형성할 수 있다. 또한, 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈 등의 무기 절연 재료를 포함하는 재료를 이용하여 형성할 수 있다. 한편, 본 실시형태에서는, 층간 절연층(150)과 층간 절연층(152)의 적층 구조로 하였으나, 개시하는 발명의 일 양태는 이에 한정되지 않는다. 1층으로 하여도 좋으며, 3층 이상의 적층 구조로 하여도 좋다. 또한, 층간 절연층을 형성하지 않는 구성으로 하는 것도 가능하다.
- [0180] 한편, 상기 층간 절연층(152)은, 그 표면이 평탄해 지도록 형성하는 것이 바람직하다. 표면이 평탄해 지도록 층간 절연층(152)을 형성함으로써, 반도체 장치를 미세화한 경우 등에서도, 층간 절연층(152) 위에, 전극이나 배선 등을 적절히 형성할 수 있기 때문이다. 한편, 층간 절연층(152)의 평탄화는, CMP(화학적 기계적 연마) 등의 방법을 이용하여 행할 수 있다.
- [0181] 이상에 의해, 고순도화된 산화물 반도체층(144)을 이용한 트랜지스터(102)가 완성된다(도 6(E) 참조).
- [0182] 도 6(E)에 나타낸 트랜지스터(102)는, 산화물 반도체층(144)과, 산화물 반도체층(144)과 전기적으로 접속하는 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)과, 산화물 반도체층(144), 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)을 덮는 게이트 절연층(146)과, 게이트 절연층(146) 위의 게이트 전극(148)과, 를 갖는다.
- [0183] 본 실시형태에서 나타낸 트랜지스터(102)에서는, 산화물 반도체층(144)이 고순도화되어 있으므로, 그 수소 농도

는, $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하이다. 또한, 산화물 반도체층(144)의 캐리어 밀도는, 일반적인 실리콘 웨이퍼에서의 캐리어 밀도($1 \times 10^{14} / \text{cm}^3$ 정도)와 비교하여, 충분히 작은 값(예를 들어, $1 \times 10^{12} / \text{cm}^3$ 미만, 더욱 바람직하게는, $1.45 \times 10^{10} / \text{cm}^3$ 미만)을 갖는다. 그리고, 이에 의해, 오프 전류가 충분히 작아진다. 예를 들어, 트랜지스터(102)의 실온(25°C)에서의 오프 전류(여기서는, 단위 채널 폭($1\mu\text{m}$) 당 값)는, $100\text{zA}/\mu\text{m}$ (1zA (zepto 암페어)는 $1 \times 10^{-21} \text{ A}$) 이하, 바람직하게는, $10\text{zA}/\mu\text{m}$ 이하가 된다.

[0184] 이와 같이 고순도화되고, 진성화된 산화물 반도체층(144)을 이용함으로써, 트랜지스터의 오프 전류를 충분히 저감할 수 있다. 그리고, 이와 같은 트랜지스터를 이용함으로써, 매우 장기에 걸쳐 기억 내용을 유지하는 것이 가능한 반도체 장치가 얻어진다.

[0185] 이상, 본 실시형태에 나타난 구성, 방법 등은, 다른 실시형태에 나타난 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

[0186] (실시형태 3)

[0187] 본 실시형태에서는, 실시형태 2와는 다른, 개시하는 발명의 일 양태에 관한 반도체 장치의 구성 및 그 제작 방법에 대해, 도 7 및 도 8을 참조하여 설명한다.

[0188] <반도체 장치의 단면 구성 및 평면 구성>

[0189] 도 7은, 반도체 장치의 구성의 일 예이다. 도 7(A)에는, 반도체 장치의 단면을, 도 7(B)에는, 반도체 장치의 평면을, 각각 나타낸다. 여기서, 도 7(A)는, 도 7(B)의 A1-A2 및 B1-B2에서의 단면에 상당한다. 도 7(A) 및 도 7(B)에 나타난 반도체 장치는, 산화물 반도체 이외의 반도체 재료를 이용한 트랜지스터(101)와, 산화물 반도체를 이용한 트랜지스터(102)를 갖는 것이다. 산화물 반도체 이외의 반도체 재료를 이용한 트랜지스터는, 고속 동작이 용이하다. 한편으로, 산화물 반도체를 이용한 트랜지스터는, 그 특성에 의해 장시간의 전하 유지를 가능하게 한다. 트랜지스터(101)는 읽기용 트랜지스터로 기능하고, 트랜지스터(102)는 쓰기용 트랜지스터로 기능한다.

[0190] 한편, 상기 트랜지스터는, 모두 n채널형 트랜지스터인 것으로 설명하였으나, p채널형 트랜지스터를 이용할 수 있다는 것은 당연하다. 또한, 개시하는 발명의 기술적인 본질은, 정보를 유지하기 위해 산화물 반도체를 트랜지스터(102)에 이용하는 점에 있으므로, 반도체 장치의 구체적인 구성을 여기서 나타내는 것으로 한정할 필요는 없다.

[0191] 도 7에서의 트랜지스터(101)는, 반도체 재료(예를 들어, 실리콘 등)를 포함하는 기판(100)에 형성된 채널 형성 영역(116)과, 채널 형성 영역(116)을 끼우도록 형성된 불순물 영역(114) 및 고농도 불순물 영역(120)(이들을 합쳐서 단순히 불순물 영역이라고도 함)과, 채널 형성 영역(116) 위에 형성된 게이트 절연층(108)과, 게이트 절연층(108) 위에 형성된 게이트 전극(110)과, 불순물 영역과 전기적으로 접속하는 소스 전극 또는 드레인 전극(130a), 및 소스 전극 또는 드레인 전극(130b)을 갖는다. 또한, 소스 전극 또는 드레인 전극(130a), 및 소스 전극 또는 드레인 전극(130b) 위에는, 배선(142c), 및 배선(142d)을 갖는다.

[0192] 여기서, 게이트 전극(110)의 측면에는 측벽 절연층(118)이 형성되어 있다. 또한, 기판(100)의, 표면에 수직인 방향에서 보았을 때 측벽 절연층(118)과 겹치지 않는 영역에는, 고농도 불순물 영역(120)을 갖고, 고농도 불순물 영역(120)에 접하는 금속 화합물 영역(124)이 존재한다. 또한, 기판(100) 위에는 트랜지스터(101)를 둘러싸도록 소자 분리 절연층(106)이 형성되어 있다. 게이트 전극(110) 위에 개구를 갖고 또한, 트랜지스터(101)를 덮도록, 층간 절연층(126) 및 층간 절연층(128)이 형성되어 있다. 소스 전극 또는 드레인 전극(130a), 및 소스 전극 또는 드레인 전극(130b)은, 층간 절연층(126)에 형성된 개구를 통해, 금속 화합물 영역(124)과 전기적으로 접속되어 있다. 즉, 소스 전극 또는 드레인 전극(130a), 및 소스 전극 또는 드레인 전극(130b)은, 금속 화합물 영역(124)을 통해 고농도 불순물 영역(120) 및 불순물 영역(114)과 전기적으로 접속되어 있다. 한편, 트랜지스터(101)의 집적화 등으로 인해, 측벽 절연층(118)이 형성되지 않는 경우도 있다.

[0193] 도 7에서의 트랜지스터(102)는, 층간 절연층(128) 위에 형성된 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b)과, 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b)과 전기적으로 접속되어 있는, 섬 모양의 산화물 반도체층(144)과, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는

는 드레인 전극(142b), 섬 모양의 산화물 반도체층(144)을 덮는 게이트 절연층(146)과, 게이트 절연층(146) 위에 섬 모양의 산화물 반도체층(144)과 중첩하도록 형성된 게이트 전극(148)과, 를 갖는다.

[0194] 여기서, 트랜지스터(101)와 트랜지스터(102)는, 게이트 전극(110) 위에 소스 전극 또는 드레인 전극(142a)이 직접 접하도록 형성됨으로써 전기적으로 접속되어 있다. 즉, 본 실시형태에 나타난 반도체 장치는, 실시형태 2에서 나타난 반도체 장치에서, 게이트 전극(110)의 상면에서 상부를 제거하고, 트랜지스터(101)의 위에, 트랜지스터(102)를 형성한 구성으로 되어 있다.

[0195] 한편, 산화물 반도체층(144)은 수소 등의 불순물이 충분히 제거됨으로써, 또는, 충분한 산소가 공급됨으로써, 고순도화되어 있는 것이 바람직하다. 구체적으로는, 예를 들어, 산화물 반도체층(144)의 수소 농도는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다. 한편, 상기 산화물 반도체층(144) 중의 수소 농도는, 이차이온질량분석법(SIMS: Secondary Ion Mass Spectroscopy)으로 측정된 것이다. 이와 같이, 수소 농도가 충분히 저감되어 고순도화되고, 충분한 산소의 공급에 의해 산소 결핍에 기인하는 에너지갭 중의 결합 준위가 저감된 산화물 반도체층(144)에서는, 캐리어 밀도가 $1 \times 10^{12} / \text{cm}^3$ 미만, 바람직하게는, $1 \times 10^{11} / \text{cm}^3$ 미만, 더욱 바람직하게는 $1.45 \times 10^{10} / \text{cm}^3$ 미만이 된다. 예를 들어, 실온(25℃)에서의 오프 전류(여기서는, 단위 채널 폭(1μm) 당 값)는, 100zA/μm(1zA(zepto 암페어)는 $1 \times 10^{-21} \text{ A}$) 이하, 바람직하게는, 10zA/μm 이하가 된다. 이와 같이, i형화(진성화) 또는 실질적으로 i형화된 산화물 반도체를 이용함으로써, 매우 우수한 오프 전류 특성의 트랜지스터(102)를 얻을 수 있다.

[0196] 한편, 트랜지스터(102)에서, 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b)의 단부는, 테이퍼 형상인 것이 바람직하다. 여기서, 테이퍼각은, 예를 들어, 30° 이상 60° 이하로 한다. 한편, 테이퍼각이란, 테이퍼 형상을 갖는 층(예를 들어, 소스 전극 또는 드레인 전극(142a))을, 그 단면(기판의 표면과 직교하는 면)에 수직인 방향에서 관찰했을 때, 이 층의 측면과 저면이 이루는 경사각을 나타낸다. 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)의 단부를 테이퍼 형상으로 함으로써, 산화물 반도체층(144)의 피복성을 향상하고, 단절단을 방지할 수 있다.

[0197] 또한, 트랜지스터(102)의 위에는, 층간 절연층(150)이 형성되어 있고, 층간 절연층(150) 위에는 층간 절연층(152)이 형성된다.

[0198] <반도체 장치의 제작 방법>

[0199] 다음으로, 상기 반도체 장치의 제작 방법의 일 예에 대해 설명한다. 이하에서는, 트랜지스터(101)를 형성한 후의 공정, 즉 트랜지스터(102)의 제작 방법에 대해 도 8을 참조하여 설명한다. 트랜지스터(101)에 대해서는, 실시형태 2에서 나타난 방법과 동일한 방법으로 제작할 수 있고, 실시형태 2의 기재를 참조할 수 있다.

[0200] 우선, 실시형태 2에 나타난 방법으로 트랜지스터(101)를 형성한 후, 트랜지스터(101)의 게이트 전극(110)의 상면에서 상부를 제거한다(도 8(A) 참조). 트랜지스터(101)의 이 부분의 제거는, 게이트 전극(110)의 상면이 노출될 때까지, 트랜지스터(101)에 연마 처리(CMP 처리)를 함으로써 이루어진다. 이에 따라, 게이트 전극(110)보다 위의, 층간 절연층(126, 128), 소스 전극 또는 드레인 전극(130a, 130b)은 제거된다. 이때, 층간 절연층(126, 128), 소스 전극 또는 드레인 전극(130a, 130b)을 포함하는 표면을 평탄화함으로써, 후의 공정에서, 양호한 전극, 배선, 절연층, 반도체층 등을 형성하는 것이 가능해진다. 또한, 실시형태 2에서 나타난 전극(130c)은, 이 CMP 처리로 완전히 제거되므로 형성할 필요는 없다.

[0201] 이와 같이, CMP 처리를 하고, 게이트 전극(110)의 상면을 노출시킴으로써, 게이트 전극(110)과 소스 전극 또는 드레인 전극(142a)을 직접 접할 수 있으므로, 트랜지스터(101)와 트랜지스터(102)의 전기적 접속을 용이하게 취할 수 있다.

[0202] 다음으로, 층간 절연층(126, 128) 위에 도전층을 형성하고, 이 도전층을 선택적으로 에칭하여, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b), 배선(142c), 배선(142d)을 형성한다(도 8(B) 참조). 여기서, 소스 전극 또는 드레인 전극(142a)은 게이트 전극(110)과, 배선(142c)은 소스 전극 또는 드레인 전극(130a)과, 그리고, 배선(142d)은 소스 전극 또는 드레인 전극(130b)과, 직접 접하도록 형성한다.

[0203] 여기서, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b), 배선(142c), 배선(142d)을 형성하는 도전층은, 실시형태 2에서 나타난 재료와 동일한 재료를 이용할 수 있고, 실시형태 2의 기재를 참조할 수 있다. 또한, 도전층의 에칭에 대해서도, 실시형태 2에서 나타난 방법과 동일하게 할 수 있고, 실시형태 2의

기재를 참조할 수 있다.

- [0204] 또한, 실시형태 2에 나타난 바와 같이, 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b)의 위에는, 절연층을 형성하여도 좋다. 이 절연층을 형성함으로써, 후에 형성되는 게이트 전극과, 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b) 사이의 기생 용량을 저감하는 것이 가능하다.
- [0205] 다음으로, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b), 배선(142c) 및 배선(142d)을 덮도록 산화물 반도체층을 성막하고, 이 산화물 반도체층을 선택적으로 에칭하여, 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b)과 접하도록 섬 모양의 산화물 반도체층(144)을 형성한다(도 8(C) 참조).
- [0206] 산화물 반도체층은, 실시형태 2에서 나타난 재료와 동일한 재료를 이용하여, 동일한 방법으로 성막할 수 있다. 따라서, 산화물 반도체층의 재료와 성막 방법에 대해, 실시형태 2를 참조할 수 있다.
- [0207] 산화물 반도체층의 에칭에는, 건식 에칭, 습식 에칭 중 어느 하나를 이용하여도 좋다. 물론, 양쪽을 조합하여 이용할 수도 있다. 산화물 반도체층을 원하는 형상으로 에칭할 수 있도록, 재료에 맞추어 에칭 조건(에칭 가스나 에칭액, 에칭 시간, 온도 등)은 적절히 설정한다.
- [0208] 또한, 산화물 반도체층(144)은, 실시형태 2에 나타난 바와 같이, 열처리(제 1 열처리)를 하는 것이 바람직하다. 제 1 열처리는, 실시형태 2에서 나타난 방법으로 행할 수 있고, 실시형태 2를 참조할 수 있다. 제 1 열처리에 의해 불순물을 저감하고, i형(진성 반도체) 또는 i형에 무한대로 가까운 산화물 반도체층(144)을 형성함으로써, 매우 우수한 특성의 트랜지스터를 실현할 수 있다. 한편, 제 1 열처리는, 산화물 반도체층의 에칭 전에 행하여도 좋으며, 에칭하여 산화물 반도체층을 섬 모양으로 가공한 후에 행하여도 좋다.
- [0209] 다음으로, 산화물 반도체층(144)에 접하는 게이트 절연층(146)을 형성한다(도 8(C) 참조).
- [0210] 게이트 절연층(146)은, 실시형태 2에서 나타난 재료와 동일한 재료를 이용하여, 동일한 방법으로 성막할 수 있다. 따라서, 게이트 절연층(146)의 재료와 성막 방법에 대해, 실시형태 2를 참조할 수 있다.
- [0211] 또한, 게이트 절연층(146)의 형성 후, 실시형태 2에 나타난 바와 같이, 불활성 가스 분위기 하, 또는 산소 분위기 하에서 제 2 열처리를 행하는 것이 바람직하다. 제 2 열처리는, 실시형태 2에서 나타난 방법으로 행할 수 있고, 실시형태 2를 참조할 수 있다. 제 2 열처리를 행함으로써, 트랜지스터의 전기적 특성의 편차를 경감할 수 있다. 또한, 게이트 절연층(146)이 산소를 포함하는 경우, 산화물 반도체층(144)에 산소를 공급하고, 이 산화물 반도체층(144)의 산소 결함을 보충하여, i형(진성 반도체) 또는 i형에 무한대로 가까운 산화물 반도체층을 형성할 수도 있다.
- [0212] 한편, 본 실시형태에서는, 게이트 절연층(146)의 형성 후에 제 2 열처리를 하였으나, 제 2 열처리의 타이밍은 이에 특별히 한정되지 않는다. 예를 들어, 게이트 전극의 형성 후에 제 2 열처리를 행하여도 좋다. 또한, 제 1 열처리에 이어서 제 2 열처리를 행하여도 좋으며, 제 1 열처리에 제 2 열처리를 병행하여도 좋으며, 제 2 열처리에 제 1 열처리를 병행하여도 좋다.
- [0213] 다음으로, 게이트 절연층(146) 위에서 산화물 반도체층(144)과 중첩하는 영역에 게이트 전극(148)을 형성한다(도 8(D) 참조). 게이트 전극(148)은, 게이트 절연층(146) 위에 도전층을 형성한 후에, 이 도전층을 선택적으로 에칭함으로써 형성할 수 있다. 게이트 전극(148)이 되는 도전층은, 스퍼터링법 등의 PVD법이나, 플라즈마 CVD법 등의 CVD법을 이용하여 형성할 수 있다. 자세한 내용은, 소스 전극 또는 드레인 전극(142a) 등의 경우와 마찬가지로, 이들 기재를 참조할 수 있다.
- [0214] 다음으로, 실시형태 2에 나타난 바와 같이, 게이트 절연층(146), 및 게이트 전극(148) 위에, 층간 절연층(150) 및 층간 절연층(152)을 형성한다. 층간 절연층(150) 및 층간 절연층(152)은, 실시형태 2에서 나타난 재료와 동일한 재료를 이용하여, 동일한 방법으로 성막할 수 있다. 따라서, 층간 절연층(150) 및 층간 절연층(152)의 재료와 성막 방법에 대해, 실시형태 2를 참조할 수 있다.
- [0215] 한편, 상기 층간 절연층(152)은, 그 표면이 평탄해 지도록 형성하는 것이 바람직하다. 표면이 평탄해 지도록 층간 절연층(152)을 형성함으로써, 반도체 장치를 미세화한 경우 등에서도, 층간 절연층(152) 위에, 전극이나 배선 등을 적절히 형성할 수 있기 때문이다. 한편, 층간 절연층(152)의 평탄화는, CMP(화학적 기계적 연마) 등의 방법을 이용하여 행할 수 있다.

- [0216] 이상에 의해, 고순도화된 산화물 반도체층(144)을 이용한 트랜지스터(102)가 완성된다(도 8(D) 참조).
- [0217] 도 8(D)에 나타난 트랜지스터(102)는, 산화물 반도체층(144)과, 산화물 반도체층(144)과 전기적으로 접속하는 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)과, 산화물 반도체층(144), 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)을 덮는 게이트 절연층(146)과, 게이트 절연층(146) 위의 게이트 전극(148)과, 를 갖는다.
- [0218] 본 실시형태에서 나타난 트랜지스터(102)에서는, 산화물 반도체층(144)이 고순도화되어 있으므로, 그 수소 농도는, $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하이다. 또한, 산화물 반도체층(144)의 캐리어 밀도는, 일반적인 실리콘 웨이퍼에서의 캐리어 밀도($1 \times 10^{14} / \text{cm}^3$ 정도)와 비교하여, 충분히 작은 값(예를 들어, $1 \times 10^{12} / \text{cm}^3$ 미만, 더욱 바람직하게는, $1.45 \times 10^{10} / \text{cm}^3$ 미만)을 갖는다. 그리고, 이에 따라, 오프 전류가 충분히 작아진다. 예를 들어, 트랜지스터(102)의 실온에서의 오프 전류(여기서는, 단위 채널 폭($1 \mu\text{m}$) 당 값)는, $100 \text{ zA}/\mu\text{m}$ (1 zA (zepto 암페어)는 $1 \times 10^{-21} \text{ A}$) 이하, 바람직하게는, $10 \text{ zA}/\mu\text{m}$ 이하가 된다.
- [0219] 이와 같이 고순도화되고, 진성화된 산화물 반도체층(144)을 이용함으로써, 트랜지스터의 오프 전류를 충분히 저감할 수 있다. 그리고, 이와 같은 트랜지스터를 이용함으로써, 매우 장기에 걸쳐 기억 내용을 유지하는 것이 가능한 반도체 장치가 얻어진다.
- [0220] 이상, 본 실시형태에 나타난 구성, 방법 등은, 다른 실시형태에 나타난 구성, 방법 등과 적절히 조합하여 이용할 수 있다.
- [0221] (실시형태 4)
- [0222] 본 실시형태에서는, 실시형태 2, 실시형태 3과는 다른, 개시하는 발명의 일 양태에 관한 반도체 장치의 구성 및 그 제작 방법에 대해, 도 9 내지 도 11을 참조하여 설명한다.
- [0223] <반도체 장치의 단면 구성 및 평면 구성>
- [0224] 도 9는, 반도체 장치의 구성의 일 예이다. 도 9(A)에는, 반도체 장치의 단면을, 도 9(B)에는, 반도체 장치의 평면을, 각각 나타낸다. 여기서, 도 9(A)는, 도 9(B)의 C1-C2 및 D1-D2에서의 단면에 상당한다. 도 9(A) 및 도 9(B)에 나타난 반도체 장치는, 산화물 반도체 이외의 반도체 재료를 이용한 트랜지스터(101)와, 산화물 반도체를 이용한 트랜지스터(102)를 갖는 것이다. 산화물 반도체 이외의 반도체 재료를 이용한 트랜지스터는, 고속 동작이 용이하다. 한편으로, 산화물 반도체를 이용한 트랜지스터는, 그 특성에 의해 장시간의 전하 유지를 가능하게 한다. 트랜지스터(101)는 읽기용 트랜지스터로 기능하고, 트랜지스터(102)는 쓰기용 트랜지스터로 기능한다.
- [0225] 한편, 상기 트랜지스터는, 모두 n채널형 트랜지스터인 것으로 설명하였으나, p채널형 트랜지스터를 이용할 수 있다는 것은 당연하다. 또한, 반도체 장치의 구체적인 구성을 여기에 나타내는 것으로 한정할 필요는 없다.
- [0226] 도 9에 나타난 반도체 장치와, 선행 실시형태에 나타난 반도체 장치의 차이점의 하나는, 트랜지스터(101)에서의 측벽 절연층(118)의 유무이다. 즉, 도 9에 나타난 반도체 장치는, 측벽 절연층을 갖지 않는다. 또한, 측벽 절연층을 형성하지 않음으로써, 불순물 영역(114)이 형성되어 있지 않다. 이와 같이, 측벽 절연층을 형성하지 않는 경우는, 측벽 절연층(118)을 형성하는 경우와 비교하여 집적화가 용이하다. 또한, 측벽 절연층(118)을 형성하는 경우와 비교하여, 제작 공정을 간략화하는 것이 가능하다.
- [0227] 도 9에 나타난 반도체 장치와, 선행 실시형태에 나타난 반도체 장치의 차이점의 다른 하나는, 트랜지스터(101)에서의 층간 절연층(125)의 유무이다. 즉, 도 9에 나타난 반도체 장치는, 층간 절연층(125)을 갖는다. 층간 절연층(125)으로, 수소를 포함하는 절연층을 적용함으로써, 트랜지스터(101)에 대해 수소를 공급하고 트랜지스터(101)의 특성을 향상시키는 것이 가능하다. 이와 같은 층간 절연층(125)으로는, 예를 들어, 플라즈마 CVD법에 의해 형성된 수소를 포함하는 질화 실리콘층 등이 있다. 또한, 층간 절연층(126)으로, 수소가 충분히 저감된 절연층을 적용함으로써, 트랜지스터(102)의 특성을 악화시킬 우려가 있는 수소의, 트랜지스터(102)로의 혼입을 방지하는 것이 가능하다. 이와 같은 층간 절연층(126)으로는, 예를 들어, 스퍼터링법에 의해 형성된 질화 실리콘층 등이 있다. 이와 같은 구성을 채용함으로써, 트랜지스터(101)와 트랜지스터(102)의 특성을 충분히 높

일 수 있다.

- [0228] 도 9에 나타난 반도체 장치와, 선행 실시형태에 나타난 반도체 장치의 차이점의 다른 하나는, 트랜지스터(102)에서의 절연층(143a) 및 절연층(143b)의 유무이다. 즉, 도 9에 나타난 반도체 장치는, 절연층(143a) 및 절연층(143b)을 갖는다. 이와 같이, 절연층(143a) 및 절연층(143b)을 형성함으로써, 게이트 전극(148)과, 소스 전극 또는 드레인 전극(142a)(또는, 게이트 전극(148)과, 소스 전극 또는 드레인 전극(142b))에 의한, 이른바 게이트 용량을 저감하고, 트랜지스터(102)의 동작 속도를 향상시킬 수 있다.
- [0229] 한편, 실시형태 3과 마찬가지로, 트랜지스터(101)와 트랜지스터(102)는, 게이트 전극(110) 위에 소스 전극 또는 드레인 전극(142a)이 직접 접하도록 형성됨으로써 전기적으로 접속되어 있다. 이와 같은 구성으로 함으로써, 전극이나 배선을 별도로 형성하는 경우와 비교하여, 집적도가 향상한다. 또한, 제작 공정이 간략화된다.
- [0230] 한편, 본 실시형태에서는, 상기 차이점을 일체로 갖는 구성을 도시하였으나, 이 차이점 중 어느 하나만을 갖는 구성을 채용하여도 좋다.
- [0231] <반도체 장치의 제작 방법>
- [0232] 다음으로, 상기 반도체 장치의 제작 방법의 일 예에 대해 설명한다. 이하에서는, 트랜지스터(101)를 형성한 후의 공정, 트랜지스터(102)의 제작 방법에 대해 도 10 및 도 11을 참조하여 설명한다. 트랜지스터(101)에 대해서는, 실시형태 2에서 나타난 방법과 동일한 방법으로 제작할 수 있다. 자세한 내용에 대해서는, 실시형태 2의 기재를 참조할 수 있다. 또한, 본 실시형태에서는, 트랜지스터(101)의 제작 공정에서, 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)을 형성하지 않으나, 소스 전극 또는 드레인 전극(130a) 및 소스 전극 또는 드레인 전극(130b)이 형성되어 있지 않은 상태이더라도, 편의상, 트랜지스터(101)라 부르기로 한다.
- [0233] 우선, 실시형태 2에 나타난 방법으로 트랜지스터(101)를 형성한 후, 트랜지스터(101)의 게이트 전극(110)의 상면에서 상부를 제거한다. 이 제거 공정에는, CMP(화학적 기계적 연마) 등의 연마 처리를 적용하면 된다. 이에 따라, 게이트 전극(110) 상면보다 위의, 중간 절연층(125), 중간 절연층(126), 중간 절연층(128)은 제거된다. 한편, 연마 처리에 관한 표면을 충분히 평탄화함으로써, 후의 공정에서, 양호한 전극, 배선, 절연층, 반도체층 등을 형성하는 것이 가능해진다.
- [0234] 다음으로, 게이트 전극(110), 중간 절연층(125), 중간 절연층(126), 중간 절연층(128) 위에 도전층을 형성하고, 이 도전층을 선택적으로 에칭하여, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)을 형성한다(도 10(A) 참조). 여기서, 소스 전극 또는 드레인 전극(142a)은, 게이트 전극(110)과 직접 접하도록 형성한다.
- [0235] 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)을 형성하기 위한 도전층은, 실시형태 2에서 나타난 재료와 동일한 재료를 이용하여 형성할 수 있다. 또한, 도전층의 에칭에 대해서도, 실시형태 2에서 나타난 방법과 동일한 방법을 이용하여 행할 수 있다. 자세한 내용에 대해서는, 실시형태 2의 기재를 참조할 수 있다.
- [0236] 다음으로, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)을 덮도록 절연층을 형성하고, 이 절연층을 선택적으로 에칭하여, 소스 전극 또는 드레인 전극(142a) 위에 절연층(143a)을, 소스 전극 또는 드레인 전극(142b) 위에 절연층(143b)을, 각각 형성한다(도 10(B) 참조).
- [0237] 이 절연층(143a), 절연층(143b)을 형성함으로써, 후에 형성되는 게이트 전극과, 소스 전극 또는 드레인 전극(142a), 및, 소스 전극 또는 드레인 전극(142b) 사이의 기생 용량을 저감하는 것이 가능하다.
- [0238] 다음으로, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)을 덮도록 산화물 반도체층(144)을 형성하고, 산화물 반도체층(144) 위에 게이트 절연층(146)을 형성한다(도 10(C) 참조).
- [0239] 산화물 반도체층(144)은, 실시형태 2에서 나타난 재료, 방법에 의해 형성할 수 있다. 또한, 산화물 반도체층(144)에 대해서는, 열처리(제 1 열처리)를 하는 것이 바람직하다. 자세한 내용에 대해서는, 실시형태 2의 기재를 참조할 수 있다.
- [0240] 게이트 절연층(146)은, 실시형태 2에서 나타난 재료, 방법에 의해 형성할 수 있다. 또한, 게이트 절연층(146)의 형성 후에는, 불활성 가스 분위기 하, 또는 산소 분위기 하에서 열처리(제 2 열처리)를 행하는 것이 바람직하다. 자세한 내용에 대해서는, 실시형태 2의 기재를 참조할 수 있다.
- [0241] 다음으로, 게이트 절연층(146) 위에서, 트랜지스터(102)의 채널 형성 영역이 되는 영역과 중첩하는 영역에 게이

트 전극(148)을 형성한다(도 11(A) 참조).

- [0242] 게이트 전극(148)은, 게이트 절연층(146) 위에 도전층을 형성한 후에, 이 도전층을 선택적으로 에칭함으로써 형성할 수 있다. 게이트 전극(148)이 되는 도전층은, 스퍼터링법 등의 PVD법이나, 플라즈마 CVD법 등의 CVD법을 이용하여 형성할 수 있다. 자세한 내용은, 소스 전극 또는 드레인 전극(142a) 등의 경우와 마찬가지로, 이들 기재를 참조할 수 있다.
- [0243] 다음으로, 게이트 절연층(146), 및 게이트 전극(148) 위에, 층간 절연층(150) 및 층간 절연층(152)을 형성한다(도 11(B) 참조). 층간 절연층(150) 및 층간 절연층(152)은, 실시형태 2에서 나타난 재료, 방법에 의해 형성할 수 있다. 자세한 내용에 대해서는, 실시형태 2의 기재를 참조할 수 있다.
- [0244] 한편, 상기 층간 절연층(152)은, 그 표면이 평탄해 지도록 형성하는 것이 바람직하다. 표면이 평탄해 지도록 층간 절연층(152)을 형성함으로써, 반도체 장치를 미세화한 경우 등에서도, 층간 절연층(152) 위에 추가로 전극이나 배선 등을 적절히 형성할 수 있기 때문이다. 한편, 층간 절연층(152)의 평탄화는, CMP(화학적 기계적 연마) 등의 방법을 이용하여 행할 수 있다.
- [0245] 이상에 의해, 트랜지스터(101), 및 트랜지스터(102)를 갖는 반도체 장치가 완성된다.
- [0246] 본 실시형태에서 나타난 반도체 장치는, 트랜지스터(102)가, 트랜지스터(101)와 중첩하는 구성을 구비하고 있는 것, 트랜지스터(101)가 측벽 절연층을 갖지 않는 것, 게이트 전극(110) 위에 소스 전극 또는 드레인 전극(142a)이 직접 접하도록 형성되어 있는 것, 등에 의해 고집적화가 가능하게 되어 있다. 또한, 제작 공정이 간략화되어 있다.
- [0247] 또한, 본 실시형태에서 나타난 반도체 장치는, 층간 절연층(125)으로, 수소를 포함하는 절연층을 적용하고, 층간 절연층(126)으로, 수소가 충분히 저감된 절연층을 적용함으로써, 트랜지스터(101) 및 트랜지스터(102)의 특성이 높아졌다. 또한, 절연층(143a) 및 절연층(143b)을 가짐으로써, 이른바 게이트 용량이 저감되고, 트랜지스터(102)의 동작 속도가 향상되었다.
- [0248] 본 실시형태에 나타난 상기 특징에 의해, 매우 우수한 특성의 반도체 장치를 제공하는 것이 가능하다.
- [0249] 이상, 본 실시형태에 나타난 구성, 방법 등은, 다른 실시형태에 나타난 구성, 방법 등과 적절히 조합하여 이용할 수 있다.
- [0250] (실시형태 5)
- [0251] 본 실시형태에서는, 상기 실시형태에서 설명한 반도체 장치를 전자 기기에 적용하는 경우에 대해, 도 12를 이용하여 설명한다. 본 실시형태에서는, 컴퓨터, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 한다), 휴대 정보 단말(휴대형 게임기, 음향 재생 장치 등도 포함), 디지털 카메라, 디지털 비디오 카메라, 전자 페이퍼, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 한다) 등의 전자 기기에, 상기 반도체 장치를 적용하는 경우에 대해 설명한다.
- [0252] 도 12(A)는, 노트북형 개인용 컴퓨터로, 하우징(701), 하우징(702), 표시부(703), 키보드(704) 등에 의해 구성되어 있다. 하우징(701)과 하우징(702) 내에는, 선행 실시형태에 나타난 반도체 장치가 형성되어 있다. 따라서, 정보의 쓰기 및 읽기가 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 노트북형 개인용 컴퓨터가 실현된다.
- [0253] 도 12(B)는, 휴대 정보 단말(PDA)로, 본체(711)에는, 표시부(713)와, 외부 인터페이스(715)와, 조작버튼(714) 등이 형성되어 있다. 또한, 휴대 정보 단말을 조작하는 스타일러스(712) 등을 구비한다. 본체(711) 내에는, 선행 실시형태에 나타난 반도체 장치가 형성된다. 따라서, 정보의 쓰기 및 읽기가 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 휴대 정보 단말이 실현된다.
- [0254] 도 12(C)는, 전자 페이퍼를 실장한 전자 서적(720)으로, 하우징(721)과 하우징(723)의 2개의 하우징으로 구성되어 있다. 하우징(721) 및 하우징(723)에는, 각각 표시부(725) 및 표시부(727)가 형성되어 있다. 하우징(721)과 하우징(723)은, 측부(737)에 의해 접속되고, 이 측부(737)를 축으로 하여 개폐 동작을 행할 수 있다. 또한, 하우징(721)은, 전원(731), 조작키(733), 스피커(735) 등을 구비한다. 하우징(721), 하우징(723) 중 적어도 하나에는, 선행 실시형태에 나타난 반도체 장치가 형성된다. 따라서, 정보의 쓰기 및 읽기가 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 전자 서적이 실현된다.

- [0255] 도 12(D)는, 휴대 전화기로, 하우징(740)과 하우징(741)의 2개의 하우징으로 구성되어 있다. 또한, 하우징(740)과 하우징(741)은, 슬라이드되고, 도 12(D)와 같이 전개되어 있는 상태에서 서로 겹친 상태로 할 수 있고, 휴대에 적합한 소형화가 가능하다. 또한, 하우징(741)은, 표시 패널(742), 스피커(743), 마이크로폰(744), 터치 패널(745), 포인팅 디바이스(746), 카메라용 렌즈(747), 외부 접속 단자(748) 등을 구비한다. 또한, 하우징(740)은, 휴대 전화를 충전하는 태양 전지셀(749), 외부 메모리 슬롯(750) 등을 구비한다. 또한, 안테나는, 하우징(741)에 내장되어 있다. 하우징(740)과 하우징(741) 중 적어도 하나에는, 선행 실시형태에 나타난 반도체 장치 장치가 형성된다. 따라서, 정보의 쓰기 및 읽기가 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 휴대 전화기가 실현된다.
- [0256] 도 12(E)는, 디지털 카메라로, 본체(761), 표시부(767), 접안부(763), 조작 스위치(764), 표시부(765), 배터리(766) 등에 의해 구성되어 있다. 본체(761) 내에는, 선행 실시형태에 나타난 반도체 장치가 형성되어 있다. 따라서, 정보의 쓰기 및 읽기가 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 디지털 카메라가 실현된다.
- [0257] 도 12(F)는, 텔레비전 장치(770)로, 하우징(771), 표시부(773), 스탠드(775) 등으로 구성되어 있다. 텔레비전 장치(770)의 조작은, 하우징(771)이 구비하는 스위치나, 리모콘 조작기(780)에 의해 행할 수 있다. 하우징(771) 및 리모콘 조작기(780)에는, 선행 실시형태에 나타난 반도체 장치가 탑재되어 있다. 따라서, 정보의 쓰기 및 읽기가 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 텔레비전 장치가 실현된다.
- [0258] 이상과 같이, 본 실시형태에 나타난 전자 기기에는, 선행 실시형태에 관한 반도체 장치가 탑재되어 있다. 이로써, 소비 전력을 저감한 전자 기기가 실현된다.
- [0259] [실시예 1]
- [0260] 본 실시예에서는, 고순도화된 산화물 반도체를 이용한 트랜지스터의 오프 전류를 구한 결과에 대해, 도 13 내지 도 17을 이용하여 설명한다.
- [0261] 우선, 고순도화된 산화물 반도체를 이용한 트랜지스터의 오프 전류가 충분히 작은 것을 고려하여, 채널 폭(W)이 1 μ m로 충분히 큰 트랜지스터를 준비하여 오프 전류를 측정하였다. 채널 폭(W)이 1 μ m인 트랜지스터의 오프 전류를 측정한 결과를 도 13에 나타낸다. 도 13에서, 횡축은 게이트 전압(VG), 종축은 드레인 전류(ID)이다. 드레인 전압(VD)이 +1V 또는 +10V인 경우, 게이트 전압(VG)이 -5V에서 -20V의 범위에서는, 트랜지스터의 오프 전류는, 검출 한계인 1×10^{-13} A 이하인 것을 알 수 있었다. 또한, 트랜지스터의 오프 전류(여기서는, 단위 채널 폭(1 μ m) 당 값)은 $1 \text{aA}/\mu\text{m}$ (1×10^{-18} A/ μm) 이하가 되는 것을 알 수 있었다.
- [0262] 다음으로, 고순도화된 산화물 반도체를 이용한 트랜지스터의 오프 전류를 더욱 정확하게 구한 결과에 대해 설명한다. 상기와 같이, 고순도화된 산화물 반도체를 이용한 트랜지스터의 오프 전류는, 측정기의 검출 한계인 1×10^{-13} A 이하인 것을 알 수 있었다. 이에 따라, 특성 평가용 소자를 제작하고, 보다 정확한 오프 전류의 값(상기 측정에서의 측정기의 검출 한계 이하의 값)을 구한 결과에 대해 설명한다.
- [0263] 우선, 전류 측정 방법에 이용한 특성 평가용 소자에 대해, 도 14를 참조하여 설명한다.
- [0264] 도 14에 나타난 특성 평가용 소자는, 측정계(800)가 3개 병렬로 접속되어 있다. 측정계(800)는, 용량 소자(802), 트랜지스터(804), 트랜지스터(805), 트랜지스터(806), 트랜지스터(808)를 갖는다. 트랜지스터(804), 트랜지스터(805), 트랜지스터(806)에는, 고순도화된 산화물 반도체를 이용한 트랜지스터를 적용하였다.
- [0265] 측정계(800)에서, 트랜지스터(804)의 소스 단자 및 드레인 단자의 한쪽과, 용량 소자(802)의 단자의 한쪽과, 트랜지스터(805)의 소스 단자 및 드레인 단자의 한쪽은, 전원(V2를 공급하는 전원)에 접속되어 있다. 또한, 트랜지스터(804)의 소스 단자 및 드레인 단자의 다른 한쪽과, 트랜지스터(808)의 소스 단자 및 드레인 단자의 한쪽과, 용량 소자(802)의 단자의 다른 한쪽과, 트랜지스터(805)의 게이트 단자는, 접속되어 있다. 또한, 트랜지스터(808)의 소스 단자 및 드레인 단자의 다른 한쪽과, 트랜지스터(806)의 소스 단자 및 드레인 단자의 한쪽과, 트랜지스터(806)의 게이트 단자는, 전원(V1을 공급하는 전원)에 접속되어 있다. 또한, 트랜지스터(805)의 소스 단자 및 드레인 단자의 다른 한쪽과, 트랜지스터(806)의 소스 단자 및 드레인 단자의 다른 한쪽은, 출력 단자에 각각 전기적으로 접속되어 있다.

- [0266] 한편, 트랜지스터(804)의 게이트 단자에는, 트랜지스터(804)의 온 상태와, 오프 상태를 제어하는 전위(Vext_b2)가 공급되고, 트랜지스터(808)의 게이트 단자에는, 트랜지스터(808)의 온 상태와, 오프 상태를 제어하는 전위(Vext_b1)가 공급된다. 또한, 출력 단자에서는 전위(Vout)가 출력된다.
- [0267] 다음으로, 상기 특성 평가용 소자를 이용한 전류 측정 방법에 대해 설명한다.
- [0268] 우선, 오프 전류를 측정하기 위해 전위차를 부여하는 초기화 기간의 개략에 대해 설명한다. 초기화 기간에서는, 트랜지스터(808)의 게이트 단자에, 트랜지스터(808)를 온 상태로 하는 전위(Vext_b1)를 입력하여, 트랜지스터(804)의 소스 단자 또는 드레인 단자의 다른 한쪽과 접속되는 노드(즉, 트랜지스터(808)의 소스 단자 및 드레인 단자의 한쪽, 용량 소자(802)의 단자의 다른 한쪽, 및 트랜지스터(805)의 게이트 단자에 접속되는 노드)인 노드(A)에 전위(V1)를 공급한다. 여기서, 전위(V1)는, 예를 들어 고전위로 한다. 또한, 트랜지스터(804)는 오프 상태로 해둔다.
- [0269] 그 후, 트랜지스터(808)의 게이트 단자에, 트랜지스터(808)를 오프 상태로 하는 전위(Vext_b1)를 입력하여, 트랜지스터(808)를 오프 상태로 한다. 트랜지스터(808)를 오프 상태로 한 후에, 전위(V1)를 저전위로 한다. 여기서도, 트랜지스터(804)는 오프 상태로 해둔다. 또한, 전위(V2)는 전위(V1)와 동일한 전위로 한다. 이상에 의해, 초기화 기간이 종료된다. 초기화 기간이 종료된 상태에서는, 노드(A)와 트랜지스터(804)의 소스 단자 및 드레인 단자의 한쪽 사이에 전위차가 생기고, 또한, 노드(A)와 트랜지스터(808)의 소스 단자 및 드레인 단자의 다른 한쪽 사이에 전위차가 발생하게 되므로, 트랜지스터(804) 및 트랜지스터(808)에는 약간의 전하가 흐른다. 즉, 오프 전류가 발생한다.
- [0270] 다음으로, 오프 전류의 측정 기간의 개략에 대해 설명한다. 측정 기간에서는, 트랜지스터(804)의 소스 단자 또는 드레인 단자의 한쪽 단자의 전위(즉 V2), 및, 트랜지스터(808)의 소스 단자 또는 드레인 단자의 다른 한쪽 단자의 전위(즉 V1)는 저전위로 고정해 둔다. 한편으로, 측정 기간 중에는, 상기 노드(A)의 전위는 고정하지 않는다(플로팅 상태로 한다). 이에 따라, 트랜지스터(804)에 전하가 흐르고, 시간의 경과와 함께 노드(A)에 유지되는 전하량이 변동한다. 그리고, 노드(A)에 유지되는 전하량의 변동에 따라, 노드(A)의 전위가 변동한다. 즉, 출력 단자의 출력 전위(Vout)도 변동한다.
- [0271] 상기 전위차를 부여하는 초기화 기간, 및, 그 후의 측정 기간에서의 각 전위의 관계의 상세한 내용(타이밍 차트)을 도 15에 나타낸다.
- [0272] 초기화 기간에서, 우선, 전위(Vext_b2)를, 트랜지스터(804)가 온 상태가 되는 전위(고전위)로 한다. 이에 따라, 노드(A)의 전위는 V2, 즉 저전위(VSS)가 된다. 그 후, 전위(Vext_b2)를, 트랜지스터(804)가 오프 상태가 되는 전위(저전위)로 하여, 트랜지스터(804)를 오프 상태로 한다. 그리고, 다음으로, 전위(Vext_b1)를, 트랜지스터(808)가 온 상태가 되는 전위(고전위)로 한다. 이에 따라, 노드(A)의 전위는 V1, 즉 고전위(VDD)가 된다. 그 후, Vext_b1을, 트랜지스터(808)가 오프 상태가 되는 전위로 한다. 이에 따라, 노드(A)가 플로팅 상태가 되고, 초기화 기간이 종료된다.
- [0273] 그 후의 측정 기간에서는, 전위(V1) 및 전위(V2)를, 노드(A)에 전하가 유입되고, 또는 노드(A)에서 전하가 유출되는 전위로 한다. 여기서는, 전위(V1) 및 전위(V2)를 저전위(VSS)로 한다. 단, 출력 전위(Vout)를 측정하는 타이밍에서는, 출력 회로를 동작시킬 필요가 생기므로, 일시적으로 V1을 고전위(VDD)로 하는 경우가 있다. 한편, V1을 고전위(VDD)로 하는 기간은, 측정에 영향을 주지 않을 정도의 단기간으로 한다.
- [0274] 상기와 같이 하여 전위차를 주고, 측정 기간이 개시되면, 시간의 경과와 함께 노드(A)에 유지되는 전하량이 변동하고, 이에 따라 노드(A)의 전위가 변동한다. 이는, 트랜지스터(805)의 게이트 단자의 전위가 변동하는 것을 의미하므로, 시간의 경과와 함께, 출력 단자의 출력 전위(Vout)의 전위도 변화하게 된다.
- [0275] 얻어진 출력 전위(Vout)에서, 오프 전류를 산출하는 방법에 대해, 이하에 설명한다.
- [0276] 오프 전류의 산출에 앞서, 노드(A)의 전위(V_A)와, 출력 전위(Vout)의 관계를 구해 둔다. 이에 따라, 출력 전위(Vout)에서 노드(A)의 전위(V_A)를 구할 수 있다. 상기 관계에서, 노드(A)의 전위(V_A)는, 출력 전위(Vout)의 함수로써 다음 식과 같이 나타낼 수 있다.

[0277] [수학식 1]

$$V_A = F(V_{out})$$

[0278]

[0279] 또한, 노드(A)의 전하(QA)는, 노드(A)의 전위(V_A), 노드(A)에 접속되는 용량(C_A), 정수(const)를 이용하여, 다음 식과 같이 나타낸다. 여기서, 노드(A)에 접속되는 용량(C_A)은, 용량 소자(802)의 용량과 다른 용량의 합이다.

[0280] [수학식 2]

$$Q_A = C_A V_A + const$$

[0281]

[0282] 노드(A)의 전류(I_A)는, 노드(A)에 흘러들어오는 전하(또는 노드(A)에서 흘러나오는 전하)의 시간 미분이므로, 노드(A)의 전류(I_A)는 다음 식과 같이 나타낸다.

[0283] [수학식 3]

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

[0284]

[0285] 이와 같이, 노드(A)에 접속되는 용량(C_A)과, 출력 단자의 출력 전위(V_{out})에서, 노드(A)의 전류(I_A)를 구할 수 있다.

[0286] 이상에 나타난 방법에 의해, 오프 상태에서 트랜지스터의 소스와 드레인 사이를 흐르는 리크 전류(오프 전류)를 측정할 수 있다.

[0287] 본 실시예에서는, 채널 길이(L)=10 μ m, 채널 폭(W)=50 μ m의, 고순도화한 산화물 반도체를 이용하여 트랜지스터(804), 트랜지스터(805), 트랜지스터(806), 트랜지스터(808)를 제작하였다. 또한, 병렬된 각 측정계(800)에서, 용량 소자(802a~802c)의 용량 값을 각각, 용량 소자(802a)를 100fF, 용량 소자(802b)를 1pF, 용량 소자(802c)를 3pF로 하였다.

[0288] 한편, 본 실시예에 관한 측정에서는, VDD=5V, VSS=0V로 하였다. 또한, 측정 기간에서는, 전위(V1)를 원칙적으로 VSS로 하고, 10~300sec 마다, 100msec의 기간만큼 VDD로써 V_{out}을 측정하였다. 또한, 소자로 흐르는 전류(I)의 산출에 이용되는 Δt 는, 약 30000sec로 하였다.

[0289] 도 16에, 상기 전류 측정에 관한 경과 시간(Time)과, 출력 전위(V_{out})의 관계를 나타낸다. 90시간 정도부터, 전위 변화의 모양을 확인할 수 있다.

[0290] 도 17에는, 상기 전류 측정에 의해 산출된 오프 전류를 나타낸다. 한편, 도 17은, 소스-드레인 전압(V)과, 오프 전류(I)의 관계를 나타낸 것이다. 도 17에서, 소스-드레인 전압이 4V인 조건에서, 오프 전류는 약 40zA/ μ m인 것을 알 수 있다. 또한, 소스-드레인 전압이 3V인 조건에서, 오프 전류는 4zA/ μ m 이하인 것을 알 수 있다. 한편, 1zA는 10⁻²¹A를 나타낸다.

[0291] 이상, 본 실시예에 의해, 고순도화된 산화물 반도체를 이용한 트랜지스터에서는, 오프 전류가 충분히 작아지는 것이 확인되었다.

부호의 설명

[0292]

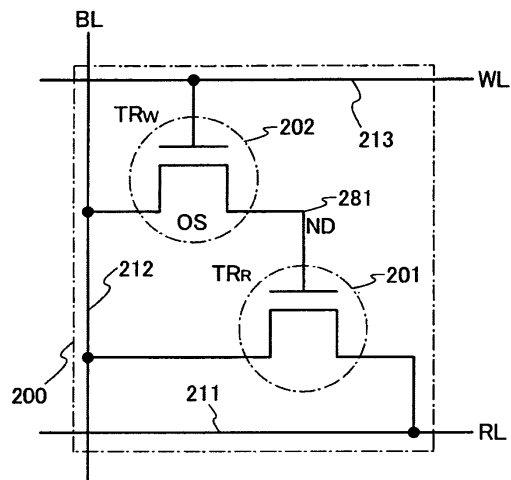
100; 기관	101; 트랜지스터
102; 트랜지스터	104; 반도체영역
105; 보호층	106; 소자 분리 절연층
108; 게이트 절연층	110; 게이트 전극
112; 절연층	114; 불순물 영역
116; 채널 형성 영역	118; 측벽 절연층
120; 고농도 불순물 영역	122; 금속층
124; 금속 화합물 영역	125; 층간 절연층
126; 층간 절연층	128; 층간 절연층
144; 산화물 반도체층	146; 게이트 절연층
148; 게이트 전극	150; 층간 절연층
152; 층간 절연층	200; 메모리셀
201; 트랜지스터	202; 트랜지스터
211; 배선	212; 배선
213; 배선	281; 노드
701; 하우징	702; 하우징
703; 표시부	704; 키보드
711; 본체	712; 스타일러스
713; 표시부	714; 조작버튼
715; 외부 인터페이스	720; 전자 서적
721; 하우징	723; 하우징
725; 표시부	727; 표시부
731; 전원	733; 조작키
735; 스피커	737; 측부
740; 하우징	741; 하우징
742; 표시패널	743; 스피커
744; 마이크로폰	745; 터치 패널
746; 포인팅 디바이스	747; 카메라용 렌즈
748; 외부 접속 단자	749; 태양 전지 셀
750; 외부 메모리 슬롯	761; 본체
763; 접안부	764; 조작 스위치
765; 표시부	766; 배터리
767; 표시부	770; 텔레비전 장치
771; 하우징	773; 표시부

775; 스탠드	780; 리모콘 조작기
800; 측정계	802; 용량 소자
804; 트랜지스터	805; 트랜지스터
806; 트랜지스터	808; 트랜지스터
1200; 메모리 셀	1201; 트랜지스터
1202; 트랜지스터	1211; 구동 회로
1212; 구동 회로	1213; 구동 회로
130a; 드레인 전극	130b; 드레인 전극
130c; 전극	142a; 드레인 전극
142b; 드레인 전극	142c; 배선
142d; 배선	143a; 절연층
143b; 절연층	

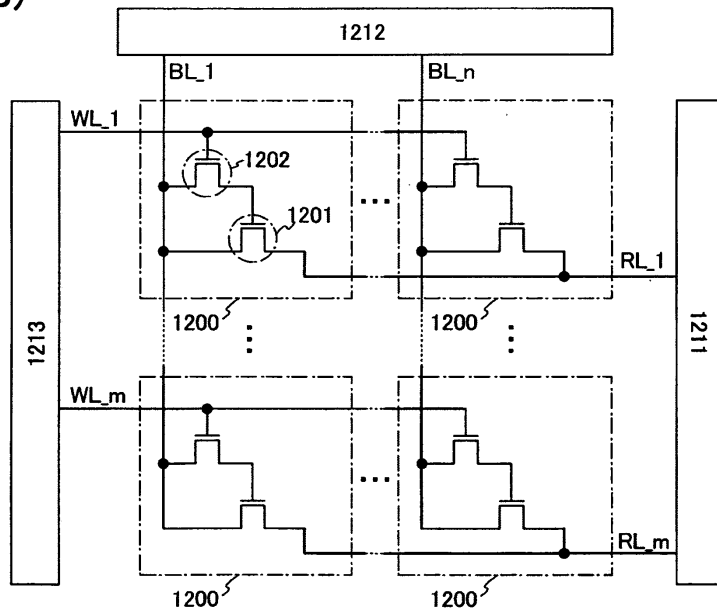
도면

도면1

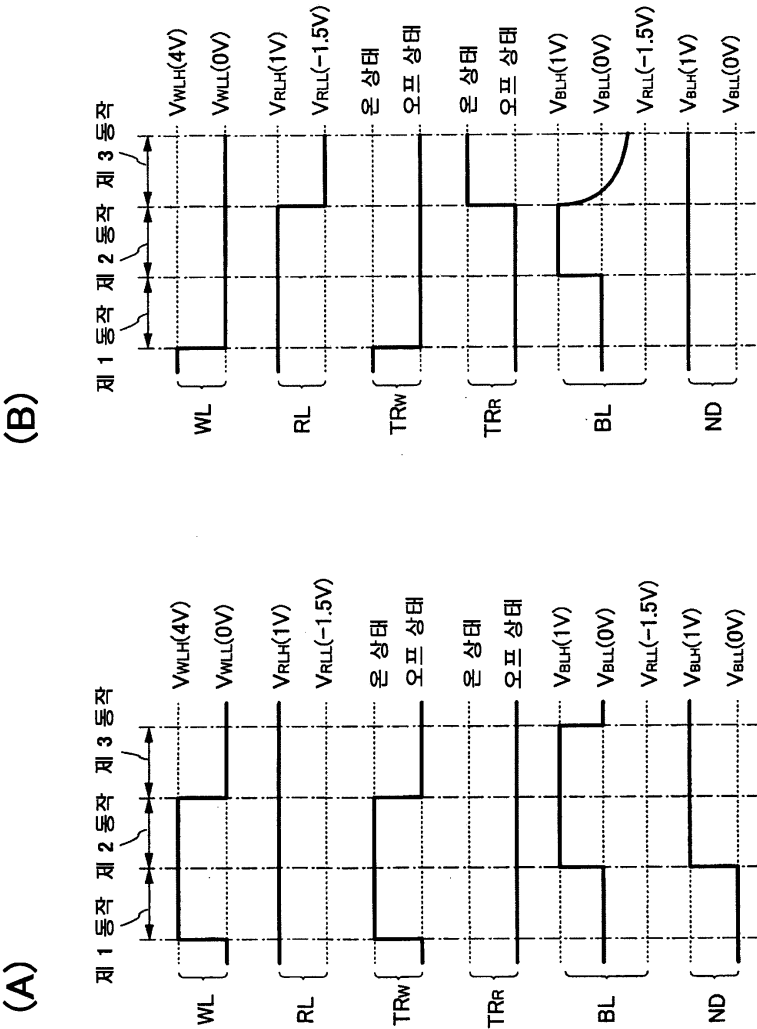
(A)



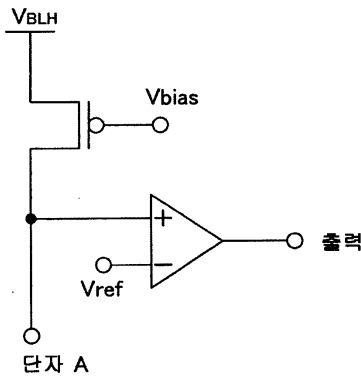
(B)



도면2

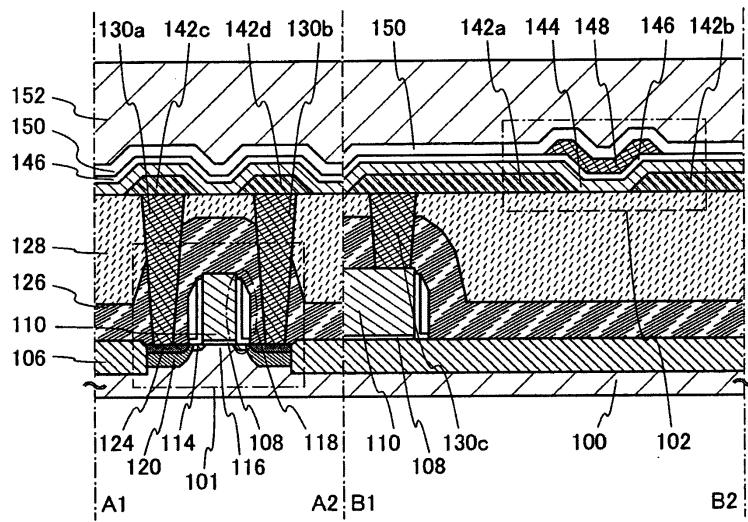


도면3

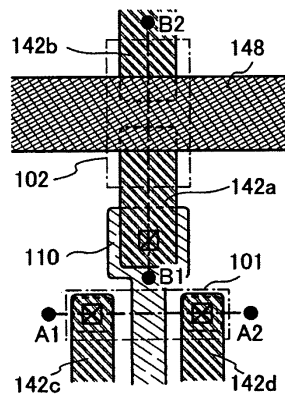


도면4

(A)

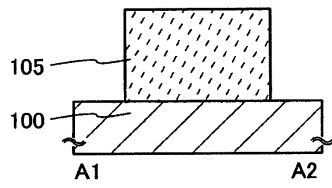


(B)

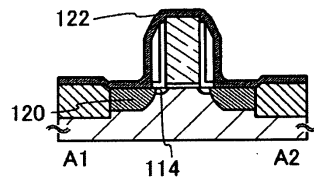


도면5

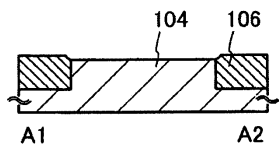
(A)



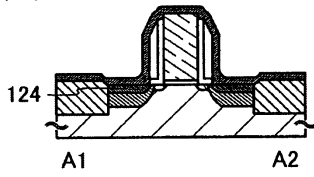
(E)



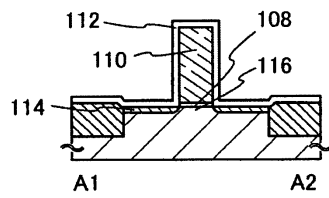
(B)



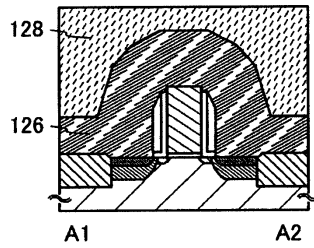
(F)



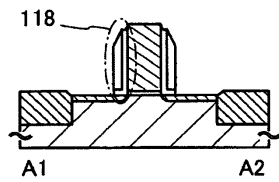
(C)



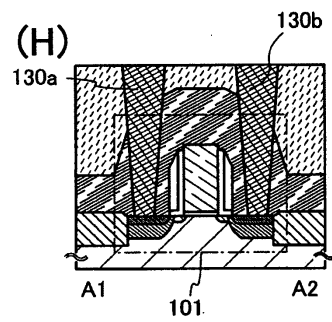
(G)



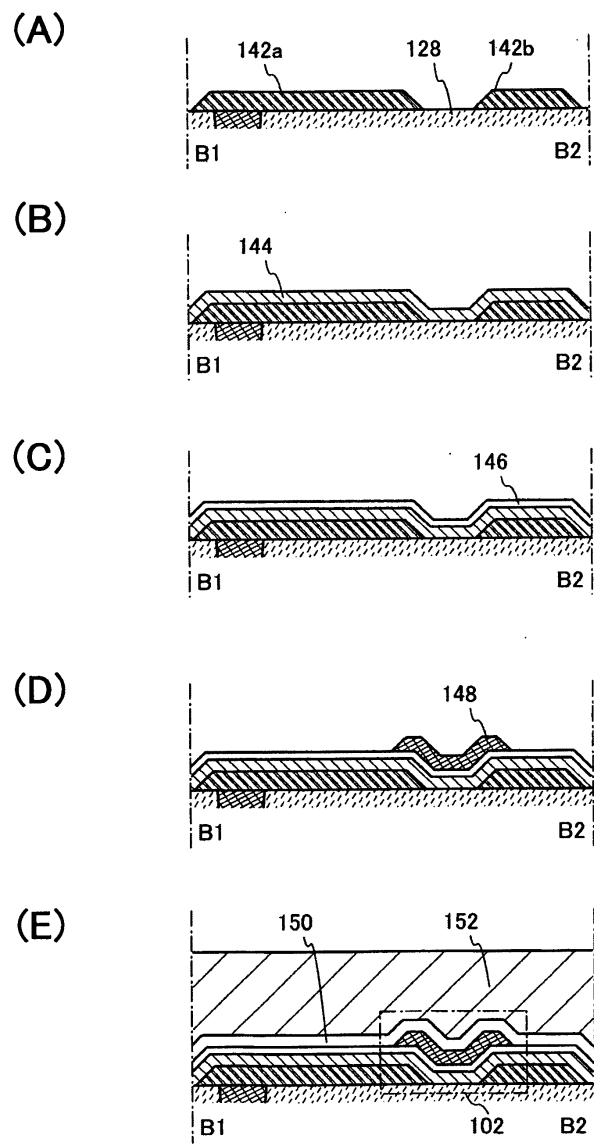
(D)



(H)

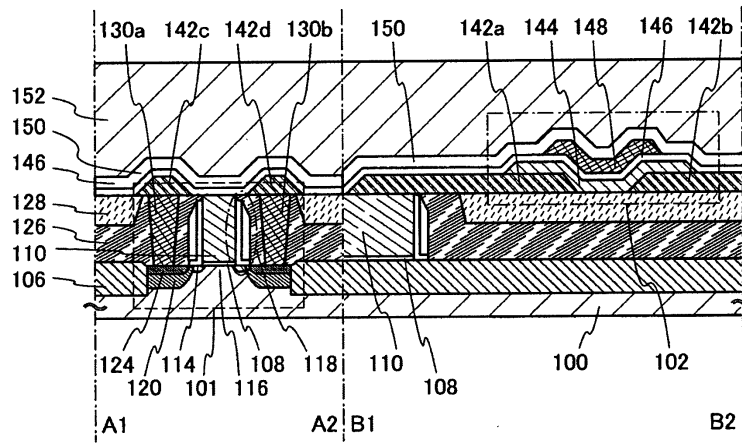


도면6

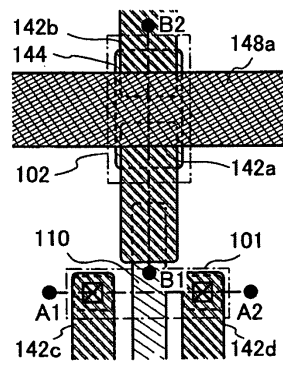


도면7

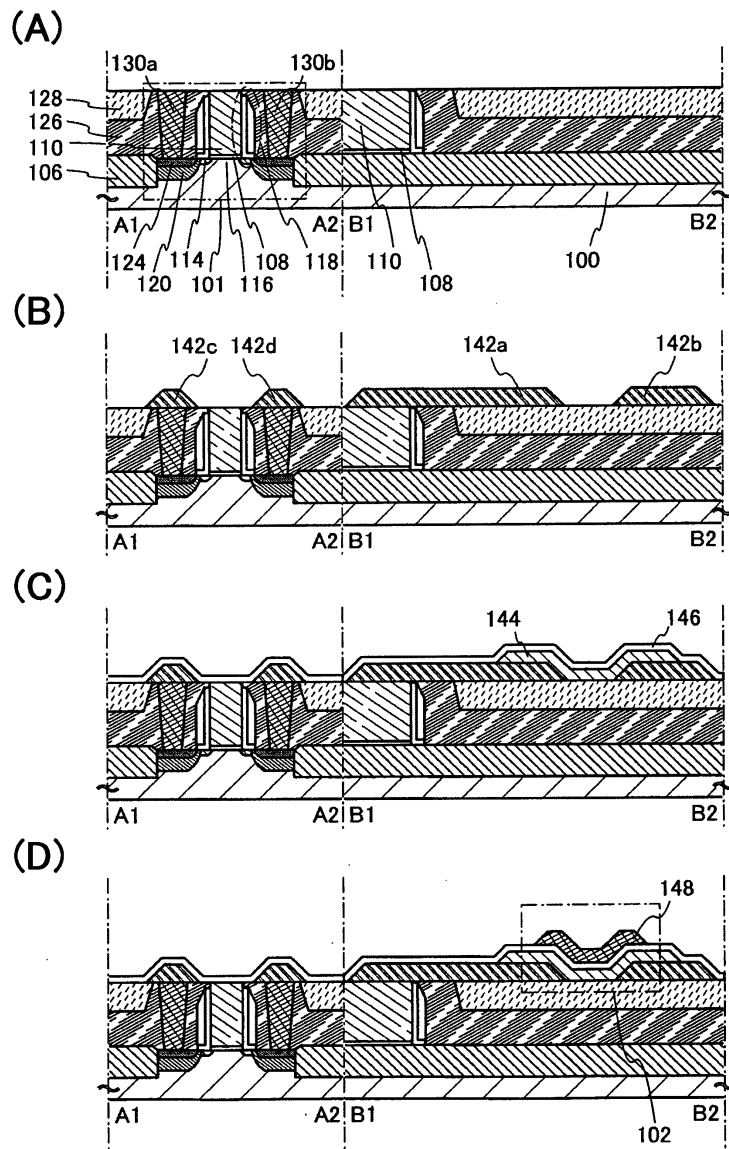
(A)



(B)

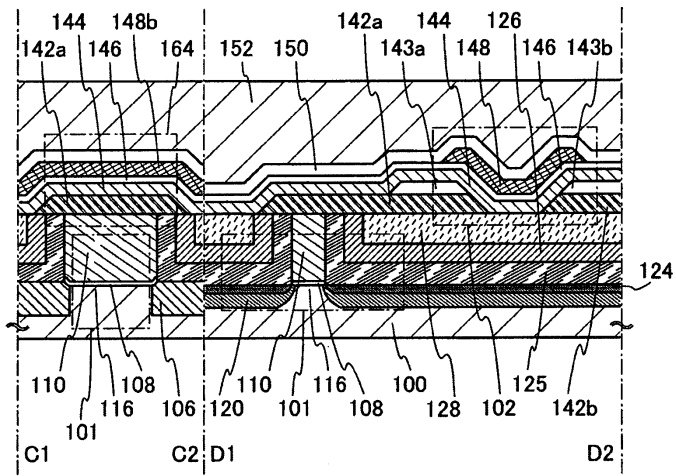


도면8

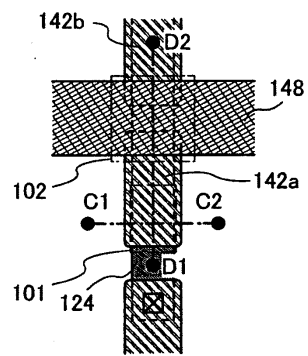


도면9

(A)

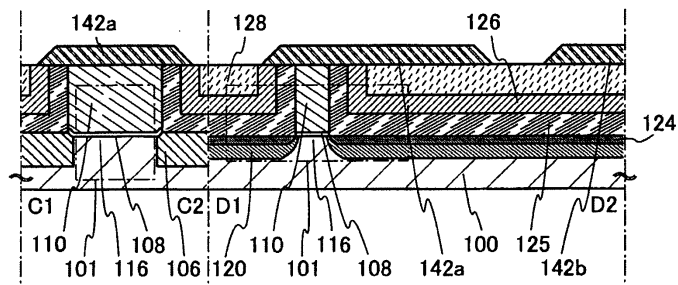


(B)

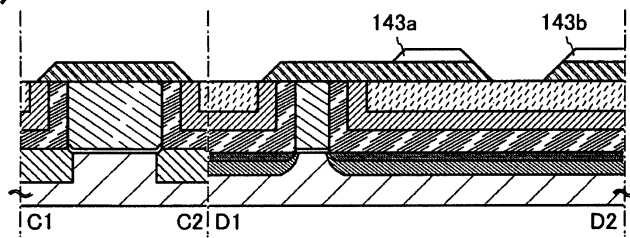


도면10

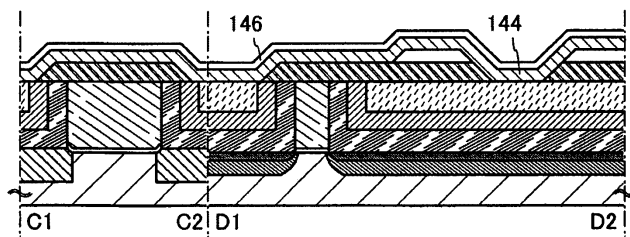
(A)



(B)

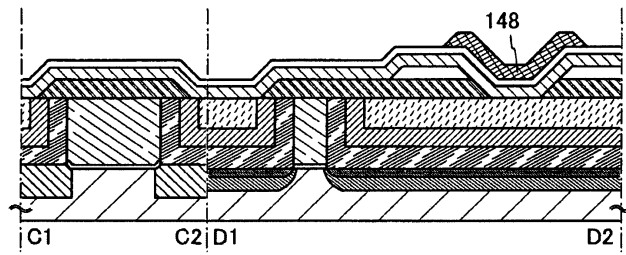


(C)

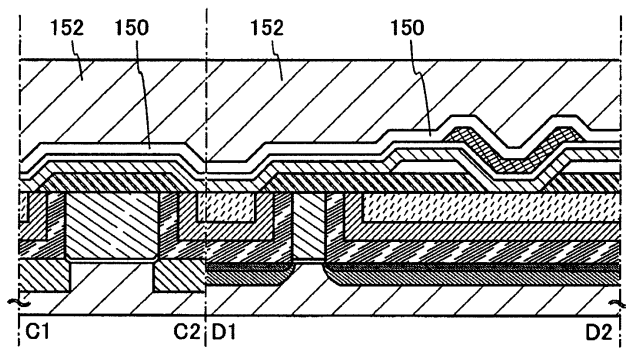


도면11

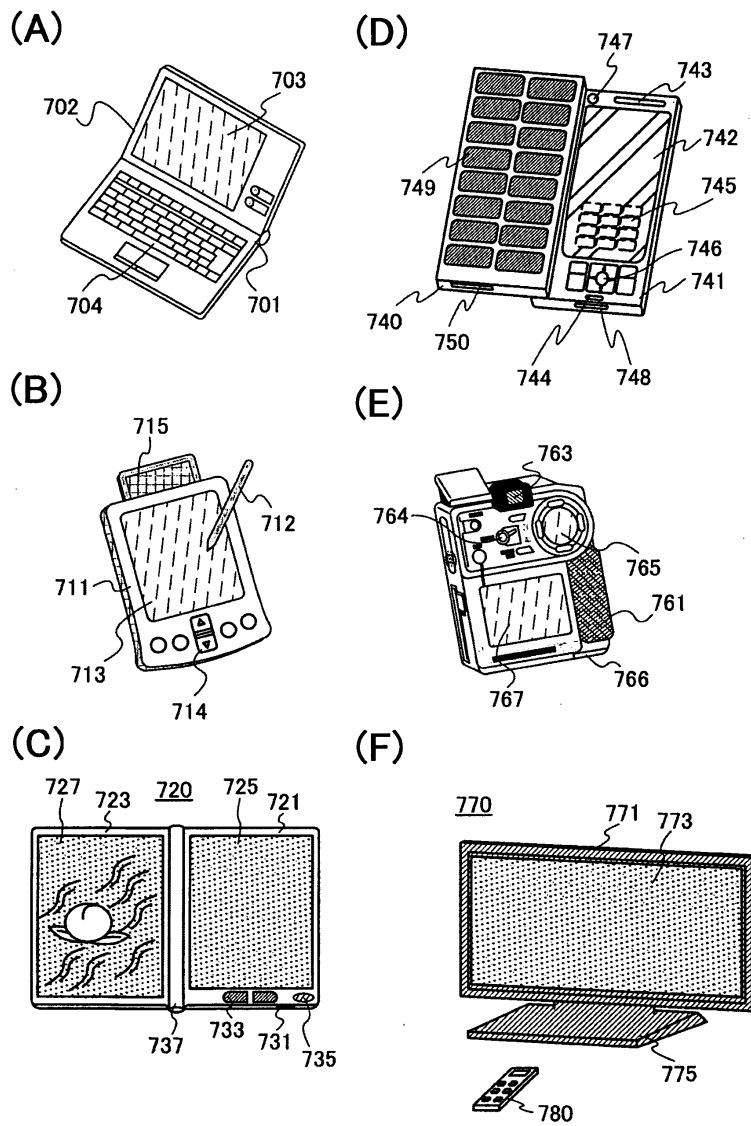
(A)



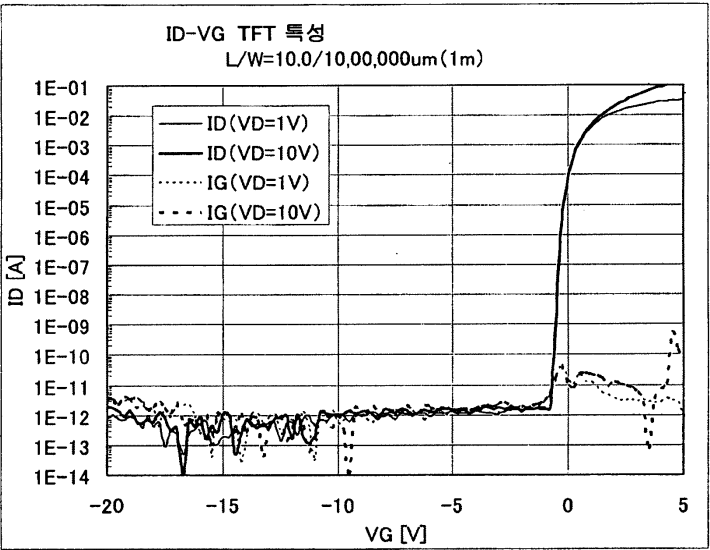
(B)



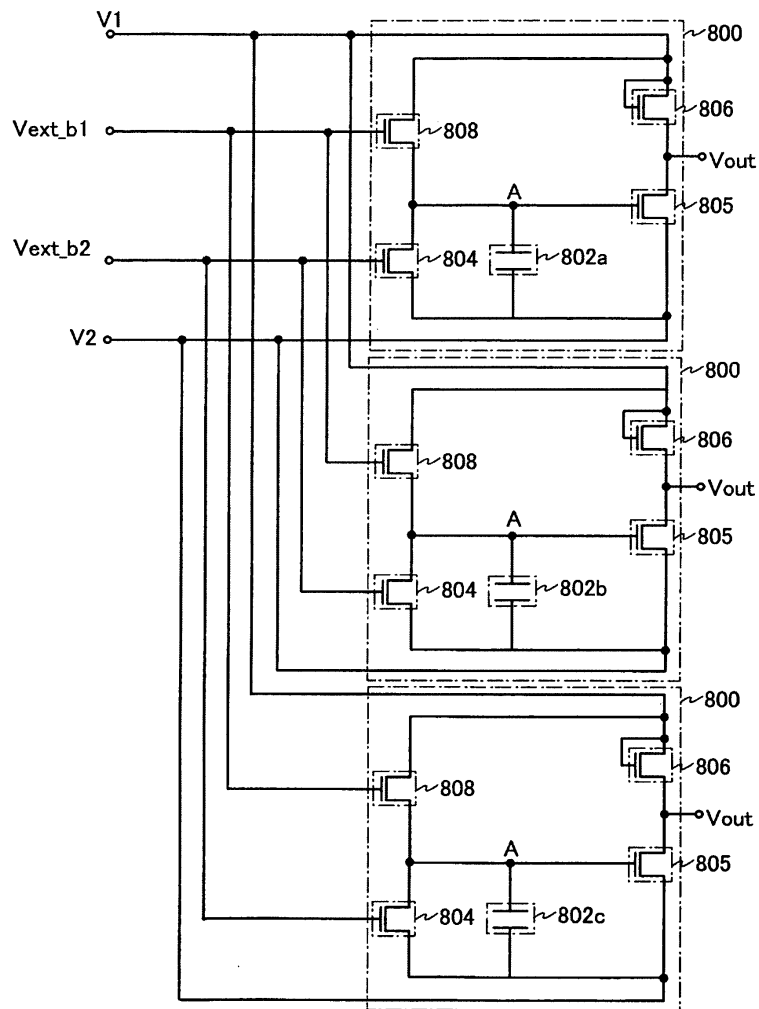
도면12



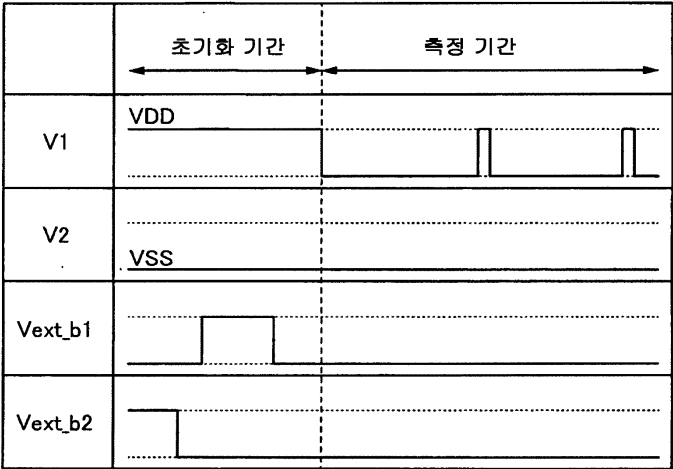
도면13



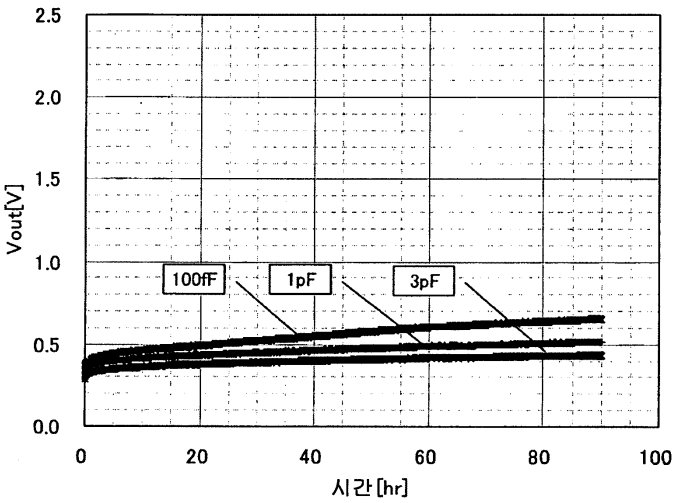
도면14



도면15



도면16



도면17

