

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成27年11月26日 (2015.11.26)

【公開番号】特開2015-109472(P2015-109472A)

【公開日】平成27年6月11日 (2015.6.11)

【年通号数】公開・登録公報2015-038

【出願番号】特願2015-19972(P2015-19972)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/12 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/739 (2006.01)

【F I】

H 0 1 L 29/78 6 5 2 E

H 0 1 L 29/78 6 5 2 T

H 0 1 L 29/78 6 5 2 C

H 0 1 L 29/78 6 5 8 A

H 0 1 L 29/78 6 5 5 A

【手続補正書】

【提出日】平成27年10月7日 (2015.10.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

炭化シリコンを含む、第 1 主電極領域からなる基板と、
前記基板の表面に積層された、炭化シリコンからなる第 1 導電型エピタキシャル層と、
前記エピタキシャル層の表面層に互いに隔離して配置された第 1 導電型の第 2 主電極領域と、

前記第 2 主電極領域に挟まれた第 2 導電型ウェルコンタクト領域と、

前記第 2 主電極領域及び前記第 2 導電型ウェルコンタクト領域に接して前記基板側に配置された第 2 導電型ウェル領域と、

前記第 2 主電極領域及び前記エピタキシャル層の表面露出部にゲート絶縁膜を介して配置されたゲート電極と、

前記第 2 主電極領域及び前記第 2 導電型ウェルコンタクト領域の表面に共通に接触して配置されるとともに前記第 2 主電極領域の表面で前記ゲート絶縁膜と間隔を開けて配置された第 2 主電極と、

前記基板の表面に対向する裏面に配置された第 1 主電極とを備えることを特徴とする半導体装置。

【請求項 2】

前記ゲート絶縁膜と第 2 主電極との間には、前記ゲート電極及び前記ゲート絶縁膜の一部上方と側面とを覆う層間絶縁層が形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 主電極領域は第 1 導電型を有しており、前記第 1 主電極領域はドレイン領域であり、前記第 2 主電極領域はソース領域であり、前記第 1 主電極はドレイン電極であり、

前記第 2 主電極はソース電極であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記第 1 主電極領域は第 2 導電型を有しており、前記第 1 主電極領域はコレクタ領域であり、前記第 2 主電極領域はエミッタ領域であり、前記第 1 主電極はコレクタ電極であり、前記第 2 主電極はエミッタ電極であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記第 2 主電極領域及び前記第 2 導電型ウェル領域を挟むように配置された第 2 導電型ウェルエクステンション領域をさらに備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

前記第 2 導電型ウェル領域が有する第 2 導電型不純物の濃度は、前記エピタキシャル層の表面から前記基板に向かう深さ方向において、濃度ピーク位置が、前記第 2 導電型ウェルエクステンション領域が有する前記第 2 導電型不純物の濃度における濃度ピーク位置より深いことを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記ゲート電極は、前記第 2 主電極領域及び前記エピタキシャル層の前記表面露出部に挟まれた前記第 2 導電型ウェルエクステンション領域の表面にゲート絶縁膜を介して配置されたことを特徴とする請求項 5 または 6 に記載の半導体装置。

【請求項 8】

前記第 2 導電型ウェルコンタクト領域は、前記第 2 導電型ウェル領域及び前記第 2 導電型ウェルエクステンション領域よりも第 2 導電型不純物の平均濃度が高いことを特徴とする請求項 5 ～ 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】

前記第 2 導電型ウェル領域の濃度ピーク位置における第 2 導電型不純物の濃度は、前記第 2 導電型ウェルエクステンション領域の濃度ピーク位置における第 2 導電型不純物の濃度より高いことを特徴とする請求項 5 ～ 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

前記第 2 導電型ウェル領域の前記基板側表面は、前記第 2 導電型ウェルエクステンション領域の前記基板側表面よりも前記エピタキシャル層の表面からの深さが深いことを特徴とする請求項 5 ～ 9 のいずれか 1 項に記載の半導体装置。

【請求項 11】

前記第 2 主電極領域と前記第 2 導電型ウェル領域が同一のマスクを用いてドーピングにより形成されたことを特徴とする請求項 5 ～ 10 のいずれか 1 項に記載の半導体装置。

【請求項 12】

前記第 2 導電型ウェル領域が有する前記第 2 導電型不純物の濃度は、前記第 2 導電型ウェル領域の表面よりも深部で高く、かつ、前記第 2 導電型ウェルエクステンション領域が有する前記第 2 導電型不純物の濃度は、前記第 2 導電型ウェルエクステンション領域の表面よりも深部で高いことを特徴とする請求項 5 ～ 11 のいずれか 1 項に記載の半導体装置。

【請求項 13】

前記第 2 導電型ウェル領域では、前記第 2 導電型ウェルエクステンション領域が有する前記第 2 導電型不純物の濃度と前記第 2 導電型ウェル領域が有する前記第 2 導電型不純物の濃度が合わさっていることを特徴とする請求項 5 ～ 12 のいずれか 1 項に記載の半導体装置。

【請求項 14】

前記第 2 主電極領域が平面視で四角棒状の形状を有し、前記第 2 導電型ウェルコンタクト領域が前記第 2 主電極領域の前記四角棒内に囲まれて配置されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 15】

平面視で四角形状の前記第 2 主電極領域が互いに隔離して配置されており、前記第 2 主

電極領域に挟まれて前記第 2 導電型ウェルコンタクト領域が配置されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 16】

前記第 2 導電型ウェルエクステンション領域は、前記第 2 主電極領域よりは深く、前記第 2 導電型ウェル領域に隣接する深さに形成されており、前記第 2 導電型ウェルエクステンション領域の下部には、前記第 2 導電型ウェル領域を有していないことを特徴とする請求項 5 に記載の半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

上記目的を達成するための本発明の一態様によれば、炭化シリコンを含む、第 1 主電極領域からなる基板と、前記基板の表面に積層された、炭化シリコンからなる第 1 導電型エピタキシャル層と、前記エピタキシャル層の表面層に互いに隔離して配置された第 1 導電型の第 2 主電極領域と、前記第 2 主電極領域に挟まれた第 2 導電型ウェルコンタクト領域と、前記第 2 主電極領域及び前記第 2 導電型ウェルコンタクト領域に接して前記基板側に配置された第 2 導電型ウェル領域と、前記第 2 主電極領域及び前記エピタキシャル層の表面露出部にゲート絶縁膜を介して配置されたゲート電極と、前記第 2 主電極領域及び前記第 2 導電型ウェルコンタクト領域の表面に共通に接触して配置されるとともに前記第 2 主電極領域の表面で前記ゲート絶縁膜と間隔を開けて配置された第 2 主電極と、前記基板の表面に対向する裏面に配置された第 1 主電極とを備えることを特徴とする半導体装置が提供される。